

I. IDENTIFIKAČNÍ ÚDAJE

Název práce:	Návrh Rx řadiče ve standardu JESD 204B
Jméno autora:	Bohdan Jůza
Typ práce:	diplomová
Fakulta/ústav:	Fakulta elektrotechnická (FEL)
Katedra/ústav:	Katedra mikroelektroniky
Oponent práce:	Ing. Jan Kovalský
Pracoviště oponenta práce:	Dialog Semiconductor Czech s.r.o.

II. HODNOCENÍ JEDNOTLIVÝCH KRITÉRIÍ

Zadání	náročnější
<i>Hodnocení náročnosti zadání závěrečné práce.</i>	
Zadání diplomové práce vyžadovalo od studenta velké množství samostudia v přípravě na samotné řešení. Student si musel nejprve nastudovat specifikaci JESD204 standardu, nastudovat syntaxi Verilog 2001 jazyka, ve kterém měl být řadič Rx naimplementován, seznámit se s implementací JESD204B transponderu v FPGA obvodu Xilinx a připravit verifikační prostředí k ověření správné funkcionality navrženého JESD204B Rx řadiče. Celkový záběr těchto aktivit vyžadoval značné úsilí studenta, proto zadání hodnotím jako náročnější.	

Splnění zadání	splněno s menšími výhradami
<i>Posuďte, zda předložená závěrečná práce splňuje zadání. V komentáři případně uveďte body zadání, které nebyly zcela splněny, nebo zda je práce oproti zadání rozšířena. Nebylo-li zadání zcela splněno, pokuste se posoudit závažnost, dopady a případně i příčiny jednotlivých nedostatků.</i>	
Zadání diplomové práce bylo splněno skoro v plném rozsahu. Z časových důvodů a náročnosti řešení nebyly v řadiči naimplementovány podtřídy 1 a 2 a také deterministické zpoždění. Přesto kvalita řešení zůstala na vysoké úrovni. Student sám tyto nedokončené vlastnosti identifikuje a popisuje v kapitole 4.	

Zvolený postup řešení	správný
<i>Posuďte, zda student zvolil správný postup nebo metody řešení.</i>	
Student zvolil při samotném řešení zadání správný postup. Během prvotních simulací základních funkčních bloků také zjistil, že pro takto náročné řešení bude muset použít komerční EDA CAD nástroje. Student v práci zvolil více metod verifikace, které mu ukázaly rozdíly v přístupech k simulaci funkce navrženého řadiče.	

Odborná úroveň	A - výborně
<i>Posuďte úroveň odbornosti závěrečné práce, využití znalostí získaných studiem a z odborné literatury, využití podkladů a dat získaných z praxe.</i>	
Práce byla zpracována velice pečlivě v teoretické rovině ještě před samotným započítáním praktického řešení. Student věnoval dostatečné množství času studiem standardu JESD204 a také jeho implementaci v FPGA obvodech, které měly být použity k ověření funkce navrženého JESD204B Rx řadiče. Kladně hodnotím také metody simulace. Implementované řešení ukazuje správné použití metodologií, které se v praxi používají.	

Formální a jazyková úroveň, rozsah práce	A - výborně
<i>Posuďte správnost používání formálních zápisů obsažených v práci. Posuďte typografickou a jazykovou stránku.</i>	
Po formální stránce je práce velice zdařilá. Student si zvolil jako jazyk diplomové práce angličtinu, což hodnotím velice kladně. Jazyková úroveň i rozsah práce jsou na dobré úrovni.	

Výběr zdrojů, korektnost citací	A - výborně
<i>Vyjádřete se k aktivitě studenta při získávání a využívání studijních materiálů k řešení závěrečné práce. Charakterizujte výběr pramenů. Posuďte, zda student využil všechny relevantní zdroje. Ověřte, zda jsou všechny převzaté prvky řádně</i>	

odlišeny od vlastních výsledků a úvah, zda nedošlo k porušení citační etiky a zda jsou bibliografické citace úplné a v souladu s citačními zvyklostmi a normami.

Výběr literatury byl vhodně zvolen. Student čerpal z odborné literatury jak teoretické znalosti standardu JESD204, tak technické detaily k použitým blokům FPGA obvodů firmy Xilinx a principům návrhu ASIC obvodů v jazyce Verilog.

Další komentáře a hodnocení

Vyjádřete se k úrovni dosažených hlavních výsledků závěrečné práce, např. k úrovni teoretických výsledků, nebo k úrovni a funkčnosti technického nebo programového vytvořeného řešení, publikačním výstupům, experimentální zručnosti apod.

Výsledné technické řešení na úrovni RTL včetně použitých metod verifikace odpovídají zvyklostem a postupům, které se standardně používají v praxi. Student si při řešení zadání osvojil mnoho nových praktických zkušeností, které se mu budou hodit v jeho další profesní kariéře.

III. CELKOVÉ HODNOCENÍ, OTÁZKY K OBHAJOBĚ, NÁVRH KLASIFIKACE

Shrňte aspekty závěrečné práce, které nejvíce ovlivnily Vaše celkové hodnocení. Uveďte případné otázky, které by měl student zodpovědět při obhajobě závěrečné práce před komisí.

Samotné zadání diplomové práce vyžadovalo zodpovědný přístup jak během teoretické přípravy, tak při praktické realizaci. Student se s tímto úkolem vypořádal na vysoké úrovni.

Velice oceňuji také snahu studenta provést prvotní syntézu do zvolené technologie TSMC 28HPC+, která ukázala parametry velikosti plochy navrženého řadiče, počty použitých registrů a logických prvků a také odhad spotřeby celého bloku.

Komplexnost výsledného řešení byla velká. Samotný standard JESD204 je poměrně rozsáhlý, proto jeho nastudování společně v kombinaci se studiem jazyka Verilog vyžadovalo od studenta vysoké nasazení. Umožnilo mu to však osvojení si nových znalostí a praktik, které student zúročí v budoucnu v profesní praxi.

Výsledné řešení sice nemá naimplementovány všechny funkce a parametry JESD204B standardu, přesto jej hodnotím jako velice zdařilé.

Otázky k obhajobě:

1. Jaké metody přechodu hodinových domén se u řešení sérioparalelních převodníků používají?
2. Existují v předloženém řešení nějaké části, které by se daly optimalizovat, aby se docílilo snížené spotřeby řadiče?

Předloženou závěrečnou práci hodnotím klasifikačním stupněm **A - výborně**.

Datum: 28.5.2021

Podpis: v.r. Jan Kovalský