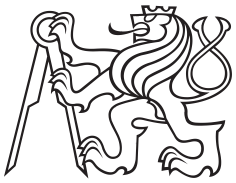
Diplomová práce



České
vysoké
učení technické
v Praze

F3

Fakulta elektrotechnická
Katedra mikroelektroniky

Reflektometr v časové oblasti s FPGA

Radovan Blažek

Vedoucí práce: Ing. Viktor Adler, Ph.D.
Obor: Elektronika
Studijní program: Elektronika a komunikace
Leden 2021

ZADÁNÍ DIPLOMOVÉ PRÁCE

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Blažek** Jméno: **Radovan** Osobní číslo: **420268**

Fakulta/ústav: **Fakulta elektrotechnická**

Zadávající katedra/ústav: **Katedra mikroelektroniky**

Studijní program: **Elektronika a komunikace**

Studijní obor: **Elektronika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Reflektometr v časové oblasti s FPGA

Název diplomové práce anglicky:

FPGA-Based Time-Domain Reflectometer

Pokyny pro vypracování:

1. Prostudujte problematiku časové reflektometrie.
2. Navrhněte schéma zapojení a zkonstruujte samostatně fungující měřicí zařízení pracující na principu časové reflektometrie (TDR, Time-Domain Reflectometry). Jako budící signál měřeného obvodu použijte obdélníkový signál vygenerovaný pomocí FPGA ECP5 od Lattice Semiconductor, kterým budete řídit i celý proces měření a vzorkování odraženého signálu v ekvivalentním čase. Implementujte zpracování změřených vzorků tak, aby se dala určit poloha a typ diskontinuity na měřeném vedení. Proveďte měření základních parametrů výstupního signálu.
3. Zhodnoťte dosažené výsledky

Seznam doporučené literatury:

[1] Ndagijimana Fabien, Signal Integrity: From High-Speed to Radiofrequency Applications, John Wiley & Sons, New York, 2014
[2] Cataldo Andrea, De Benedetto Egidio, Cannazza Giuseppe, Broadband Reflectometry for Enhanced Diagnostics and Monitoring Applications, Springer-Verlag Berlin Heidelberg, 2011
[3] James, Time-Domain Reflectometry Measurements, Tektronix, Inc., Oregon, 1970

Jméno a pracoviště vedoucí(ho) diplomové práce:

Ing. Viktor Adler, Ph.D., katedra elektromagnetického pole FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **11.02.2020** Termín odevzdání diplomové práce: **14.08.2020**

Platnost zadání diplomové práce: **30.09.2021**

Ing. Viktor Adler, Ph.D.	prof. Ing. Pavel Hazdra, CSc.	prof. Mgr. Petr Páta, Ph.D.
podpis vedoucí(ho) práce	podpis vedoucí(ho) ústavu/katedry	podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

. Datum převzetí zadání

Podpis studenta

© ČVUT v Praze, Design: ČVUT v Praze, VIC

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze, 5. ledna 2021

Anotace

Tato práce se zabývá návrhem reflektometru v časové oblasti (TDR). Popisuje návrh TDR s využitím FPGA Lattice ECP5. FPGA zde funguje jako generátor měřícího signálu i jako vzorkovač odraženého signálu.

Klíčová slova: Reflektometr, TDR, FPGA, ECP5

Vedoucí práce: Ing. Viktor Adler, Ph.D.

Annotation

This thesis is about time domain reflectometer (TDR) design with an FPGA. Used FPGA is a Lattice ECP5. It works both as a signal generator and as a sampler and digitizer.

Keywords: Reflectometer, TDR, FPGA, ECP5

Title translation: FPGA-Based Time-Domain Reflectometer

Obsah

1 Úvod **1**

2 Časová Reflektometrie **3**

2.1 Přijímač 4

2.2 Vysílač 4

3 Návrh TDR **7**

3.1 Postup návrhu 7

3.2 Způsob vzorkování 8

3.3 FPGA 9

3.3.1 Napájení FPGA 10

3.3.2 Generátor signálu 10

3.4 Vzorkování pomocí komparátoru 11

3.4.1 Komparátor 11

3.4.2 CDR 11

3.5 Deska Plošných Spojů 13

3.5.1 Buck regulátor 15

3.5.2 Osazení 15

3.6 Analogový frontend 16

3.6.1 Mikrovlnný dělič výkonu 16

3.6.2 SMA konektor 17

3.7 USB připojení 17

3.7.1 FT2232H 17

3.7.2 USB v FPGA 17

3.7.3 Bootloader Foboot 18

3.8 Gateware 18

3.8.1 Toolchain 18

3.8.2 Migen 19

3.8.3 Litex 19

3.9 Generování referenčního napětí . 19

3.9.1 ΣΔ modulátor 20

3.10 Software 21

3.11 Měření výstupního signálu z TDR 22

3.12 Příklady naměřených dat 23

3.13 Návrhy na zlepšení 24

4 Závěr **27**

Bibliografie **29**

A Seznam zkratek **33**

B Schémata Revize A **35**

C Schémata Revize B **41**

Obrázky

1.1 Shive Wave Machine. [3] 2

2.1 Princip TDR. [4] 4
2.2 Příklad odrazů od čistě rezistivních zátěží. [5] 4
2.3 Zapojení vzorkovací hlavy. [6] . . . 5
2.4 Příklad zapojení generátoru skoku. [6] 5

3.1 Prototyp TDR s vývojovou deskou Lattice Versa ECP5. 7
3.2 Srovnání revize A a B. 8
3.3 Schéma zapojení AP3402. 11
3.4 CML Buffer v ECP5 sloužící jako generátor signálu.[13] 12
3.5 Přehled hodin v SerDes bloku.[13] 13
3.6 Jeden z kontrolních registrů SerDesu.[13] 13
3.7 Návrh plošného spoje v programu KiCad. 14
3.8 3D model v programu KiCad - horní strana. 14
3.9 3D model v programu KiCad - spodní strana. 15
3.10 KiCad kalkulačka mikropáskových vedení. 15
3.11 Layout a proudové smyčky AP3402. 16
3.12 Kondenzátor C3 (0201) trpící jevem „tombstoning“ a vpravo od něj mikrovlnný dělič výkonu. 17
3.13 Detail pasty na horní straně. . . 18
3.14 Detail napastované spodní strany. 19
3.15 TDR Revize B horní strana. . . 20
3.16 TDR Revize B spodní strana. . 21
3.17 Schématické zapojení analogového frontendu TDR. 22
3.18 Detail mikrovlnné části. 23
3.19 Rekonstrukční filtr ΣΔ D/A převodníku. 23
3.20 Prototyp grafického uživatelského prostředí. 24
3.21 Příklad volitelného zpracování dat. 24
3.22 Výstupní signál z TDR. Osciloskop: Agilent 86100C. Pruměrování: 16x. Vstup: 50 Ω. . . . 25
3.23 Měření s terminátorem na SMA konektoru. (200 ps/vzorek) 25
3.24 Měření kabelu s otevřeným koncem. (200 ps/vzorek) 26
3.25 Měření kabelu se zkratem na konci. (200 ps/vzorek) 26
3.26 Měření kabelu s otevřeným na koncem osciloskopem Rigol 1104Z. 26

Tabulky

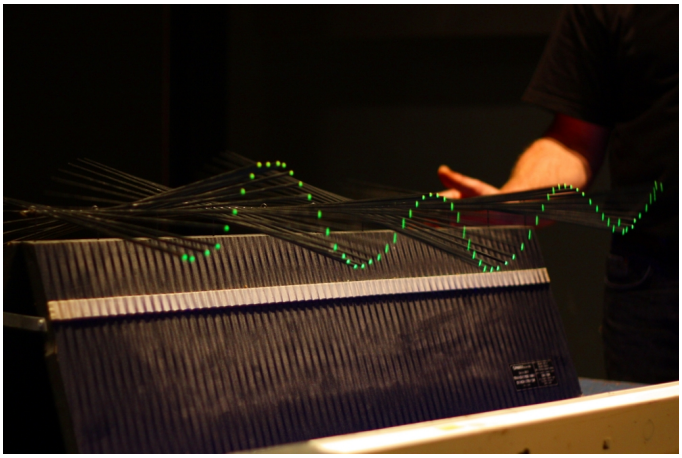
3.1 Počty devítibitových vzorků, které se vejdou do BRAM prodávaných verzí FPGA. 9

Kapitola 1
Úvod

Časovou reflektometrií, kterou se zabývá tato práce, se myslí měřící metoda založená na sledování odrazů na vlnovém vedení. Časová reflektometrie je aplikovatelná na jakékoliv vedení vln, protože využívá vlastnosti společné všem systémum, které se chovají jako vlnová vedení. Jako typický příklad lze uvést vedení elektromagnetických vln, jako je elektrické vedení (tato práce) nebo optické vedení (OTDR) [1]. Nicméně, nic nebrání použít metodu i na vedení například mechanických vln, které je na obrázku 1.1.

Po krátkém obecnějším přehledu časové reflektometrie se práce bude zabývat návrhem a konstrukcí reflektometru v časové oblasti (TDR) s FPGA. FPGA se běžně u TDR používají [2]. Rozdíl v této práci je ten, že FPGA je použito i pro generování a vzorkování signálu. Cíl práce je zahrnout do FPGA co největší část funkcionality TDR s co nejmenším množstvím externích součástek.

Navrhované TDR by mohlo mít několik výhod: Menší rozměry zařízení, nižší cena z důvodu malého množství součástek a větší míra aktualizovatelnosti nebo přizpůsobitelnosti speciálnímu účelu díky tomu, že velké množství funkcionality je implementováno v FPGA.



Obrázek 1.1: Shive Wave Machine. [3]

Kapitola 2
Časová Reflektometrie

Pravděpodobně nejvíce používaná variace této metody pracuje tak, že nejdříve vyšle na konec vedení signál ve tvaru skoku nebo impulzu. Následně sleduje průběh signálu na témže konci. Blokové schéma reflektometru je na obrázku 2.1. Na sledovaném konci je vidět vyslaný signál a případné odrazy od diskontinuit a poruch na vedení. Z odrazů je pak možné vyhodnocovat vlastnosti vedení, na které byl signál vyslán. Ze znalosti času naměření odrazu můžeme spočítat polohu diskontinuity impedance na vedení:

$$d_D = v_p \cdot \frac{t}{2}$$

Kde d_D je vzálenost diskontinuity na vedení od místa měření, v_p je rychlost šíření signálu na vedení a t je čas uplynulý mezi vysláním signálu a naměřením odrazu.

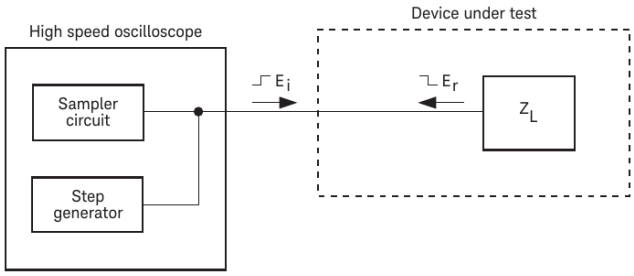
Z amplitudy odraženého signálu lze spočítat hodnota impedance diskontinuity.

$$\rho = \frac{E_r}{E_i} = \frac{Z_D - Z_0}{Z_D + Z_0}$$

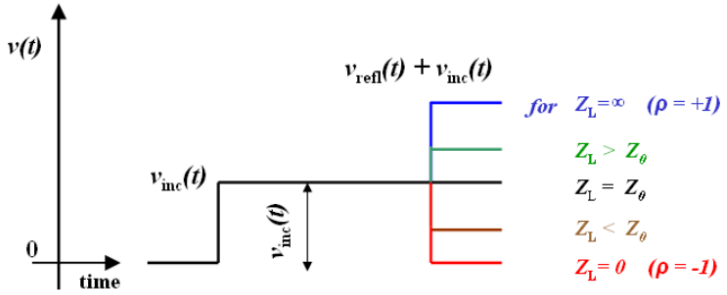
ρ je koeficient odrazu, E_i je amplituda vyslaného signálu (dopadající vlna), E_r amplituda odraženého signálu (odražené vlna), Z_0 je charakteristická impedance vedení a Z_D je impedance diskontinuity. Na obrázku 2.2 je vidět jak vypadá naměřený signál při odrazu od čistě rezistivních zátěží na vedení. [5, 4]

Složitější případ nastává pokud máme několik odrazů, například od diskontinuit na rozhraních několika navazujících vedení s různou charakteristickou impedancí. Při počítání impedance diskontinuit každého odrazu musíme totiž vycházet z charakteristické impedance dopadající vlny, která u druhého odrazu už není charakteristická impedance TDR jako je tomu u odrazu prvního. Navíc musíme pamatovat na to, že se odražený signál z druhého odrazu odráží také na první diskontinuitě.

Dále lze identifikovat i kapacitní a induktivní zátěže, ale už je potřeba počítat nejen s amplitudou, ale i tvarem odrazu.



Obrázek 2.1: Princip TDR. [4]



Obrázek 2.2: Příklad odrazů od čistě rezistivních zátěží. [5]

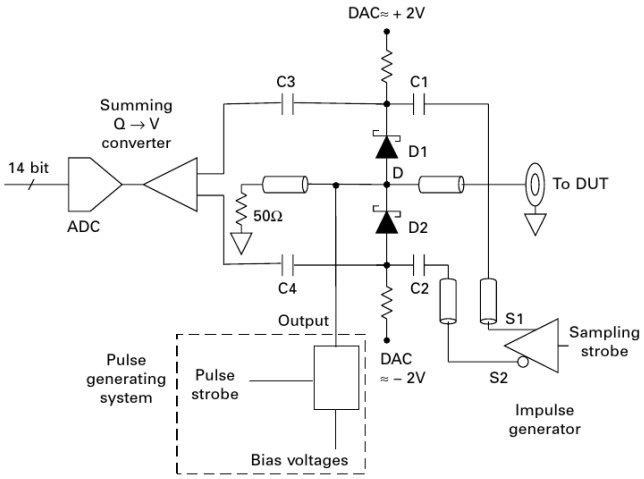
2.1 Přijímač

Jako přijímač je potřeba nějaká forma osciloskopu. Často je výhodnější použít osciloskop se vzorkováním v ekvivalentním čase, protože poskytuje větší šířku pásma u cenově srovnatelného přístroje. Vzorkování v ekvivalentním čase je možné u TDR bez problémů použít, jelikož můžeme signál opakovat kolikrát chceme. Příklad zapojení vzorkovače pro vzorkování v ekvivalentním čase je možno vidět na obrázku 2.3. Využívá diod jako spínačů a kondenzátorů pro uchování navzorkované informace. V tomto případě je navzorkovaný signál ve formě náboje. [6]

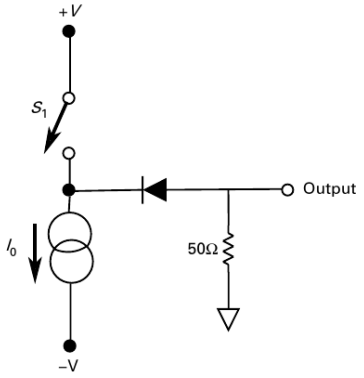
2.2 Vysílač

Vysílač je většinou generátor skoku nebo impulzu. Náběžná hrana by měla být co nejrychlejší, aby jsme měli co nevyšší rozlišení signálu v čase. Na druhou stranu při použití TDR pro zjišťování signálové integrity v reálné aplikaci může příliš rychlá náběžná hrana být i přítěží. Může odhalit i odrazy, které nejsou relevantní, protože v aplikaci jsou použity mnohem pomalejší signály, při kterých jsou některé odrazy zanedbatelné. [5] Signál by měl být co nejkvalitnější - bez zákmitů a zaoblení. Díky rychlé náběžné hraně lze odlišit odrazy časově blízko za sebou a díky kvalitnímu průběhu můžeme s větší jistotou určit jejich amplitudy. [5]

Příklad zapojení generátoru skoku je na obrázku 2.4. Generátor generuje



Obrázek 2.3: Zapojení vzorkovací hlavy. [6]



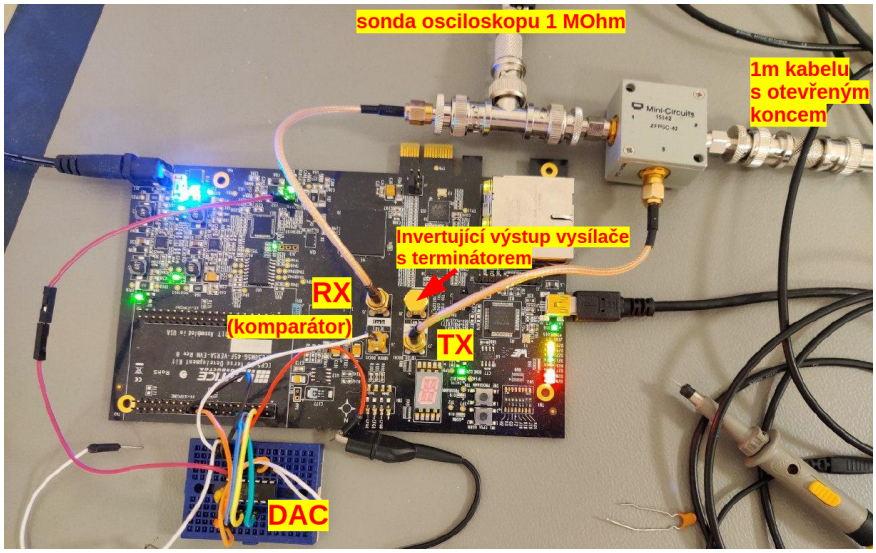
Obrázek 2.4: Příklad zapojení generátoru skoku. [6]

záporný pulz. Když je spínač rozepnutý, tak dioda bude připojená k proudovému zdroji, který vytvoří na uzlu „Output“ záporné napětí $U = I_0 \cdot 50\,\Omega$. Ve stavu sepnutého spínače S1 je katoda diody na kladném napětí, tím pádem je závěrně polarizovaná. Uzel „Output“ uvidí jen odpor $50\,\Omega$. Napětí na uzlu „Output“ se zvedne na $0\,\mathrm{V}$.

Kapitola 3
Návrh TDR

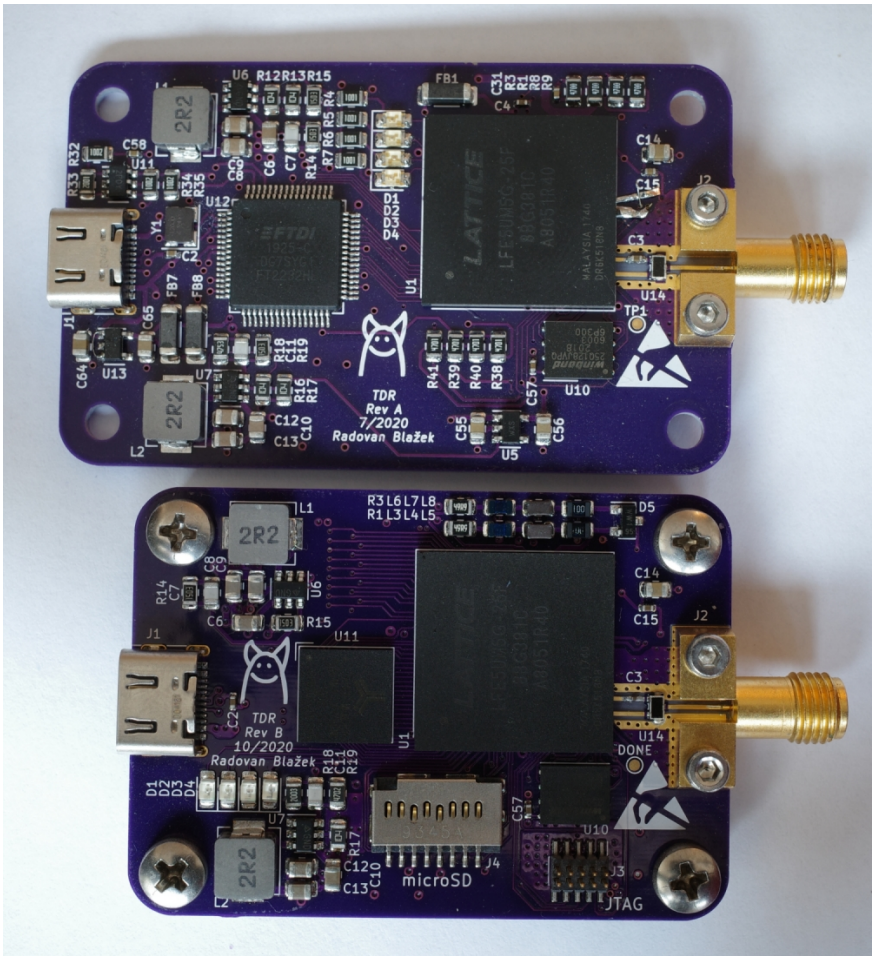
3.1 Postup návrhu

Nejdříve byl sestaven prototyp pro základní ověření funkčnosti techniky vzorkování. Nebylo totiž jisté, že zvolené FPGA bude možné správně nastavit, aby technika vzorkování, vysvětlená v sekci 3.2, fungovala. Byla použita vývojová deska Lattice Versa ECP5 a mikrovlnný dělič výkonu Mini-Circuits ZFRSC-42 [7]. Testovací sestava je vidět na obrázku 3.1.



Obrázek 3.1: Prototyp TDR s vývojovou deskou Lattice Versa ECP5.

Po úspěšném ověření techniky vzorkování na vývojové desce, byly navrženy postupně revize A a následně revize B samostatně fungujícího zařízení TDR. Revizi B jsem se rozhodl navrhnout, protože na revizi A je omylem napojený oscilátor na špatné piny FPGA. Zároveň jsem využil příležitosti a snažil se odstranit některé nedostatky revize A. Bohužel jsem v revizi B udělal zásadní chybu, takže nejlépe použitelná zůstává revize A. Srovnání revize A a B je možno vidět na obrázku 3.2.



Obrázek 3.2: Srovnání revize A a B.

3.2 Způsob vzorkování

Použitá metoda vzrokování je variací vzorkování v ekvivalentním čase, takže je možné vzorkovat pouze opakující se signál. Je založená na stejném principu jako v pracích [2, 8]. Způsob vzorkování je založen na technice postupného porovnávání napětí. Využívá se komparátoru, který porovnává měřený signál a referenční napětí. Komparátor je jen jeden, proto je pro zjištění přesnější velikosti měřeného signálu potřeba měření mnohokrát opakovat s různými velikostmi referenčního napětí. Postup měření:

1. Referenční napětí se nastaví na počáteční úroveň.
2. Začne se čekat na trigger, který je spuštěn vygenerováním napěťového skoku na výstupu TDR.
3. Po triggeru se začne vzorkovat nastavený počet vzorků signálu. V našem případě rychlostí 5 GS/s.

FPGA	Bloková RAM [kb]	Počet vzorků (9bit)
LFE5UM5G-25	1008	2016
LFE5UM5G-45	1944	3888
LFE5UM5G-85	3744	7488

Tabulka 3.1: Počty devítibitových vzorků, které se vejdou do BRAM prodávaných verzí FPGA.

4. Nyní je možné provést fázový posun hodin přijímacícho obvodu oproti vysílacímu obvodu a opakovat měření. Tímto lze teoreticky dosáhnout vyššího rozlišení v čase (vyšší ekvivalentní rychlosti vzorkování). Nicméně to nebylo implementováno.

5. Referenční napětí se přenastaví na další úroveň.

6. Opakujeme měření od bodu 2, dokud nemáme změřeno pro všechny zvolené úrovně referenčního napětí.

3.3 FPGA

Hlavní součástka celého zařízení je FPGA od firmy Lattice z řady ECP5.[9] Jednotlivé obvody řady ECP5 se liší hlavně v množství logických bloků a počtu a rychlosti Serializer/Deserializer (SerDes) bloků.

Logika pro funkci TDR je relativně jednoduchá, takže množství logických bloků nás příliš nezajímá. Nicméně, množství blokové paměti RAM (BRAM) je důležité, protože se do ní ukládají navzorkované hodnoty. Příklad kolik vzorků s velikostí 9 bitů je možné uložit do BRAM dostupných velikostí FPGA ECP5 je na obrázku 3.1. Na množství paměti závisí jak daleko na vedení můžeme měřit odrazy. Vždy jde ale o kompromis. Jelikož nejsme schopni (s danou technikou vzorkování) navzorkovat signál v reálném čase, vzorkujeme signál postupně a potom záleží jak velkou část signálu potřebujeme mít uloženou v BRAM. Pokud chceme mít v paměti celý obraz, tak pro devítíbitové rozlišení napětí můžeme měřit vedení až s délkou:

$$l_{\max} = \frac{N_S \cdot T_S \cdot v_p}{2}$$

Kde N_S je kapacita paměti na vzorky (viz. tabulka 3.1), T_S je perioda vzorkování (pro ECP5-5G je to standardně nejméně 200 ps) a v_p je rychlost šíření vlny ve vedení. Příklad pro koaxiální kabel s činitelem zkrácení 0.66, devítíbitové vzorky a nejkratší periodu vzorkování s FPGA LFE5UM5G-25: 39,889 m. Nicméně to platí pro surová data ze SerDesu, pokud bysme vzorky překódovali do typické podoby sekvence 9ti bitových čísel v přímém binárním kódu, tak vychází maximální délka v řádu kilometrů. Nejmenší verze FPGA je tedy dostatečná.

SerDes blok potřebujeme minimálně jeden, protože využíváme jeho rychlý komparátor pro vzorkování signálu. Vysílač SerDes bloku naopak využijeme

pro generování skoku nebo impulzu. Maximální rychlost SerDes bloku je standardně 3.125 Gb/s u ECP5 a 5 Gb/s u ECP5-5G. Rychlost SerDes bloku byla zvolena 5 Gb/s, aby bylo možné dosáhnout co nejlepšího časového rozlišení měření. FPGA z řady ECP5-5G mají také vyšší rychlost logických bloků než běžné ECP5.

Ostatní rozdíly jsou jako u jiných obvodů v pouzdrech, teplotních rozsazích a kvalifikaci pro automobilový průmysl. Pouzdro bylo vybráno caBGA-381, protože je v něm k dispozici nejvíce verzí ECP5 a je nejvhodnější pro ruční osazení, kvůli větší rozteči kuliček (0,8 mm) než u ostatních pouzder.

3.3.1 Napájení FPGA

ECP5 potřebuje několik napájecích větví. Napájení jádra (samotných logických bloků FPGA) `VCC_CORE` je u zvoleného FPGA 1,2 V. Dále máme napájení analogových obvodů SerDes bloku, jako je fázový závěs, 1,2 V. Větev `VCC_AUX` potřebuje 2,5 V. Napájení vysílače SerDesu potřebuje 1,2 V. Nakonec je potřeba napájet IO banky. IO banky se napájí podle zvoleného standardu, v našem případě je využit standard LVCMOS 3,3 V [10]. Celkový odběr FPGA bohužel nelze bez finalizovaného gatewaru přesně určit. Odběr záleží na množství využité logiky v FPGA, její konfiguraci a taktovací frekvenci. Byl učiněn odhad založen na zapojení vývojové desky Versa ECP5.

Jádro a IO banky

Základem je integrovaný spínaný regulátor AP3402 [11]. Je to nastavitelný regulátor do 2 A s integrovaným spínačem a synchronním usměrňovačem pracující na frekvenci 1 MHz. Regulátor jsem zvolil kvůli nízké ceně, dobré dostupnosti, dostatečně vysoké frekvenci spínání, synchronnímu usměrňovači a malému jednoduše pájitelnému pouzdru. Zapojený je podle schématu typické aplikace z datasheetu, viz. obrázek 3.3. Vstupní napětí je 5 V z USB.

Vysílač, přijímač a analogové obvody

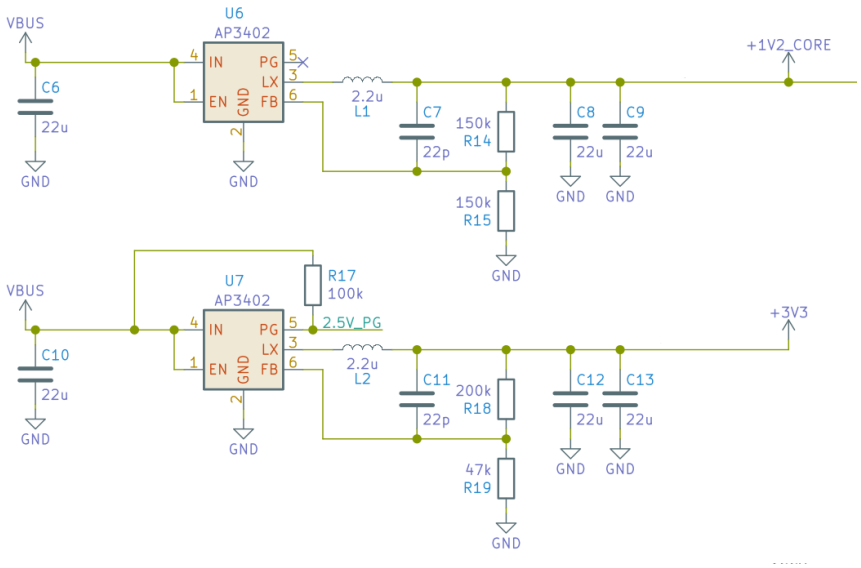
Napájení obvodů SerDesu je realizováno dvěma lineárními regulátory LD39050PUR [12] s výstupním napětím nastaveným na 1,2 V. Regulátor jsem zvolil hlavně kvůli dostupnosti, malým rozměrům pozdra a nižšímu šumu, nicméně je snadno nahraditelný jiným regulátorem s nízkým šumem. Regulátor je napájený z výstupu regulátoru AP3402.

Oscilátor a `VCC_AUX`

Větev 2,5 V napájí jednoduchý lineární regulátor.

3.3.2 Generátor signálu

Jako generátor signálu je použit vysílač SerDesu. Na obrázku 3.4 je vidět, jak vypadá struktura vysílače. Vysílač je zamýšlený pro vysokorychlostní přenos



Obrázek 3.3: Schéma zapojení AP3402.

dat přes diferenciální vedení.

Jedná se o Current Mode Logic (CML) buffer. Invertující výstup je terminován do napájecího napětí. Neinvertující výstup je využit jako výstup generátoru.

SerDes má mnoho nastavitelných parametrů pro vysílač, bohužel velké množství je buď špatně zdokumentované, nebo vůbec nezdokumentované. Jedny z parametrů, co jsou dokumentované a ovlivňují výstupní signál, jsou proudy H-můstky v CML bufferu. Viz. obrázek 3.4.

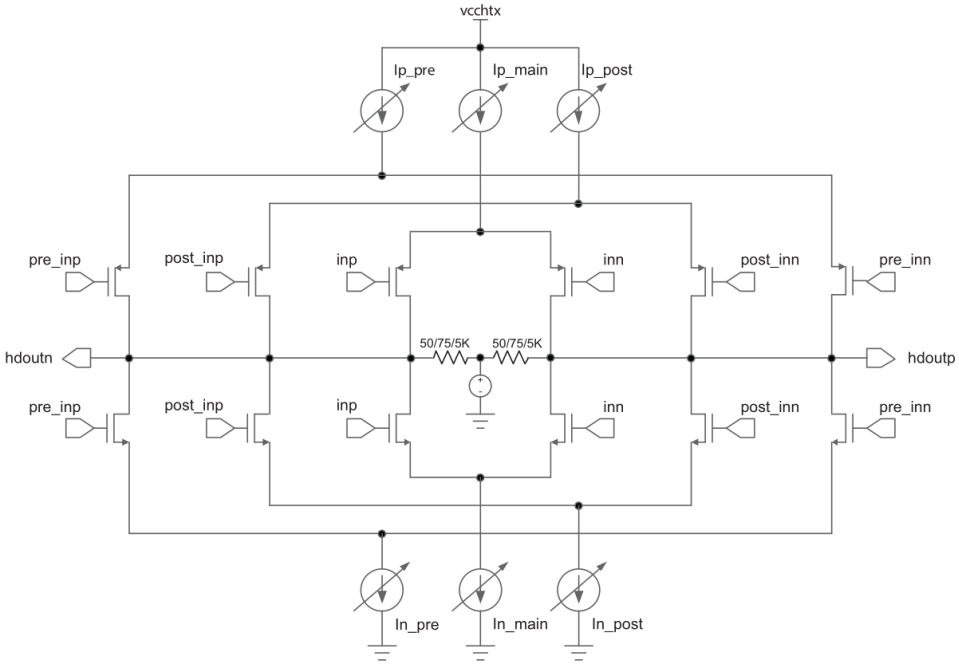
3.4 Vzorkování pomocí komparátoru

3.4.1 Komparátor

Jako komparátor je využit přijímač SerDesu. Nevýhoda přijímače je jeho napěťový rozsah 0,6 – 1,2 V. Když se signál dostane mimo tento rozsah, dostáváme neplatné výsledky, což je nevýhodné, pokud chceme měřit signál blízký 0 V. To je potřeba například při měření vedení se zkratem na konci. Z tohoto důvodu jsem se rozhodl komparátor střídavě oddělit kondenzátorem. Na straně vstupu do komparátoru se pak nastaví stejnosměrná úroveň pomocí D/A převodníku.

3.4.2 CDR

Nastavení Clock and Data Recovery (CDR) bloku byla jedna z nejtěžších částí celé práce. CDR je ve standardním použití zodpovědná za obnovení hodinového signálu z datového signálu a použití tohoto signálu k vzorkování dat. Pracuje jako PLL, které se jako výstup ručně nastaví frekvence datového



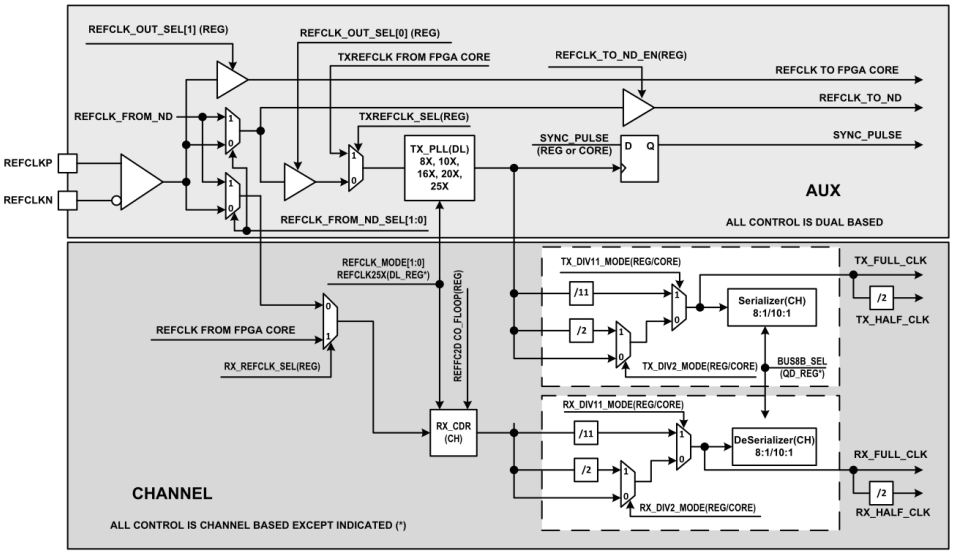
Obrázek 3.4: CML Buffer v ECP5 sloužící jako generátor signálu.[13]

přenosu (bitrate). Jakmile začne přijímač přijímat data, tak se PLL zavěsí na data a fázově se posouvá, aby vzorkování probíhalo ve správný okamžik. Pochopitelně datový přenos musí využívat kódování, které umožňuje práci CDR. To znamená, že musí mít dostatečné množství změn signálu na počet přenesených bitů, aby se s nimi CDR dokázala synchronizovat. Např. 8b10b.

Bohužel, pro TDR je synchronizace s daty nechtěný efekt. Pro TDR chceme mít vzorkovací frekvenci vždy odvozenou od referenčních hodin. TDR by mohlo využít funkci posouvání fáze, nicméně jedině pokud by byla fáze manuálně nastavitelná. Z těchto důvodů je potřeba snahu CDR synchronizovat se s daty zakázat nebo alespoň omezit.

Na obrázku 3.5 je vidět architektura hodin uvnitř SerDes bloku. Je vidět, že jsou do „RX_CDR“ bloku shora přivedeny dva konfigurační registry. Jeden, který nastavuje násobení refereční frekvence a druhý nazvaný „REFFC2D CO_FLOOP(REG)“. Registr není nikde dokumentovaný, ale existují podobně pojmenované bity konfiguračního registru SerDesu (obrázek 3.6). Nastavení bitu „fc2dco_floop“ zřejmě trvale zavěsí CDR na referenční hodiny, protože bez tohoto nastaveného bitu je v naměřených datech enormní jitter zřejmě způsobený nechtěnou synchronizací CDR na data.

Bohužel CDR nezůstává synchronní s referenčními hodinami pořád. Nejspíše proběhne fázový posun při přijmutí náběžné hrany, protože při měření s náběžnou hranou je v datech vysoká míra jitteru. Při měření se sestupnou hranou nejde v datech jitter pozorovat viz. následující data z měření.



Obrázek 3.5: Přehled hodin v SerDes bloku.[13]

Table 75. Serdes Control Register 9 (CH_18)

Bit	Name	Description	R/W	Default
3:0	Reserved			
4	Reserved		R/W	0
5	Reserved		R/W	0
6	fc2dco_floop	1 = Force DCO lock to the frequency loop	R/W	0
7	fc2dco_dloop	1 = Force DCO lock to the data loop	R/W	0

Obrázek 3.6: Jeden z kontrolních registrů SerDesu.[13]

3.5 Deska Plošných Spojů

Jelikož má deska sloužit i pro přenos relativně rychlých signálů, tak je potřeba věnovat pozornost výběru materiálů plošného spoje. Podle datasheetu ECP5 [9] je nejkratší možná náběžná hrana (20 – 80 %) z vysílače 50 ps. To pro systém s Gaussovským průběhem odezvy na impuls přibližně odpovídá šířce pásma 4,46 GHz [14].

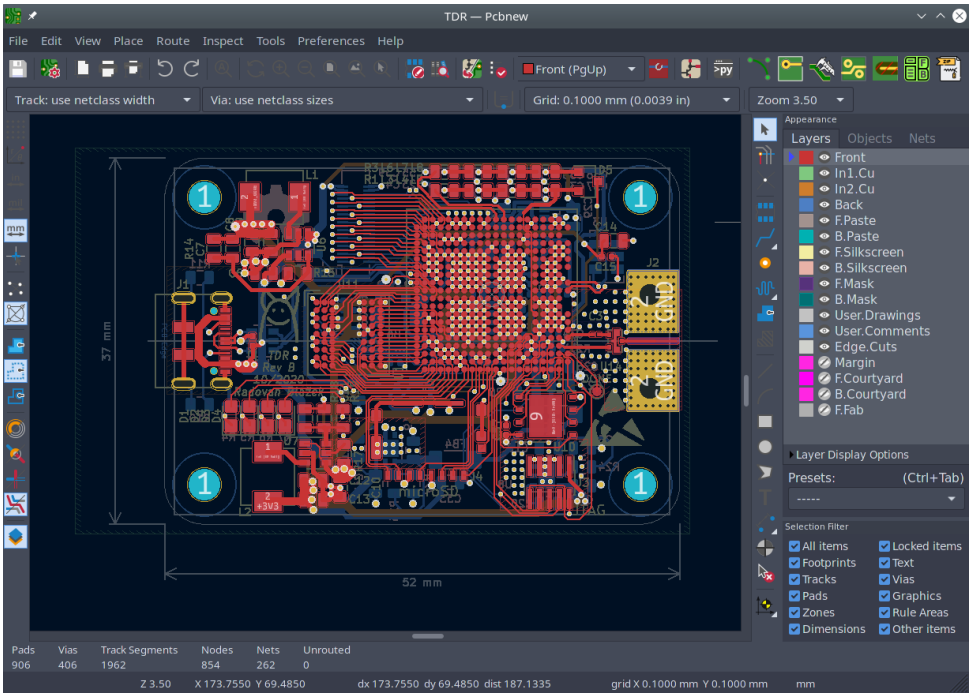
Vybrán byl výrobní proces 4-vrstvých desek od firmy Oshpark [15] kvůli dostupnosti, ceně a substrátu. Použitý substrát je Isola FR408HR s relativní permitivitou $\varepsilon_r = 3{,}68$ a ztrátovým činitelem $\tan\delta = 0{,}0092$. Tloušťka substrátu mezi prvními dvěma vrstvami mědi je 0,1702 mm. Tloušťka mědi vnějších vrstev je 0,0356 mm.

První (horní) vrstva byla zvolena jako signálová pro rychlé signály. Druhá je tím pádem vyhrazena pro nepřerušenou zemní plochu. Třetí byla využita pro rozvod napájení a nekritické signály. Čtvrtou (spodní) jsem použil pro nekritické signály.

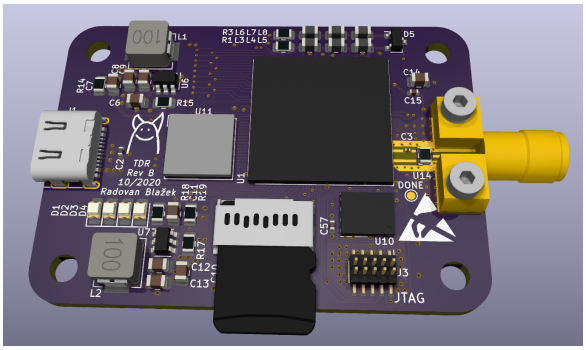
Povrchová úprava ENIG má výhodu, že je výborně pájitelná, nekoroduje a co je důležité pro BGA, povrch zůstává velice rovný narozdíl od úpravy HASL. Nevýhoda je, že ENIG u odmaskovaných mikropáskových vedení

zvyšuje ztráty, protože nikl má nižší vodivost než měď. Protože Oshpark specifikuje nepájivou masku jako „Soldermask Over Bare Copper (SMOBC)“ [15], je možné řešení mikropásek neodmaskovat. Absence ENIG úpravy sníží ztráty v niklu, ale kvůli hůře definované tloušťce masky a nespecifikované permitivitě masky [16] se může zhoršit přesnost výsledné impedance vedení. Vzhledem k malé délce vedení by úprava ENIG neměla v ničem vadit.

Deska byla navržena v programu KiCad [17]. KiCad je svobodný (FOSS) software pro kreslení schémat a návrh plošných spojů. Snímek obrazovky z návrhu TDR v programu KiCad je na obrázku 3.7. Na obrázku 3.8 a 3.9 je vidět 3D náhled na dokončený návrh DPS v programu KiCad.

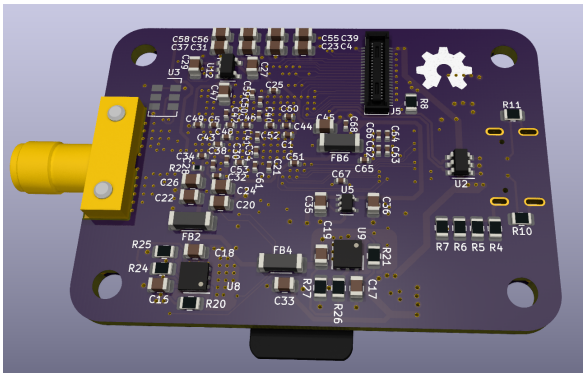


Obrázek 3.7: Návrh plošného spoje v programu KiCad.



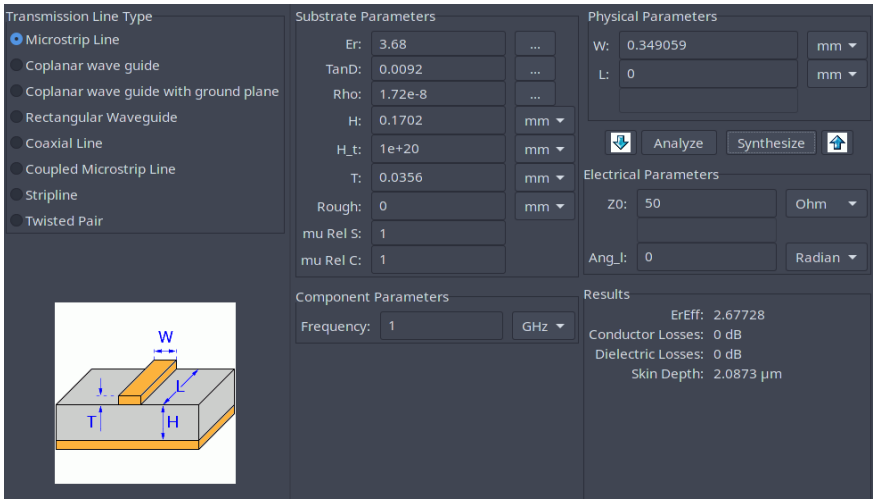
Obrázek 3.8: 3D model v programu KiCad - horní strana.

Pro vedení rychlých signálů byl zvolen mikropásek. Rozměry mikropásku pro 50 Ω byly vypočteny kalkulačkou mikropáskových vedení, která je součástí



Obrázek 3.9: 3D model v programu KiCad - spodní strana.

programu KiCad. Viz. obrázek 3.10.



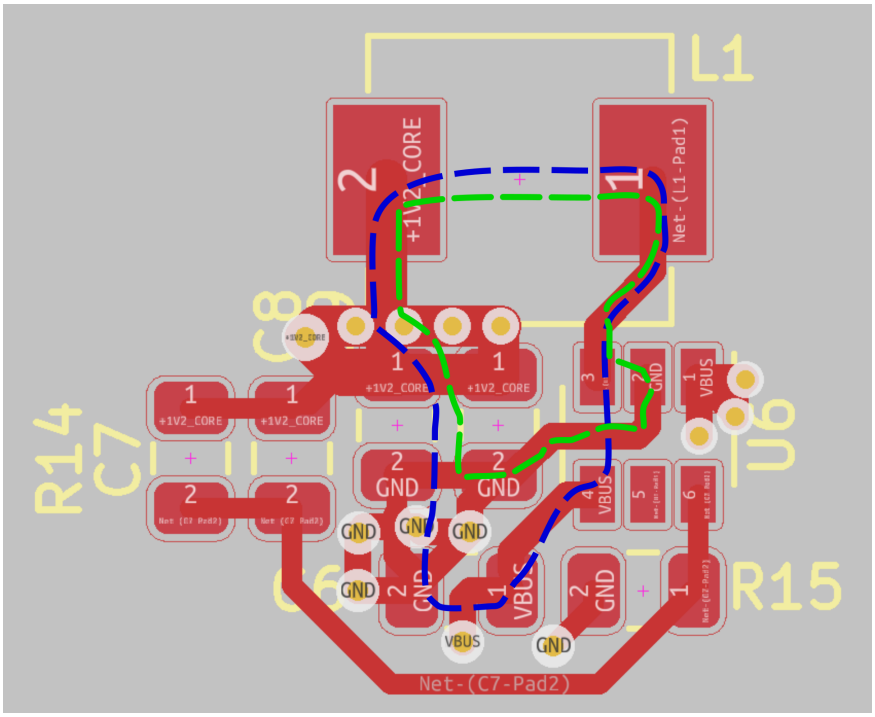
Obrázek 3.10: KiCad kalkulačka mikropáskových vedení.

3.5.1 Buck regulátor

V datasheetu AP3402 [11] není žádné doporučení ohledně layoutu na DPS. Layout byl navržen s důrazem na co nejmenší plochu proudových smyček a jejich vzájemné překrytí. Na obrázku 3.11 je vidět navrhovaný layout regulátoru. Modrou přerušovanou čarou je vyznačena proudová smyčka při nabíjení cívky (high-side spínač je sepnut a synchronní usměrňovač rozepnutý). Zelená čára představuje proudovou smyčku při vybíjení cívky (high-side spínač je rozepnutý a synchronní usměrňovač sepnutý).

3.5.2 Osazení

Nerezovou šablonou napastovaná deska byla osazena ručně pinzetou. Přetavení proběhlo v troubě s infračervenými zářiči. Infra zářiče jsou stíněné tak, že ohřívají vzduch a ne přímo desku a součástky, tím pádem nedochází k



Obrázek 3.11: Layout a proudové smyčky AP3402.

rozdílnému ohřívání povrchů součástek z důvodu rozdílné úrovně absorpce infračerveného záření.

I když byl při návrhu brán zřetel na vyrovnávání tepelných kapacit připojených k ploškám součástek, na revizi B utrpěl kondenzátor C3 poruchu pájení známou jako „tombstoning“[18], viz. obrázek 3.12. Kondenzátor musel být ručně opraven. Přesnost pastování je vidět na obrázku 3.13 a 3.14. Zdá se být dostatečná pro BGA s roztečí 0,8 mm.

Konečná podoba zařízení TDR Revize B je vidět na obrázku 3.15 a 3.16.

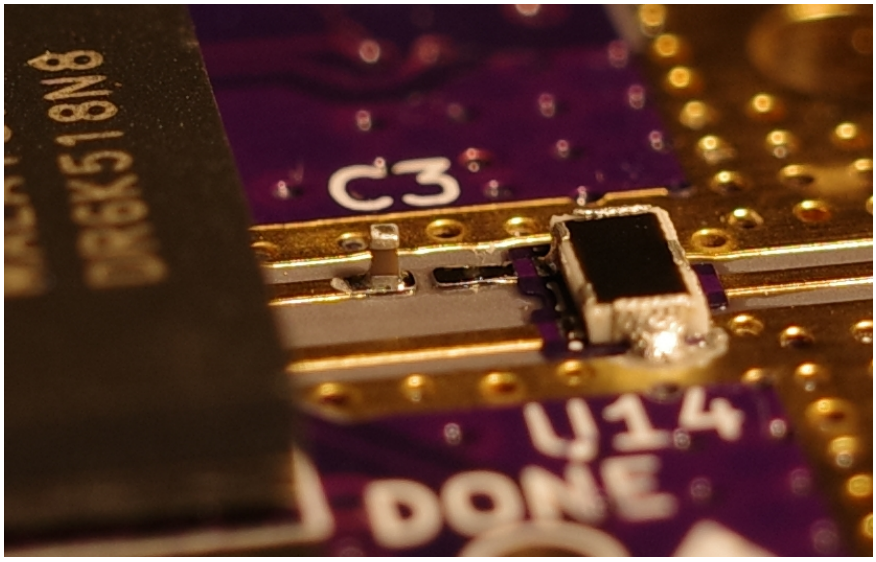
3.6 Analogový frontend

Analogový frontend se skládá z mikrovlnného odporového děliče výkonu, vysílače v FPGA a oddělovacího kondenzátoru s přijímačem v FPGA. Zapojení je naznačeno na obrázku 3.17.

3.6.1 Mikrovlnný dělič výkonu

Jelikož je potřeba, aby dělič měl velkou šířku pásma, byl zvolen odporový dělič výkonu. Odporový dělič výkonu se skládá ze tří odporů zapojených do hvězdy nebo do trojúhelníku. Pro trojúhelník jsou hodnoty odporů $R = Z_0$. Pro hvězdu $R = Z_0/3$.

Byly zvažovány dvě možnosti realizace mikrovlnného děliče. Diskrétní nebo integrovaná. Diskrétní realizace by sestávala z tří rezistorů velikosti 0402 nebo



Obrázek 3.12: Kondenzátor C3 (0201) trpící jevem „tombstoning“ a vpravo od něj mikrovlnný dělič výkonu.

0201 spojených do hvězdy. Pro jednoduchost byl zvolen integrovaný dělič výkonu Susumu PS2012 [19]. Detail děliče je vidět na obrázku 3.18 i 3.12.

3.6.2 SMA konektor

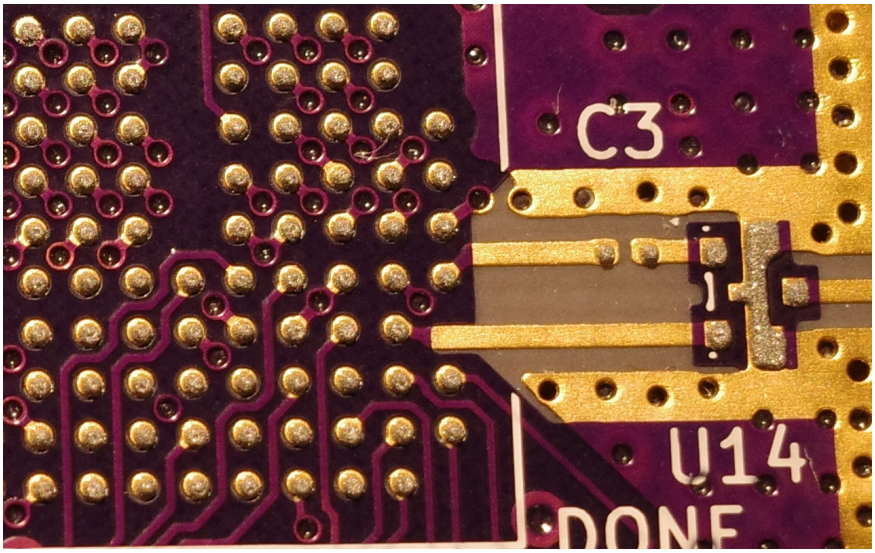
Jedná se o Rosenberger 32K243-40ML5 [20]. Konektor je typu SubMiniature version A (SMA) určený pro frekvence 0 – 18 GHz. Konektor je vidět na obrázku 3.18.

3.7 USB připojení

Připojení k PC pro ovládání TDR a nahrávání nového gatewaru je realizováno pomocí rozhraní USB.

3.7.1 FT2232H

Revize A využívá USB převodník FTDI FT2232H [21]. FT2232H má USB 2.0 rozhraní a dvě rozhraní pro aplikaci: A a B. Rozhraní A je využito jako JTAG pro programování FPGA. Rozhraní B je využito v módu FT245 Async FIFO nebo UART pro komunikaci FPGA s PC. Z pohledu PC se chová v obou módech jako sériový port nebo v případě FT245 Async módu lze ovládat i přes rozhraní ovladače. FT245 Async mód je z pohledu FPGA jednoduchá paralelní sběrnice.



Obrázek 3.13: Detail pasty na horní straně.

3.7.2 USB v FPGA

Revize B má přivedené datové signály z USB konektoru přímo na IO piny FPGA. Po stránce fyzické vrstvy je ještě nutný z gatewaru ovladatelný pull-up odpor na signálu D+, ten je implementovaný jako 1,5 kΩ rezistor zapojený mezi D+ a další IO pin FPGA.

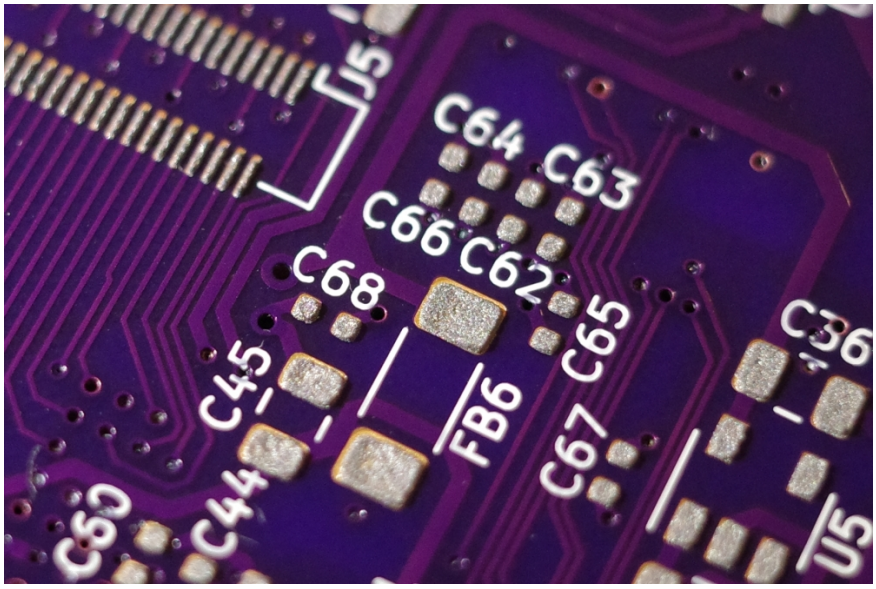
3.7.3 Bootloader Foboot

Foboot [22] je bootloader pro FPGA. Podporuje standard Device Firmware Update (USB-DFU). Původně byl vytvořen pro Fomu [23]. ECP5 umožňuje mít ve flash paměti více konfiguračních bitstreamů. Umožňuje tak aktualizaci bistreamu pro FPGA z FPGA, která je odolná proti chybě. Když je totiž bitstream poškozený, tak FPGA automaticky načte záložní bitstream. Tuto funkci může použít i USB bootloader, kde samotný Foboot představuje záložní bitstream a umí nahrát běžný aplikační bitstream.

Foboot bylo potřeba nakonfigurovat, upravit a sestavit pro desku TDR Revize B. TDR je z pohledu Fobootu specifické tím, že nemá přímo přístup k hodinovému signálu z oscilátoru. Logika v FPGA přijímá hodinový signál ze SerDes bloku. Bylo nutné přidat instancování a nastavení SerDes bloku, i když ho Foboot jinak nevyužívá.

3.8 Gateware

Mezi nejznámější jazyky pro popis hardwaru (HDL) patří Verilog a VHDL. Alternativní jazyky mají z principu vždy jistou pouze jedinou nevýhodu a to, že nejsou podporovány všemi syntetizačními programy. Na druhou stranu mají možnost vyřešit chyby nebo nedokonalosti těchto klasických jazyků.



Obrázek 3.14: Detail napastované spodní strany.

3.8.1 Toolchain

Pro kompilaci gatewaru je použit svobodný a open-source (FOSS) toolchain, který sestává z programů: Yosys [24] pro syntézu a Nextpnr [25] pro place&route. Toolchain je možno použít na Lattice ECP5 díky projektu Trellis [26, 27].

3.8.2 Migen

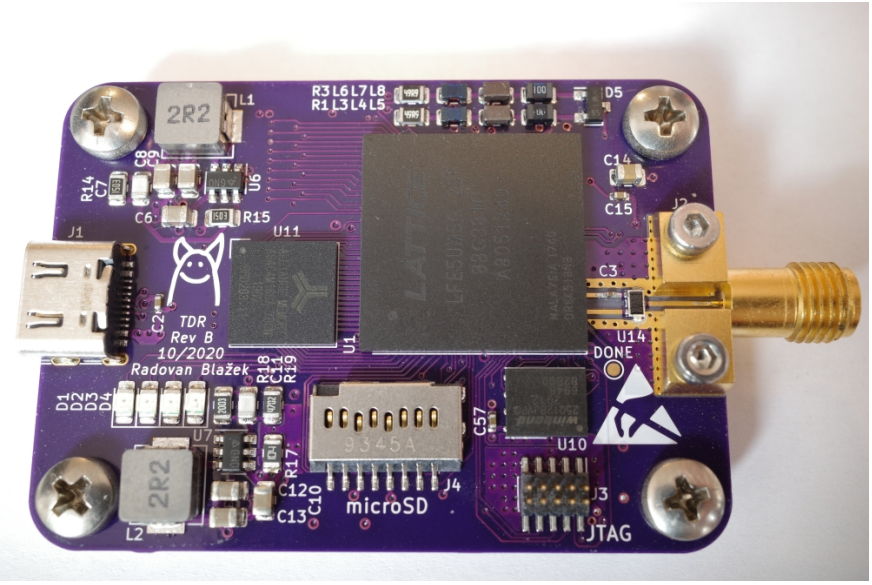
Pro TDR jsem zvolil jazyk Migen. Migen nebo jeho nová verze nMigen [28] je HDL implementovaný jako knihovna v jazyce Python. Migen lze použít pro jakékoliv FPGA, jehož toolchain podporuje vstup Verilog-2001.

3.8.3 Litex

Litex [29] je framework pro sestavování systémů na chipu (SoC) v jazyce Migen. Litex se používá pro automatické připojování různých modulů na společnou Wishbone sběrnici. Navíc je součástí projektu knihovna už hotových modulů, které lze jednoduše použít. To je výhodné jak pro konečnou aplikaci, tak pro ladění.

3.9 Generování referenčního napětí

Na revizi A je referenční napětí pro komparátor generováno pomocí D/A převodníku MCP4822 [30]. MCP4822 má SPI rozhraní, které je ovládáno z FPGA.



Obrázek 3.15: TDR Revize B horní strana.

Na revizi B není využit externí D/A převodník, ale je implementován sigma-delta (ΣΔ) modulátor v FPGA. K běžnému IO pinu FPGA je pak připojen externí filtr pro rekonstrukci analogového napětí z ΣΔ modulovaného bitstreamu. Schéma filtru je na obrázku 3.19. Jedná se o Besselovu dolní propust sedmého řádu. Frekvenci zlomu jsem zvolil 1 MHz, ale není to kritická hodnota. Potřebujeme frekvenci pulzů ze ΣΔ modulátoru mít co nejhlouběji v nepropustném pásmu, aby zvlnění nesnižovalo počet efektivních bitů. Zároveň ale potřebujeme výstup při měření co nejrychleji měnit. Besselův typ filtru jsem zvolil kvůli rychlému ustálení při skokové změně vstupu. Řád filtru byl zvolen co nejvyšší jaký šel jednoduše přidat na plošný spoj.

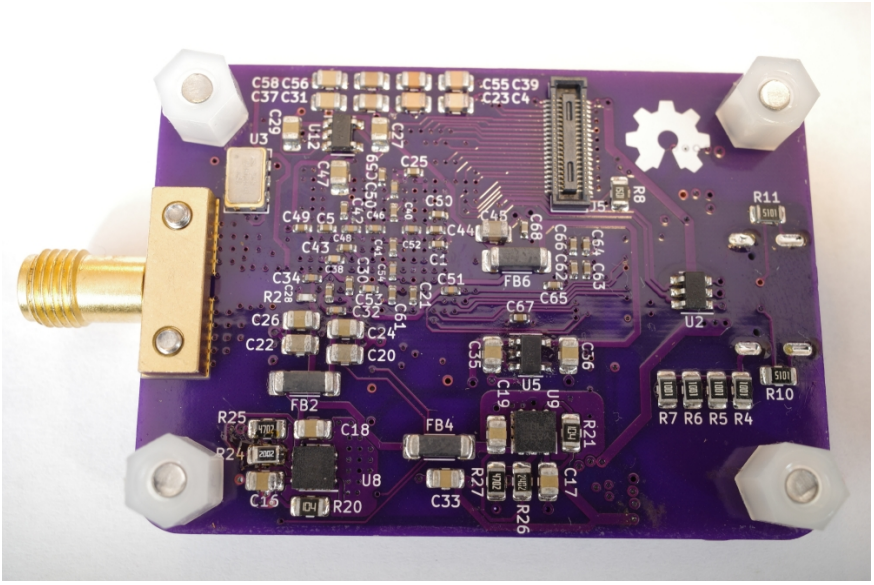
Bohužel jsem si při návrhu neuvědomil, že výstupy z D/A převodníků jsou spojené přes integrovaný terminátor 50 Ω v FPGA. D/A převodníky se přes terminátor ovlivňují, protože nemají na výstupu napěťový sledovač.

3.9.1 ΣΔ modulátor

Byl implementován jednoduchý desetibitový ΣΔ modulátor prvního řádu v Migen HDL.

```
class Dac(Module):
    def __init__(self):
        self.input_value = Signal(10)    # Vstupni hodnota
        self.bitstream = Signal()        # Vystupni bitstream
        difference = Signal(11)          # Vnitrni signal rozdilu
        integrator = Signal(11)          # Vnitrni hodnota integratoru

        # Pri nabezne hrane hodin zvetsime hodnotu
        # integratoru o hodnotu rozdilu
```



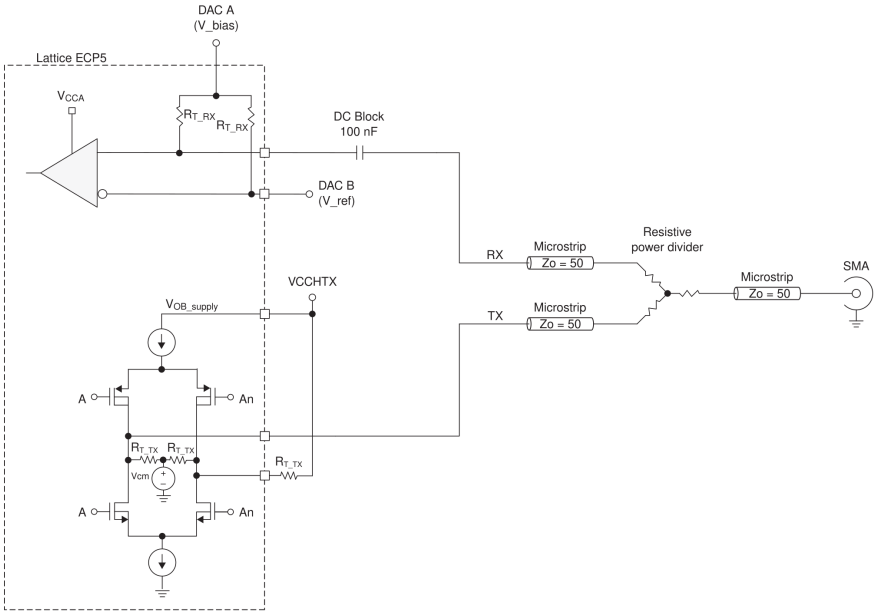
Obrázek 3.16: TDR Revize B spodní strana.

```
self.sync += integrator.eq(integrator + difference)

self.comb += If(integrator[-1],
# Pokud je nejvyssi bit integratoru 1,
# tak rozdil je vstupni hodnota zmensena o 1023
difference.eq(self.input_value - 1023)
).Else(
# Pokud nejvyssi bit integratoru neni 1,
# tak rozdil je ciste vstupni hodnota
difference.eq(self.input_value)
)
# Vystupni signal je nejvyssi bit integratoru
self.comb += self.bitstream.eq(integrator[-1])
```

3.10 Software

Na straně PC se využívá knihovny z frameworku Litex [29] pro ovládání Wishbone sběrnice v FPGA. Knihovna umožňuje jednoduché vyčítání nebo zápis na adresy na sběrnici. Software přes sběrnici zapisuje do registrů jednotlivých modulů gatewaru a tím ovládá proces měření. Naměřené vzorky jsou uložené v blokové paměti RAM (BRAM). BRAM má dva porty. Jeden port slouží pro zápis, kterým gateware zapisuje naměřené vzorky, druhý pro čtení, který je připojený na sběrnici. Software po měření vyčítá vzorky skrz sběrnici pomocí čtecího portu BRAM. Software je ve formě skriptu v jazyce Python, který provede měření, data uloží do souboru a nakonec uloží obraz dat ve formě bitmapy. Byl vytvořen i prototyp jednoduchého grafického uživatelského prostředí (obrázek 3.20), ale nebylo dokončeno.



Obrázek 3.17: Schématické zapojení analogového frontendu TDR.

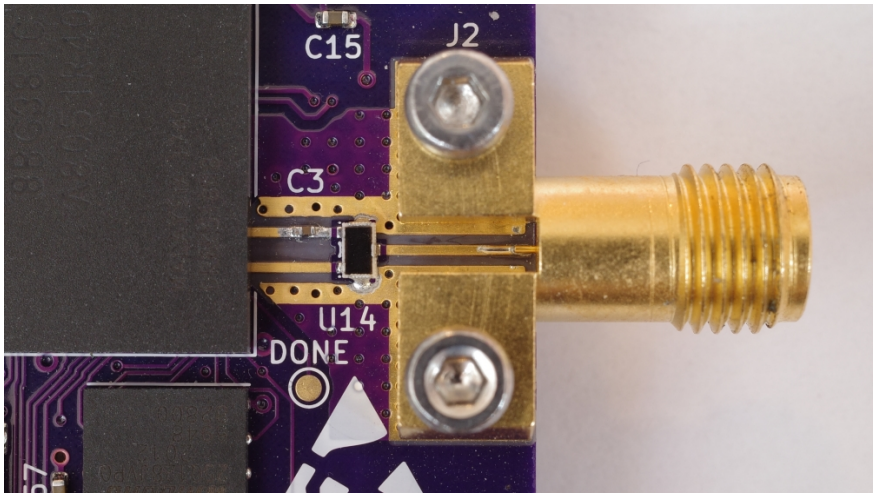
Po vyčtení vzorků se vzorky sestaví do dvourozměrného pole, kde sloupce reprezentují pořadí vzorku, respektive čas. Řádky reprezentují napětí. Když se toto pole zobrazí jako dvoubarevná bitmapa, vznikne obraz, ve kterém je již vidět změřený signál.

Pokud chceme pokračovat ve zpracování dat, můžeme použít operace z matematické morfologie, které se často používají při zpracování obrazu. [31] Ze začátku je výhodné odstranit šum ve formě osamostatněných hodnot 1 nebo 0 v bitmapě. Toho dosáhneme aplikováním binární eroze a následně binární dilatace na bitmapu. Dále můžeme eliminovat horizontální výčnělky a díry. Měřený signál je totiž reprezentovaný okraji neboli rozhraní 1 a 0 v bitmapě. Signál musí být funkce v čase, proto není možné, aby se okraj v některém řádku vyskytoval později nebo dříve v čase než okraj v řádku nad ním i v řádku pod ním. Pro identifikaci těchto neplatných tvarů je použit algoritmus „hit or miss“. Příklad je na obrázku 3.21.

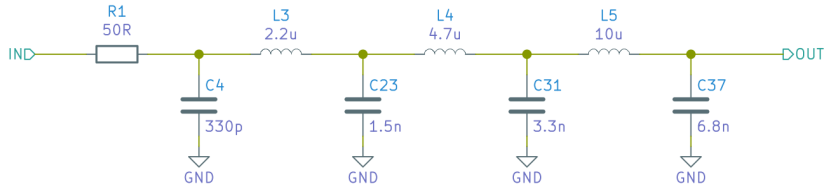
3.11 Měření výstupního signálu z TDR

Průběh výstupního signálu z TDR revize A je vidět na obrázku 3.22. Signál byl změřen osciloskopem Agilent 86100C s nastaveným průměrováním 16x. Výstup z TDR byl zapojen přímo do vstupu osciloskopu.

Začátek náběžné hrany je velice rychlý, ale pak přechází v pomalý náběh připomínající exponencielu. Bohužel takový signál je velice neideální pro použití v TDR. Je možné, že se jedná o přirozené chování CML bufferu ECP5. Vysílač je určený pro malé změny napětí a pokud je změna napětí na jinou logickou úroveň dostatečně rychlá, tak kde se signál, v rámci logické úrovně,



Obrázek 3.18: Detail mikrovlnné části.



Obrázek 3.19: Rekonstrukční filtr ΣΔ D/A převodníku.

pohybuje po této změně už není, pro datový přenos, relevantní.

Pokud vezmeme v úvahu jen „rychlou“ část signálu 0,085 – 0,195 V, tak má náběžná hrana (20 – 80 %) 130 ps.

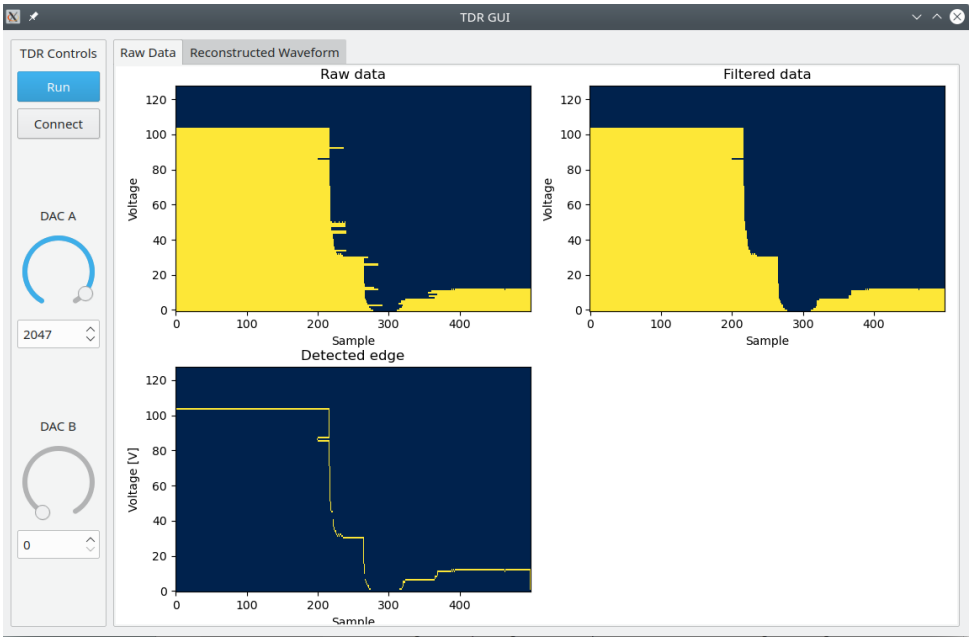
3.12 Příklady naměřených dat

Všechna měření jsou z revize A, protože revize B obsahuje zásadní chybu v návrhu D/A převodníku.

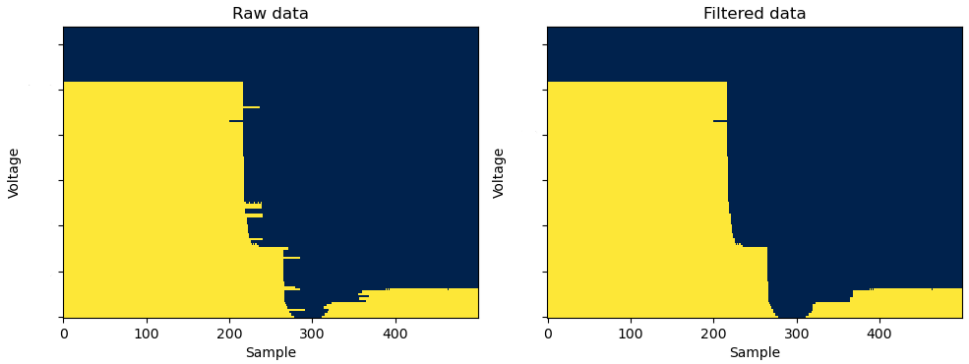
Příklady základních měření jsou vidět na obrázcích 3.23, 3.24 a 3.25. Ve všech třech grafech je vidět promítnutí dlouhé exponenciely z budícího pulzu do měření. Sestupná hrana vysílaného signálu je na vzorku 210.

Zřejmě ve všech měřeních se vyskytuje nežádoucí odraz ihned za sestupnou hranou vasílaného signálu. V některých měřeních jako je na obrázku 3.23 odraz není vidět. Obraz odrazu se mění s nastavení předepínacího napětí na vstupu do komparátoru.

Na obrázku 3.24 je vidět měření kabelu s otevřeným koncem. Odraz od vysoké impedance na konci kabelu je vidět od vzorku 330. Pro srovnání je na obrázku 3.26 signál změřený osciloskopem Rigol 1104Z. Mezi vyslaným signálem a odrazem je rozestup 120 vzorků. Perioda vzorkování je 200 ps. Doba do odrazu je tedy $120 \cdot 200\,\text{ps} = 24\,\text{ns}$. Data z TDR tedy časově odpovídají



Obrázek 3.20: Prototyp grafického uživatelského prostředí.



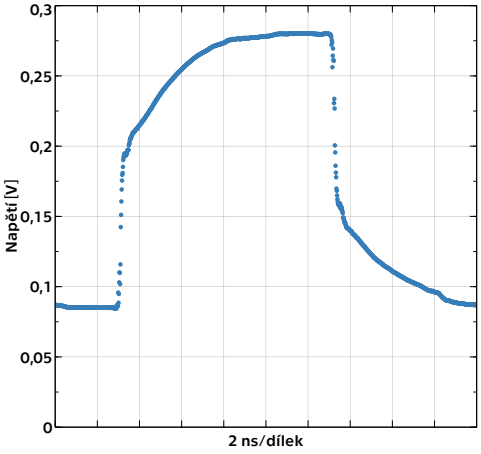
Obrázek 3.21: Příklad volitelného zpracování dat.

datům z osciloskopu. Odraz vypadá jako skok ve stejné polarizaci jako je vyslaný signál, to značí, že diskontinuita na konci kabelu je vyšší impedance než charakteristická impedance kabelu.

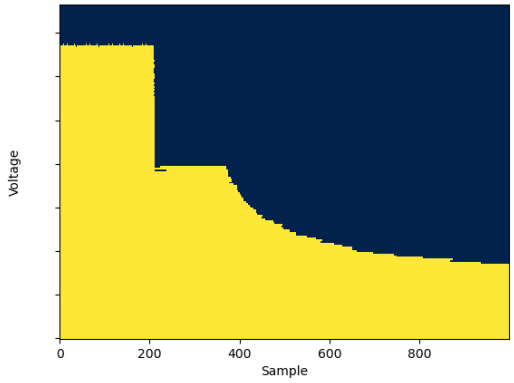
Na obrázku 3.25 je vidět měření kabelu se zkratem na konci. Časově odraz přesně koresponduje s měřením s otevřeným koncem, protože byl použit stejný kabel. Odraz je ale opačné polarity, to značí, že diskontinuita na konci kabelu je nižší impedance než charakteristická impedance kabelu.

3.13 Návrhy na zlepšení

U revize B by za filtry D/A převodníků byl potřeba napěťový sledovač například ve formě operačního zesilovače. Sledovač by měl dokázat dávat i odebírat dostatečný proud, aby se napětí `V_bias` a `V_ref`, vyznačené na



Obrázek 3.22: Výstupní signál z TDR. Osciloskop: Agilent 86100C. Pruměrování: 16x. Vstup: 50 Ω.



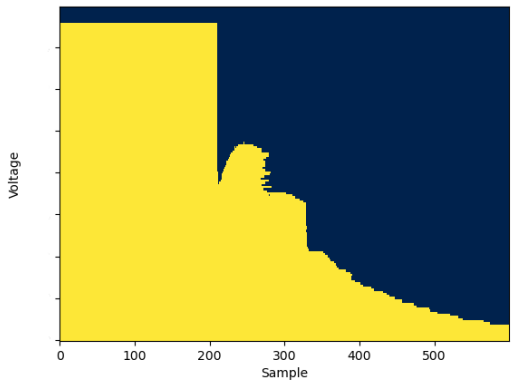
Obrázek 3.23: Měření s terminátorem na SMA konektoru. (200 ps/vzorek)

obrázku 3.17, vzájemně neovlivňovaly.

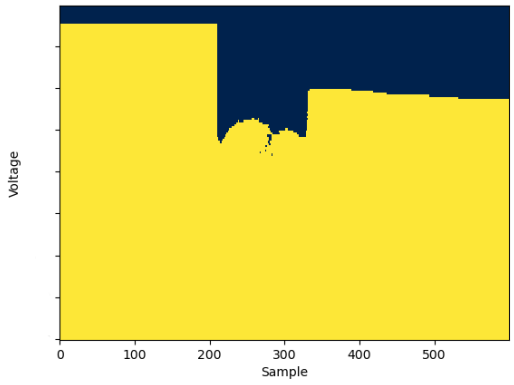
Bylo by vhodné, aby napájení lineárních regulátorů pro analogové obvody nebylo přímo ze spínaného regulátoru. Jako řešení se nabízí ho vyfiltrovat nebo zvolit rychlý lineární regulátor, který dokáže filtrovat spínací frekvenci spínaného regulátoru.

Střídavé oddělení vysílače od měřeného obvodu by mohlo vyřešit problém s vysílaným pulzem. Z generovaného skoku by prošly jen vysokofrekvenční složky a byl by použít výsledný impulz ve tvaru špičky jako měřící signál.

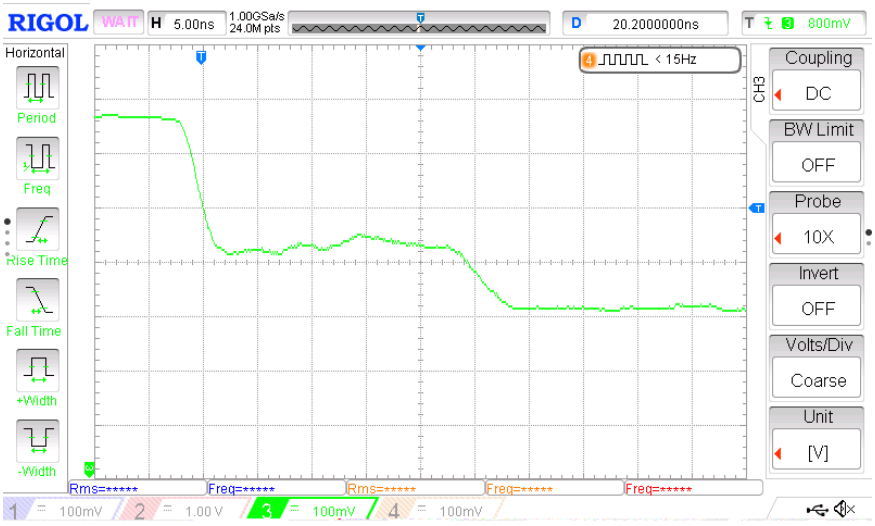
V případě, kdyby se podařilo dosáhnout vyšší kvality vysílaného signálu, tak by bylo hodnotné zlepšení implementovat posouvání fáze hodin vysílače oproti přijímači. Dosáhlo by se tím vyššího rozlišení v čase.



Obrázek 3.24: Měření kabelu s otevřeným koncem. (200 ps/vzorek)



Obrázek 3.25: Měření kabelu se zkratem na konci. (200 ps/vzorek)



Obrázek 3.26: Měření kabelu s otevřeným na koncem osciloskopem Rigol 1104Z.

Kapitola 4

Závěr

Ukázalo se, že TDR založené na FPGA Lattice ECP5-5G je možné postavit. Nicméně, ze získaných zkušeností se zdá, že pro praktické použití nejsou parametry zařízení v současném stavu velice výhodné.

Zásadní chyba je zřejmě použití FPGA ECP5-5G jako generátoru měřícího signálu. Vysílač SerDesu ECP5-5G není pravděpodobně sám o sobě schopný vygenerovat dostatečně rychlý, ale přitom kvalitní, obdélníkový signál. Navrhované řešení je výstup střídavě oddělit, aby prošly jen rychlé pulzy.

Použití přijímače SerDesu ECP5-5G pro vzorkování signálu se naopak zdá trochu lépe prakticky použitelné. Nevýhoda je daný napěťový rozsah přijímače (0,6 – 1,2 V). Když se signál dostane mimo tento rozsah, tak dostáváme neplatné výsledky.

Otázka také je, jestli 5 GS/s není na TDR příliš nízká vzorkovací frekvence. Je totiž možné, že dalšího zpřesňování časového rozlišení nebude na ECP5-5G možné dosáhnout, zejména kvůli nechtěné synchronizaci CDR na vysílaný signál, a tím pádem nemožnost synchronizace mezi měřeními. Řešení by bylo najít registr pro ruční nastavení fázového posunu CDR ať už reverzním inženýrstvím nebo otázkou na výrobce. Testování SerDesu pro alternativní aplikace, jako je tato, značně ztěžuje chybějící dokumentace některých parametrů SerDes bloku.

Nicméně, reflektometr dokáže vyslat signál a navzorkovat odraz, i když k tomu použitý SerDes ECP5-5G není určen.

Bibliografie

1. WIKIPEDIA CONTRIBUTORS. *Optical time-domain reflectometer — Wikipedia, The Free Encyclopedia* [https://en.wikipedia.org/w/index.php?title=Optical_time-domain_reflectometer&oldid=943662280]. 2020. [Online; navštíveno 29. 12. 2020].
2. KLEIN, Jon. *Prototype time domain reflectometer/sampling oscilloscope*. 2019. Dostupné také z: https://github.com/loxodes/tdr. [Online; navštíveno 22. 12. 2020].
3. HARVARD NATURAL SCIENCES LECTURE DEMONSTRATIONS. *Shive Wave Machine*. Dostupné také z: https://sciencedemonstrations.fas.harvard.edu/presentations/shive-wave-machine. [Online; navštíveno 22. 12. 2020].
4. KEYSIGHT. *Time Domain Reflectometry Theory*. 2015. Dostupné také z: http://emlab.uiuc.edu/ece451/appnotes/TDR_Keysight_Appnote_5966-4855E.pdf.
5. TEKTRONIX. *TDR Impedance Measurements: A Foundation for Signal Integrity* [http://www.tek.com/dl/55W_14601_2.pdf]. 2008.
6. TEPPATI, V.; FERRERO, A.; SAYED, M. *Modern RF and Microwave Measurement Techniques*. Cambridge University Press, 2013. Modern RF and Microwave Measurement Techniques. ISBN 9781107036413.
7. MINI-CIRCUITS. *Coaxial Power Splitter/Combiner*. Č. ZFRSC-42. Dostupné také z: https://www.minicircuits.com/pdfs/ZFRSC-42.pdf. Rev. A.
8. YAPO, Ted. *8 GHz Sampling Oscilloscope*. 2019. Dostupné také z: https://hackaday.io/project/167292-8-ghz-sampling-oscilloscope. [Online; navštíveno 22. 12. 2020].
9. LATTICE SEMICONDUCTOR. *ECP5 and ECP5-5G Family Datasheet*. 2018. FPGA-DS-02012 Version 1.9.
10. JEDEC. *JEDEC Standard JESD8C.01 - Interface Standard for 3.3V (Normal Range) Power Supply Voltage for Nonterminated Digital Integrated Circuits*. 2007. Dostupné také z: https://www.jedec.org/system/files/docs/JESD8C-01.pdf.

11. DIODES. *1.0MHZ, 2A STEP-DOWN DC-DC BUCK CONVERTER*. 2016. Č. AP3402. Dostupné také z: https://www.diodes.com/assets/Datasheets/AP3402.pdf.
12. STMICROELECTRONICS. *500 mA low quiescent current and low noise voltage regulator*. 2019. Č. LD39050. Dostupné také z: https://www.st.com/resource/en/datasheet/ld39050.pdf.
13. LATTICE SEMICONDUCTOR. *TN1261 1.1 - ECP5 and ECP5-5G SERDES/PCS Usage Guide*. 2015. Dostupné také z: https://www.latticesemi.com/-/media/LatticeSemi/Documents/ApplicationNotes/EH/TN1261.ashx?document_id=50463.
14. WIKIPEDIA CONTRIBUTORS. *Rise time — Wikipedia, The Free Encyclopedia* [https://en.wikipedia.org/w/index.php?title=Rise_time&oldid=995082349]. 2020. [Online; navštíveno 27. 12. 2020].
15. OSHPARK. *4 Layer Prototype Service* [https://docs.oshpark.com/services/four-layer/]. 2020.
16. TAIYO AMERICA. *LIQUID PHOTOIMAGEABLE SOLDER MASK*. Č. PSR-4000BN DI COLORS. Dostupné také z: https://docs.oshpark.com/resources/rigid-soldermask-Taiyo-PSR-4000-BN-DI-Colors.pdf.
17. CHARRAS, Jean-Pierre; HOLLENBECK, Dick; STAMBAUGH, Wayne et al. *KiCad (verze 5.99)*. 2020. Dostupné také z: https://kicad.org/. Dostupné pro Linux, Windows, MacOS.
18. EUROCIRCUITS. *Tips & Tricks – Why Do Components Tombstone* [https://www.eurocircuits.com/blog/tips-tricks-why-do-components-tombstone/]. [Online; navštíveno 27. 12. 2020].
19. SUSUMU. *Power Splitter*. 2019. Č. PS2021G. Dostupné také z: https://www.susumu.co.jp/common/pdf/n_catalog_partition31_en.pdf.
20. ROSENBERGER HOCHFREQUENZTECHNIK. *SMA Right Angle Jack PCB*. 2006. Č. 02K243-40ME3. Dostupné také z: https://products.rosenberger.com/_ocassets/db/32K243-40ML5.pdf.
21. FUTURE TECHNOLOGY DEVICES INTERNATIONAL. *FT2232H Dual High Speed USB to Multipurpose UART/FIFO IC Datasheet*. 2016. Č. FT2232H. Dostupné také z: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232D.pdf. Verze 2.5.
22. ANSELL, Tim et al. *Foboot*. 2020. Dostupné také z: https://github.com/im-tomu/foboot. [Online; navštíveno 22. 12. 2020].
23. ANSELL, Tim et al. *Fomu*. 2020. Dostupné také z: https://tomu.im/fomu.html. [Online; navštíveno 22. 12. 2020].
24. WOLF, Clifford. *Yosys Open SYnthesis Suite* [http://www.clifford.at/yosys/].

25. SHAH, David; HUNG, Eddie; WOLF, Clifford; BAZANSKI, Serge; GISSELQUIST, Dan; MILANOVIĆ, Miodrag. *Yosys+nextpnr: an Open Source Framework from Verilog to Bitstream for Commercial FPGAs*. 2019. Dostupné z arXiv: `1903.10407 [cs.DC]`.

26. SHAH, David. *Project Trellis*. 2020. Dostupné také z: `https://github.com/SymbiFlow/prjtrellis`. [Online; navštíveno 22. 12. 2020].

27. SYMBIFLOW TEAM. *Project Trellis Documentation*. 2018. Dostupné také z: `https://prjtrellis.readthedocs.io/en/latest/`.

28. WHITEQUARK et al. *nMigen* [`https://github.com/nmigen/nmigen`].

29. KERMARREC, Florent; BOURDEAUDUCQ, Sébastien; LANN, Jean-Christophe Le; BADIER, Hannah. *LiteX: an open-source SoC builder and library based on Migen Python DSL*. 2020. Dostupné z arXiv: `2005.02506 [cs.AR]`.

30. MICROCHIP TECHNOLOGY. *8/10/12-Bit Dual Voltage Output Digital-to-Analog Converterwith Internal VREF and SPI Interface*. 2015. Č. MCP4802/4812/4822. Dostupné také z: `https://ww1.microchip.com/downloads/en/DeviceDoc/20002249B.pdf`. Revize B.

31. HLAVÁČ, Václav. *Matematická morfologie*. 2020. Dostupné také z: `http://people.ciirc.cvut.cz/~hlavac/TeachPresCz/11DigZprObr/71-3MatMorpholBinCz.pdf`. [Prezentace; Online].

Příloha A

Seznam zkratek

USB Universal Serial Bus

DFU Device Firmware Upgrade

DSL Domain Specific Language

TDR Time Domain Reflectometer

CDR Clock and Data Recovery

PLL Phase-Locked Loop

LVDS Low Voltage Differential Signaling

SerDes Serializer Deserializer

BGA Ball Grid Array

IO Input Output

DPS Deska Plošných Spojů

HASL Hot Air Solder Leveling

SMA SubMiniature version A

ENIG Electroless Nickel Immersion Gold

BRAM Block RAM

RAM Random Access Memory

SPI Serial Peripheral Interface

FOSS Free and Open Source Software

UART Universal Asynchronous Receiver Transmitter

SoC System on Chip

FIFO First In First Out

HDL Hardware Description Language

GS Gigasample - miliarda vzorků

VHDL VHSIC Hardware Description Language

VHSIC Very High Speed Integrated Circuits

CML Current Mode Logic

SW Software

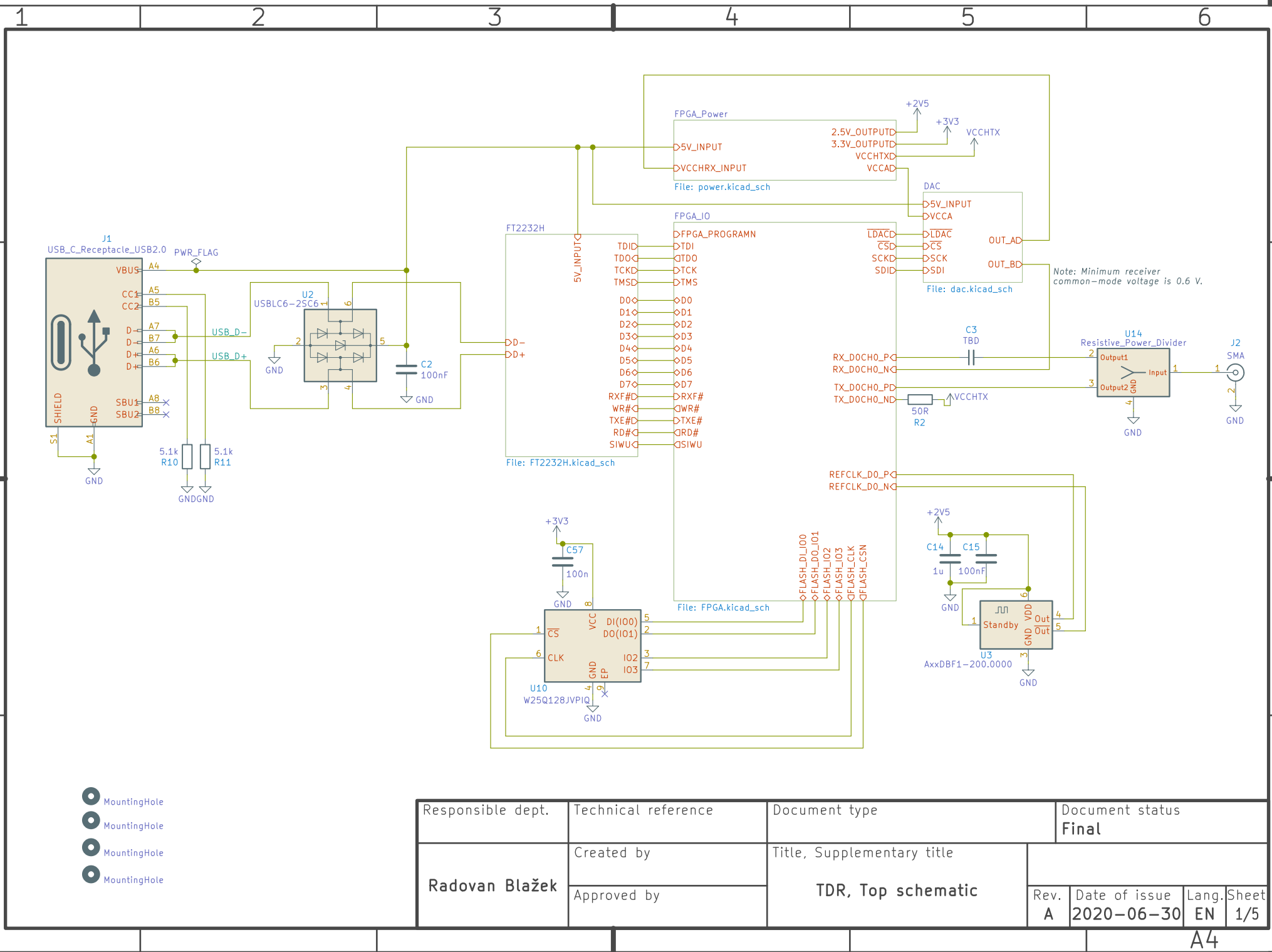
FPGA Field Programmable Gate Array

PC Personal Computer

D/A, DAC Digital to Analog, Digital to Analog Converter

Příloha B

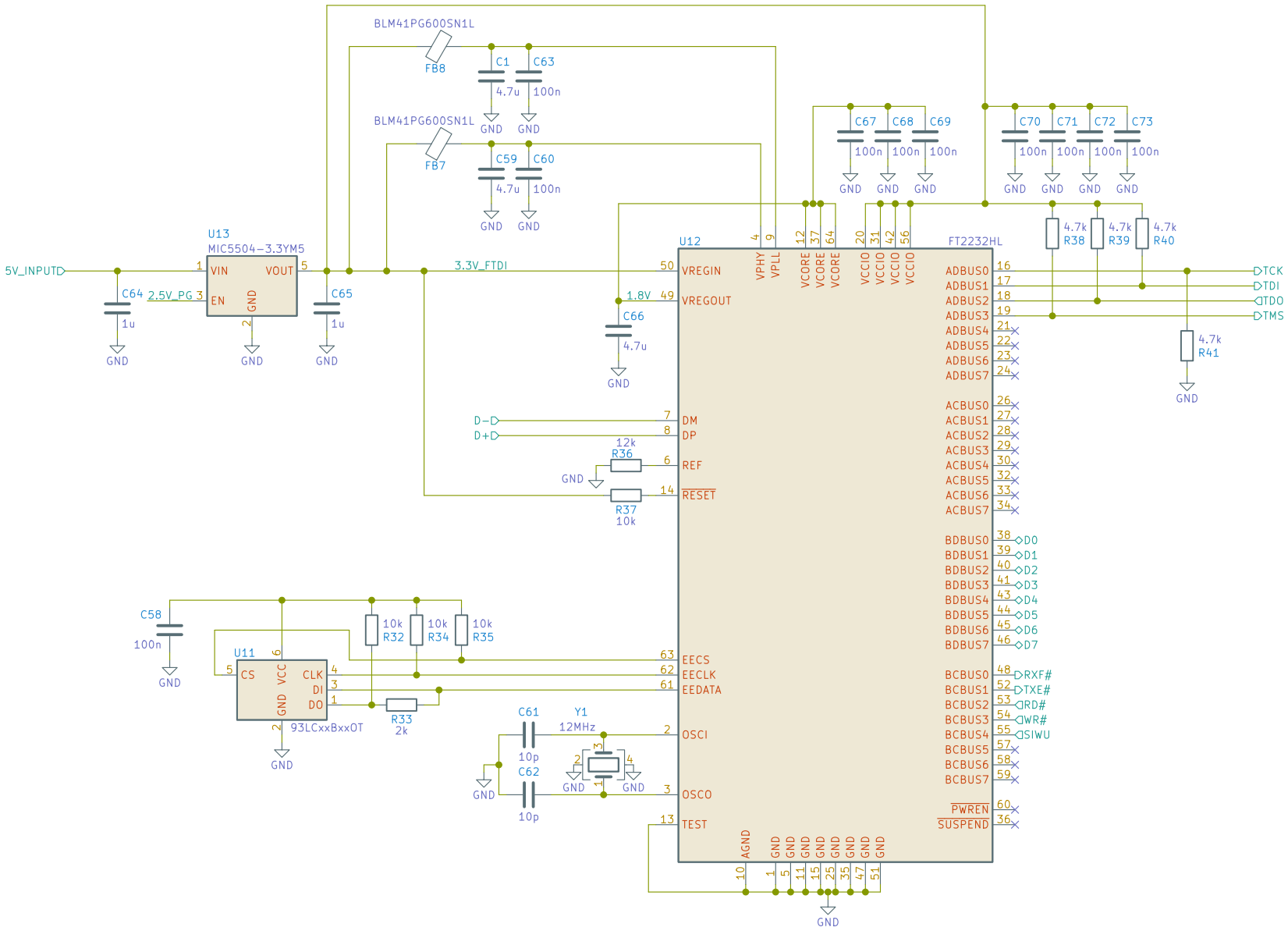
Schémata Revize A



Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, Top schematic	

Rev.	Date of issue	Lang.	Sheet
A	2020-06-30	EN	1/5

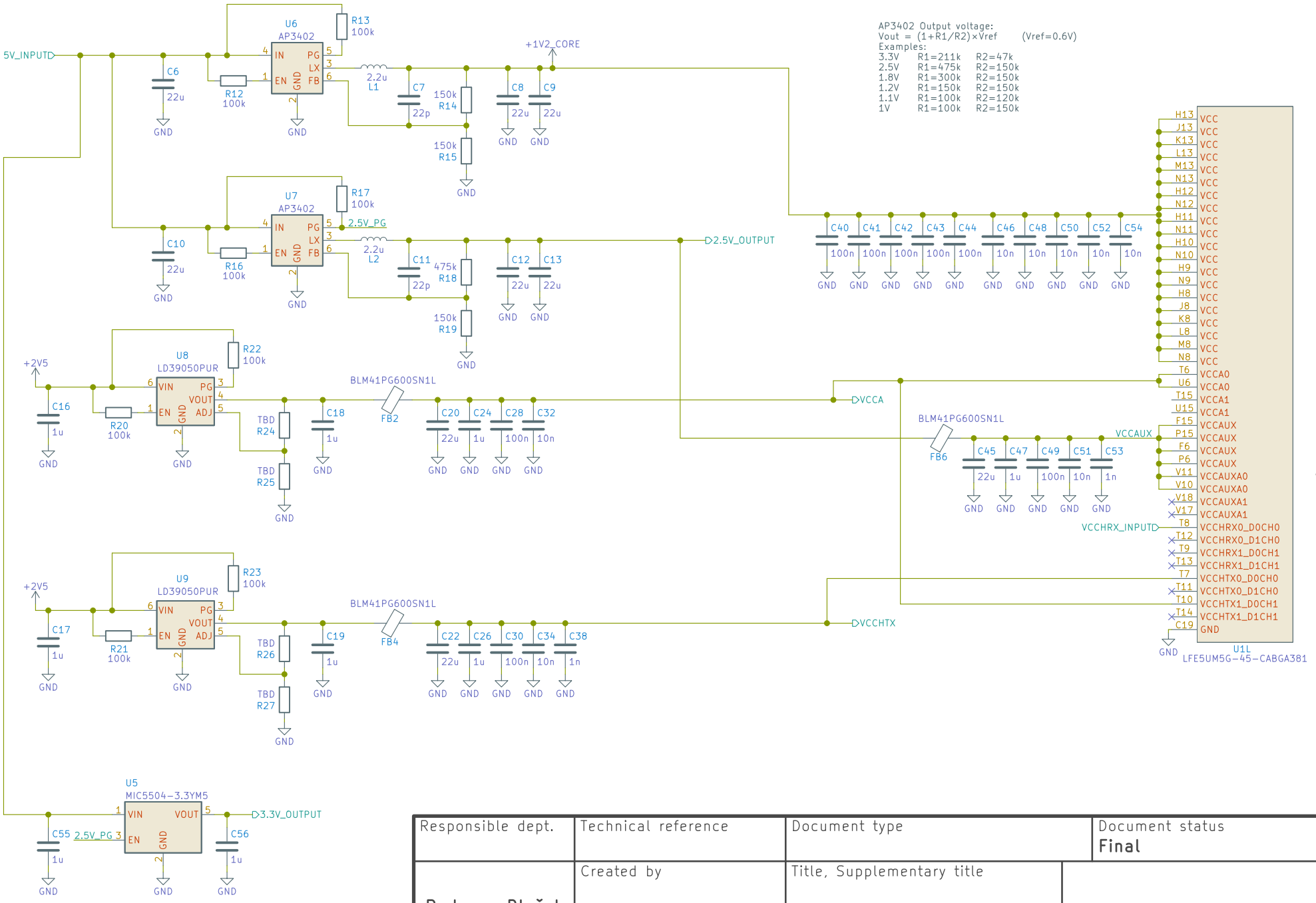
A4



Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, FT2232	

Rev.	Date of issue	Lang.	Sheet
A	2020-06-30	EN	2/5

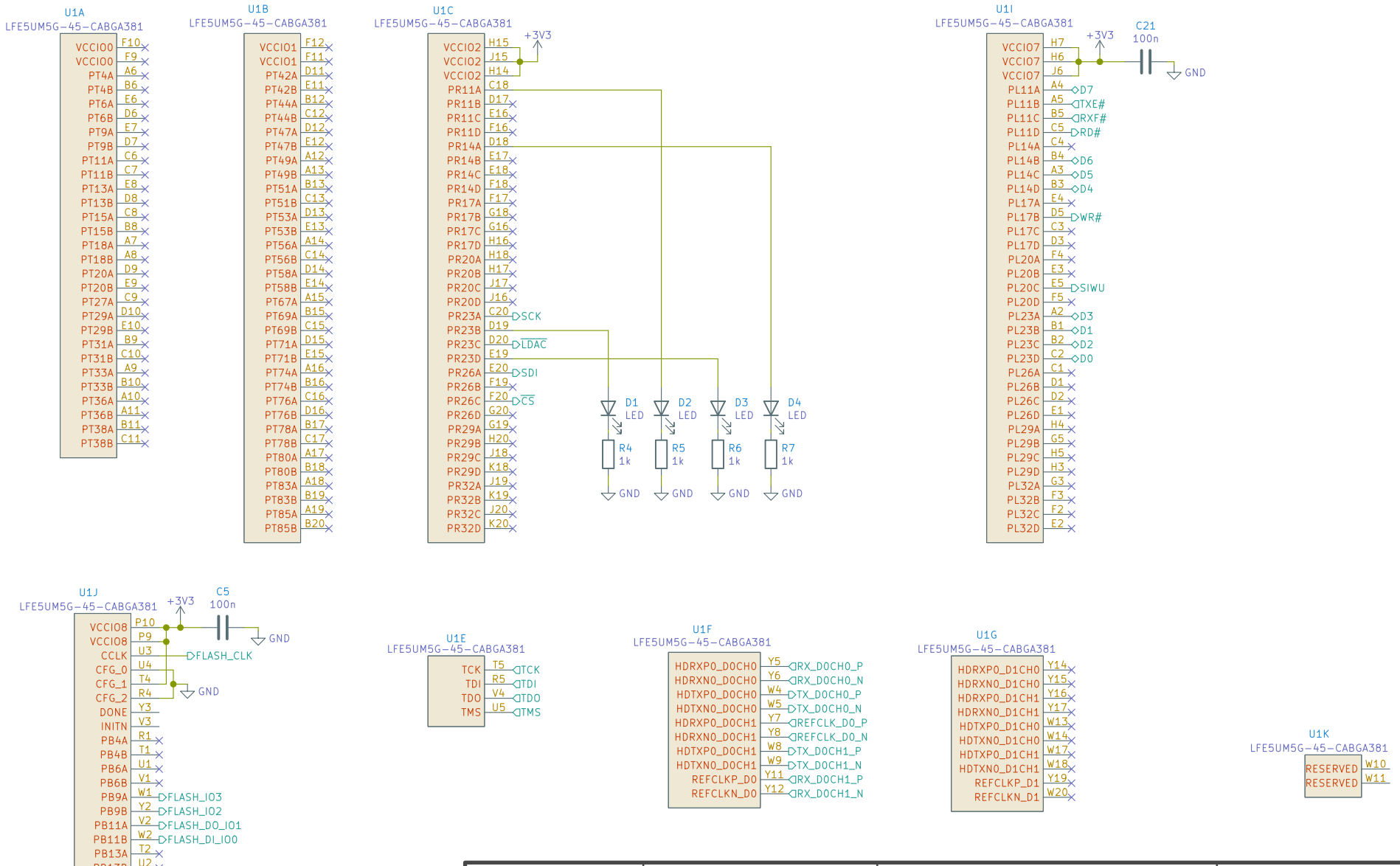
A4

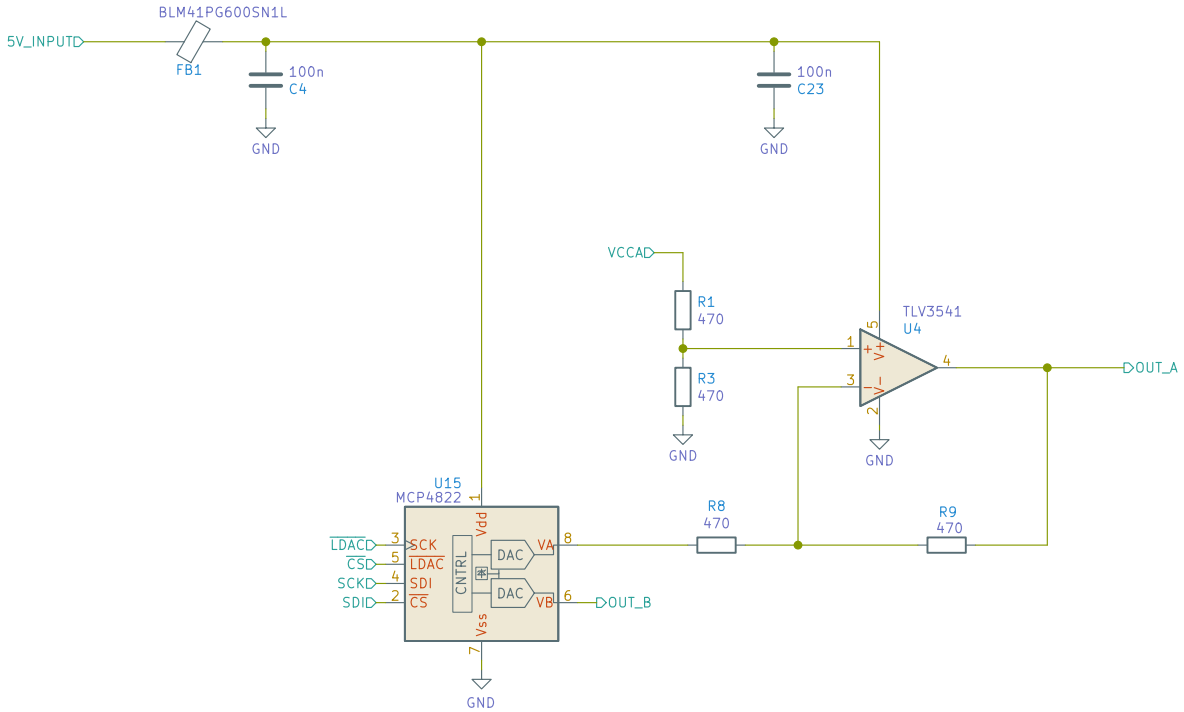


Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, FPGA Power	

Rev.	Date of issue	Lang.	Sheet
A	2020-06-30	EN	3/5

A4


U1A
LFE5UM5G-45-CABGA381
VCCIO0 F10
VCCIO0 F9
PT4A A6
PT4B B6
PT6A E6
PT6B D6
PT9A E7
PT9B D7
PT11A C6
PT11B C7
PT13A E8
PT13B D8
PT15A C8
PT15B B8
PT18A A7
PT18B A8
PT20A D9
PT20B E9
PT27A C9
PT29A D10
PT29B E10
PT31A B9
PT31B C10
PT33A A9
PT33B B10
PT36A A10
PT36B A11
PT38A B11
PT38B C11
U1B
LFE5UM5G-45-CABGA381
VCCIO1 F12
VCCIO1 F11
PT42A D11
PT42B E11
PT44A B12
PT44B C12
PT47A D12
PT47B E12
PT49A A12
PT49B A13
PT51A B13
PT51B C13
PT53A D13
PT53B E13
PT56A A14
PT56B C14
PT58A D14
PT58B E14
PT67A A15
PT69A B15
PT69B C15
PT71A D15
PT71B E15
PT74A A16
PT74B B16
PT76A C16
PT76B D16
PT78A B17
PT78B C17
PT80A A17
PT80B B18
PT83A A18
PT83B B19
PT85A A19
PT85B B20
U1C
LFE5UM5G-45-CABGA381
+3V3
VCCIO2 H15
VCCIO2 J15
VCCIO2 H14
PR11A C18
PR11B D17
PR11C E16
PR11D F16
PR14A D18
PR14B E17
PR14C E18
PR14D F18
PR17A F17
PR17B G18
PR17C G16
PR17D H16
PR20A H18
PR20B H17
PR20C J17
PR20D J16
PR23A C20 SCK
PR23B D19
PR23C D20 LDAC
PR23D E19
PR26A E20 SDI
PR26B F19
PR26C F20 CS
PR26D G20
PR29A G19
PR29B H20
PR29C J18
PR29D K18
PR32A J19
PR32B K19
PR32C J20
PR32D K20
D1 LED
D2 LED
D3 LED
D4 LED
R4 1k
R5 1k
R6 1k
R7 1k
GND
U1I
LFE5UM5G-45-CABGA381
+3V3
C21 100n
VCCIO7 H7
VCCIO7 H6
VCCIO7 J6
PL11A A4 D7
PL11B A5 TXE#
PL11C B5 RXF#
PL11D C5 RD#
PL14A C4
PL14B B4 D6
PL14C A3 D5
PL14D B3 D4
PL17A E4
PL17B D5 WR#
PL17C C3
PL17D D3
PL20A F4
PL20B E3
PL20C E5 SIWU
PL20D F5
PL23A A2 D3
PL23B B1 D1
PL23C B2 D2
PL23D C2 D0
PL26A C1
PL26B D1
PL26C D2
PL26D E1
PL29A H4
PL29B G5
PL29C H5
PL29D H3
PL32A G3
PL32B F3
PL32C F2
PL32D E2
U1J
LFE5UM5G-45-CABGA381
+3V3
C5 100n
VCCIO8 P10
VCCIO8 P9
CCLK U3 FLASH_CLK
CFG_0 U4
CFG_1 T4
CFG_2 R4
DONE Y3
INITN V3
PB4A R1
PB4B T1
PB6A U1
PB6B V1
PB9A W1 FLASH_IO3
PB9B Y2 FLASH_IO2
PB11A V2 FLASH_D0_IO1
PB11B W2 FLASH_DI_IO0
PB13A T2
PB13B U2
PB15A R2 FLASH_CSN
PB15B R3
PB18A T3
PROGRAMN W3 FPGA_PROGRAMN
GND
U1E
LFE5UM5G-45-CABGA381
TCK T5 TCK
TDI R5 TDI
TDO V4 TDO
TMS U5 TMS
U1F
LFE5UM5G-45-CABGA381
HDRXP0_D0CH0 Y5 RX_D0CH0_P
HDRXN0_D0CH0 Y6 RX_D0CH0_N
HDTXP0_D0CH0 W4 TX_D0CH0_P
HDTXN0_D0CH0 W5 TX_D0CH0_N
HDRXP0_D0CH1 Y7 REFCLK_D0_P
HDRXN0_D0CH1 Y8 REFCLK_D0_N
HDTXP0_D0CH1 W8 TX_D0CH1_P
HDTXN0_D0CH1 W9 TX_D0CH1_N
REFCLKP_D0 Y11 RX_D0CH1_P
REFCLKN_D0 Y12 RX_D0CH1_N
U1G
LFE5UM5G-45-CABGA381
HDRXP0_D1CH0 Y14
HDRXN0_D1CH0 Y15
HDRXP0_D1CH1 Y16
HDRXN0_D1CH1 Y17
HDTXP0_D1CH0 W13
HDTXN0_D1CH0 W14
HDTXP0_D1CH1 W17
HDTXN0_D1CH1 W18
REFCLKP_D1 Y19
REFCLKN_D1 W20
U1K
LFE5UM5G-45-CABGA381
RESERVED W10
RESERVED W11
Responsible dept.
Technical reference
Document type
Document status
Final
Radovan Blažek
Created by
Approved by
Title, Supplementary title
TDR, FPGA IO
Rev.
A
Date of issue
2020-06-30
Lang.
EN
Sheet
4/5
A4



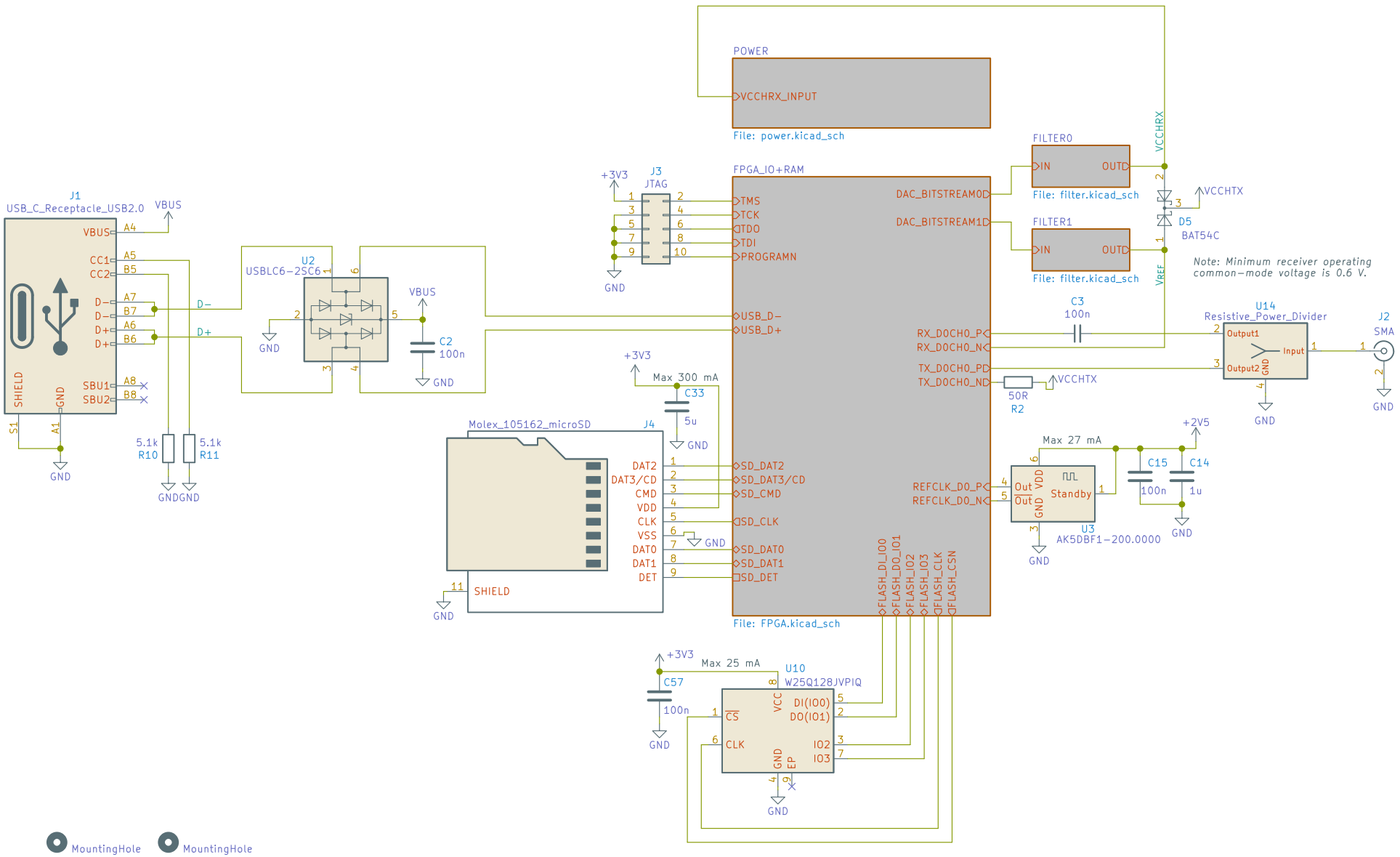
Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by		

Rev.	Date of issue	Lang.	Sheet
A	2020-06-30	EN	5/5

A4

Příloha C

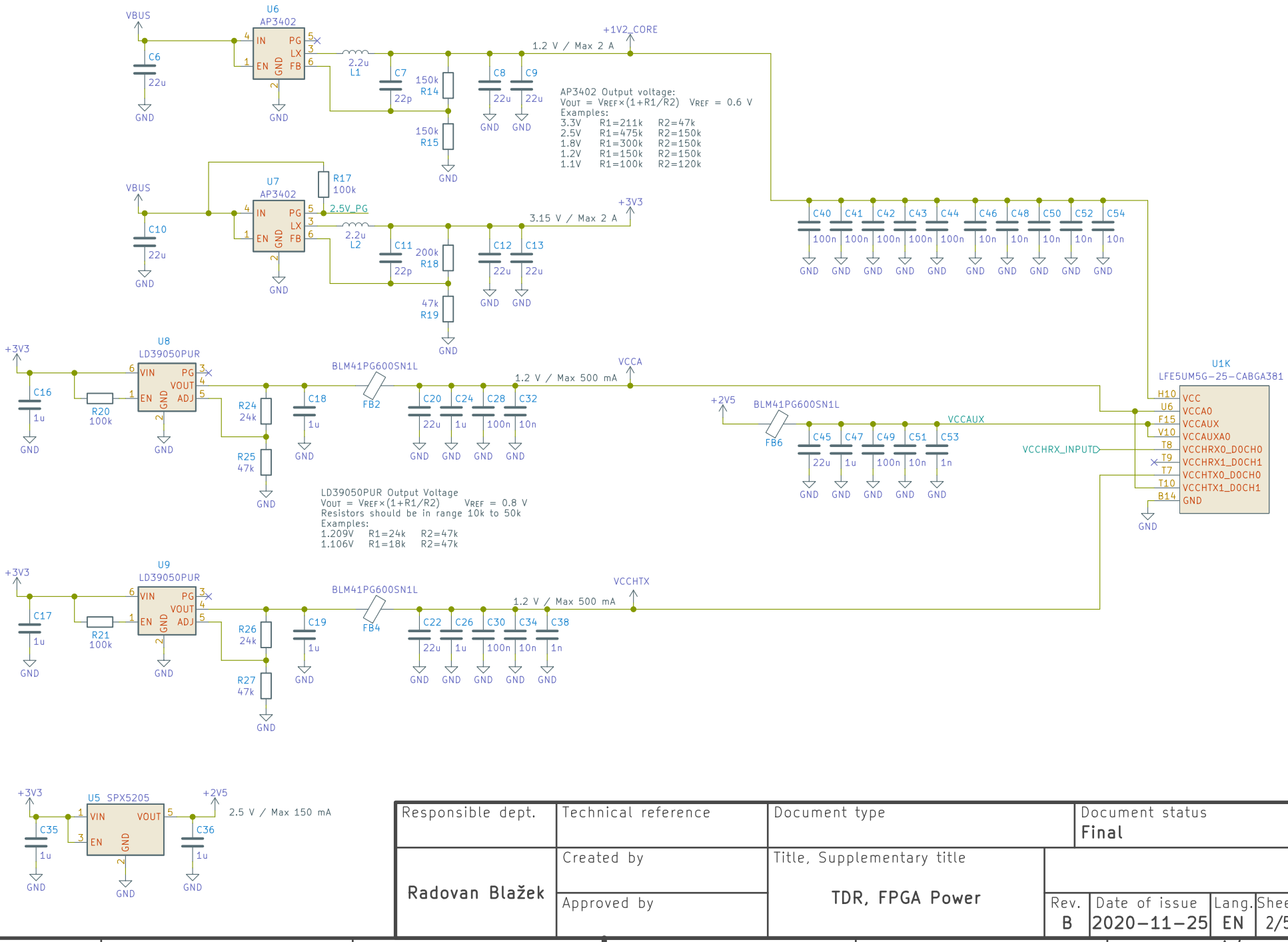
Schémata Revize B



Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, Top schematic	

Rev.	Date of issue	Lang.	Sheet
B	2020-11-25	EN	1/5

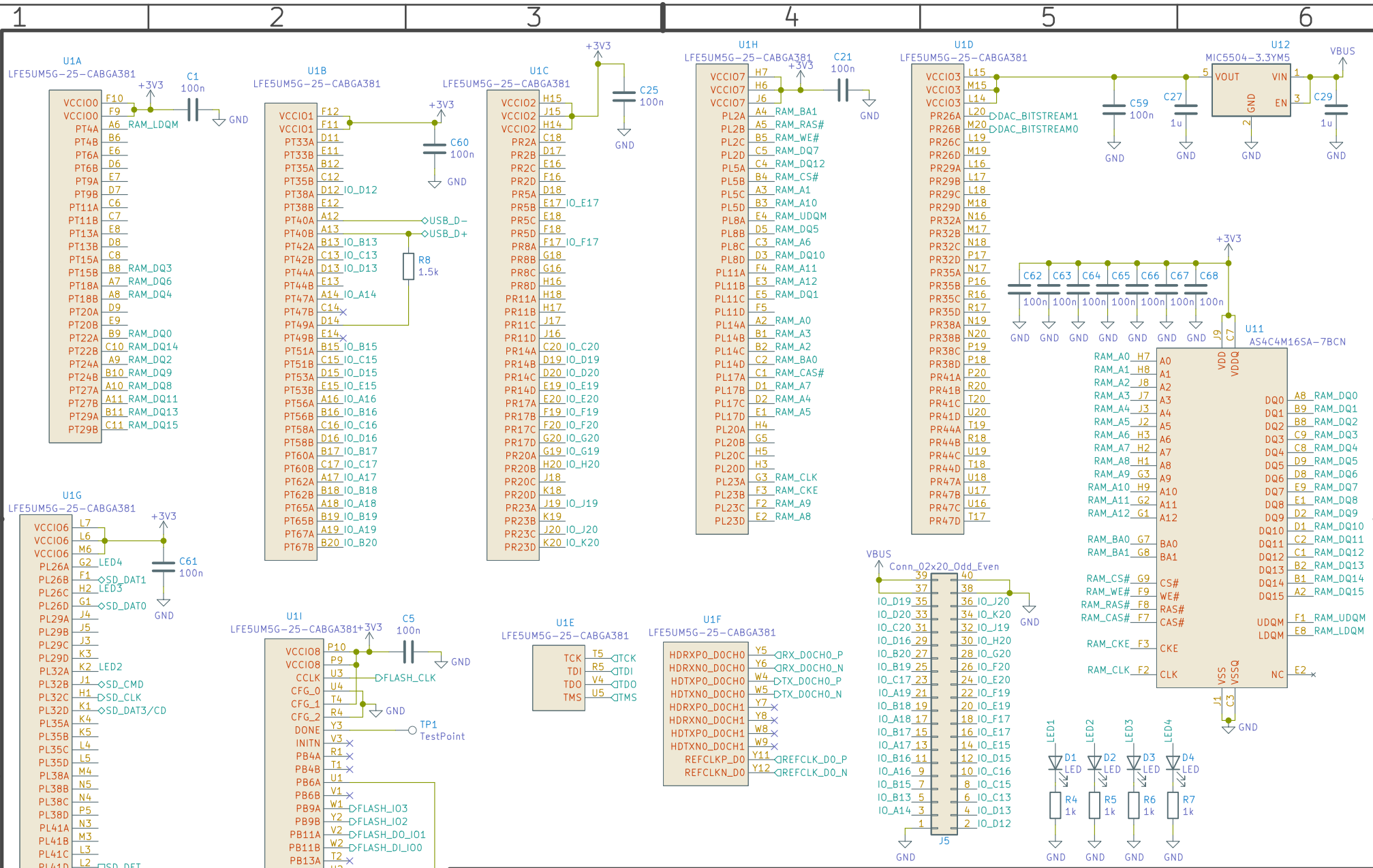
A4



Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, FPGA Power	

Rev.	Date of issue	Lang.	Sheet
B	2020-11-25	EN	2/5

A4

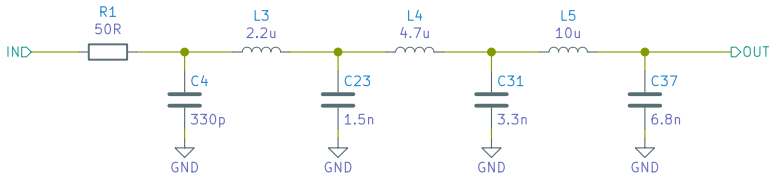


Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, FPGA IO	

Rev.	Date of issue	Lang.	Sheet
B	2020-11-25	EN	3/5

A4

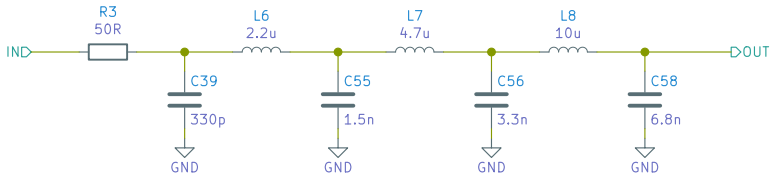
7th order Bessel low-pass filter
1 MHz cutoff
50 Ohm input and output impedance



Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, DAC Reconstruction filter	Rev. B · Date of issue 2020-11-25 · Lang. EN · Sheet 4/5

A4

7th order Bessel low-pass filter
1 MHz cutoff
50 Ohm input and output impedance



Responsible dept.	Technical reference	Document type	Document status
			Final
Radovan Blažek	Created by	Title, Supplementary title	
	Approved by	TDR, DAC Reconstruction filter	Rev. B · Date of issue 2020-11-25 · Lang. EN · Sheet 5/5

A4