

Vysoké učení technické v Praze  
Fakulta Elektrotechnická  
Katedra Elektromagnetického pole



## **ESD ochrana rychlých sériových sběrnic**

*Bc. JAN SPÁČIL*

Diplomová práce podaná na  
Fakultě Elektrotechnické, Českého Učení Technického.

Student magisterského programu: Komunikace, Multimédia a Elektronika

Praha, Červen 2016

---

**Supervisor:**

Ing. TOMÁŠ KOŘÍNEK, Ph.D.  
Katedra Elektromagnetického pole  
Fakulta Elektrotechnická  
Vysoké učení technické v Praze  
Ternická 2  
160 00 Praha 6  
Česká Republika

Copyright © 2016 Bc. JAN SPÁČIL

---

# Abstrakt

Obsahem této diplomové práce je charakterizace ESD ochran používaných na rychlých datových sběrnicích. Je zde popsána metoda měření a tvorby modelu těchto ochran. Dále je zde pak tento model využit při simulaci zkreslení signálu v časové oblasti. Simulace v časové oblasti je nakonec zkontrolována s měřením v časové oblasti.

**Klíčová slova:**

ESD, Hybridní model, LVDS, VNA.





---

# Abstract

The content of this master thesis is the characterization of ESD suppressors for high-speed data buses. There is described method of measurement and model making of these ESD suppressors. Furthermore, the made model is used in simulation of signal distortion in time domain. Simulation in time domain is checked by measure in time domain.

**Keywords:**

ESD, Hybrid model, LVDS, VNA.



---

# Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.



České vysoké učení technické v Praze  
Fakulta elektrotechnická

katedra elektromagnetického pole

## ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Jan Spáčil**

Studijní program: Komunikace, multimédia a elektronika  
Obor: Bezdrátové komunikace

Název tématu: **ESD ochrana rychlých sériových sběrnic**

Pokyny pro vypracování:

Provedte rozbor vybraných datových sběrnic z hlediska Signal integrity. Zaměřte se na komponenty pro ESD ochranu a jejich vliv na přenosové vlastnosti.  
K vybrané datové sběrnici sestavte náhradní model. Do modelu dále implementujte modely prvků používaných k ochraně proti ESD.  
Navrhněte a realizujte přípravek pro demonstraci vlivu ESD ochran na přenosové vlastnosti (signál integrity) vybrané datové sběrnice.  
Realizované vzorky porovnejte s navrženými modely

Seznam odborné literatury:

- [1] Keiser, K.L., Transmission Lines, Matching, and Crosstalk, CRC PRESS, Boca Raton, 2005
- [2] Keiser, K.L., Electromagnetic Compatibility Handbook, CRC PRESS, Boca Raton, 2005
- [3] Brooks, D., Signal Integrity Issues and Printed Circuit Board Design, Prentice Hall, Upper Saddle River, 2006

Vedoucí: Ing. Tomáš Kořínek, Ph.D.

Platnost zadání: LS 2016/2017

  
prof. Ing. Pavel Pechač, Ph.D.  
vedoucí katedry



  
prof. Ing. Pavel Ripka, CSc.  
děkan

V Praze dne 19. 2. 2016



---

## Poděkování

Rád bych poděkoval Ing. Tomáši Kořínkovi, Ph.D. za vedení mé diplomové práce a za cenné rady, kritiku a diskuzi při vypracovávání této diplomové práce.

Dále bych rád poděkoval Ing. Milanu Příhodovi, za cenné rady v oblasti měření na vektorovém analyzátoru obvodů.

Také děkuji své rodině za podporu při mém studiu.

---

# Obsah

Seznam použitých zkratk a symbolů	xvii
<b>1 Úvod do problematiky</b>	<b>1</b>
<b>2 Teoretický úvod</b>	<b>3</b>
2.1 Vlastnosti přenosových vedení . . . . .	3
2.1.1 Testovací signál . . . . .	3
2.1.2 Útlum . . . . .	4
2.1.3 Disperze . . . . .	5
2.1.4 Diskontinuity . . . . .	6
2.1.5 Celkový vliv na přenos . . . . .	8
2.1.6 Model diferenciálního vedení . . . . .	10
2.2 „Signal integrity“ . . . . .	11
2.3 Analýza vybraných datových směrnic . . . . .	11
2.3.1 CMOS . . . . .	12
2.3.2 LVDS . . . . .	13
2.4 ESD ochrany . . . . .	14
2.4.1 Jiskřiště . . . . .	14
2.4.2 Varistory . . . . .	15
2.4.3 Polovodičové prvky . . . . .	16
2.5 Modely . . . . .	16
2.5.1 Obvodové modely . . . . .	17
2.5.2 Fyzické modely . . . . .	17
2.5.3 Hybridní modely . . . . .	17
2.5.4 IBIS . . . . .	17
<b>3 Popis použité metody</b>	<b>19</b>
3.1 Frekvenční oblast . . . . .	19
3.2 Vytvoření modelu . . . . .	20



---

3.3	Vedení s ESD ochranami . . . . .	21
3.4	Časové oblast . . . . .	22
<b>4</b>	<b>Přípravky pro měření</b>	<b>25</b>
4.1	Požadavky . . . . .	25
4.2	Frekvenční oblast . . . . .	25
4.2.1	Kalibrační sada . . . . .	25
4.2.2	Přípravek pro měření ochrany . . . . .	27
4.3	Časová oblast . . . . .	28
<b>5</b>	<b>Měření a simulace</b>	<b>31</b>
5.1	Frekvenční oblast . . . . .	31
5.1.1	Kalibrace a verifikace . . . . .	31
5.1.2	Měření ESD ochrany . . . . .	34
5.1.3	Modelování ESD ochrany . . . . .	35
5.1.4	Modelování přípravku pro měření v časové oblasti . . . . .	39
5.2	Časová oblast . . . . .	40
5.2.1	Simulace signálu na vedení LVDS . . . . .	40
5.2.2	Měření pomocí osciloskopu . . . . .	42
<b>6</b>	<b>Závěr</b>	<b>45</b>
	<b>Literatura</b>	<b>47</b>
<b>A</b>	<b>Kmitočtová char. permitivity substrátu</b>	<b>49</b>
A.1	FR-4 . . . . .	49
<b>B</b>	<b>VHDL kód pro FPGA</b>	<b>51</b>

---

## Seznam obrázků

2.1	Lichoběžníkový průběh ideální a pro $N = 10$ . . . . .	3
2.2	a) Útlumu na vedení a b) kmitočtová závislost útlumu. . . . .	5
2.3	a) Tvarové zkreslení signálu a b) kmitočtová závislost $\varepsilon_r$ . . . . .	6
2.4	Kmitočtová závislost amplitudy a fáze přenosu na vedení s parazitní kapacitou 2 pF. . . . .	7
2.5	Vliv diskontinuity na tvarové zkreslení signálu. . . . .	8
2.6	a) Signál na vedení a b) útlum a posun fáze vedení. . . . .	9
2.7	Model diferenciálního vedení. [1] . . . . .	10
2.8	Serializace - Deserializace. [2] . . . . .	11
2.9	CMOS invertor. . . . .	12
2.10	LVDS linka. [3] . . . . .	13
2.11	Otevřené jiskřiště na DPS. [4] . . . . .	14
2.12	Voltampérová char. varistoru. [5] . . . . .	15
2.13	Antisériové zapojení zenerových diod. [6] . . . . .	16
3.1	a) Model v CST MICROWAVE STUDIO <sup>®</sup> a b) realizace přípravku s vy- značenými referenčními rovinami. . . . .	20
3.2	Hybridní model ESD ochrany. CST MICROWAVE STUDIO <sup>®</sup> . . . . .	21
3.3	Blokové schéma testovacího vedení. . . . .	21
3.4	Model vedení s porty. CST MICROWAVE STUDIO <sup>®</sup> . . . . .	22
4.1	Mikropásková kalibrační sada. . . . .	26
4.2	Přípravek pro měření ESD ochran ve frekvenční oblasti. . . . .	28
4.3	Přípravek pro měření v časové oblasti spodní vrstva. . . . .	28
4.4	Přípravek pro měření v časové oblasti vrchní vrstva. . . . .	29
4.5	Celkové zapojení s deskou FPGA . . . . .	30
5.1	Amplituda odrazu beatty line. . . . .	32
5.2	Fáze přenosu beatty line. . . . .	32
5.3	Amplituda odrazu beatty line s korekcí permitivity substrátu. . . . .	33

---

5.4	Fáze přenosu beatty line s korekcí permitivity substrátu. . . . .	33
5.5	Zapojení VNA při měření ESD ochrany. . . . .	34
5.6	Porovnání fáze SDD21 přípravku simulace a měření. . . . .	35
5.7	Porovnání amplitudy SDD21 přípravku simulace a měření. . . . .	36
5.8	S-parametry změřené na přípravku s ESD ochranou. . . . .	37
5.9	Schéma zapojení parazit ESD ochrany. . . . .	37
5.10	Amplituda přenosu SDD21. . . . .	38
5.11	Fáze přenosu SDD21. . . . .	38
5.12	Přenos na vedení přípravku. . . . .	39
5.13	Celkové zapojení v AWR MO. . . . .	40
5.14	Diagram oka pro vedení bez ESD ochrany. . . . .	41
5.15	Diagram oka pro vedení s ESD ochranou. . . . .	42
5.16	Připojení sond k diferenčnímu vedení. . . . .	43
5.17	Měřený diagram oka na vedení bez ESD ochrany. . . . .	43
5.18	Měřený diagram oka na vedení s ESD ochranou. . . . .	44
A.1	Reálná složka permitivity FR-4 . . . . .	49
A.2	Komplexní složka permitivity FR-4 . . . . .	50

---

## Seznam tabulek

4.1	Navržené délky vedení LINE. . . . .	27
5.1	Parazitní hodnoty hodnoty ESD ochrany ESD7004. . . . .	39

---

## Seznam použitých zkratek a symbolů

<b>ESD</b>	Electrostatic discharge
<b>SNR</b>	Signal-to-noise ratio
<b>IC</b>	Integrated circuit
<b>CMOS</b>	Complementary metal–oxide–semiconductor
<b>LVDS</b>	Low-voltage differential signaling
<b>DPS</b>	Deska plošných spojů
<b>VNA</b>	Vector network analyzer
<b>TRL</b>	Throu, Reflect, Line
<b>FMC</b>	FPGA Mezzanine Card
<b>LPC</b>	Low Pin Count
<b>FPGA</b>	Field-programmable gate array
<b>IBIS</b>	Input/output Buffer Information Specification
<b>EMI</b>	Electromagnetic interference



---

# Úvod do problematiky

V této práci se věnuji vlivu a charakterizaci ochran rychlých sériových linek a sběrnic před elektrostatickým výbojem (ESD). Tato ochrana bude zkoumána především z pohledu vlivu na integritu signálu na těchto sběrnicích.

Na úvod jsou zde rozebrány základní parazity, které se běžně vyskytují na vedeních těchto sběrnic, které ovlivňují integritu signálů a limitují přenosové rychlosti. Tento úvod je důležitý, protože přidáním ESD ochrany se na přenosovém vedení vytvoří diskontinuita, která ovlivní integritu signálu. Poté jsou rozebrány běžně používané třídy digitálních obvodů na sběrnicích. Dále jsou popsány běžně používané ESD ochrany z hlediska kvality ochrany těchto linek a předpokládaného vlivu na integritu signálu.

Aby bylo možné posuzovat vliv ESD ochran na integritu signálu je potřeba tyto ochrany vhodně charakterizovat. Je zde popsána a využita metoda jak tohoto dosáhnout. Pomocí těchto charakterizací se sestaví model ESD ochran a vedení a tento model je následně porovnán s měřením přenosu dat na vedení s těmito ochranami.



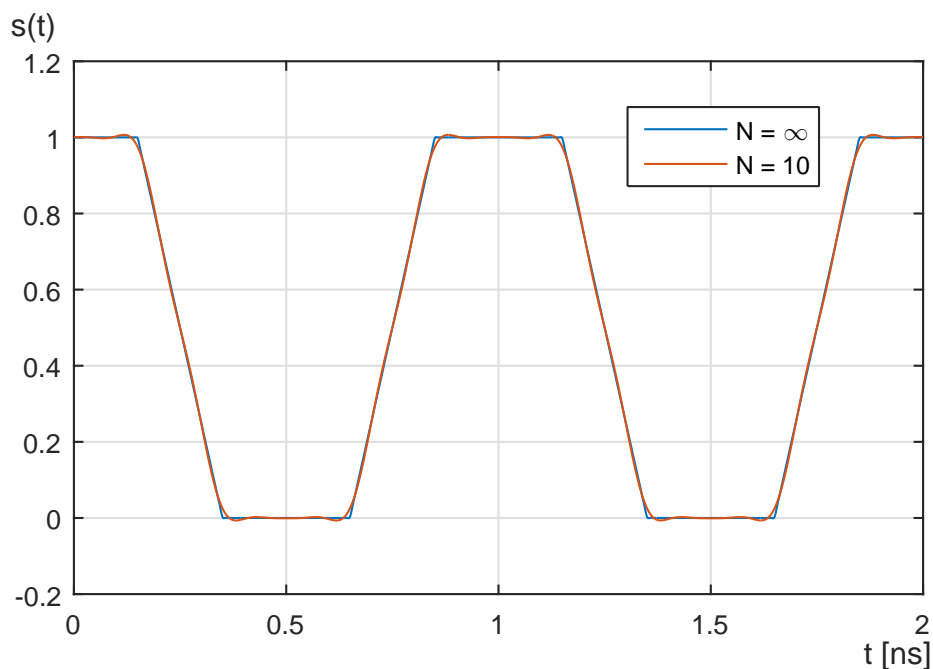


## Teoretický úvod

### 2.1 Vlastnosti přenosových vedení

V této kapitole jsou rozebrány vlastnosti vedení, které jsou podstatné z hlediska integrity signálu. Jednotlivé vlastnosti budou demonstrovány na příkladu lichoběžníkového signálu, který dobře modeluje přenosový signál.

#### 2.1.1 Testovací signál



Obrázek 2.1: Lichoběžníkový průběh ideální a pro  $N = 10$ .

Jako testovací signál je použit lichoběžníkový průběh. Na obr. 2.1 je tento průběh zobrazen. Tento signál podobný reálnému signálu na sběrnici LVDS[7]. Má náběžné a sestupné hrany, které odpovídají nabíjení kondenzátoru z proudového zdroje. Toto nabíjení z proudového zdroje je způsobeno vnitřním zapojením budičů této sběrnice, jak je dále v kapitole 2.3.2 ukázáno. Tento signál je pro jednu periodu definován jako:

$$s(t) = \begin{cases} A & 0 < t < \frac{w}{2} \\ \frac{A}{\tau} \left( \frac{w}{2} + \tau - t \right) & \frac{w}{2} < t < \frac{w}{2} + \tau \\ 0 & \frac{w}{2} + \tau < t < T - \frac{w}{2} - \tau \\ \frac{A}{\tau} \left( t - T + \frac{w}{2} + \tau \right) & T - \frac{w}{2} - \tau < t < T - \frac{w}{2} \\ A & T - \frac{w}{2} < t < T \end{cases} \quad (2.1)$$

Kde:

$A$  je amplituda signálu,

$t$  je čas,

$\tau$  je délka trvání náběžné a sestupné hrany,

$w$  je délka trvání signálu v ustálené hodnotě,

$T$  je perioda signálu.

Dále jsou pro jednoduchost tyto vlastnosti modelovat v kmitočtové oblasti, proto se provede rozklad testovacího signálu (2.1) do fourierovi řady[8]:

$$s(t) = A \frac{w + \tau}{T} + \frac{2AT}{\pi^2 \tau} \sum_{N=1}^{\infty} \frac{1}{N^2} \sin\left(\frac{\pi N \tau}{T}\right) \sin\left(\frac{\pi N(w + \tau)}{T}\right) \cos\left(\frac{2\pi N}{T}t\right) \quad (2.2)$$

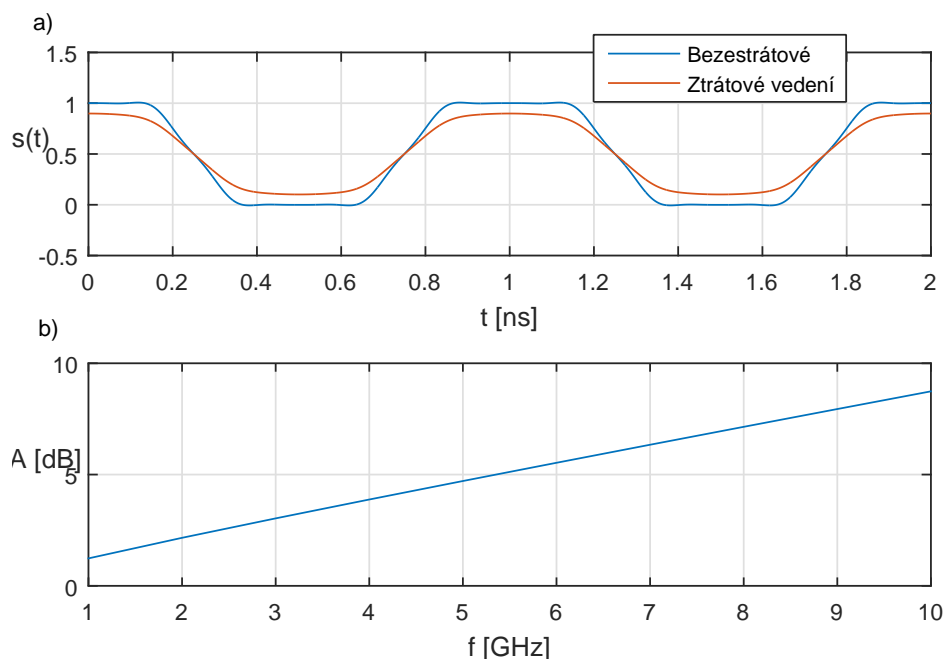
Rovnici (2.2) budeme v dalších kapitolách upravovat a tím demonstrovat vlastnosti a parazity vedení. Tato řada bude vždy vykreslována pro součet sumy od  $N = 1$  do  $N = 10$ . Takováto aproximace se jeví jako dostatečně přesná pro demonstraci vlivu vlastností vedení na testovací signál. Na obr. 2.1 je porovnání ideálního lichoběžníkového průběhu a průběhu pro  $N = 10$ .

### 2.1.2 Útlum

Útlum je pro přenosové vedení limitující faktor z hlediska maximální dosažitelné vzdálenosti, Signal-to-noise ratio (SNR) a odolnosti vůči rušení. Je především způsoben ztrátami v dielektriku, ztrátami na vodičích a jako důsledek odrazů na vedení. Útlum na vedení je frekvenčně závislá veličina.

Běžně se útlum přenosových vedení charakterizuje jako měrný útlum - útlum na jednotku délky. Kmitočtová charakteristika měrného útlumu přibližně odpovídá [9]:

$$\alpha(f) \approx \sqrt{f} \quad (2.3)$$



Obrázek 2.2: a) Útlumu na vedení a b) kmitočtová závislost útlumu.

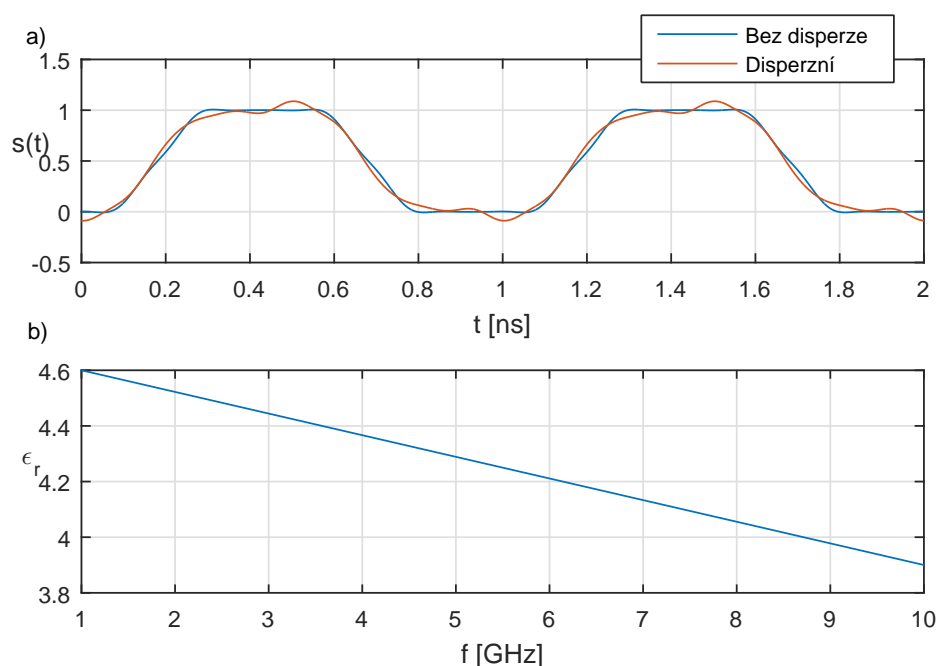
Do rovnice (2.2) je vložen frekvenčně závislý člen  $T_A(f)$ , který mění amplitudu jednotlivých složek fourierova rozvoje lichoběžníku.

$$s(t) = A \frac{w + \tau}{T} + \frac{2AT}{\pi^2 \tau} \sum_{N=1}^{10} \frac{1}{N^2} \sin\left(\frac{\pi N \tau}{T}\right) \sin\left(\frac{\pi N(w + \tau)}{T}\right) \cos\left(\frac{2\pi N}{T}t\right) T_A(f) \quad (2.4)$$

Útlum na obr. 2.2 je spočítán a demonstrován pro hodnoty útlumu na 200 mm dlouhém diferenčním vedení na substrátu FR4 (Použitá permitivita substrátu je v příloze A), které může být propojení mezi dvěma integrovanými obvody (IC) na desce plošných spojů (DPS).

### 2.1.3 Disperze

Přenosová vedení obvykle obsahují dielektrické materiály. Tyto dielektrika mají kmitočtově závislou relativní permitivitu  $\epsilon_r$ . Tato kmitočtová závislost  $\epsilon_r$  se projeví jako kmitočtová závislost rychlosti šíření elektromagnetických vln na vedení a jako kmitočtově závislá fázová konstanta. Protože běžně používané signály na přenosových vedeních mají široká spektra (viz. lichoběžníkový signál z kapitoly 2.1.1), obsahují několik harmonických složek, dochází k frekvenčně závislému posuvu fází jednotlivých složek. Tato změna fází jednotlivých spektrálních složek se v časové oblasti projeví jako tvarové zkreslení signálu na vedení - disperze.



Obrázek 2.3: a) Tvarové zkreslení signálu a b) kmitočtová závislost  $\epsilon_r$ .

Postup teoretického výpočtu je následující. Nejprve se vypočte zpoždění na vedení:

$$\tau(f) = \frac{l\sqrt{\epsilon_r(f)}}{c} \quad (2.5)$$

Dále se z tohoto zpoždění vypočte fázový posun na daném vedení:

$$\phi_v(f) = -\tau(f)f\pi \quad (2.6)$$

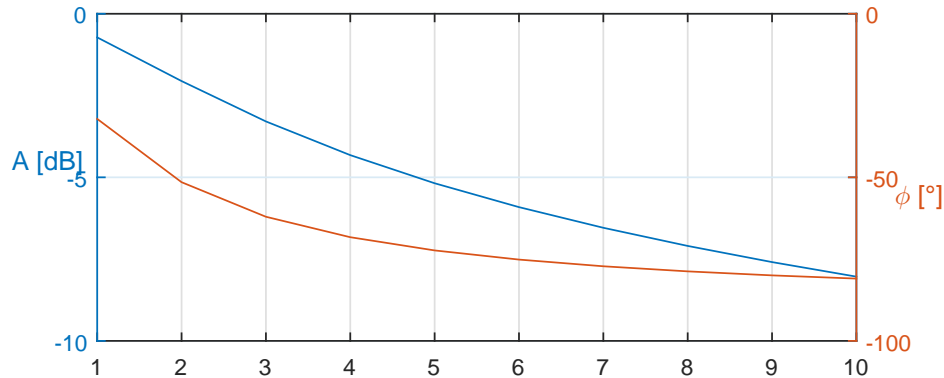
Následně je fourierova řada lichoběžníkového průběhu (2.2) doplněna o kmitočtově závislý posun fáze  $\phi_v(f)$  na tvar:

$$s(t) = A \frac{w + \tau}{T} + \frac{2AT}{\pi^2\tau} \sum_{N=1}^{10} \frac{1}{N^2} \sin\left(\frac{\pi N\tau}{T}\right) \sin\left(\frac{\pi N(w + \tau)}{T}\right) \cos\left(\frac{2\pi N}{T}t + \phi_v(f)\right) \quad (2.7)$$

Vliv takto frekvenčně závislé permitivity je vidět na obr. 2.3. Je zde spočítán průběh signálu na konci vedení o délce 200 mm. Také je zachycena frekvenční závislost  $\epsilon_r$  na frekvenci.

### 2.1.4 Diskontinuity

Jako diskontinuitu na vedení lze považovat jakoukoliv další součástku připojenou na vedení či nevhodně provedenou změnu v geometrii vedení.



Obrázek 2.4: Kmitočtová závislost amplitudy a fáze přenosu na vedení s parazitní kapacitou 2 pF.

Změna geometrie se může projevit jako změna charakteristické impedance vedení. Zde může docházet k odrazu elektromagnetické vlny. Tyto odrazy jsou kmitočtově závislé a budou ovlivňovat jak přenos vedení v amplitudě tak ve fázi. Změna v amplitudě se projeví zvýšeným útlumem na některé z frekvencí harmonických složek. Změna ve fázi se projeví jako tvarové zkreslení signálu. Tyto kmitočtové závislosti vedení s diskontinuitou jsou zobrazeny na obr. 2.4.

Vliv připojení další součástky lze rozdělit na dvě části. První je změna impedance vedení vlivem pájecích plošek součástky. Druhá je připojení parazitních vlastností součástky k vedení. V případě ESD ochrany typicky převládá parazitní kapacita (jak je ukázáno v kapitole 2.4), proto bude v následujícím příkladu spočten vliv kapacity na vedení, které je na obou stranách přizpůsobené.

Nejprve se spočítá odraz od této kapacity [9]:

$$\rho(\omega) = \frac{Z_L - Z_0}{Z_L + Z_0} = \frac{\frac{Z_0 \frac{1}{j\omega C}}{Z_0 + \frac{1}{j\omega C}} - Z_0}{\frac{Z_0 \frac{1}{j\omega C}}{Z_0 + \frac{1}{j\omega C}} + Z_0} = \frac{-j\omega C Z_0}{2 + j\omega C Z_0} \quad (2.8)$$

Z odrazu od kapacity se spočítá přenos:

$$T(\omega) = 1 + \rho(\omega) = \frac{1}{1 + \frac{j\omega C Z_0}{2}} \quad (2.9)$$

## 2. TEORETICKÝ ÚVOD

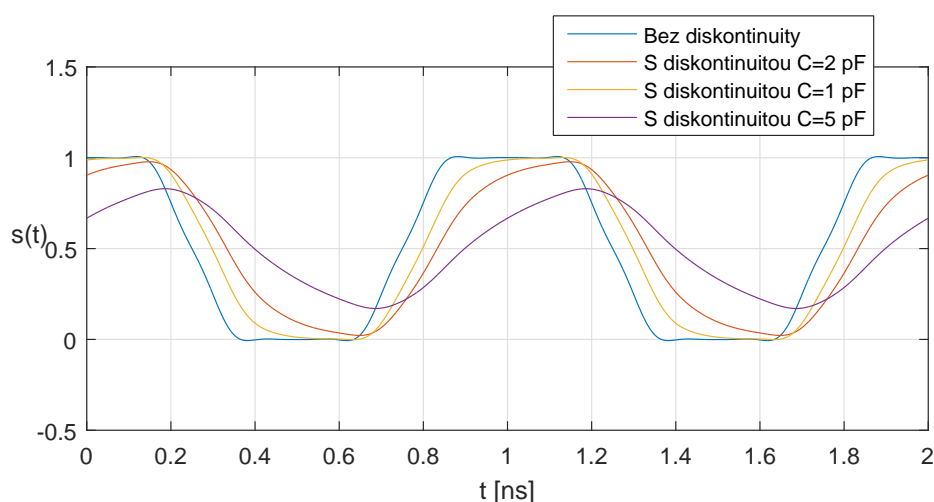
Dále je potřeba upravit rovnici (2.9) na složku amplitudy a fáze:

$$|T_d(f)| = \text{abs} \left( \frac{1}{1 + \frac{j\omega CZ_0}{2}} \right) \quad (2.10)$$

$$\phi_d(f) = \text{arg} \left( \frac{1}{1 + \frac{j\omega CZ_0}{2}} \right) \quad (2.11)$$

Dále se tyto složky vloží do rovnice (2.2).

$$s(t) = A \frac{w + \tau}{T} + \frac{2AT}{\pi^2 \tau} \sum_{N=1}^{10} \frac{1}{N^2} \sin \left( \frac{\pi N \tau}{T} \right) \sin \left( \frac{\pi N (w + \tau)}{T} \right) \cos \left( \frac{2\pi N}{T} t + \phi_d(f) \right) |T_d(f)| \quad (2.12)$$

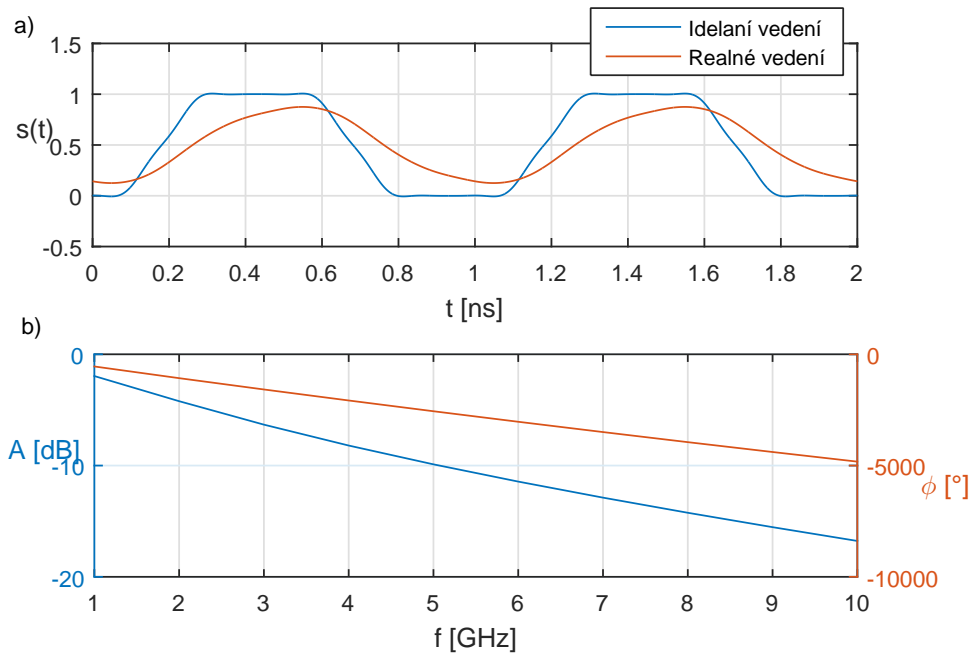


Obrázek 2.5: Vliv diskontinuity na tvarové zkreslení signálu.

Výsledný průběh je vizualizován na obr. 2.5 pro parazitní kapacity  $C = 1\text{pF}$ ,  $2\text{pF}$  a  $5\text{pF}$  na  $100\ \Omega$  vedení. Je zde vidět jak útlum způsobený touto diskontinuitou, tak zpoždění a tvarové zkreslení způsobené změnou fáze díky této diskontinuitě.

### 2.1.5 Celkový vliv na přenos

Dále se spočítá celkový vliv útlumu a disperze na vedení a diskontinuity na vedení na přenos a tvarové zkreslení signálu. Tento celkový vliv bude kombinací toho, co jsme si ukázali v předchozích kapitolách. Toto modeluje tvarové zkreslení signálu na jednoduchém vedení.



Obrázek 2.6: a) Signál na vedení a b) útlum a posun fáze vedení.

Fázový posun je dán příspěvkem posunu na vedení, vlivem disperze a vlivem diskontinuity z předchozích kapitol.

$$\phi_c(f) = \phi_v(f) + \phi_d(f) \quad (2.13)$$

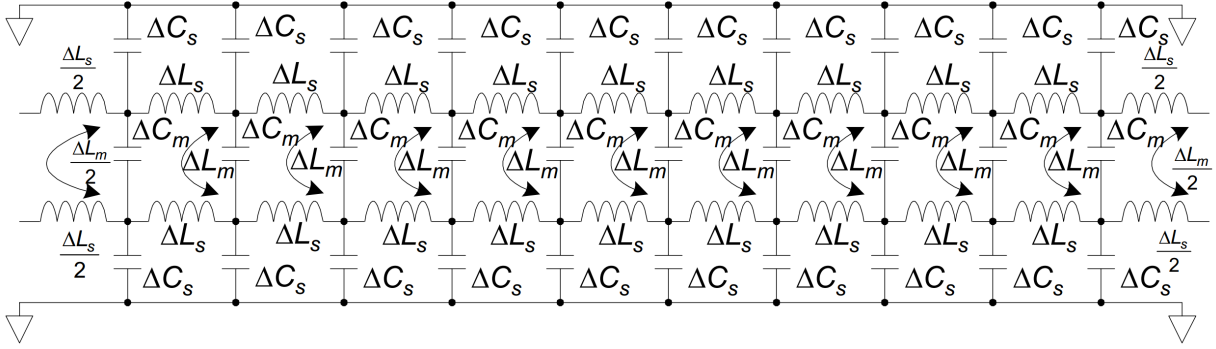
Změna v amplitudě je dána součtem útlumu na vedení a vlivem diskontinuity z předchozích kapitol.

$$T_c(f) = T_A(f)T_d(f) \quad (2.14)$$

Výsledky z (2.13) a (2.14) se opět přidají do fourierovi řady lichoběžníkového průběhu signálu.

$$s(t) = A \frac{w + \tau}{T} + \frac{2AT}{\pi^2 \tau} \sum_{N=1}^{10} \frac{1}{N^2} \sin\left(\frac{\pi N \tau}{T}\right) \sin\left(\frac{\pi N (w + \tau)}{T}\right) \cos\left(\frac{2\pi N}{T}t + \phi_c(f)\right) T_c(f) \quad (2.15)$$

Výsledné zkresení časového průběhu signálu je zobrazeno na obr. 2.6. Je zde porovnáno s ideálním vedením, kde dochází pouze k fázovému posunu vlivem konečného šíření signálu na vedení. Na obr. 2.6 je také zachycen útlum na takovémto vedení a fázový posun.



Obrázek 2.7: Model diferenciálního vedení. [1]

### 2.1.6 Model diferenciálního vedení

Bezeztrátové vedení lze modelovat pomocí rovnoměrně rozložených prvků indukčnosti podél vodiče a kapacitou vůči zemi. Tímto je vytvořené jednovodičové vedení. Když se toto vedení rozšíří na dvě vedení a přidá se do modelu vzájemná indukčnost a kapacita mezi vodiči, tak se vytvoří model se soustředěnými prvky diferenciálního vedení

Aby tento model fungoval, musí být tyto indukčnosti a kapacity rozdělené do sekcí, jak je zobrazeno na obr. 2.7. Impedance sudého a lichého vidu se spočítají jako:

$$Z_o = \sqrt{\frac{L_s - L_m}{C_s + 2C_m}} \quad (2.16)$$

$$Z_e = \sqrt{\frac{L_s + L_m}{C_s}} \quad (2.17)$$

$$T_o = \sqrt{(L_s - L_m)(C_s + 2C_m)} \quad (2.18)$$

$$T_e = \sqrt{(L_s + L_m)C_s} \quad (2.19)$$

Je zde potřeba určit potřebný množství sekcí, aby tento model aproximoval přenosové vedení dobře. Vychází se ze zpoždění (dle (2.18) a (2.19)) na těchto vedení a maximální přenášené frekvenci.

$$sections = f_{max} \max(T_o, T_e) \quad (2.20)$$

Výsledek z (2.20) je, že čím větší zpoždění a vyšší frekvence, více sekcí je potřeba.

$$\Delta L_s = \frac{L_c}{sections}, \Delta C_s = \frac{C_c}{sections}, \Delta L_m = \frac{L_m}{sections}, \Delta C_m = \frac{C_m}{sections} \quad (2.21)$$

Nakonec se dle rovnic (2.21) spočítají hodnoty jednotlivých prvků v sekci z obr. 2.7. [1]



## 2.2 „Signal integrity“

V předchozích kapitolách byly odkazy na integritu signálu, která zatím nebyla podrobněji popsána. Tato problematika je podrobněji rozepsána v této kapitole.

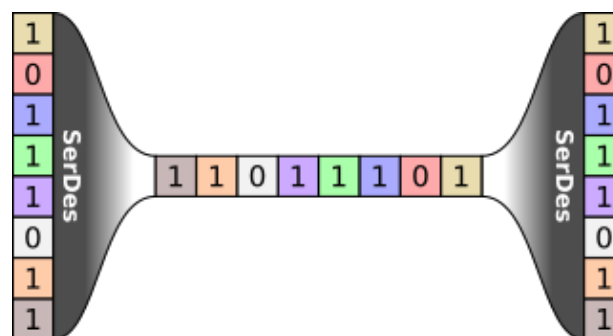
Dříve, když digitální obvody pracovali do 30 MHz, se návrhář nemusel zatěžovat problematikou okolo přenosových vedení, aby nedocházelo k tvarovému zkreslení signálu a nárůstu chybovosti datového přenosu, protože se systém choval jako obvody se soustředěnými parametry. Jak postupem času začala pracovní frekvence digitálních obvodů stoupat muselo se na digitální systémy začít pohlížet jako na obvody s rozprostřenými parametry, kde jakákoliv trasa vodiče je vysokofrekvenční vedení.

V takovémto případě se musí řešit impedance vedení, přizpůsobení budičů a přijímačů na sběrnicích, zákmity, přerušování, tvarové zkreslení, přeslechy, útlumy a šum na napájecích trasách, protože všechny tyto jevy mají vliv na chybovost a maximální přenosovou rychlost.

Z hlediska ESD ochrany je důležité, aby se jejich přidáním do obvodu nezhoršila integrita signálu na dané sběrnici pro danou přenosovou rychlost. To znamená, že její parazitní vlastnosti musí být minimalizovány na pracovních frekvencích dané sběrnice, obvykle od DC do  $5f_0$ , aby nedošlo k zkreslení signálu.

Hledisko integrity signálu ovlivňuje také možnost a vhodnost použití jednotlivých typů logiky na fyzické vrstvě. Některé typy logik nejsou schopné fungovat na vedení, které je na obou stranách přizpůsobené, protože nejsou schopny takovou impedanci proudově napájet. Tímto se snižuje možný potenciální výběr logik pro vysokorychlostní sběrnice. Dále typy logiky, které používají diferenční vedení, bývají mnohem odolnější na přeslechy a z hlediska EMC mají podstatně nižší potenciál rušivě vyzařovat.

## 2.3 Analýza vybraných datových směrnic



Obrázek 2.8: Serializace - Deserializace. [2]

Datové sběrnice se typicky používají pro komunikaci mezi jednotlivými integrovanými obvody na DPS, základní deskou a rozšiřujícími kartami a nebo základní deskou a dalšími systémy připojenými pomocí propojovacího kabelu. Na těchto spojeních je potřeba řešit ESD ochrany jak z pohledu výboje mezi člověkem a zařízením při manipulaci, tak z pohledu

## 2. TEORETICKÝ ÚVOD

---

výboje mezi dvěma zařízeními při jejich spojování/propojování. V následujících kapitolách budou uvedeny základní třídy digitálních obvodů používaných na těchto sběrnicích a uvedeny jejich výhody a nevýhody a případně jejich aktuálnost použití.

Úplně na začátku je potřeba rozdělit používané sběrnice na paralelní a sériové. Paralelní se odlišují od sériových tím, že posílají  $N$  bitů po  $N$  vodičích sběrnice najednou, kdežto sériové těchto  $N$  bitů pošlou postupně za sebou.

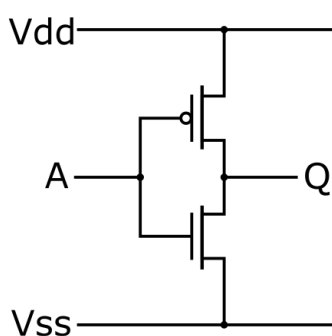
Dříve dominovaly paralelní sběrnice pro svojí snadnou implementovatelnost při nízkých rychlostech. S postupem času a vzrůstajícími přenosovými rychlostmi se stal paralelní přenos neudržitelný, kvůli nutnosti přesně řídit časování  $N$  signálů sběrnice. Je nutné, aby všechny bity přišli do přijímače na sběrnicí najednou. To se zajišťuje řízením délek vodičů. A právě toto řízení délek se stává technicky velmi náročné až přímo nezvladatelné pro větší vzdálenosti, proto se přešlo na sériové sběrnice.

Typickým zástupcem třídy digitální logiky používané na paralelních sběrnicích je CMOS (kapitola 2.3.1)

Sériové sběrnice jsou často převedené paralelní sběrnice na velmi rychlých sériový datový tok. Tento princip je zobrazen na obr. 2.8. Díky tomuto snížení počtu vodičů na několik rychlých toků se velmi snižuje počet vodičů potřebných na propojení dvou systémů, ale zase se musí věnovat větší pozornost integritě signálů na těchto sériových sběrnicích [7, 10]. Při vhodném kódování na těchto sériových sběrnicích se nemusí přenášet hodinový signál, protože ho lze obnovit z posílaných dat. Díky tomuto dochází dále ke zjednodušení návrhu DPS z hlediska řízení délek vedení.

Typicky jsou tyto sériové sběrnice řešené jako spojení bod-bod a pak jsou označovány jako linky. Typickým zástupcem digitálního standardu na těchto sběrnicích je LVDS, více v kapitole 2.3.2.

### 2.3.1 CMOS



Obrázek 2.9: CMOS invertor.

Třída digitálních obvodů založených na technologii CMOS, je postavená ze symetricky komplementárních tranzistorů PMOS a NMOS. Symetricky komplementární odkazuje

na to, že tranzistory na obr. 2.9 jsou elektricky totožné (PMOS má širší hradlo, aby se dosáhlo stejných elektrických vlastností).

Invertor na obr. 2.9 je složen z vrchního tranzistoru PMOS a spodního tranzistoru NMOS. Když se na vstup A přivede log 1, tak se NMOS sepne a PMOS zavře. Výstup Q je připojen k  $V_{SS}$  a tím je na log 0. Pokud se na vstup A přivede log 0, tak se NMOS zavře a PMOS otevře. Výstup Q je připojen k  $V_{DD}$  a tím je na výstupu log 1.

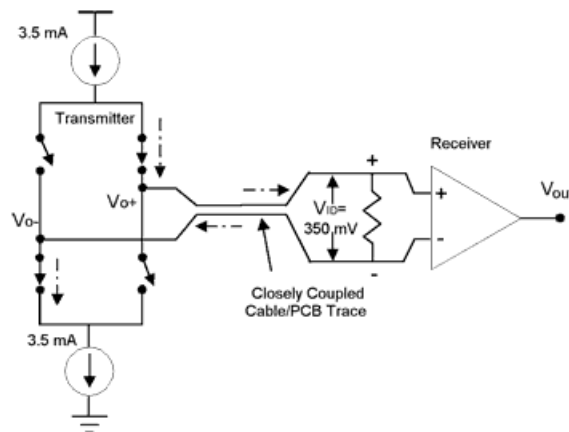
$$P = 0,5CV^2f \quad (2.22)$$

Tato třída logiky má velice nízkou spotřebu v klidovém stavu, protože jediný proud, který protéká obvodem, je parazitní svodový proud. Dynamická spotřeba je daná kapacitou připojenou na výstup této logiky, která se musí při přepnutí přebít. Tento ztrátový výkon je dán vztahem (2.22) [7]. Výhodou je stejná výstupní impedanace pro oba logické stavy.

Tato třída často bez speciálních budičů dovede proudově napájet impedančně přizpůsobenou  $50\ \Omega$  sběrnici. Je velice citlivá na ESD a hned ze dvou hledisek. První je možnost elektrického průrazu hradla tranzistorů na vstupu. Druhou možností je sepnutí parazitní tyristorové struktury ESD pulsem [7], takzvaný latchup.

S CMOS třídou digitálních obvodů se setkáváme často u pomalých paralelních směrnic (řádově 100 MB/s) a u pomalých sériových sběrnic, kde se neřeší obvod z hlediska rozprostřených parametrů (například SPI a I2C).

### 2.3.2 LVDS



Obrázek 2.10: LVDS linka. [3]

LVDS je standard, který je použit na vysoké přenosové rychlosti po diferenčním vedení. LVDS budiče nemění napětí na sběrnici, ale přepínají proud 3,5 mA na sběrnici do charakteristické impedanace  $100\ \Omega$ . Tato změna proudu vytváří změnu napětí 350 mV. Budič sběrnice má obvykle 1,2 V souhlasného napětí.

Na obr. 2.10 je zobrazen budič se zobrazenými proudovými zdroji a přepínači, které mění směr proudu na vedení. Dále je zde zobrazeno diferenční vedení se  $100\ \Omega$  zakončením. Na konci tohoto přizpůsobeného vedení je diferenční zesilovač, který rozhoduje zda je na vedení logická 1 nebo 0.

LVDS protokoly se obvykle používají v serializovaných linkách [7], kde vytvářejí a zjednodušují vysokorychlostní spojení mezi dvěma integrovanými obvody. Typicky například ADC a FPGA.

Tato sběrnice vyniká vysokou dosažitelnou přenosovou rychlostí na velké vzdálenosti, odolností vůči rušení a přeslechům a nízkým vyzařováním. Typicky se tento standard používá pro spojení bod-bod, ale existují i rozšířené verze pro zapojení s více budiči a přijímači - BLVDS.

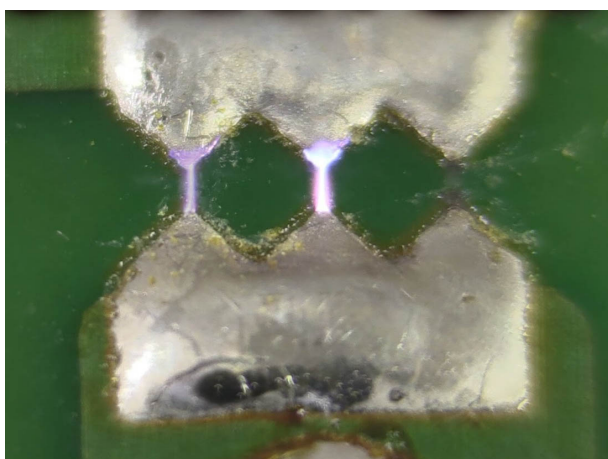
Tento standard byl vybrán pro demonstraci charakterizace ESD ochran na rychlých sběrnicích, kvůli své všestranné použitelnosti a svému rozšíření.

## 2.4 ESD ochrany

ESD ochrany mají chránit systém před vysokými napětími při ESD události. Tato událost může nastat při dotyku člověka s elektronickým zařízením a nebo při propojování dvou elektronických zařízení. Při obou těchto událostech dojde k srovnání rozdílných potenciálů zařízení a člověka, nebo zařízení a zařízení.

### 2.4.1 Jiskřiště

Jedná se o dvě blízko sebe umístěné elektrody. Když je napětí na elektrodách dostatečně velké, tak dojde k elektrickému průrazu dielektrika a vytvoří se vodivý nízkoimpedanční kanál. Jiskřiště mohou být jak otevřené, tak uzavřené.



Obrázek 2.11: Otevřené jiskřiště na DPS. [4]

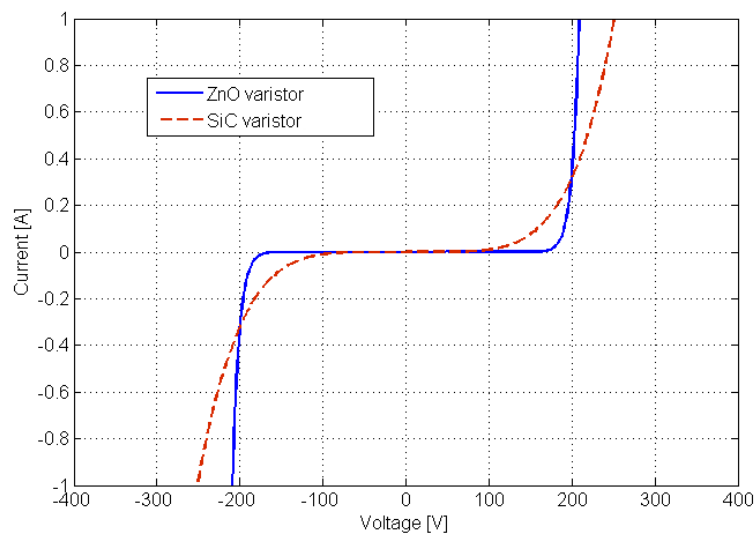
Otevřený jiskřiště je obklopeno atmosférickým vzduchem. Nevýhodou tohoto typu jiskřiště, je jeho zanášení nečistotami a nestabilita parametrů (především průrazného napětí) z důvodu změn okolní atmosféry. Příklad takového otevřeného jiskřiště je na obr. 2.11. Uzavřené jiskřiště má elektrody uzavřeny v trubici většinou se vzácnými plyny. Uzavřená jiskřiště bývají označovaná za GDT - Gas Discharge Tube. Plnění vzácnými plyny zabraňuje oxidaci elektrod a stabilizuje parametry jiskřiště. Jiskřiště mohou být jak 2 tak 3 vývodové pro diferenční zapojení. Můžeme se setkat se speciálními typy v podobě koaxiálních provedení.

Jedná se o ochranu před vysokoenergetickými pulzy. Hlavní nevýhodou jiskřiště je jeho potenciálně problematické zhášení, pokud je chráněné vedení schopno dodat dostatek energie k udržení vodivého kanálu i po odeznění pulzu. Toto lze například řešit připojením pojistky do série s jiskřištěm. Toto řešení, ale zase vyžaduje zásah obsluhy v případě spuštění ochrany. Další možností je například magnetické vyfukování oblouku.

Samotné jiskřiště jako součástka je levná a odolná. Jeho parazitní kapacita se pohybuje kolem 0,5 až 5 pF. Jsou schopny svést pulzy o velkých energiích. Spouštěcí napětí se pohybuje od 100 V do 3 kV. Velkou nevýhodou je dlouhý čas spuštění ochrany. [8]

## 2.4.2 Varistory

Varistor je napěťově závislý rezistor. Jedná se o nelineární součástku, která má vysoký odpor při nízkém napětí na svorkách a nízký odpor při vysokém napětí na svorkách. Jeho voltampérová charakteristika na obr. 2.12 je podobná charakteristice antisériového zapojení zenerových diod. Díky tomu je vhodný pro ochranu před přechodovými napětími obou polarit.

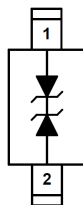


Obrázek 2.12: Voltampérová char. varistoru. [5]

Varistory mají spouštěcí napětí v rozmezí 12 až 1200 V, jsou schopny svést ESD události o vysokých energiích. Jejich nevýhodou je vysoká kapacita 60 pF až 2 nF, která významně ovlivní obvod na vysokých frekvencích. Na nízkých frekvencích tato kapacita může být s výhodou použita jako blokovací kapacita na napájení, či jako součást odrušovacího filtru. Hlavní uplatnění varistorů je v napájecí části systému. [5]

### 2.4.3 Polovodičové prvky

Polovodičové ochrany můžeme rozdělit na další podskupiny podle konstrukce a řazení jednotlivých PN přechodů. Obecně lze rozdělit polovodičové ochrany na diody, zenerovy diody, tyristory a triaky. Často se využívá jejich kombinace k dosažení požadovaného spouštěcího napětí ochrany. Polovodičové ochrany často nejsou schopné svést tak vysoké energie ESD událostí jako jiskřiště a varistory, ale vynikají svojí nízkou kapacitou a vysokou rychlostí spouštění. Uplatňují se především v obvodech s nízkým napětím.



Obrázek 2.13: Antisériové zapojení zenerových diod. [6]

Hlavní využití zde mají zenerovy diody, které se v propustném směru chovají jako obyčejné diody a v závěrném směru mají dobře definované průrazné napětí. Zenerovy diody bývají typicky v antisériové zapojení, tak jak je na obr. 2.13. Takovéto zapojení má stejné průrazné napětí v obou polaritách.

Toto zapojení má velký vliv na kapacitu této ochrany. Pokud se zapojí dvě stejně diody do série, jejich výsledná kapacita bude poloviční.

$$\frac{1}{C} = \frac{1}{C_1} + \frac{1}{C_2} \quad (2.23)$$

Takže pokud si jsou kapacity  $C_1$  a  $C_2$  rovny, tak výsledná kapacita je poloviční. Toto lze s výhodou využít při ochraně vedení vysokorychlostních sériových linek, kde běžně bitové rychlosti mohou dosahovat 10 Gb/s (Thunderbolt). Lze dosahovat kapacit kolem 0,2 pF.

## 2.5 Modely

Aby se s jednotlivými součástkami dalo pracovat při návrhu je potřeba vytvářet jejich modely. Tyto modely mohou být od těch nejjednodušších modelů popsaných pomocí změřených hodnot (například s-parametrů) tak pomocí přímo fyzického modelu dané součástky v 3D simulátoru elmag. pole.

Modely součástek se dají obecně rozdělit do tří kategorií, jako čistě obvodové modely, hybridní modely a fyzické modely. Tyto modely se liší svojí přesností a výpočetní náročností.

### 2.5.1 Obvodové modely

Obvodové modely jsou popsány pouze pomocí součástek se soustředěnými parametry. Tyto modely umějí postihnout nelineární chování jednotlivých prvků. Používají se modely součástek například pomocí SPICE. Výhodou těchto modelů je, že SPICE modely diod umějí popsat nelineární chování při průrazech, tak nelineární chování kapacity PN přechodu.

### 2.5.2 Fyzické modely

Jedná se o úplný 3D model dané součástky. Tento model je přesný a umí zahrnout do simulací svojí interakci s okolím. Proto se s těmito modely setkáváme u RLC součástek.

Výhody těchto modelů se velmi projevují nad 15 GHz [11]. Je to dáno tím, že tyto modely jsou schopny postihnout například neideální návratové trasy proudů a vliv okolních součástek a vodičů.

Tyto modely bývají velmi výpočetně náročné.

### 2.5.3 Hybridní modely

Hybridní modely jsou na půli cesty mezi fyzickým a obvodovým modelem. Jedná se o zjednodušený 3D model součástky, který má na vhodných místech připojené diskrétní porty. Do těchto diskrétních portů se po vypočtení s-parametrů celého modelu například DPS s těmito zjednodušenými 3D modely připojí další parazitní součástky v podobě diskrétních obvodových prvků. [12]

Tyto modely mají výhodu, že umějí zahrnout do simulace interakci součástek s okolím, libovolné plošky na DPS pro řipájení součástek, umějí zahrnout nelineární chování prvku, například diod, a simulace s nimi jsou poměrně rychlé.

Tyto modely jsou dále používány v práci a je zde popsán i postup jejich tvorby a charakterizace z měření.

### 2.5.4 IBIS

Jedná se o modely kterými výrobci popisují vlastnosti a chování vstupních a výstupních opakovačů integrovaných obvodů. Tyto modely obsahují voltampérovou charakteristiku, časovou charakteristiku a hodnoty parazit součástí těchto opakovačů.

IBIS modely bývají často používané místo SPICE modelů při simulování integrity signálů a časování na DPS. [13]





---

## Popis použité metody

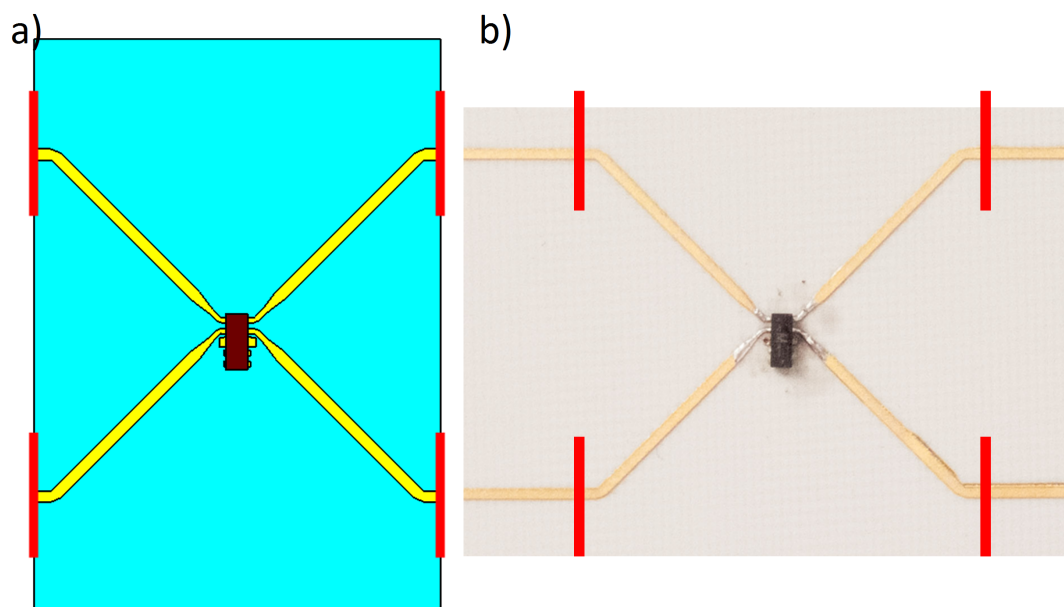
Metody měření a simulací, které jsou použité v této práci, vyžadují několik po sobě jdoucích kroků, ve kterých se získají modely ESD ochrany a vyzkoušejí se tyto modely při porovnání simulace s měřením na sběrnici LVDS. Jednotlivé kroky jsou:

1. Provedení měření ve frekvenční oblasti na dané ESD ochraně. Popsáno v kapitole 3.1.
2. Vytvoření hybridního modelu ESD ochrany ze změřených dat ve frekvenční oblasti. Popsáno v kapitole 3.2.
3. Aplikace vytvořených modelů v simulaci v časové oblasti se sběrnicemi LVDS. Popsáno v kapitole 3.3.
4. Porovnání simulace v časové oblasti s měřením v časové oblasti. Popsáno v kapitole 3.4.

Tyto kroky jsou dále rozvedeny v dalších kapitolách.

### 3.1 Frekvenční oblast

Vzhledem k potřebě měření na vysokých frekvencích a změření vlivu na signál je potřeba, aby měření ESD ochrany zachycovalo jak vliv na amplitudu signálu, tak na fázi. Dále se tímto získá více informace pro tvorbu modelu, než kdyby se pouze použilo skalární měření, kde se získá pouze amplituda. Tomuto požadavku vyhovuje měření pomocí vektorového obvodového analyzátoru (VNA).



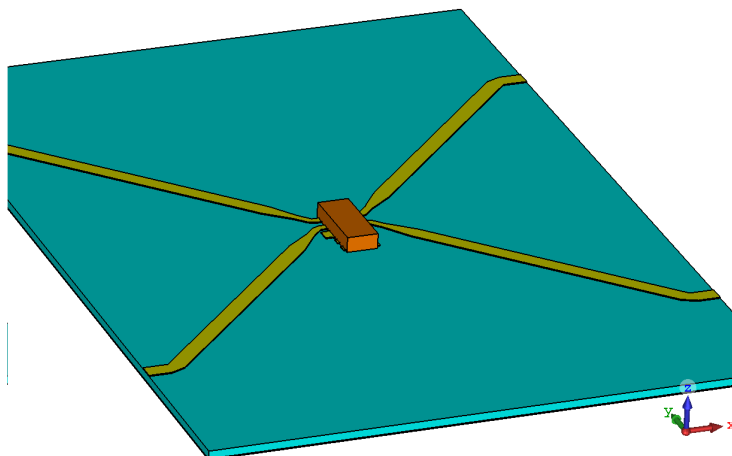
Obrázek 3.1: a) Model v CST MICROWAVE STUDIO® a b) realizace přípravku s vyznačenými referenčními rovinami.

Aby bylo možné využít hybridní model ESD ochrany, tak je potřeba mít v měřených datech zahrnutou interakci s okolím. To se zajistí posunutím referenčních rovin, na které je zkalibrován VNA, dál od ESD ochrany. Na obr. 3.1 jsou červeně vyznačené referenční roviny modelu přípravku s ESD ochranou. Celý tento přípravek je poté změřen v těchto referenčních rovinách (3.1b). Tímto se zajistí možnost přesně porovnávat změřené s-parametry se simulací přípravku s ochranou v 3D simulátoru elmag. pole.

## 3.2 Vytvoření modelu

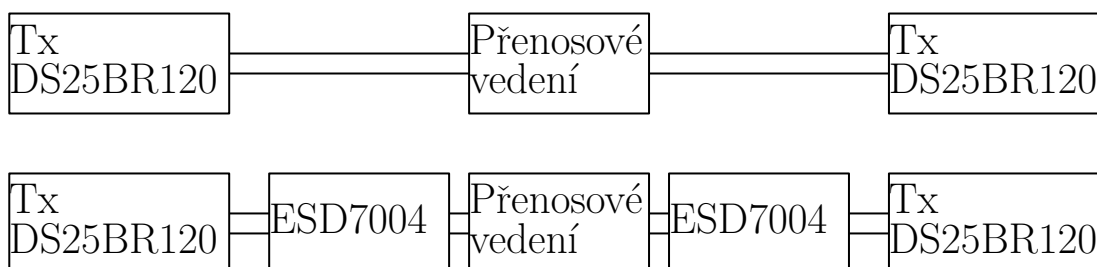
Pro vytvoření hybridního modelu ESD ochrany se v 3D simulátoru elmag. pole vytvoří model přípravku, který je použit při měření v kap. 3.1 s pouzdrum ESD ochrany. V tomto případě je použit softwarový nástroj CST MICROWAVE STUDIO®.

Do míst pod pouzdrum, kde jsou plošky ESD ochrany pro připojení se vloží diskrétní port. Do těchto míst se budou v obvodovém simulátoru připojovat diskrétní součástky, které budou modelovat parazitní vlastnosti ESD ochrany. Dále bude potřeba zjistit permitivitu pouzdra ESD ochrany a zahrnout jí do simulace.



Obrázek 3.2: Hybridní model ESD ochrany. CST MICROWAVE STUDIO®

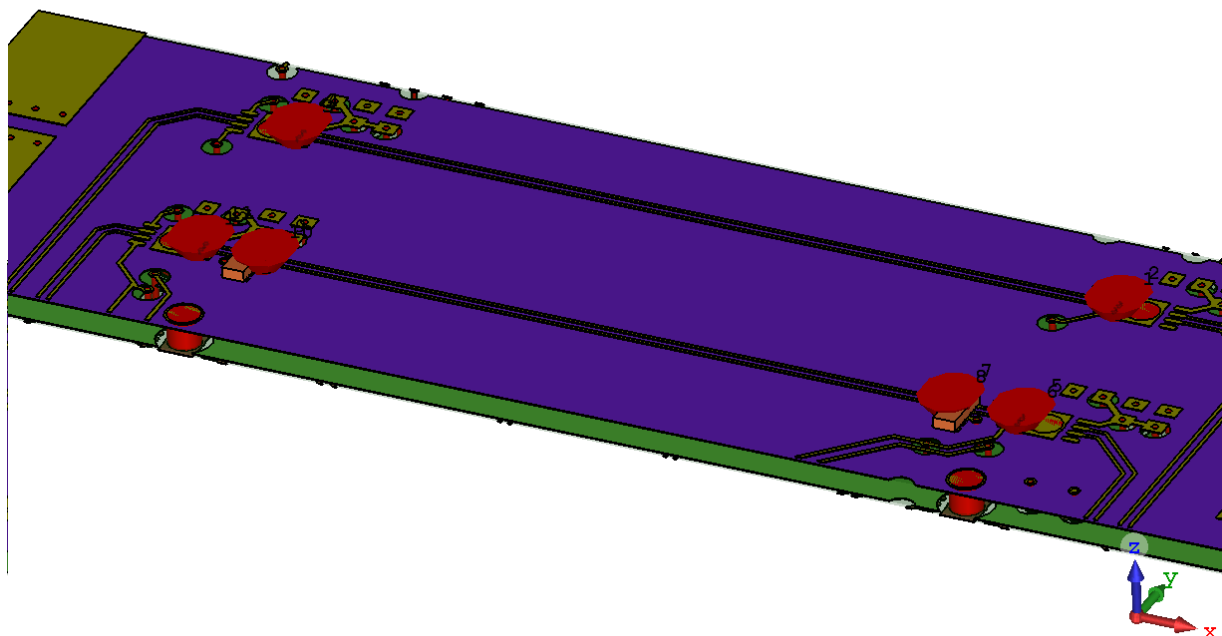
### 3.3 Vedení s ESD ochranami



Obrázek 3.3: Blokové schéma testovacího vedení.

Model vytvořený v kapitole 3.2 je použit v simulaci přenosového vedení LVDS s ESD ochranami. Vychází se z blokového schématu z obr. 3.3, kde vedení bez ESD ochrany slouží jako referenční a vedení s ochranami jako testovací. Přenosová vedení modelu jsou na obr. 3.4. Jsou zde vloženy diskrétní porty v místech budičů a přijímačů LVDS a v místech pájicích plošek ESD ochrany - stejně jako v předchozí kapitole 3.2. Do těchto diskrétních portů budou dále v obvodovém simulátoru vkládány budiče, přijímače LVDS a parazity ESD ochrany.

Z tohoto modelu se pomocí numerické metody FEM získají s-parametry. Jak již bylo řečeno, do jednotlivých portů takto získaných s-parametrů se připojí jednotlivé součástky a jednotlivé sběrnice se budou vyšetřovat v časové oblasti. Tento model bude buzen pseudonáhodnou posloupností dat a bude se měřit diagram oka v místech před přijímači LVDS. Výstup simulace bude hodnocen dle popisu z kapitoly 3.4.



Obrázek 3.4: Model vedení s porty. CST MICROWAVE STUDIO®

## 3.4 Časové oblast

Měření v časové oblasti se bude pozorovat odezva celkového systém budičů, přijímačů, vedení a ESD ochran na buzení datovou posloupností. Jako vhodný prostředek pro hodnocení integrity signálu v časové oblasti se jeví diagram oka. Diagram oka lze pozorovat pomocí osciloskopu. Dále je zde možnost změřit časovou odezvu budičů sběrnice a vytvořit k nim vhodný model do simulace.

Požadavky na osciloskop vycházejí z přenosové rychlosti. Je potřeba, aby osciloskop měl dostatečně vysokou mezní frekvenci. Musí zachytit minimálně třetí a pátou harmonickou složku datové posloupnosti. Dále musím mít sondu, kterou je možno vhodně připojit na přenosové vedení. V tomto případě se bude jednat o diferenční sondu. Na ní jsou kladeny stejné požadavky na mezní frekvenci jako na osciloskop.

Na diagramu oka lze studovat přízpůsobení zátěže, odrazy, SNR, jitter a překmity. Z těchto údajů lze odvodit maximální přenosovou rychlost a BER dané směrnice. Je dobré, aby byly signály použité pro měření velmi kvalitní, především po stránce jitteru a nezaváděli do měření zbytečně další nejistoty.

Přípravek, na kterém bude provedeno měření, musí obsahovat dvě vedení. Jedno jako

referenční bez ESD ochran a druhé s ESD ochranami. Vedení bez ochran bude sloužit k verifikaci základní simulace a ověření platnosti použitých modelů budičů, přijímačů a vedení. Pokud nebude dostatečná shoda simulace s měřením je nutné tyto modely opravit a doplnit.



## Přípravky pro měření

V této kapitole je popsána tvorba přípravků pro měření. Kapitola je rozdělená na dvě části. Na část věnující se přípravku pro charakterizaci ESD ochran a na část věnující se přípravku pro verifikační měření na sběrnici LVDS s ESD ochranami.

### 4.1 Požadavky

V této kapitole budou shrnuty požadavky na přípravek pro měření ve frekvenční oblasti. Budeme vycházet z kapitoly 2.3, kde byla zvolena sběrnice LVDS. Z toho vyplývá, že měření bude probíhat na diferenčním páru a přípravek musí být schopný takovéto měření zajistit.

Vzhledem k běžným rychlostem na LVDS (kolem 1 Gb/s) je potřeba, aby charakterizace ESD ochrany proběhla aspoň do pětinasobku základní frekvence, tj. 5 GHz. Dále verifikační přípravek musí umožňovat takovéto přenosové rychlosti.

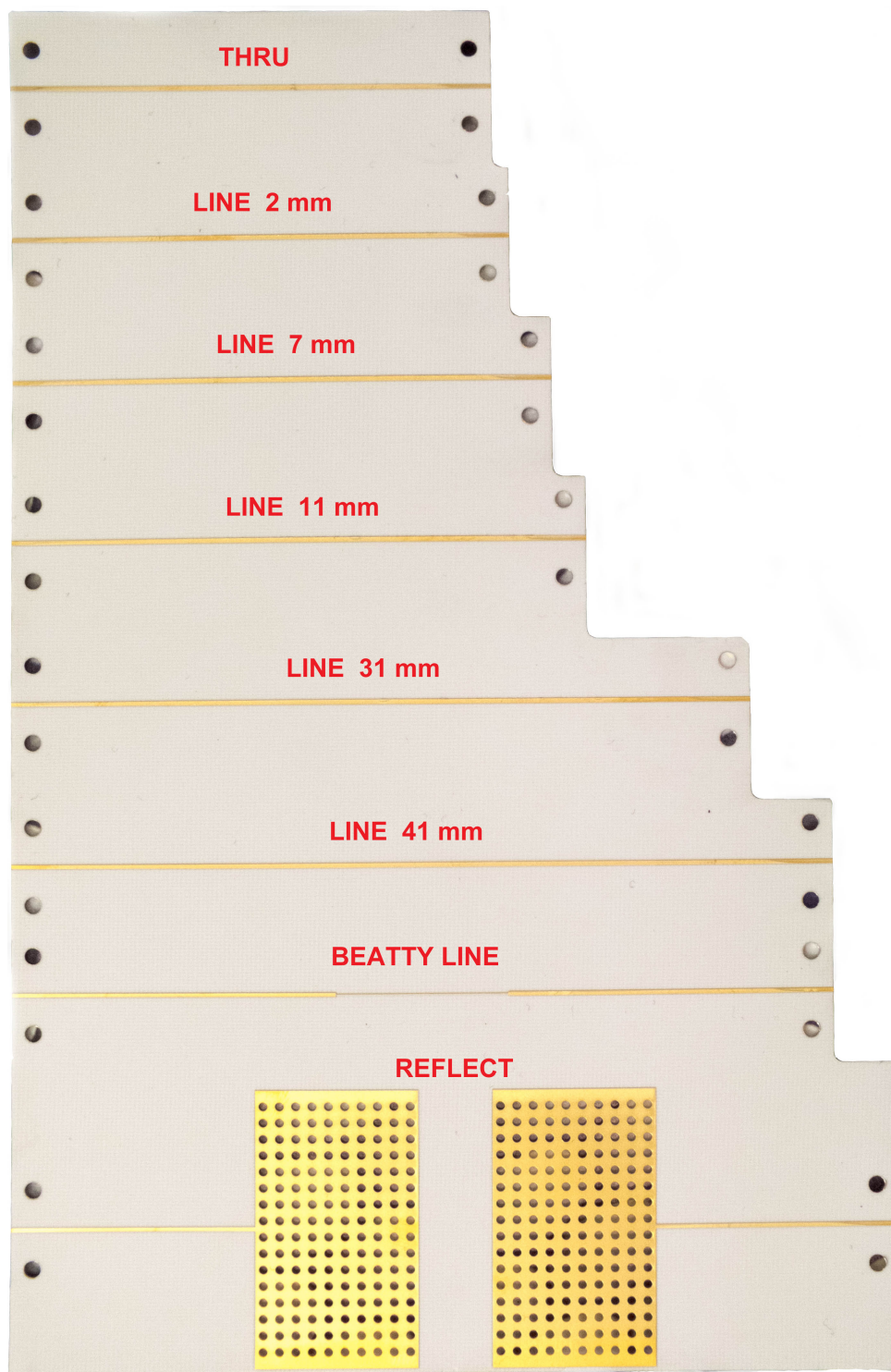
Přípravek pro měření v časové oblasti musí být schopný verifikace modelů budičů sběrnice a přijímačů na sběrnici.

### 4.2 Frekvenční oblast

Jak už bylo v kapitole 3.1 řečeno, je potřeba provést kalibraci VNA do vhodných referenčních rovin, tak aby bylo dále možno provést porovnání modelu a měření. Jako vhodná kalibrační metoda pro planární struktury, na které bude přípravek s ESD ochranou ESD7004 (podrobněji v 4.2.2), se jeví NIST TRL [14, 15].

#### 4.2.1 Kalibrační sada

Kalibrační metoda NIST TRL potřebuje pro svou funkci jedno vedení, které určí referenční rovinu (THRU). Dále pak minimálně jedno vedení vhodné délky o charakteristické impedanci (LINE), na kterou bude VNA zkalibrován. A nakonec vedení v referenční rovině zakončené odraze (REFLECT), zpravidla zkratem.



Obrázek 4.1: Mikropásková kalibrační sada.



Všechny tyto kalibry jsou velmi dobře realizovatelné na planárních strukturách. Dále je tato kalibrační metoda odolná vůči nejistotám měření způsobených opakovatelností připojení konektorů.

Je zde potřeba navrhnout především vhodné množství vedení LINE a délky vedení LINE. U klasické TRL se vedené volí tak, že první LINE posouvá fázi na nejnižším kmitočtu o  $20^\circ$  a je použita do frekvence, kde dojde k posunu o  $160^\circ$ . Pak se navazuje pomocí další LINE, která má posun o  $20^\circ$  tam kde předchozí line měla  $160^\circ$ . Toto řešení je nevhodné.

V [14] je ukázáno, že vhodné délky LINE pro NIST TRL nejsou takové, které na sebe navazují svými fázovými posuvy, ale takové, kde dochází v celé šířce pásma u některé z použitých LINE k fázovému posunu dle rovnice 4.1.

$$\phi_{ideal} = \phi_{LINE_n} \bmod 180^\circ \Rightarrow 90^\circ \quad (4.1)$$

Pro substrát ROGERS RO4350B o tloušťce 0,250 mm jsou vhodné délky LINE v tabulce 4.1.

Délka [mm]	2	7	11	31	41
Zpoždění [ps]	11.2996	39.5487	62.1480	175.1444	231.6425

Tabulka 4.1: Navržené délky vedení LINE.

Je potřeba spočítat zpoždění signálu na vedení dle (4.2). Tyto zpoždění se zadávají do VNA jako definice kalibrační sady.

U kalibru REFLECT je pouze odraz na vedení. Je požadováno pouze to, aby byla známá fáze jeho odrazu. V tomto případě je zvolen zkrat.

$$\tau(f) = \frac{l\sqrt{\varepsilon_r(f)}}{c} \quad (4.2)$$

Bohužel jak je vidět z obr. 4.1, je kalibrační sada vyrobena nekvalitně. Tato nekvalita zvyšuje nejistotu měření na VNA. Toto je taky v další kapitole, kde dochází k verifikaci kalibrace k vidění.

Dále je ještě v kalibrační sadě přítomen beatty line. Jedná se o definované nepřizpůsobení, které slouží k verifikaci kalibrace. V tomto planárním beatty line je použita změna impedance z  $50 \Omega$  na  $100 \Omega$ . Vedení  $100 \Omega$  je použito z důvodu, aby se na vedení nebudily další parazitní mody, protože běžně se u beatty line používá  $25 \Omega$ . Toto zaměnění bylo možné z důvodu toho, že koeficient odrazu od těchto vedení je stejný, pouze se obrátí fáze o  $180^\circ$ .

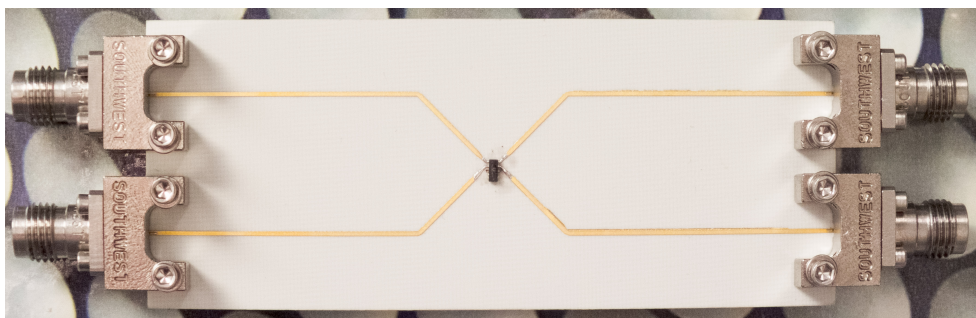
## 4.2.2 Přípravek pro měření ochrany

Jako zástupce běžně používané ESD ochrany pro LVDS sběrnici jsem se rozhodl vybrat ESD7004 [16]. Tato ochrana dle katalogových dat je vhodná pro vysoké rychlosti, má nízkou parazitní kapacitu  $0.2 \text{ pF}$  a je testovaná na úroveň  $8 \text{ kV}$  dle normy IEC61000.

Přípravek je navržen tak, aby bylo možno změřit diferenční zapojení této ochrany, tak jak by byla zapojena na LVDS vedení. Výsledek tohoto návrhu je na obr. 4.2. Je zde také

## 4. PŘÍPRAVKY PRO MĚŘENÍ

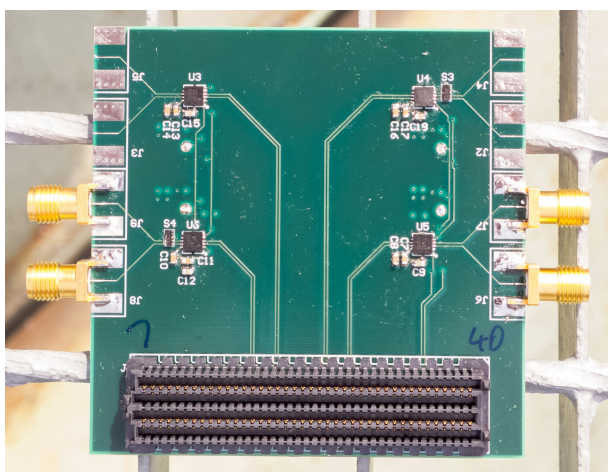
---



Obrázek 4.2: Přípravek pro měření ESD ochran ve frekvenční oblasti.

vidět, že se zhotoveným vedením mění zřetelně šířka pásku. Takovéto provedení způsobí velké nejistoty v měření na VNA.

### 4.3 Časová oblast

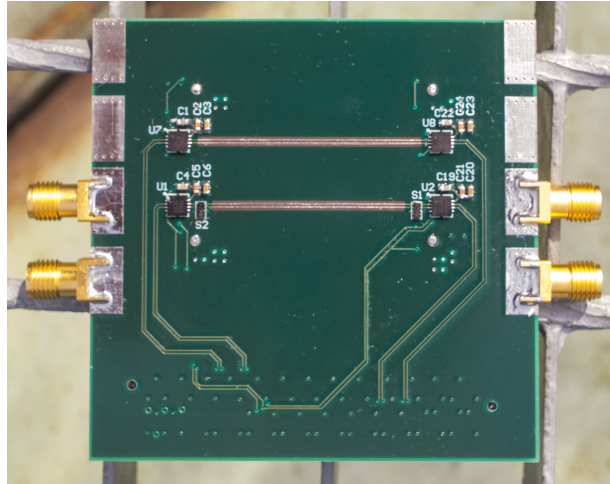


Obrázek 4.3: Přípravek pro měření v časové oblasti spodní vrstva.

Přípravek pro verifikaci měření v časové oblasti je navržen jako rozšiřující karta do FPGA desek se standardizovaným konektorem FMC LPC (dále pouze FMC). Vhodnou základní FPGA deskou může být například SP605 s FPGA Xilinx Spartan-6, kde běžně výstupy LVDS dosahují rychlostí 1 Gb/s [17].

Tento přípravek je realizována na čtyř vrstevném substrátu FR-4. Pro realizaci na čtyř vrstevném substrátu se přistoupilo kvůli vhodným rozměrům  $100\ \Omega$  vedení. Vodiče tohoto vedení mají šířku 0,16 mm a rozstup 0,3 mm. Dále taky z důvodu napájení a dobré země pod referenčním vedením.

Všechny výstupy, vstupy a referenční vedení jsou oddělená LVDS opakovačem, který zajišťuje definovaný tvar signálu a odstraňuje případné parazity v signálu způsobené průchodem signálu mezi deskami. Jako opakovač je použitý obvod DS25BR120 [18].



Obrázek 4.4: Přípravek pro měření v časové oblasti vrchní vrstva.

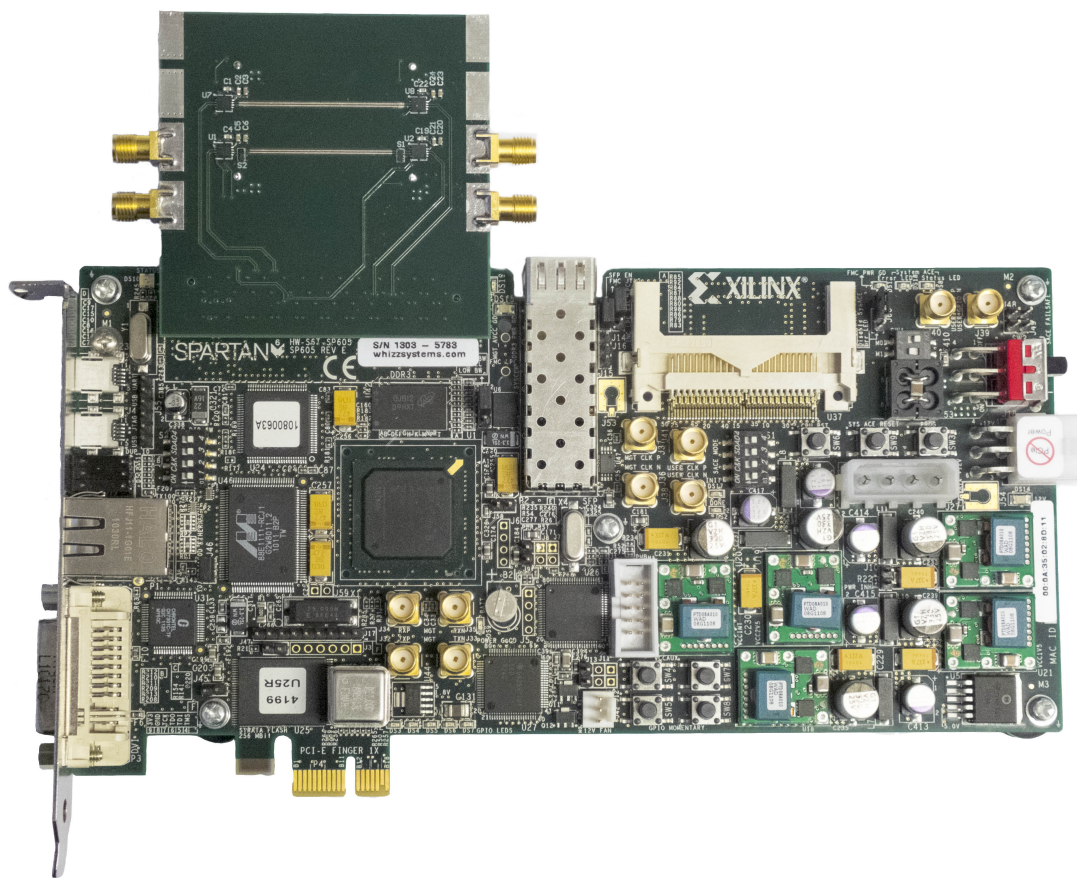
Aby bylo možno verifikovat budiče, tak jsou vyvedený dva výstupy budičů na SMA konektory, pro připojení osciloskopu a kontrolu. Jeden výstup je holý budič sběrnice a druhý je s ESD ochranou. Stejný postup je použit pro charakterizaci přijímače, kde jeden vstup je s ESD ochranou a druhý bez. Toto zapojení je zobrazeno na obr. 4.3.

Dále jsou na druhé straně referenční vedení bez a s ESD ochranou, viz obr. 4.4. Toto vedení má sloužit jako hlavní verifikace charakterizace ESD ochrany. K tomuto vedení se bude připojovat diferenciální osciloskopická sonda. Pomocí této sondy se bude měřit diagram oka, který bude porovnáván se simulací.

Dále jsou na tomto DPS blokovací kondenzátory, pro zajištění blokování napájecího napětí.

#### 4. PŘÍPRAVKY PRO MĚŘENÍ

---



Obrázek 4.5: Celkové zapojení s deskou FPGA

Na obr. 4.5 je celkové zapojení přípravky s FPGA deskou SP605. Na této sestavě bylo provedeno veškeré měření v časové oblasti.

---

## Měření a simulace

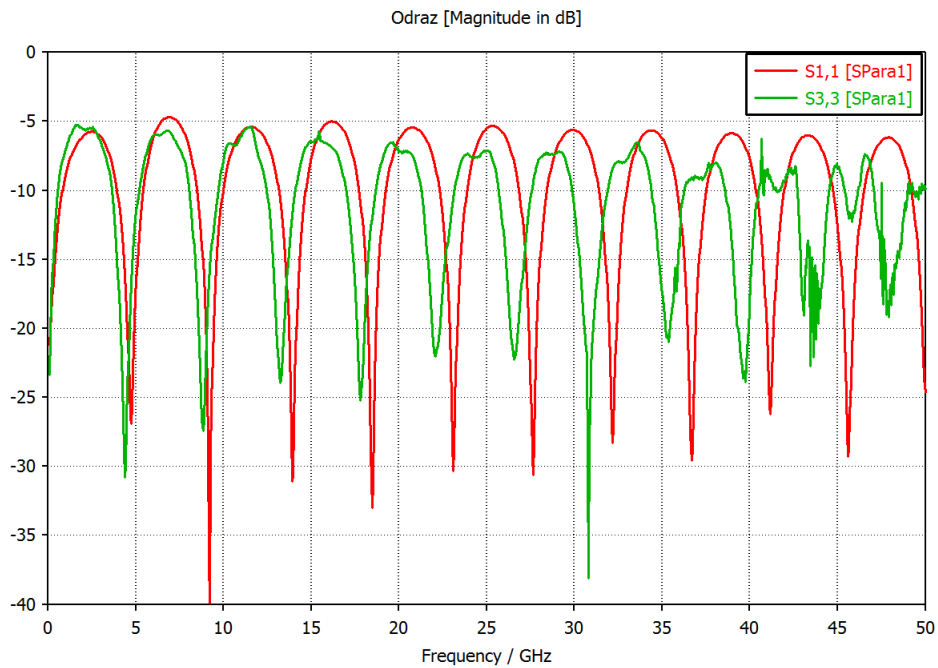
Měření s simulace lze rozdělit na několik samostatných částí. Měření ve frekvenční oblasti zahrnující verifikaci, extrakci materiálových vlastností substrátu a modelování ESD ochrany a srovnávání modelu s měřením. Dále na oblast měření a simulace v časové oblasti, kde se aplikují výsledky z frekvenční oblasti.

### 5.1 Frekvenční oblast

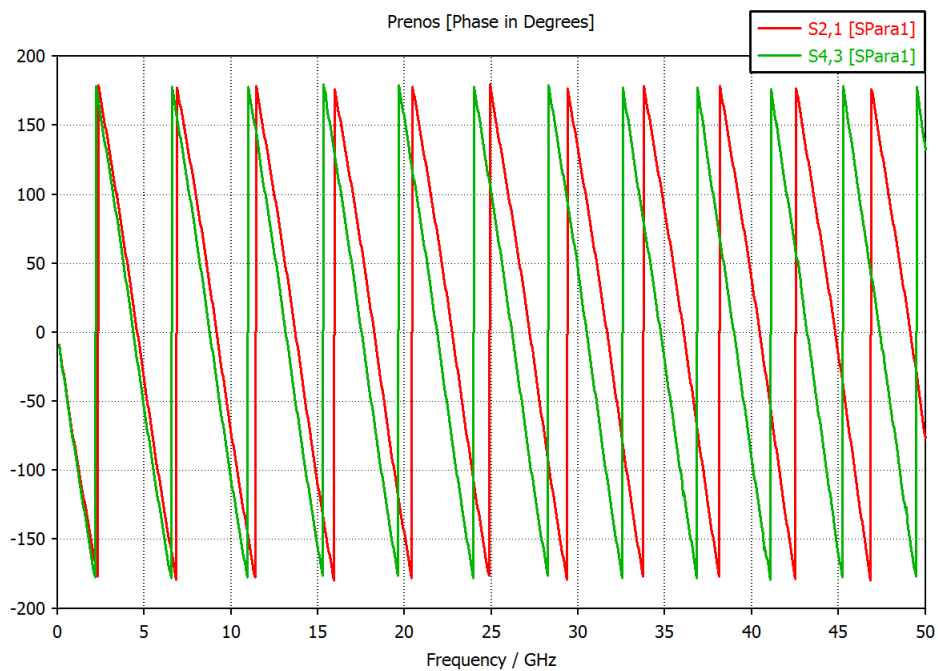
#### 5.1.1 Kalibrace a verifikace

Kalibrace a verifikace je procedura při níž se zkalibruje VNA pomocí přípravku navrženého z kapitole 4.2.1 a provede se verifikace s beatty line.

Kalibrace proběhne jako standardní kalibrace VNA pomocí metody NIST TRL. Dále se připojí k VNA beatty line a změří se její s-parametry. Ty se porovnají s daty ze simulace tohoto přípravku v CST MICROWAVE STUDIO®. Na obr. 5.1 je zobrazena amplituda odrazu - S11 od beatty line. Minima v amplitudě odrazu jsou posunuta oproti modelu s daty pro substrát od výrobce což značí, že beatty line je na substrátu s trochu rozdílnou reálnou složku permitivity.



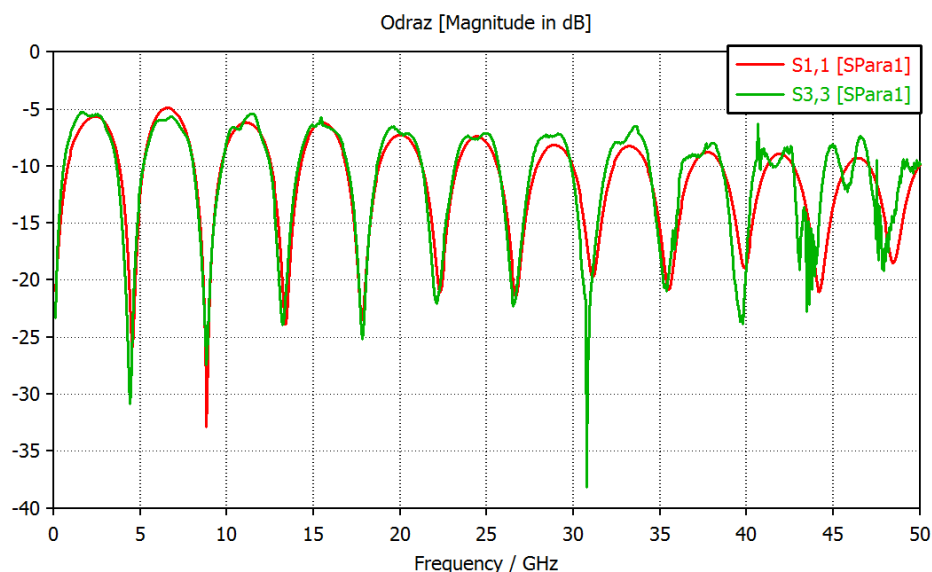
Obrázek 5.1: Amplituda odrazu beatty line.



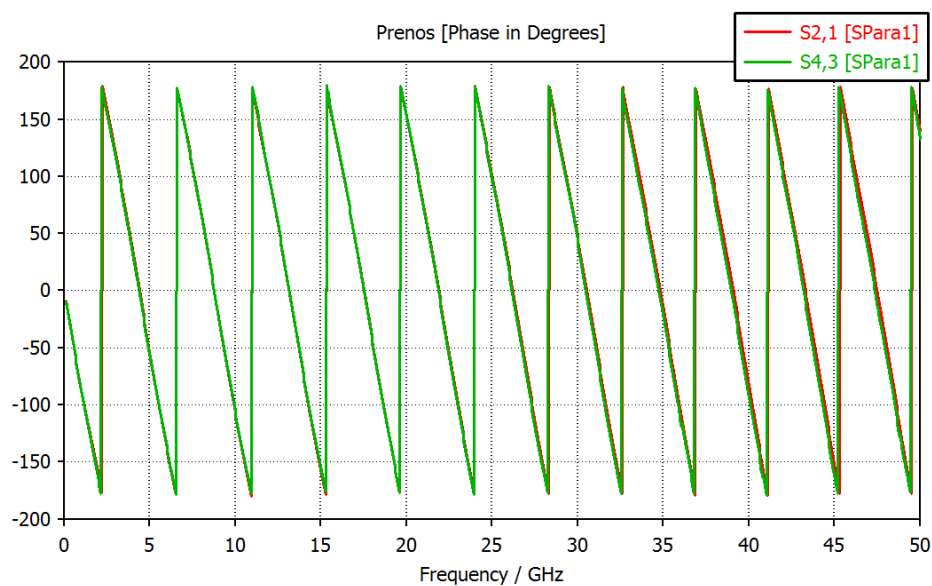
Obrázek 5.2: Fáze přenosu beatty line.

Dále na obr. 5.2 je také zachycena fáze přenosu - S21 beatty line. Rozdíl ve fázi opět

ukazuje na rozdílnou hodnotu reálné hodnoty permitivity oproti substrátu v simulaci.



Obrázek 5.3: Amplituda odrazu beatty line s korekcí permitivity substrátu.



Obrázek 5.4: Fáze přenosu beatty line s korekcí permitivity substrátu.

Výrazná nekvalita měřených s-parametrů beatty line od 40 GHz je pravděpodobně způsobena nekvalitně zhotovením přechodu mezi 50  $\Omega$  a 100  $\Omega$  vedením a měnící se šířkou vedení (způsobena velkými výrobními tolerancemi). V tomto přechodu došlo k špatnému odleptání mědi, které může toto způsobovat. Výsledky z měření přípravku s ESD ochranou

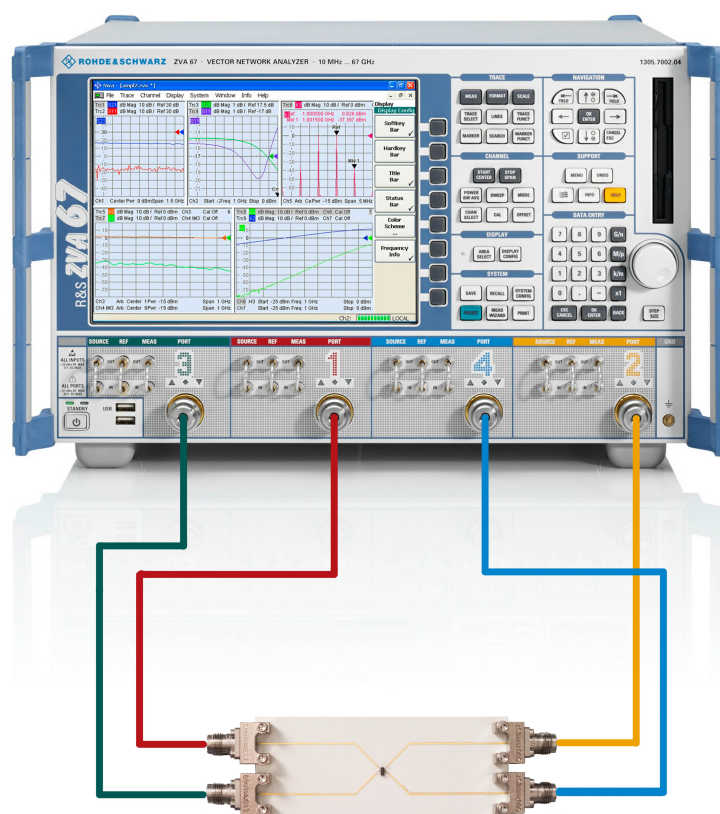


## 5. MĚŘENÍ A SIMULACE

ukazují, že důležitá jsou naměřená data do 30 GHz, takže by tyto nedostatky na frekvencích od 40 GHz nemusely příliš vadit.

Po této první verifikaci, kde je ukázáno, že simulace je spočítána se špatnou hodnotou permitivity substrátu je potřeba změřit hodnotu reálnou. To se provede změřením THRU a nejdelší LINE 41 mm v kalibrační sadě (obr. 4.1). Měřená data se následně porovnávají s modelem v CST MICROWAVE STUDIO<sup>®</sup> a upravuje se hodnota permitivity v modelu, tak aby simulované s-parametry korelovaly s měřeními. Výsledná shoda změřených a simulovaných s-parametrů z hlediska amplitudy odrazu je porovnána na obr. 5.3, kde S11 jsou simulované hodnoty a S33 jsou měřené hodnoty. Na obr. 5.4 porovnána fáze přenosu, kde S21 je přenos simulovaného modelu a S43 je měřený přenos. Hledisko amplitudy odrazu není pořád dobré, ale s takto vyrobenými kalibry a beatty line nelze dosáhnout lepšího výsledku, protože kvůli výrobním tolerancím se náhodně mění impedance vedení.

### 5.1.2 Měření ESD ochrany



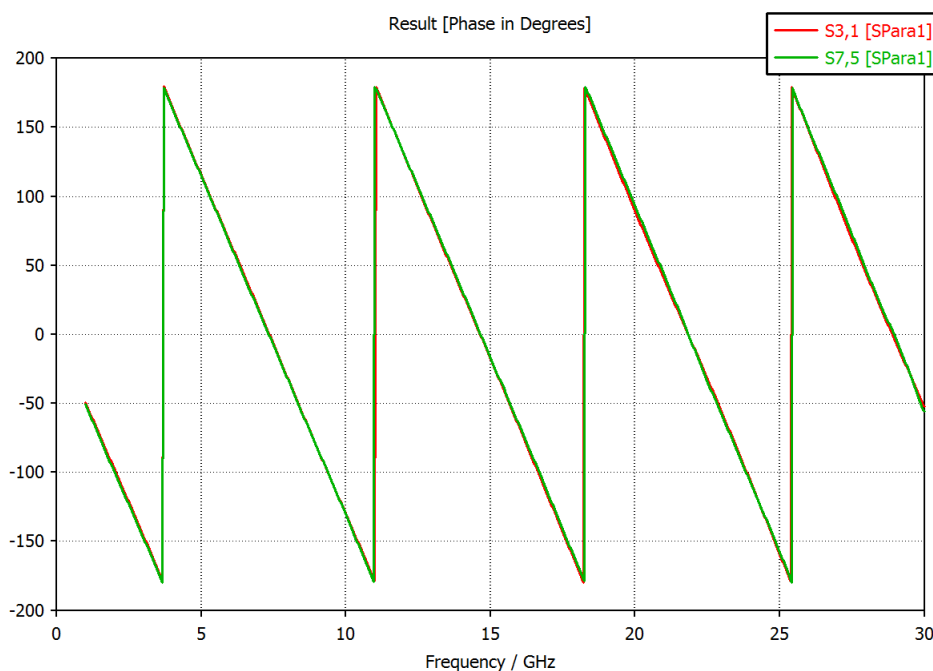
Obrázek 5.5: Zapojení VNA při měření ESD ochrany.

Měření ESD ochrany bylo provedeno po kalibraci VNA v definovaných referenčních rovinách na DPS. Na obr 5.5 je zachycen přípravek při měření na VNA. Měření bylo



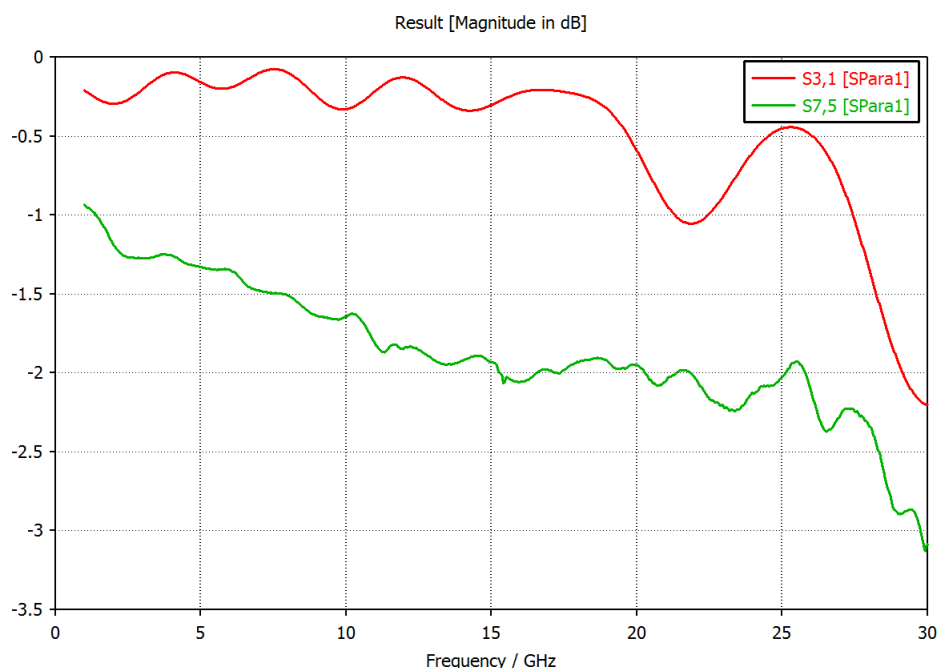
provedeno také na přípravku bez ochrany pro následnou verifikaci modelu v 3D simulátoru pole.

### 5.1.3 Modelování ESD ochrany



Obrázek 5.6: Porovnání fáze SDD21 přípravku simulace a měření.

Nepodařilo se provést zcela dobře extrakci permitivity substrátu, na kterém je vyroben přípravek pro měření ESD ochrany. Podařilo se dobře extrahovat reálnou část efektivní permitivity, protože dle obr. 5.6 fáze diferenčního přenosu - SDD21 dobře odpovídá měření. Bohužel amplituda přenosu - SDD21, na obr. 5.7, která závisí na imaginární složce permitivity, se nepodařilo dobře extrahovat, proto že útlum v přípravku (S75) je velmi velký a velmi se liší od předpokládaných hodnot (S31). Toto může být způsobeno výrobními tolerancemi všech přípravků vyrobených na substrátu RO4350B.

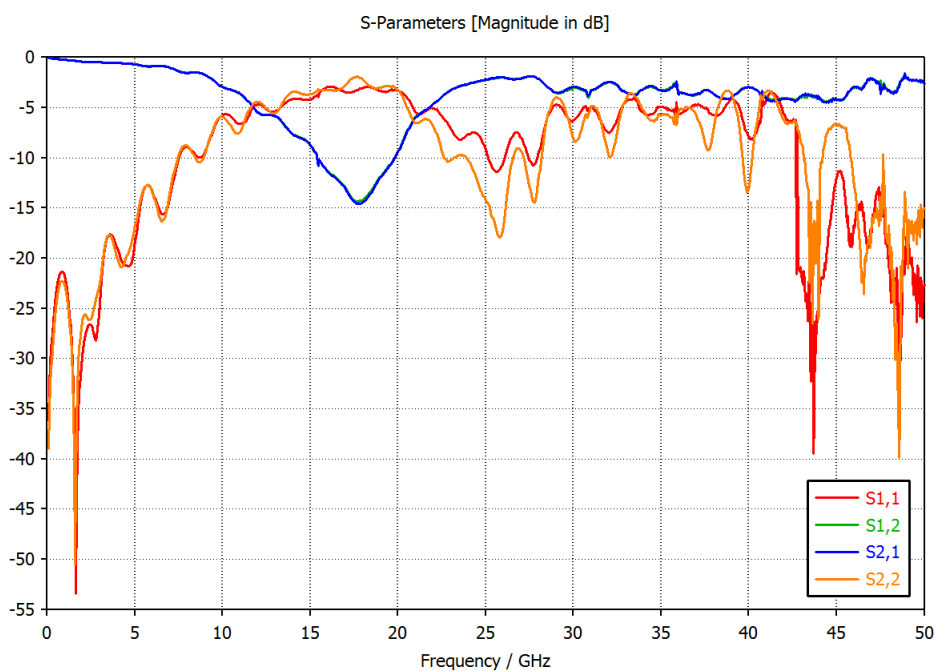


Obrázek 5.7: Porovnání amplitudy SDD21 přípravku simulace a měření.

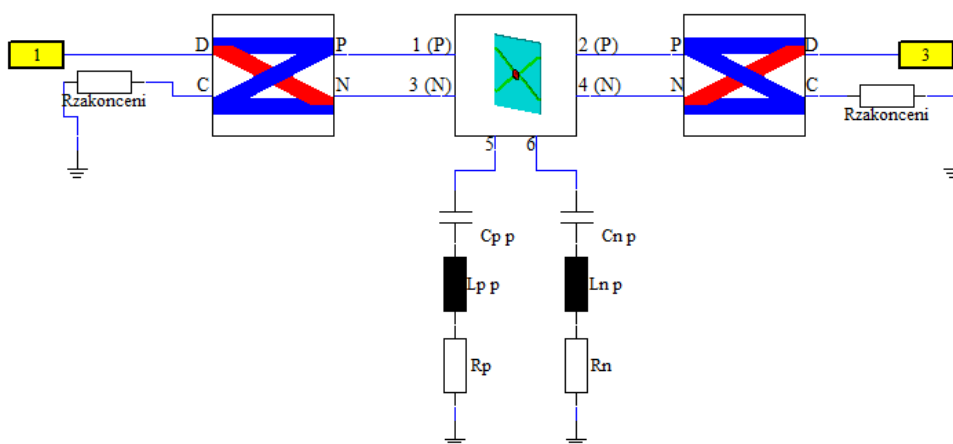
Po této verifikaci se začne modelovat ESD ochrana. Na porty v modelu dle obr. 3.2, kde je připojena ESD ochrana se budou připojovat parazitní součástky modelující parazitní vlastnosti ESD ochrany. Z obr. 5.8 je vidět, že na 17,7 GHz dochází k sériové rezonanci. Tuto rezonanci namodelujeme pomocí sériové kombinace prvků  $L$ ,  $C$  a ztrátového odporu  $R$ . Tato kombinace je připojena na oba dva vývody. Na obr. 5.9 je znázorněné schéma zapojení těchto parazit.

Prvně se hodnoty těchto parazit odhadnou, tak aby rezonance v simulaci přibližně seděla v místě rezonance v měřených datech. Dále se provedla optimalizace těchto hodnot, tak aby odchylka byla minimální mezi simulací a měřením.

Takováto shoda byla nedostatečná, proto bylo potřeba upravovat také hybridní model v 3D simulátoru. Konkrétně se měnila permitivita kvádru -  $\epsilon_{rp}$ , který simuluje pouzdro ESD ochrany. Opět se provedla optimalizace hodnot  $R$ ,  $L$ ,  $C$  a  $\epsilon_{rp}$  pouzdra za účelem minimalizace odchylky simulace s měření.



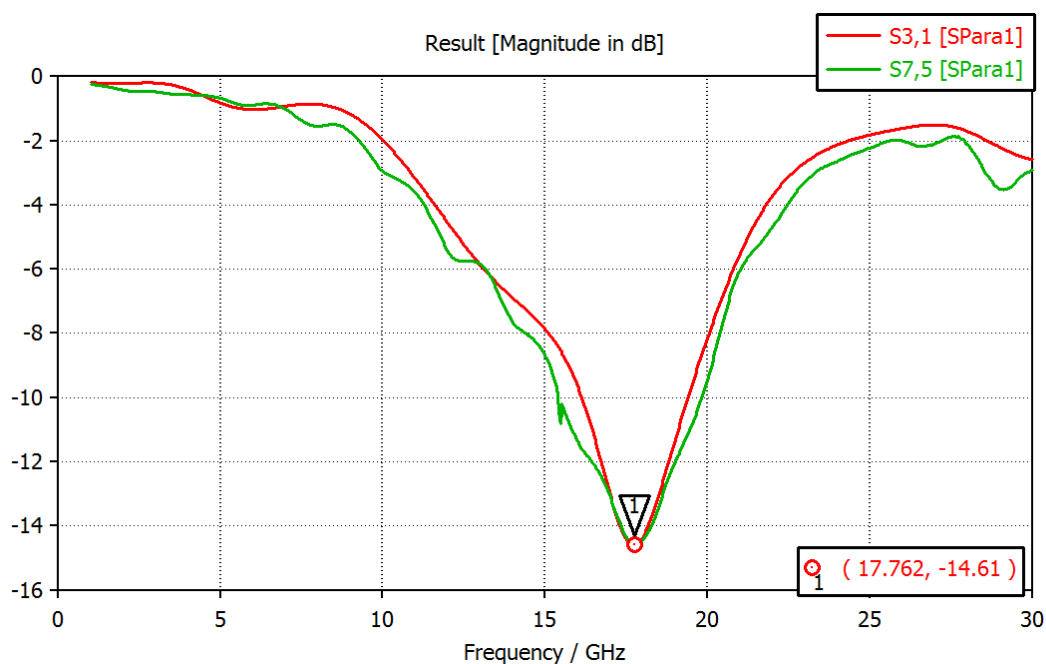
Obrázek 5.8: S-parametry změřené na přípravku s ESD ochranou.



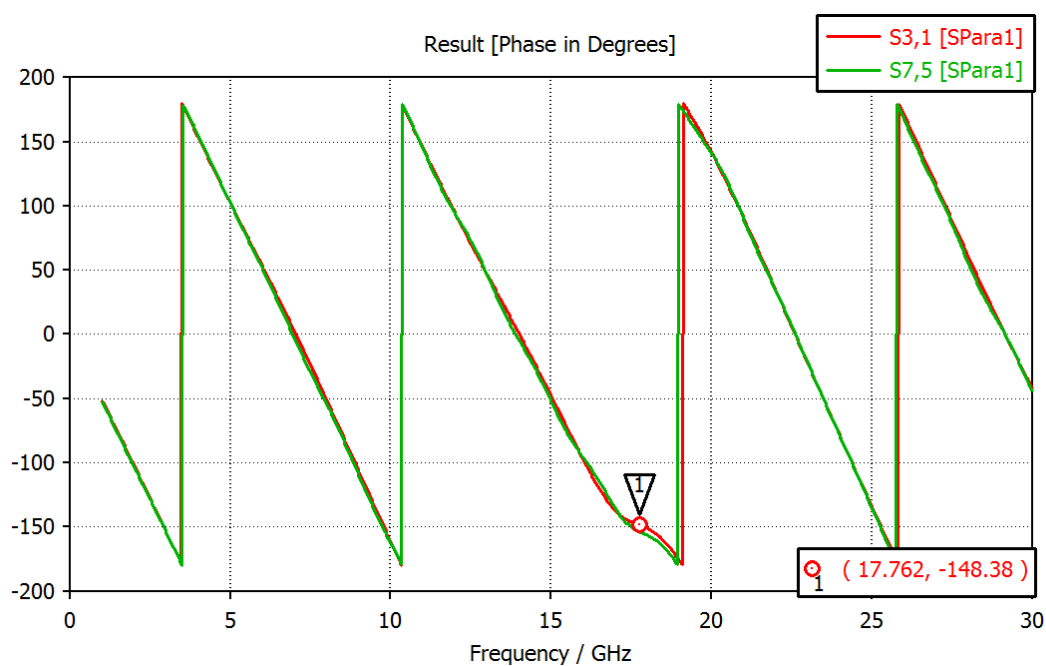
Obrázek 5.9: Schéma zapojení parazit ESD ochrany.

Shoda nebyla dostatečná, proto byla potřeba zahrnout do simulace rozdílné délky vodičů uvnitř ESD ochrany pro krajní pin a vnitřní pin. Toto zahrnutí bylo provedeno dosazením rozdílných hodnot pro  $R$ ,  $L$  a  $C$  na jednom a druhém pinu, jak je zobrazeno na obr. 5.9. Opět proběhla optimalizace těchto hodnot.

Výsledné zapojení parazitních prvků je na obr. 5.9. V tabulce 5.1 jsou zjištěné hodnoty parazit ESD ochrany a permitivity pouzdra. Na obr. 5.10 je porovnána shoda amplitudy



Obrázek 5.10: Amplituda přenosu SDD21.



Obrázek 5.11: Fáze přenosu SDD21.

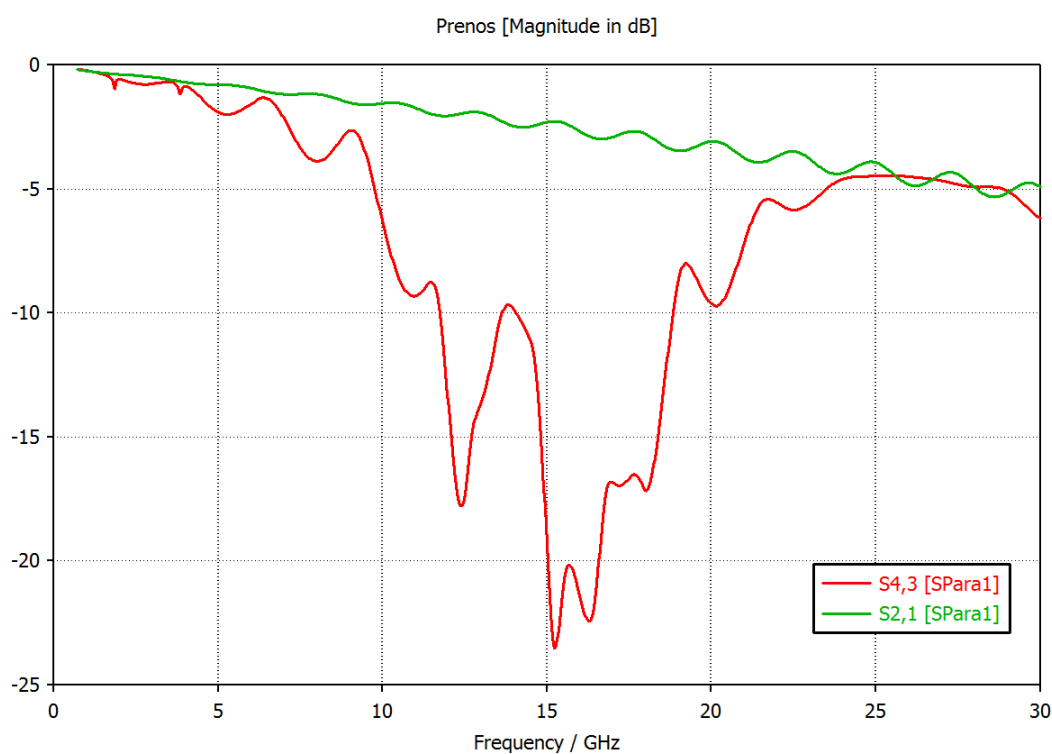
přenosu měření (S75) a simulace (S31) přípravku pro ESD ochranu. Fáze simulace (S75) je ve velmi dobré shodě s měřením (S31) na obr. 5.11. Hodnoty jsou rozdílné pro vnější vodič (označen indexem  $p$  v obr. 5.9) a pro vnitřní vodič (označen indexem  $n$  v obr.

$C_p$ [pF]	0,127
$L_p$ [pH]	529
$R_p$ [ $\Omega$ ]	4,08
$C_n$ [pF]	0,276
$L_n$ [pH]	350
$R_n$ [ $\Omega$ ]	6,77
$\varepsilon_{rp}$ [-]	2,95

Tabulka 5.1: Parazitní hodnoty hodnoty ESD ochrany ESD7004.

5.9) diferenčního vedení. Tyto hodnoty jsou to nejlepší, čeho se podařilo dosáhnout se stávajícími přípravky.

#### 5.1.4 Modelování přípravku pro měření v časové oblasti



Obrázek 5.12: Přenos na vedení přípravku.

Modelování přípravku pro měření v časové oblasti, z kapitoly 3.3 pořád patří do kategorie frekvenční oblasti, protože výsledky této simulace jsou s-parametry, tedy výsledek ve frekvenční oblasti. Až ten se použije v časové oblasti.

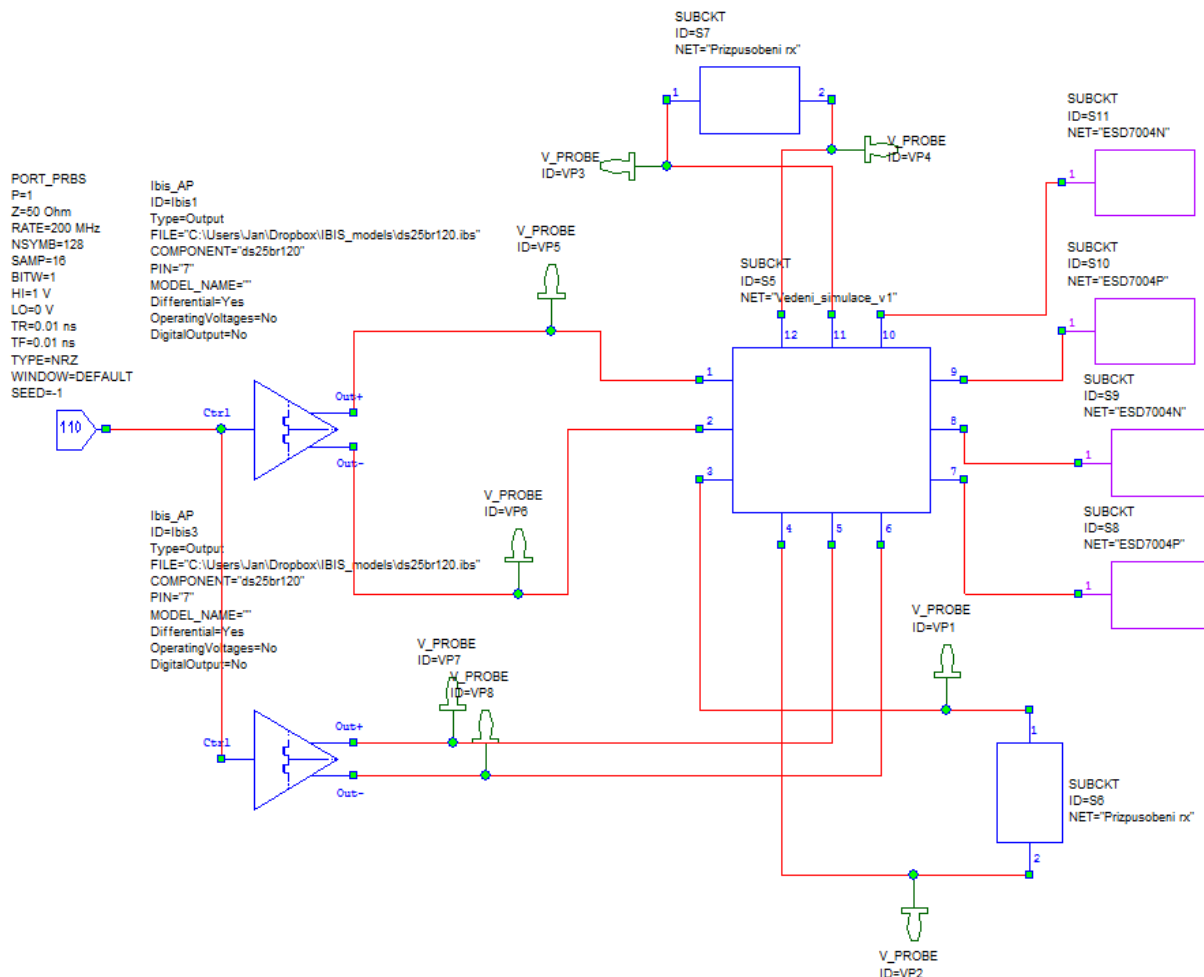
Model referenčního vedení z obr. 3.4 je doplněn o extrahovanou permitivitu pouzdra a hodnoty parazit z kapitoly 5.1.3. Z této simulace jsou získány s-parametry, které budou dále použity pro simulace v časové oblasti.

Na obrázku 5.12 je jako S21 zobrazen přenos referenčního vedení bez ESD ochran dle obr. 3.3. Průběh S43 zachycuje přenos vedení, ke kterému jsou připojeny ESD ochrany dle blokového schématu obr. 3.3.

## 5.2 Časová oblast

V této kapitole se porovnají výsledky simulace průběhu signálu na vedení LVDS s měřením pomocí osciloskopu.

### 5.2.1 Simulace signálu na vedení LVDS



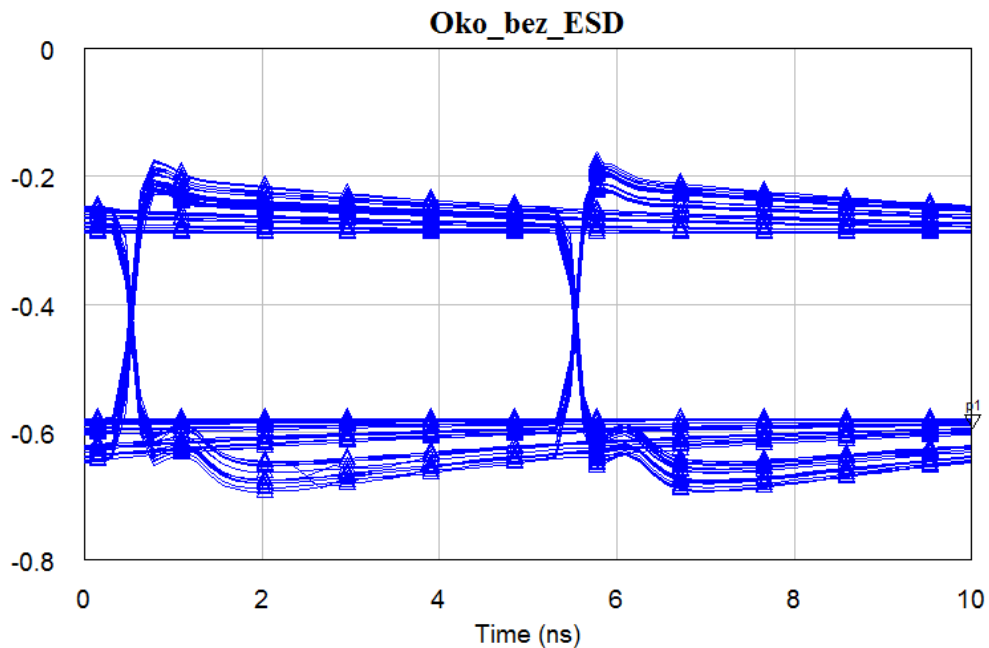
Obrázek 5.13: Celkové zapojení v AWR MO.

V kapitole 5.1.3 se nasimuloval model přípravku pro měření v časové oblasti. Tento model se použije v programu AWR Microwave Office, kde se za pomoci IBIS modelů budičů a přijímačů LVDS DS25BR120 bude generovat testovací signál. Zobrazuje se zkrácení diagramu oka na konci a na začátku vedení. Tyto změřené průběhy se porovnají s měřením na osciloskopu.

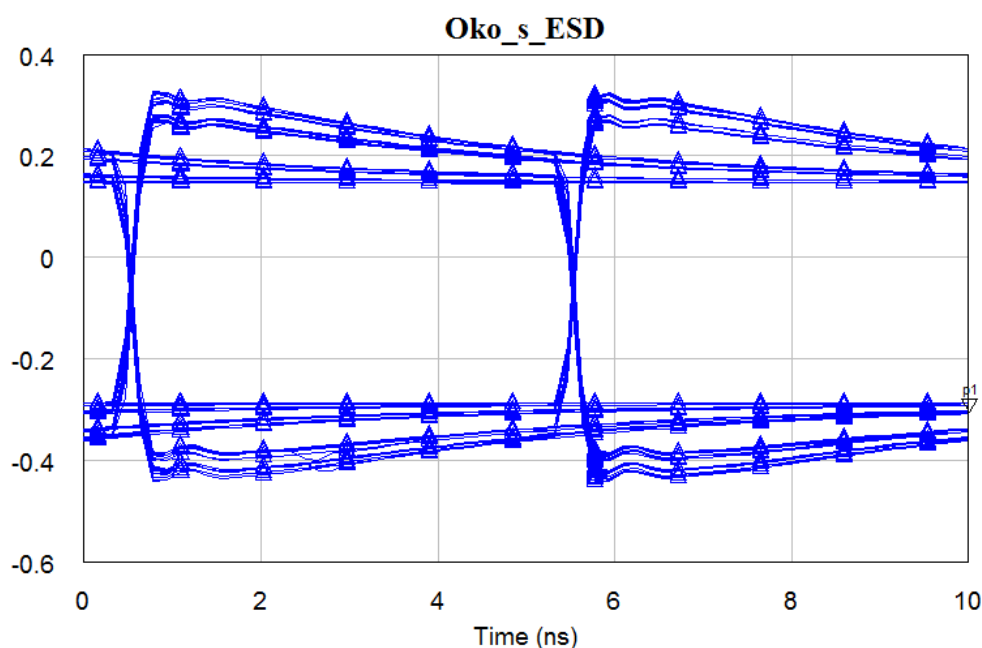
Vstupy obvodu DS25BR120 jsou modelovány pomocí mnou změřených s-parametrů.

Na obr. 5.13 je zobrazené celkové zapojení v AWR Microwave Office pro měření diagramu oka. Jsou zde importovány výstupní IBIS modely budičů DS25BR120, model vedení, modely mnou vytvořených modelů ESD ochrany a změřené s-parametry vstupů DS25BR120. Dále jsou zde použity V\_PROBE, pomocí kterých se snímá napětí na přijímačích. Rozdíl napětí na jednotlivých vodičích v páru je poté zobrazeno v diagramu oka.

Simulace probíhá při bitové rychlosti 200 Mbit/s. Tato rychlost je zvolena z důvodů omezené šířky pásma použitého osciloskopu, pomocí kterého se v další kapitole měří na reálném vedení.



Obrázek 5.14: Diagram oka pro vedení bez ESD ochrany.



Obrázek 5.15: Diagram oka pro vedení s ESD ochranou.

Při porovnání výsledků simulace pro vedení s a bez ESD ochrany na obr. 5.14 a 5.15 je pozorovatelný pouze mírný překmit u vedení s ESD ochranou.

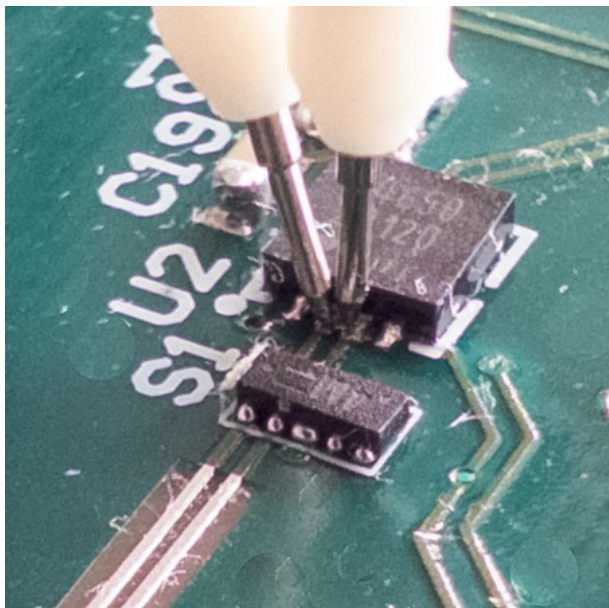
Vzhledem k tomu, že ani při simulaci s bitovou rychlostí 3,125 Gbit/s nebyl pozorován výraznější rozdíl v diagramu oka vedení s ESD a bez ESD ochrany, tak nebude pravděpodobně pozorovatelný rozdíl v měření na těchto vedení při nízké rychlosti 200 Mbit/s. Toto lze i předpokládat z porovnání přenosů z obr. 5.12.

### 5.2.2 Měření pomocí osciloskopu

Nejprve bylo potřeba napsat kód ve VHDL, který v FPGA bude generovat pseudonáhodnou posloupnost. A posílat jí do opakovačů na testovacích vedeních. Celý kód je v příloze B.

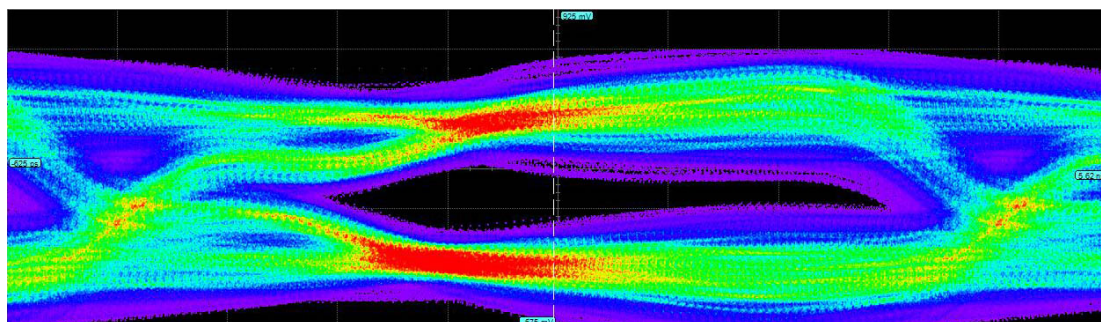
Při měření na těchto testovacích vedeních byl použit osciloskop LECROY WaveRunner 640Zi. Jedná se o 4 portový osciloskop s šířkou pásma od DC do 4 GHz. Z toho vyplývá výše zmíněný důvod k použití testovacího signálu o nízké bitové rychlosti 200 Mbit/s, aby byl signál dostatečně věrně zobrazen se všemi svými významnými složkami.



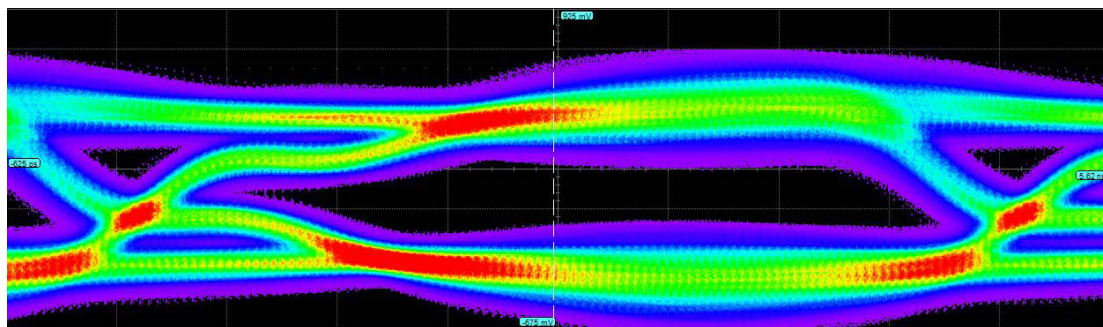


Obrázek 5.16: Připojení sond k diferenčnímu vedení.

Na obr. 5.16 je zobrazeno připojení sond k přijímači na diferenčním vedení a ESD ochranami. Provede se rozdíl signálu z těchto dvou sond, obnoví se v osciloskopu hodinová frekvence datové posloupnosti a zobrazí se digram oka.



Obrázek 5.17: Měřený diagram oka na vedení bez ESD ochrany.



Obrázek 5.18: Měřený diagram oka na vedení s ESD ochranou.

Na obr. 5.17 a 5.18 jsou porovnány měření na diferenčních vedení přípravku. Vedení bez ESD ochrany je mírně zašuměné. Toto může být způsobeno nevyrovnaným přitlakem sond na vedení. Přesto, když se porovnají místa s častým přeběhem signálu, jsou si obě měření podobná. Vzhledem k použití ESD ochran s kapacitou kolem 0,2 pF a nízké bitové rychlosti pseudonáhodné posloupnosti není toto měření příliš průkazné z hlediska shody simulace s měřením. Důvodem je skoro totožný výsledek měření na obou vedeních.

---

## Závěr

V této diplomové práci, která se věnovala charakterizaci ESD ochran. V úvodu byly demonstrovány základní přenosové vlastnosti přenosových vedení a vliv těchto vlastností na procházející signál, základní digitální standardy pro datové sběrnice a stručný přehled ESD ochran. Dále je popsána metoda charakterizace ESD ochran a následné použití vytvořených modelů v časové oblasti. Je zde popsán postup charakterizace, výsledky a komentáře k měřeným datům.

Díky nedostatku v kalibrační sadě a přípravku pro měření se při charakterizaci vycházelo především z diferenčního přenosu. Zde se podařilo dosáhnout poměrně dobrou shodu hybridního modelu s měřením. Bylo by vhodné pro další zlepšení modelu zlepšit shodu na odrazech od ochrany.

Takto vytvořené hybridní modely byly použity v simulaci se 100  $\Omega$  vedeními, budiči a přijímači LVDS. Dle simulace přenosového vedení v AWR Microwave Office by ESD ochrany neměli ovlivnit chod budičů LVDS DS25BR120 při jejich plné rychlosti 3.125 Gbit/s. Měření bylo provedeno na 200 Mbit/s, kde se průběhy na vedení bez a s ESD ochranou skoro schodovaly.

Jako možnost dalšího rozšíření této práce vidím v možnosti lépe charakterizovat dané ESD ochrany v dynamickém režimu pomocí stejnosměrného předpětí a pomocí ESD pistole. Dále vylepšením shody hybridního modelu se simulací v odrazech od ochrany a převodu mezi diferenčním módem a souhlasným módem, který by bylo možné použít pro analýzu EMI.

Charakterizace ESD ochran byla velmi poznamenána nekvalitně vyrobenou kalibrační sadou a přípravkem pro měření na VNA. Tato nekvalita spočívá ve velkých výrobních tolerancích. Následkem těchto tolerancí jsou měřená data zatížena poměrně velkou nejistotou měření, především při měření odrazu, které je od 40 GHz zcela nepoužitelné, jak je vidět z měření beatty line. Přitom by přesně vyrobená kalibrační sada byla schopna fungovat do 70 GHz.

Dále by bylo dobré vyrobit s hybridní model pro nějakou nepřiliš dobrou ESD ochranu a zopakovat celý postup popsany v této diplomové práci. S touto horší ochranou by mohlo být možné snáz pozorovat zkreslení signálu na testovacím vedení.



---

## Literatura

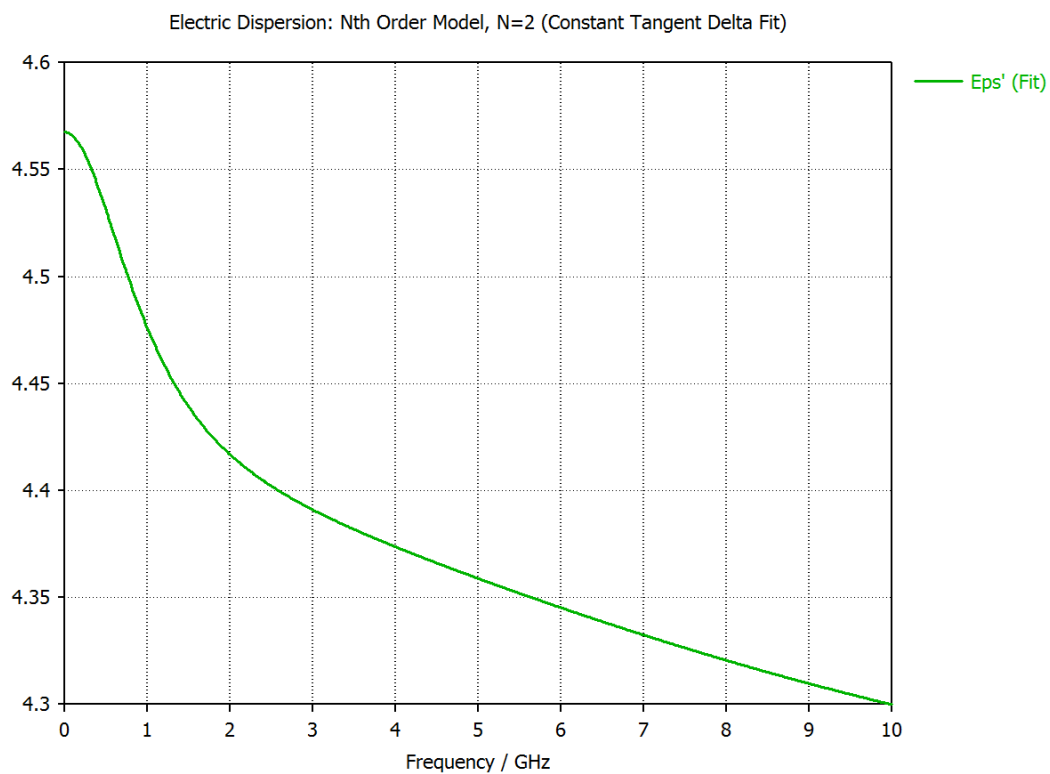
- [1] Pupalaiakis, P. J. Validation Methods for S-parameter Measurement Based Models of Differential Transmission Lines. Available from: [http://cdn.teledynelecroy.com/files/whitepapers/designcon\\_2008\\_measurement\\_based\\_models.pdf](http://cdn.teledynelecroy.com/files/whitepapers/designcon_2008_measurement_based_models.pdf)
- [2] Surrel, G. Shows the principle of a SerDes. Oct. 2014.
- [3] Maxim Integrated Products, I. Understanding LVDS Fail-Safe Circuits.
- [4] Jones, D. L. EEVblog 678 - What is a PCB Spark Gap? online: <http://www.eevblog.com/forum/blog/eevblog-678-what-is-a-pcb-spark-gap/>, Oct. 2014.
- [5] Ronald B. Standler, E. *Protection of Electronic Circuits from Overvoltages*. DOVER PUBL INC, 2002, ISBN 0486425525. Available from: [http://www.ebook.de/de/product/2033294/ronald\\_b\\_standler\\_engineering\\_protection\\_of\\_electronic\\_circuits\\_from\\_overvoltages.htm](http://www.ebook.de/de/product/2033294/ronald_b_standler_engineering_protection_of_electronic_circuits_from_overvoltages.htm)
- [6] elson ong. Transient Voltage Suppressor (TVS) Diode Array. Online: <http://electronics.stackexchange.com/questions/92550/transient-voltage-suppressor-tvs-diode-array>.
- [7] Holt, J. C. *The Art of Electronics*. Cambridge University Pr., 2015, ISBN 0521809266. Available from: [http://www.ebook.de/de/product/13623996/j\\_c\\_holt\\_the\\_art\\_of\\_electronics.html](http://www.ebook.de/de/product/13623996/j_c_holt_the_art_of_electronics.html)
- [8] Kaiser, K. L. *Electromagnetic Compatibility Handbook*. CRC PR INC, 2004.
- [9] Kaiser, K. L. *Transmission lines, matching, and crosstalk*. CRC Press, 2005.
- [10] Sawyer, N. LVDS Source Synchronous 7:1 Serialization and Deserialization Using Clock Multiplication. XILINX, Mar. 2015, xAPP585.

- [11] Scogna, A.; Chiang, C. T.; Krohne, K.; et al. Signal Integrity analysis for high speed channels in pcb/package co-design interface: 3D full wave vs. 2d/hybrid approach & full model vs. segmentation approach. In *Electronics Packaging Technology Conference (EPTC 2013), 2013 IEEE 15th*, 2013, pp. 585–588, doi:10.1109/EPTC.2013.6745787. Available from: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6745787>
- [12] Sokol, V. Precise High Frequency Modelling of SMD Components. 2015. Available from: <https://www.cst.com/webinar15-10-29~>
- [13] ANSI/EIA-656-B. *IBIS Open Forum: Frequently Asked Questions: What is this IBIS stuff anyhow?* IBIS Open Forum. Available from: <http://www.ibis.org/faq/>
- [14] Marks, R. B. A multiline method of network analyzer calibration. *IEEE Transactions on Microwave Theory and Techniques*, volume 39, no. 7, 1991: pp. 1205–1215, doi:10.1109/22.85388. Available from: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=85388>
- [15] DeGroot, D.; Jargon, J.; Marks, R. Multiline TRL revealed. In *ARFTG Conference Digest, Fall 2002. 60th*, 2002, pp. 131–155, doi:10.1109/ARFTGF.2002.1218696. Available from: <http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=1218696>
- [16] Semiconductors, O. ESD7004 Transient Voltage Suppressors Low Capacitance ESD Protection Diode for High Speed Data Line. Online, Dec. 2013.
- [17] Xilinx. SP605 Evaluation Board. Xilinx, Sept. 2012, uG526(v1.8).
- [18] INSTRUMENTS, T. DS25BR120 3.125 Gbps LVDS Buffer with Transmit Pre-Emphasis. Online, Mar. 2013.

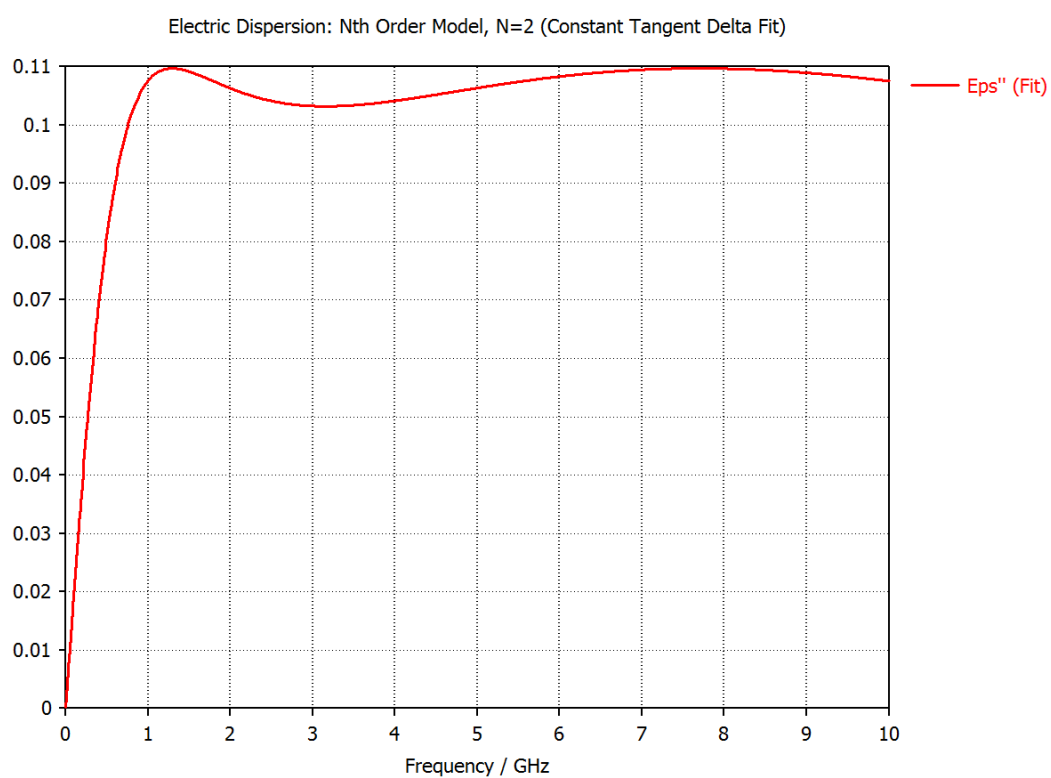
# Kmitočtová char. permitivity substrátu

## A.1 FR-4

V kapitole 2.1.3 byl jako příklad použit hodně disperzní materiál kvůli zvýraznění vlivu na zkreslení časového průběhu. Zde je uveden příklad komplexní permitivity substrátu FR-4.



Obrázek A.1: Reálná složka permitivity FR-4



Obrázek A.2: Komplexní složka permitivity FR-4



---

## VHDL kód pro FPGA

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;
library UNISIM;
use UNISIM.VComponents.all;

entity TOP is
Port ( clk_P : in  STD_LOGIC;
      clk_N  : in  STD_LOGIC;
      D_P   : out STD_LOGIC_VECTOR (3 downto 0);
      D_N   : out STD_LOGIC_VECTOR (3 downto 0);
      SW    : in  STD_LOGIC_VECTOR (3 DOWNTO 0);
      Din_P : in  STD_LOGIC_VECTOR (3 downto 0);
      Din_N : in  STD_LOGIC_VECTOR (3 downto 0);
      PE1   : out std_logic;
      PE2   : out std_logic;
      led1  : out std_logic);
end TOP;

architecture rtl of TOP is
signal reset : std_logic;
signal clk_200 : std_logic;
signal data_out : std_logic;

constant polynom : std_logic_vector (19 downto 0) := x"16801";
signal state : std_logic_vector (15 downto 0) := (others => '1');
signal reset_count : unsigned (15 downto 0) := (others => '0');
signal data_in : std_logic_vector (3 downto 0);
begin
```

```

led1 <= SW(0);
PE1 <= '0';
PE2 <= '0';
IBUFGDS_1 : IBUFGDS
generic map (
DIFF_TERM => FALSE, — Differential Termination
IBUF_LOW_PWR => TRUE, — Low power (TRUE) vs. performance (FALSE)
IOSTANDARD => "DEFAULT")
port map (
O => clk_200, — Buffer output
I => clk_P, — Diff-p buffer input
IB => clk_N — Diff-n buffer input
);

OBUFTDS_1 : OBUFTDS
generic map (
IOSTANDARD => "DEFAULT")
port map (
O => D_P(0), — Diff-p output
OB => D_N(0), — Diff-n output
I => data_out, — Buffer input
T => SW(0) — 3-state enable input
);

OBUFTDS_2 : OBUFTDS
generic map (
IOSTANDARD => "DEFAULT")
port map (
O => D_P(1), — Diff-p output
OB => D_N(1), — Diff-n output
I => data_out, — Buffer input
T => SW(1) — 3-state enable input
);

D_P(2) <= '0';
D_N(2) <= '0';
OBUFTDS_4 : OBUFTDS
generic map (
IOSTANDARD => "DEFAULT")
port map (
O => D_P(3), — Diff-p output
OB => D_N(3), — Diff-n output
I => data_out, — Buffer input

```

---

```
T => SW(3)      — 3-state enable input
);
```

```
P2 : process(clk_200)
begin
if rising_edge(clk_200) then
if reset_count = x"ffff" then
reset <= '0';
else
reset_count <= reset_count + 1;
reset <= '1';
end if;
end if;
end process;
```

```
data_out <= state (0);
P1 : process(clk_200)
begin
if rising_edge(clk_200) then
if reset = '1' then
state <= (others => '1');
else
for i in state'low+1 to state'high loop
if polynom(i) = '1' then
state(i-1) <= state(0) xor state(i);
else
state(i-1) <= state(i);
end if;
end loop;
end if;
end if;
end process;
```

```
IBUFDS.1 : IBUFDS
```

```
generic map (
DIFF_TERM => FALSE, — Differential Termination
IBUF_LOW_PWR => TRUE, — Low power (TRUE) vs. performance (FALSE)
IOSTANDARD => "DEFAULT")
port map (
O => data_in(0), — Buffer output
I => Din_P(0), — Diff-p buffer input
IB => Din_N(0) — Diff-n buffer input
);
```

```

IBUFDS_2 : IBUFDS
generic map (
DIFF_TERM => FALSE, — Differential Termination
IBUF_LOW_PWR => TRUE, — Low power (TRUE) vs. performance (FALSE)
IOSTANDARD => "DEFAULT")
port map (
O => data_in(1), — Buffer output
I => Din_P(1), — Diff-p buffer input
IB => Din_N(1) — Diff-n buffer input
);

IBUFDS_3 : IBUFDS
generic map (
DIFF_TERM => FALSE, — Differential Termination
IBUF_LOW_PWR => TRUE, — Low power (TRUE) vs. performance (FALSE)
IOSTANDARD => "DEFAULT")
port map (
O => data_in(2), — Buffer output
I => Din_P(2), — Diff-p buffer input
IB => Din_N(2) — Diff-n buffer input
);

IBUFDS_4 : IBUFDS
generic map (
DIFF_TERM => FALSE, — Differential Termination
IBUF_LOW_PWR => TRUE, — Low power (TRUE) vs. performance (FALSE)
IOSTANDARD => "DEFAULT")
port map (
O => data_in(3), — Buffer output
I => Din_P(3), — Diff-p buffer input
IB => Din_N(3) — Diff-n buffer input
);

end rtl;

```