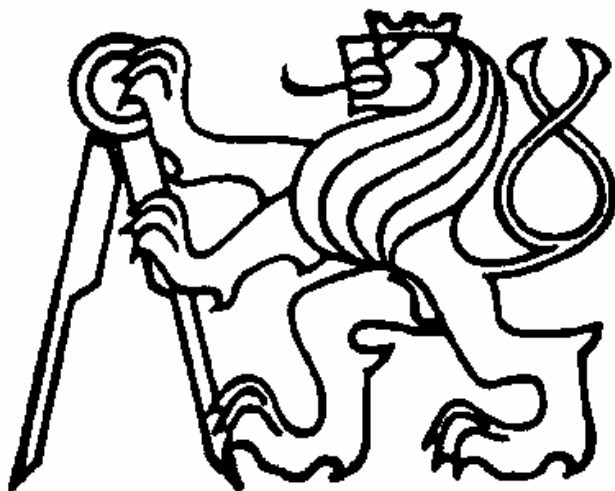


ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE



TEZE K DISERTAČNÍ PRÁCI

České vysoké učení technické v Praze
Fakulta elektrotechnická
Katedra elektrických pohonů a trakce

Ing. Petr Šimek

**Metody synchronizace řízení pulzně řízených měničů
na síti s rušivými složkami napětí**

Doktorský studijní program: Elektrotechnika a informatika
Studijní obor: 2642V004 "Elektrické stroje, přístroje a pohony"

Teze disertace k získání akademického titulu "doktor", ve zkratce "Ph.D."

Praha, únor 2016

Disertační práce byla vypracována v kombinované formě doktorského studia na katedře Elektrických pohonů a trakce Fakulty elektrotechnické ČVUT v Praze.

Uchazeč: Ing. Petr Šimek
Katedra elektrických pohonů a trakce
Fakulta elektrotechnická ČVUT
Technická 2, Praha 6

Školitel: Prof. Ing. Viktor Valouch, CSc.
Katedra elektrických pohonů a trakce
Fakulta elektrotechnická ČVUT
Technická 2, Praha 6

Oponenti:
.....
.....

Teze byly rozeslány dne:

Obhajoba disertace se koná dne v hod. před komisí pro obhajobu disertační práce ve studijním oboru *Elektrické stroje, přístroje a pohony* v zasedací místnosti č Fakulty elektrotechnické ČVUT v Praze.

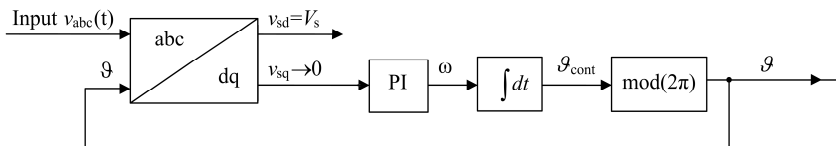
S disertací je možno se seznámit na děkanátu Fakulty elektrotechnické ČVUT v Praze, na oddělení pro vědu, výzkum a zahraniční styky, Technická 2, Praha 6.

předseda komise pro obhajobu disertační práce
ve studijním oboru
Elektrické stroje, přístroje a pohony
Fakulta elektrotechnická ČVUT, Technická 2, Praha 6

1. SOUČASNÝ STAV PROBLEMATIKY

Pro uspokojivou funkci měniče připojeného k síti je nutné znát základní veličiny sítě, zejména amplitudu a okamžitou fázi napětí, nebo jiný způsob vyjádření okamžité hodnoty vektoru napětí této sítě. Problematika synchronizace pulzně řízeného měniče je v popředí zájmu a stále se objevují nové práce na toto téma.

Nejrozšířenější techniky synchronizace jsou založené na fázovém závěsu (PLL Phase Locked Loop). Základní technikou pro detekci polohy koncového bodu vektoru napětí trojfázové soustavy je technika SRF-PLL (Synchronous Reference Frame-PLL) využívající transformaci do synchronní soustavy souřadnic (Obr. 1). Výstup transformace do synchronní soustavy dq je použitý jako chybová hodnota (regulační odchylka) pro korekční člen typu PI. Korekční člen typu PI působí jako regulátor kmitočtu ω . Regulátor úhlového kmitočtu ω má na svém výstupu takový kmitočet, aby (u)držel regulační odchylku blízkou nule. Pokud je jedna z komponent nulová (nebo blízká nule), ta druhá reprezentuje amplitudu V_s napětíového vektoru v_s , která je rovněž potřebná pro řízení měniče. Na základě kmitočtu se v integrátoru získává transformační úhel ϑ . Tím je uzavřena regulační smyčka, protože tento úhel se používá pro transformaci do synchronní soustavy a zároveň odpovídá (v "zavěšeném" stavu) okamžitému úhlu vektoru v_s . Pokud vstupní signál obsahuje pouze základní harmonickou složku, poskytuje tato jednoduchá technika přesnou a rychlou odezvu na přechodné děje. Obsahuje-li však vstupní signál rušivé složky, musí být PI korekční člen (který v takovém případě působí také jako filtr těchto složek) pomalejší, aby tyto složky vyfiltroval nebo alespoň utlumil jejich důsledky (zejména kmitání $\Delta\vartheta$) na přípustnou úroveň. Snížení propustného pásma má zároveň za následek zpomalení odezvy přechodných dějů. Toto zpomalení je tím větší, čím nižší je kmitočet, na který ještě nemá regulátor reagovat (který nemá výrazněji přenášet na výstup).



Obr. 1 Blokové schéma SRF-PLL

Zpětná složka se v soustavě dq jeví jako složka s dvojnásobným kmitočtem. Pokud by ji měl potlačit korekční člen typu PI, celý regulační

proces by se nepřípustně zpomalil. To je důvod, proč se nejprve vyvinulo několik technik, které se snaží vylepšit práci této základní techniky SRF-PLL právě při působení zpětné složky. Další modifikace se zaměřují na harmonické složky.

Rozšíření SRF-PLL pro detekci i zpětné složky (a zároveň odstranění jejího vlivu na estimovanou fázi a další estimované veličiny) představují techniky DDSRF-PLL [1] (Decoupled Double SRF-PLL) a SRF-PLL s DSC [2] (Delayed Signal Cancellation). Dalším rozšířením jsou techniky, eliminující vliv harmonických. Nejvýznamnější je technika využívající CDSC [3] (Cascaded DSC), která zobecňuje techniku využívající DSC. Další technikou je technika využívající vlivu transformace do souměrných složek na harmonické složení signálu SMT-PLL [4] (Simple Mathematical Transformation for cancel some harmonics). Poslední vybranou technikou pro potlačení vlivu harmonických je technika využívající střední hodnotu, která odstraní harmonické složky MAF (Moving Average Filter).

Druhou hlavní skupinou synchronizačních technik jsou techniky založené na použití pásmového filtru naladěného na základní kmitočet. Nejvýznamnější z této skupiny je technika využívající dvojici integrátorů zapojených do rezonanční soustavy označované SOGI-QSG (Second Order Generalized Integrator – in Quadrature Signal Generator), která se chová jako filtr druhého řádu a umožňuje použít adaptační doladovací mechanismus FLL (Frequency Locked Loop), zajišťující naladění na aktuální kmitočet vstupního signálu. Rozšířením techniky SOGI pro trojfázovou soustavu je technika DSOGI (Dual SOGI) [5]. Pro detekci vybraných harmonických složek slouží technika MSOGI (Multiple SOGI) [5]. Tato technika používá více filtrů, ve více větvích, naladěných na vybrané harmonické různých řádů. Předřazená odvazbovací síť na jejich vstupech odečte ostatní detekované složky.

2. CÍLE DISERTAČNÍ PRÁCE

Hlavním cílem práce je nalézt vhodný synchronizační algoritmus nebo modifikaci některého ze stávajících algoritmů, který by poskytoval dostatečně dobré výsledky i při působení poruch v napájecím napětí sítě, bez toho, že by byl zbytečně složitý, náročný na procesor, nebo obtížně laditelný.

Výsledný algoritmus by neměl tedy být příliš složitý. Měl by poskytovat dobré výsledky jak při přechodných dějích, tak i v ustáleném stavu. To není jednoduchý úkol, protože uvedené základní požadavky stojí proti sobě a je vždy nutné volit kompromisní nastavení. Techniky, které pracují bezvadně v ustáleném stavu, mohou mít problémy při přechodných dějích a naopak. Taktéž požadavek na jednoduchost jde přímo proti požadavku na pokrytí co možná největší skupiny poruchových dějů. Výsledkem tedy bude kompromisní řešení, které bude co možná nejlépe splňovat většinu stanovených kritérií. Cíle práce je tedy možno shrnout do následujících bodů:

- porovnání stávajících technik při jednotných podmínkách, aby bylo možné vytipovat vhodnou techniku nebo skupinu technik případně jejich slabá místa, která by bylo možné nějakým způsobem obejít,
- návrh nové techniky, která by integrovala výhody vybraných současných technik se současnou eliminací jejich nedostatků,
- vytvoření nástrojů pro simulaci a porovnání vybraných technik a techniky v práci vyvinuté v prostředí Matlab/Simulink,
- optimalizaci parametrů vyvinuté techniky s ohledem na vytipované nejčastější poruchy v sítích,
- návrh koncepce a vytvoření laboratorního pracoviště pro experimentální ověření funkce vyvinuté techniky synchronizace,
- vytvoření a ladění řídicího algoritmu pro univerzální regulátor na bázi systému dSPACE DS1005,
- testování vyvinuté techniky a její porovnání s dosavadními nejčastěji užívanými moderními technikami PLL a FLL,
- zhodnocení dosažených výsledků a doporučení pro praktické aplikace a další možný vývoj.

3. METODY ZPRACOVÁNÍ

V první části práce je provedeno porovnání metod. Pro ověření funkce vybraných metod byl vypracován diskrétní model v prostředí Matlab/Simulink.

V modelu byl vytvořen zdroj signálu tak, aby simuloval jednotlivé poruchy v čase postupně v rámci jednoho simulačního běhu. Čas simulace je rozdělen na více navazujících úseků tak, že úseky simulující poruchu napětí jsou vystřídány úseky s čistým signálem. Předkládané průběhy tedy ukazují nejen ustálený stav, ale i přechodný děj a to oběma směry (tedy přechodný děj při zařazení dané poruchy i při jejím vyřazení).

Jako kompromis mezi vypovídací hodnotou, složitostí a rozsahem obrázků byly zvoleny pro zobrazení tři veličiny a to estimovaný kmitočet, obraz napětí v synchronní soustavě dq a odchylka estimovaného úhlu od jeho správné hodnoty. Jsou to veličiny, které jsou používány při řízení měniče. Získaný průběh ze simulace byl rozdělen do dvou grafů, v každém se nachází tři přechodné děje.

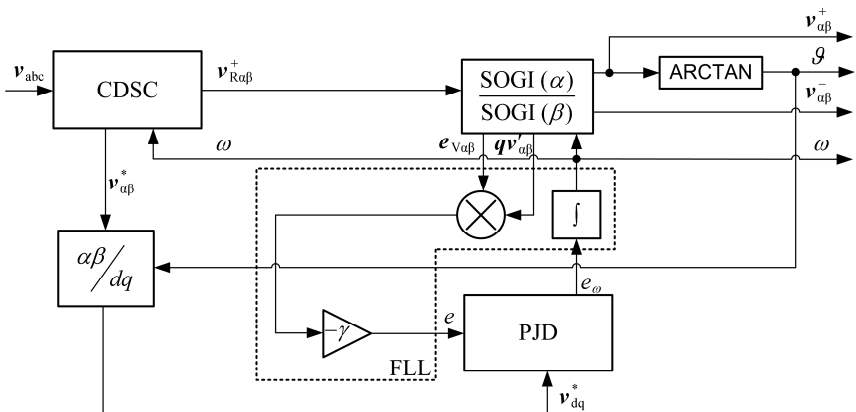
V další části byla představena nově vyvinutá metoda. Navrhovaná nová metoda byla zařazena do modelu použitého pro ověření metod uvedených přehledu v časové oblasti. V této části byly vybrány jen významnější metody. Výsledky simulací jsou potom zobrazené ve větším detailu, aby bylo možné techniky lépe porovnat. Na rozdíl od výsledků uvedených v přehledu metod zde je zobrazený detail o délce 10 ms před a 100 ms po události. Dále je použito odlišné měřítko svislé osy, aby vyniknul průběh přechodného děje.

Vyvinutá technika kombinuje metodu DSOGI-FLL s bloky DSC. Proto byly pro porovnání vybrány následující metody: PLL s CDSC, DSOGI-FLL a DSOGI-WPF-FLL. Technika PLL s CDSC byla vybrána jakožto zástupce běžně užívaných metod i proto, že stejný členek je použitý ve funkci předfiltru a také proto, že ve srovnání metod vychází jako nejlepší. Simulace byly provedené se stejně sestaveným CDSC, o jaký byla rozšířena strategie DSOGI-FLL v navrhované metodě. Technika DSOGI-WPF byla zařazena proto, že se jedná o jiný přístup k vylepšení techniky DSOGI-FLL (použití jiného typu předřazeného filtru). Jako třetí byla zařazena základní technika DSOGI, opět se stejně nastavenými parametry (ζ , γ), jaké používá navrhovaná technika.

4. VÝSLEDKY

Simulace i experimenty ukázaly, že algoritmy založené na SOGI-FLL reagují na skok fáze lépe, než algoritmy založené na PLL, zejména při nastavené konstantní ω' (což vzhledem k nutnosti reagovat na proměnný kmitočet není obvyklá implementace). Pokud se ale přidá člen FLL, který za normálních okolností má za úkol naladit SOGI na správný kmitočet ω' , zhorší se i odezva na poruchy a přechodné děje, včetně skoku fáze. Člen FLL totiž během skoku rozlaďuje SOGI. Na rozdíl od PLL zde však není přímá vazba mezi kmitočtem a fází vektoru napětí a tedy snížením zesílení γ (I) se tento vliv dá do jisté míry eliminovat za cenu zhoršení (zpomalení) odezvy na skok kmitočtu. Změna ω' tedy není nejenom žádoucí, ale ani nutná (na rozdíl od PLL, kde se právě prostřednictvím změny ω dorovnával skok fáze a k této změně muselo docházet).

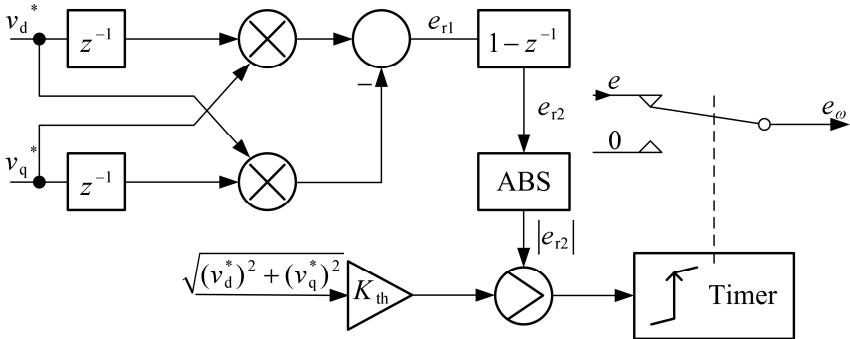
Na základě provedených simulací a experimentů byla navržena nová metoda. Výsledné blokové schéma navrhované soustavy je na Obr. 2. Vstupní signál prochází kaskádou bloků CDSC, ve kterém se oddělí a vyfiltruje pouze sousledná a zpětná složka. Tyto složky se sloučí (na rozdíl od vstupního signálu je tento signál v rámci možností použitých bloků DSC očištěný od rušivých složek) a spolu vstupují do dvojice bloků SOGI (DSOGI), kde se opět rozdělí.



Obr. 2 Navrhovaná struktura CDSC DSOGI FLL s PJD

Výsledkem jsou sousledné a zpětné složky v ortogonální soustavě $\alpha\beta$. Blok DSOGI dále slouží k získání chybového signálu $e_{v\alpha\beta}$ pro blok FLL. Zásadou toho, že DSOGI-FLL pracuje se signálem vyfiltrovaným pomocí CDSC, nebudou mít na něj vliv harmonické tak, jako v případě samotného

DSOGI-FLL. Navrhovaná metoda je doplněna o detektor skoku fáze (PJD – Phase Jump Detector) inspirovaný [6]. Blok PJD odpojuje chybový signál e pro FLL v případě, že detekuje skok fáze Obr. 3 (tím zabrání rozladění filtru SOGI a také CDSC po dobu potřebnou k ustálení), v opačném případě jej bez změny propouští na výstup e_ω .



Obr. 3 Blokové schéma PJD

Pokud se koncový bod vektoru napětí pohybuje rovnoměrně po kružnici (v soustavě os dq synchronně rotující souřadnicové soustavy se tento vektor tudíž nepohybuje), bude signál označený v Obr. 3 jako e_{r1} nabývat v každém vzorku nulové hodnoty. Tento signál nabývá nenulové hodnoty jen tehdy, pokud ve dvou po sobě následujících vzorcích se změní poloha vektoru napětí v soustavě os dq. K tomu může dojít při změně fáze a/nebo kmitočtu vektoru napětí ve dvou po sobě následujících vzorcích. Při změně jen velikosti tohoto vektoru zůstává však velikost signálu e_{r1} nulová. Porovnáním aktuální a minulé hodnoty tohoto signálu (v Obr. 3 je tento rozdíl označen jako e_{r2}) identifikujeme změnu fáze vektoru napětí v soustavě os dq ve dvou po sobě následujících okamžicích vzorkování.

Absolutní hodnota takto získaného signálu e_{r2} je porovnávána s prahovou hodnotou K_{th} (po jejím vynásobení amplitudou napětí pro zajištění správné funkce PJD při změnách velikosti napětí). Odlišení skoku fáze a kmitočtu je zajištěno díky značnému rozdílu mezi velikostmi signálu e_{r2} při skoku fáze a při skoku kmitočtu.

Po simulačním ověření byla navrhovaná technika přenesená do systému dSPACE™ DS1005, aby ji bylo možné vyzkoušet v reálných podmínkách. Na rozdíl od simulace, kde byly poruchy napětí simulované jako ideální, v experimentálním měniči bylo použito měřené napětí programovatelného

trojfázového zdroje Chroma 1704. Vstupní (měřené) napětí tak bude zatíženo dodatečnými chybami měření, které nebyly simulovány (offsety čidel, rušení, nepřesné vzorkování ...) a také vlivem nedokonalosti zdroje.

Pro ověřování algoritmů v reálném systému byl použit systém dSPACE. Mezi jeho hlavní výhody patří jednoduchý přenos algoritmu mezi simulací v prostředí Simulink/Matlab a experimentem. Přenos probíhá ideálně pouze změnou rozhraní (simulované proměnné jsou nahrazené reálnými) a přeložením modelu pomocí překladače pro systém dSPACE.

Pro ověření algoritmů byly vybrány nejdůležitější poruchy:

- skok amplitudy
- zpětná složka
- skoková změna kmitočtu
- skok fáze (vynechání části průběhu)
- harmonické různých řádů (5., 7., 11., 13.)

kromě toho byla otestována odezva na skok kmitočtu se současným skokem fáze.

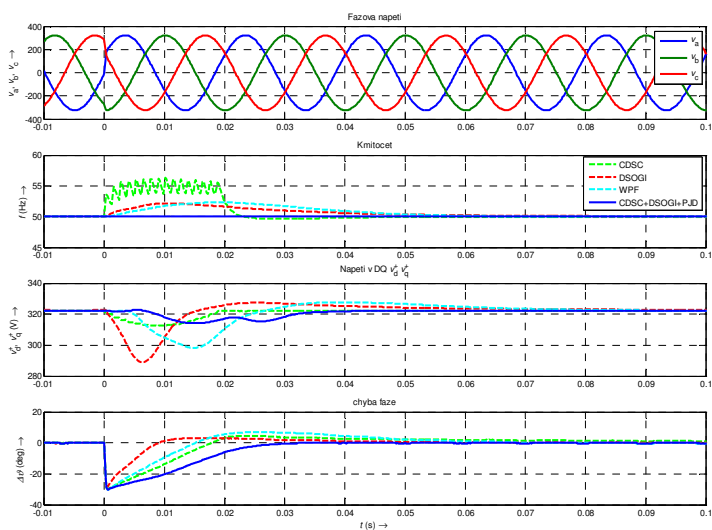
V simulaci byl jako indikátor kvality synchronizace použitý také rozdíl fáze (rozdíl estimované fáze oproti skutečné). Jeho získání v případě experimentu je složitější, ale je to jediný způsob jak posoudit kvalitu synchronizace. V případě nezarušeného signálu je možné jej získávat pomocí funkce arctan. Pokud signál obsahuje harmonické, není tento postup možný, stejně tak je problematický v některých dalších případech. Naopak pro případ skoku kmitočtu a skoku fáze to je jediný způsob.

Neznámý úhel byl určován na základě předpokladu, že okamžitá hodnota fáze ϑ je daná jako integrál známého úhlového kmitočtu

$$\vartheta = \int \omega dt + \vartheta_0 \quad (1)$$

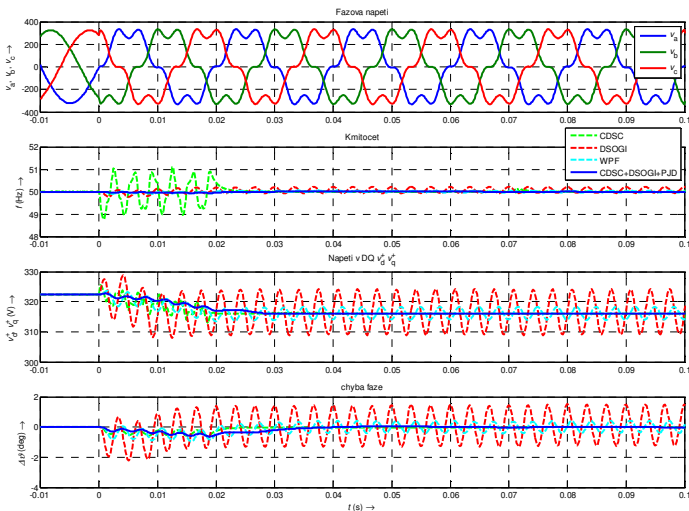
Hodnota úhlového kmitočtu je známá, teoreticky by měla odpovídat zadání programovatelného zdroje. Problém je, že přesná hodnota ω je vlivem různých chyb (v nastavení zdroje i v nepřesnosti měření času) drobně odlišná od nastavení zdroje a je nutné ji dorovnat alespoň na 4 desetinná místa (například. 50,0014 Hz), aby hodnota rozdílu takto získané fáze a estimované fáze se viditelně nezvětšovala v čase a nezhodnocovala tak vypovídací schopnost naměřených dat. Je tak zjišťován rozdíl estimované fáze oproti skutečné fázi signálu, která není známá, ale až na počáteční podmínku ϑ_0 je při správném

nastavení ω shodná s náhradní fází určenou tímto postupem. Zjištění hodnoty počáteční podmínky ϑ_0 je v reálném čase nemožné, proto byla její hodnota zjištěna až při následném zpracování záznamu, na základě předpokladu nulového rozdílu v ustáleném stavu (tento předpoklad se opírá o provedené simulace a také výsledky při druhém způsobu určení fáze pomocí inverzní goniometrické funkce). Tato hodnota byla přičtena k získanému průběhu v celé délce po vykreslení křivky v prostředí Matlab. Pro lepší přehlednost průběhu byl posunut čas tak, aby přechodný děj začínal v čase 0 u průběhů, kde se to nepodařilo volbou vhodné spouštěcí veličiny. To byla jediná dodatečná úprava hodnot záznamu, jinak je zobrazen tak, jak byl získán ze záznamu děje v reálném čase.



Obr. 4 Skok fáze 30°

Odezva na skok fáze (Obr. 4) je výrazně lepší než u stávajících metod. Navrhovaná technika netrpí nežádoucí změnou estimovaného kmitočtu a je nejrychlejší.



Obr. 5 Pátá harmonická 20%

Kombinace dvou typů filtrů se výrazně projeví při působení harmonických složek. Je vidět z Obr. 5, že na rozdíl od technik SOGI a SOGI-WPF je pátá harmonická úplně potlačena. V době přechodného děje je potlačena více, než v případě CDSC.

Porovnání rozdílných metod není jednoduché. Při hodnocení je potřeba kromě doby ustálení vzít v úvahu také překmit. Pro řízení měniče může být výhodnější, když je hodnota překmitu menší (řídící algoritmus dostává hodnotu bližší skutečnosti), než rychlá odezva s velkým překmitem. Další problém je, že se v několika případech liší odezva jednotlivých sledovaných veličin. Nakonec byly odezvy všech tří veličin hodnoceny nezávisle a sestaveny do Tab. 1.

Při hodnocení skoku některé z veličin je rozhodující doba ustálení této veličiny. V Tab. 1 jsou červeně podbarvená pole s údaji o době ustálení této veličiny na nové hodnotě. Kritéria dosažení ustáleného stavu byla zvolena takto: odchylka napětí je menší než ± 1 V, odchylka úhlu je menší než $\pm 1^\circ$ a odchylka kmitočtu je menší než 0,1 Hz. U ostatních sledovaných veličin (těch veličin, u kterých ke změně nedošlo) je podstatná maximální odchylka od statického stavu, kam by se měla daná veličina opět vrátit. Tato odchylka je

uvedená v příslušných jednotkách. Pro lepší přehlednost jsou tyto jednotky v tabulce uvedené.

Vždy je metoda s nejlepším výsledkem označena zeleným pruhem, v případě času ustálení jsou použity dva zelené pruhy jako označení prioritního kritéria. V případě hodnocení ustáleného stavu je tímto způsobem vyznačena nejlepší odezva.

Metoda ↓	Děj →	Amplituda	Kmitočet	Fáze	Nesymetrie	5. harm.	Šum
		T	T	T	T	SS	SS
CDSC	v_{dq}^+	18,7 ms	1,2 V	9,9 V	19,3 ms	0,0 V	3,2 V
	f	0,05 Hz	80,2 ms	6,3 Hz	0,7 Hz	0,1 Hz	0,1 Hz
	$\Delta\vartheta$	0,05°	6,7°	98,5 ms	1,0°	0,0°	0,1°
DSOGI	v_{dq}^+	11,0 ms	4,8 V	33,7 V	12,0 ms	0,8 V	1,4 V
	f	0,21 Hz	71,3 ms	2,2 Hz	0,2 Hz	0,2 Hz	<0,1 Hz
	$\Delta\vartheta$	1,88°	3,0°	46,2 ms	2,0°	1,4°	0,2°
DSOGI WPF	v_{dq}^+	20,5 ms	5,1 V	24,3 V	21,5 ms	2,2 V	1,3 V
	f	0,19 Hz	54,7 ms	2,4 Hz	0,1 Hz	0,1 Hz	<0,1 Hz
	$\Delta\vartheta$	1,56°	5,4°	58,2 ms	1,3°	0,4°	0,2°
CDSC DSOGI PJD	v_{dq}^+	28,5 ms	0,6 V	7,3 V	23,5 ms	0,0 V	0,5 V
	f	0,11 Hz	48,7 ms	0,0 Hz	0,1 Hz	0,0 Hz	<0,1 Hz
	$\Delta\vartheta$	0,64°	8,2°	27,5 ms	1,2°	0,0°	0,1°

Tab. 1 Porovnání výsledků pro základní poruchy v napětí (T=přechodný děj, SS=ustálený stav)

Z tabulky je zřejmé, že navržená metoda vykazuje všeobecně lepší výsledky, než poskytují dílčí metody CDSC a DSOGI a také nedávno publikovaná metoda DSOGI-WPF. Nicméně je obtížné najít a prohlásit nějakou metodu synchronizace jako univerzálně nejlepší ve všech kritériích (doba odezvy, velikost překmitu) a při všech druzích poruch. Metody musí být také porovnávány za jednotných podmínek, což lze považovat za další přínos této práce. Je třeba také zdůraznit, že navržená metoda poskytuje z porovnávaných metod největší flexibilitu vzhledem k typu a množství parametrů, kterými lze do značné míry ovlivňovat její provozní parametry.

5. ZÁVĚR

Předkládaná práce podává v úvodu přehled současných metod pro synchronizaci PWM měničů a jejich srovnání pro jednotné podmínky.

V další kapitole je představena nově vyvinutá metoda, která kombinuje klasické DSOGI-FLL s bloky DSC a tím odstraňuje zásadní nevýhodu techniky DSOGI-FLL, kterou je její značná citlivost na harmonické složky obsažené v napětí. Zároveň zajišťuje lepší potlačení mezilehlých složek oproti CDSC. Tyto dvě techniky byly dosud používány odděleně.

Dalším neméně důležitým vylepšením je doplnění synchronizační metody o detektor skoku fáze (PJD). Byl tak potlačen nežádoucí efekt skoku fáze napětí na funkci synchronizačního algoritmu.

Navržená metoda byla ověřena jak simulačně tak experimentálně. Jak bylo uvedeno, je poměrně obtížné vybrat univerzálně nejlepší metodu. Přesto však simulace i provedená měření potvrzují, že navrhovaná metoda je pro základní ukazatele kvality synchronizace (průběhy kmitočtu, obou složek napětí a chyby fáze) při většině poruchových dějů lepší než metody stávající.

Navržená metoda dále poskytuje určitou míru flexibility, zejména pokud jde o volbu bloků DSC.

Vývoj synchronizačních technik nadále probíhá a ve světě stále vycházejí nové práce na toto téma. Modifikace se obvykle orientují obvykle na drobná vylepšení určitého detailu. Směry vývoje byly naznačeny v přehledu metod provedeném v disertační práci. Ze zatím posledních prací to je přepínání (zařazení či překlenutí) určitého bloku DCS při výskytu poruch [7]. Dalším slibným směrem je kompenzace zpoždění způsobeného blokem DSC nebo MAF přidáním složky D [8], tj. použitím PID regulátoru, namísto regulátoru typu PI obvyklého ve strukturách PLL nebo přidáním funkce inverzního přenosu do regulační smyčky [9]. Domnívám se, že použití opatření uvedených typů umožní ještě více zdůraznit výhody vyvinuté a zde prezentované metody.

SEZNAM V TEŽÍCH POUŽITÉ LITERATURY

- [1] Rodriguez, P.; Pou, J.; Bergas, J.; Candela, J.I.; Burgos, R.P.; Boroyevich, D., "Decoupled Double Synchronous Reference Frame PLL for Power Converters Control," in *Power Electronics, IEEE Transactions on*, vol.22, no.2, pp.584-592, March 2007
doi: 10.1109/TPEL.2006.890000
- [2] Saccomando, G.; Svensson, J., "Transient operation of grid-connected voltage source converter under unbalanced voltage conditions," in *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol.4, no., pp.2419-2424 vol.4, Sept. 30 2001-Oct. 4 2001
doi: 10.1109/IAS.2001.955960
- [3] Yi Fei Wang; Yun Wei Li, "Grid Synchronization PLL Based on Cascaded Delayed Signal Cancellation," in *Power Electronics, IEEE Transactions on*, vol.26, no.7, pp.1987-1997, July 2011
doi: 10.1109/TPEL.2010.2099669
- [4] de Souza, H.E.P.; Bradaschia, F.; Neves, F.A.S.; Cavalcanti, M.C.; Azevedo, G.M.S.; de Arruda, J.P., "A Method for Extracting the Fundamental-Frequency Positive-Sequence Voltage Vector Based on Simple Mathematical Transformations," *Industrial Electronics, IEEE Transactions on*, vol.56, no.5, pp.1539,1547, May 2009
doi: 10.1109/TIE.2008.2009525
- [5] Rodríguez, P.; Luna, A.; Candela, I.; Mujal, R.; Teodorescu, R.; Blaabjerg, F., "Multiresonant Frequency-Locked Loop for Grid Synchronization of Power Converters Under Distorted Grid Conditions," in *Industrial Electronics, IEEE Transactions on*, vol.58, no.1, pp.127-138, Jan. 2011
doi: 10.1109/TIE.2010.2042420
- [6] Liang Wang; Qirong Jiang; Lucheng Hong; Chunpeng Zhang; Yingdong Wei, "A Novel Phase-Locked Loop Based on Frequency Detector and Initial Phase Angle Detector," in *Power Electronics, IEEE Transactions on*, vol.28, no.10, pp.4538-4549, Oct. 2013
doi: 10.1109/TPEL.2012.2236848

- [7] Batista, Y.N.; de Souza, H.E.P.; Neves, F.A.S.; Dias Filho, R.F.; Bradaschia, F., "Variable-Structure Generalized Delayed Signal Cancellation PLL to Improve Convergence Time," in *Industrial Electronics, IEEE Transactions on*, vol.62, no.11, pp.7146-7150, Nov. 2015
doi: 10.1109/TIE.2015.2443108
- [8] Golestan, S.; Ramezani, M.; Guerrero, J.M.; Monfared, M., "dq-Frame Cascaded Delayed Signal Cancellation- Based PLL: Analysis, Design, and Comparison With Moving Average Filter-Based PLL," in *Power Electronics, IEEE Transactions on*, vol.30, no.3, pp.1618-1632, March 2015
doi: 10.1109/TPEL.2014.2315872
- [9] Golestan, S.; Guerrero, J.M.; Gharehpetian, G.B., "Five Approaches to Deal With Problem of DC Offset in Phase-Locked Loop Algorithms: Design Considerations and Performance Evaluations," in *Power Electronics, IEEE Transactions on*, vol.31, no.1, pp.648-661, Jan. 2016
doi: 10.1109/TPEL.2015.2408113

SEZNAM PRACÍ DISERTANTA VZTAHUJÍCÍCH SE K DISERTACI

Publikace v recenzovaných časopisech

- Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "PLL strategies of grid connected converters under distorted input voltages," Acta Technica CSAV. Roč. 59, č. 1 (2014), s. 1-12. ISSN 0001-7043 **50%**
- Bejvl, Martin; Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Control Techniques of Grid Connected PWM Rectifiers under Unbalanced Input Voltage Conditions," Transactions on Electrical Engineering, 2013, Roč. 2, č. 1, s. 10-21. ISSN 1805-3386. **25%**

Publikace excerptované v ISI

- Kokeš, Petr; Pecha, I.; Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Topologie a metody řízení paralelních aktivních filtračních a kompenzačních zařízení pro vysoká napětí a výkony," In The Fifth International Scientific Symposium ELEKTROENERGETIKA 2009. Košice: Technical University of Košice, 2009, S. 69-72. ISBN 978-80-553-0237-9. **20%**
- Valouch, Viktor; Šimek, Petr; Škramlík, Jiří; Tlustý, J, "Microgrid Control Techniques at Power Converter Level," In Electric Power Engineering - EPE 2013. Ostrava: VŠB - TU Ostrava, 2013, S. 1-6. ISBN 978-80-248-2988-3. **25%**
- Valouch, Viktor; Šimek, Petr; Škramlík, Jiří, "New Three Phase PLL and FLL Techniques for Converters Used in Distributed Sources,". In Proceedings of the 2015 International Scientific Conference on Electric Power Engineering (EPE) /16./. Ostrava: VSB - Technical University of Ostrava, 2015, S. 94-99. ISBN 978-1-4673-6787-5. **33%**

Publikace ostatní

- Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Softwareové fázové závěsy PWM usměrňovače," In Konference EPVE 09 - Elektrické pohony a výkonová elektronika. Brno: VUT FEKT Brno, 2009, S. 1-5. ISBN 978-80-214-3974-0. **33%**
- Šimek, Petr; Škramlík, Jiří; Tlustý, J.; Valouch, Viktor; Pecha, I, "Software phase lock loops for pulse width modulated rectifiers," In The International Conference on Renewable Energies and Power Quality (ICREPQ' 10). Granada: Universidad de Granada, 2010, S. 1-5. ISBN 978-84-613-7543-1. **20%**

- Valouch, Viktor; **Šimek, Petr**; Škramlík, Jiří, "PWM usměrňovače velkých výkonů," In Konference ELEN 2010. Praha: ČVUT - FEL, 2010, S. 1-8. ISBN 978-80-254-8089-2. **33%**
- Bejvl, Martin; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Vícehadinový IGBT pulzně řízený usměrňovač. In Elektrické pohony," XXXII. konference. Plzeň: ÚOS Elektrické pohony, 2011, S. 1-6. ISBN 978-80-02-02308-1. **25%**
- Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor; Bejvl, Martin, "Software Phase Lock Loops Applied in Three-Phase PWM Rectifier," In Electrical Drives and Power Electronics - EDPE 11. Košice: Technical University of Košice, 2011, S. 227-232. ISBN 978-80-553-0734-3. **25%**
- Bejvl, Martin; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Control Techniques of Grid Connected PWM Rectifiers under Unbalanced Input Voltage Conditions," In ELEN 2012. Prague: Czech Technical University, 2012, S. 1-14. ISBN 978-80-01-05096-5. **25%**
- Valouch, Viktor; Bejvl, Martin; **Šimek, Petr**; Škramlík, Jiří, "Power Control of Converter Connected to Unbalanced Grid," Proceedings of the Symposium on Electric Machines, Drives and Power **25%**

K uvedeným pracím jsem dosud nezaznamenal žádné ohlasy

SUMMARY

The doctoral thesis is focused on the issue of closed loop three-phase synchronization techniques that should assure a precise synchronization of control systems of electronic power converters to the grid even in case of unsymmetrical grid and/or presence of harmonics. They should assure also good transient responses in case of usual grid disturbances.

In the first part of the thesis the motivation to the research and a review of the state-of-the-art in the field is presented. Also the main aims of the theses are summarized here.

In the following part the simulation technique used is described and an overview of the main PLL (Phase Locked Loop) and FFL (Frequency Locked Loop) techniques introduced up to now is presented. The principles of the techniques are explained and simulation results covering main grid voltage disturbances and done under the same conditions are presented in several subchapters of this part. The methods investigated are critically compared each other from the point of view of their main performance criteria.

On the basis of the detailed analysis done in the previous part a new CDSC+DSOGI (Cascaded Delayed Signal Cancellation + Dual Second Order Generalized Integrator) FLL strategy with the PJD (Phase Jump Detector) is presented in the next key chapter of the thesis. The strategy integrates the main advantages of the CDSC and DSOGI methods where the CDSC block serves as a pre-filter for the DSOGI part, while the PJD breaks the tight bond between the estimated frequency and phase angle of the grid voltage vector. This connection is the source of occurrence of unrealistic peaks in the frequency during phase jumps of the voltage vector, which can be observed at most of the synchronization methods commonly used. The developed strategy is analyzed according to dependence of its performance criteria on parameters selected and compared to the methods reviewed in the previous part via simulation in the Matlab/Simulink environment.

In the next part the introduced strategy and common ones are compared through experimentations. The experimental system consists of the programmable voltage source Chroma 1704 and a digital control unit based on the dSPACE™ control system DS 1005. It is declared that the behavior of the developed method is in line with theoretical and simulation expectations under all common voltage disturbances and, in general, better than that of the commonly used methods reviewed at the beginning of the thesis.

At the end, the main knowledge and results obtained within the research are summarized and commented, and some prospective trends in the field are outlined.

RESUMÉ

Doktorská disertační práce je zaměřena na problematiku zpětnovazebních trojfázových synchronizačních technik, které by měly zaručovat přesnou synchronizaci řídicích systémů výkonových elektronických měničů k síti, a to dokonce i v případě nesymetrické sítě a/nebo za přítomnosti harmonických. Měly by zajišťovat také dobré přechodové odezvy v případě obvyklých síťových poruch.

V první části disertace je představena motivace k výzkumu a přehled současného stavu v této oblasti. Rovněž jsou zde sumarizovány hlavní cíle disertační práce.

V následující části je popsána užitá simulační technika a je uveden přehled hlavních PLL (Phase Locked Loop) a FFL (Frequency Locked Loop) technik, dosud užívaných. V této části jsou vysvětleny principy těchto technik a v řadě subkapitol jsou uvedeny výsledky simulací pokrývajících hlavní poruchy v napěťové síti, které byly provedeny za stejných podmínek. Zkoumané metody jsou vzájemně kriticky porovnány z pohledu jejich hlavních provozních vlastností.

Na základě detailní analýzy provedené v předchozí části je v následující klíčové kapitole disertace prezentována nová strategie CDSC+DSOGI (Cascaded Delayed Signal Cancellation + Dual Second Order Generalized Integrator) FLL s blokem PJD (Phase Jump Detector). Strategie slučuje hlavní výhody metod CDSC a DSOGI, kde blok CDSC slouží jako filtr pro část DSOGI, zatímco PJD přerušuje těsnou vazbu mezi vyhodnocovaným kmitočtem a fází napěťového vektoru sítě. Toto spojení je zdrojem výskytu nerealistických špiček v kmitočtu během skoků fáze napěťového vektoru, které mohou být pozorovány u většiny obvykle užívaných synchronizačních metod. Vyvinutá strategie je analyzována se zřetelem na závislosti jejich provozních vlastností na vybraných parametrech a porovnává s metodami shrnutými v předchozí části simulacemi v prostředí Matlab/Simulink.

V další části je vyvinutá a obvyklé strategie porovnány experimentálně. Experimentální zařízení sestává z programovatelného napěťového zdroje Chroma 1704 a digitální řídicí jednotky založené na řídicím systému dSPACE™ DS 1005. Je deklarováno, že chování vyvinuté metody je v souladu s teoretickými a simulačními očekáváními pro všechny obvyklé deformace napětí a je, obecně vzato, lepší než u obvykle užívaných metod shrnutých na začátku disertační práce.

V závěru jsou shrnuty a komentovány hlavní poznatky a výsledky získané během výzkumu a naznačeny některé slibné trendy v této oblasti.