

České vysoké učení technické v Praze
Fakulta elektrotechnická

Disertační práce

únor 2016

Ing. Petr Šimek

České vysoké učení technické v Praze
Fakulta elektrotechnická
Katedra elektrických pohonů a trakce

Metody synchronizace řízení pulzně řízených měničů na síti s rušivými složkami napětí

Disertační práce

Ing. Petr Šimek

Praha, únor 2016

Doktorský studijní program: Elektrotechnika a informatika
Studijní obor: 2642V004 "Elektrické stroje, přístroje a pohony"

Školitel: Prof. Ing. Viktor Valouch, CSc.

Poděkování

Děkuji svému školiteli prof. Ing. Viktoru Valouchovi, CSc. za cenné rady a připomínky, dále děkuji svým kolegům z Oddělení elektrotechniky a elektrofyziky, Ústavu termomechaniky Akademie věd ČR, v jejichž tvůrčím prostředí jsem získal řadu podnětů, a zvláště pak Ing. Jiřímu Škramlíkovi, PhD. za jeho rady a mne obohacující spolupráci, a to zejména při laboratorních experimentálních pracích.

Děkuji své rodině, která mi poskytla potřebné zázemí.

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně, a že jsem uvedl veškeré použité informační zdroje, v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

v Praze 18.2.2016

Abstract

The doctoral thesis is focused on the issue of closed loop three-phase synchronization techniques that should assure a precise synchronization of control systems of electronic power converters to the grid even in case of unsymmetrical grid and/or presence of harmonics. They should assure also good transient responses in case of usual grid disturbances.

In the first part of the thesis the motivation to the research and a review of the state-of-the-art in the field is presented. Also the main aims of the thesis are summarized here.

In the following part the simulation technique used is described and an overview of the main PLL (Phase Locked Loop) and FFL (Frequency Locked Loop) techniques introduced up to now is presented. The principles of the techniques are explained and simulation results covering main grid voltage disturbances and done under the same conditions are presented in several subchapters of this part. The methods investigated are critically compared each other from the point of view of their main performance criteria.

On the basis of the detailed analysis done in the previous part a new CDSC+DSOGI (Cascaded Delayed Signal Cancellation + Dual Second Order Generalized Integrator) FLL strategy with the PJD (Phase Jump Detector) is presented in the next key chapter of the thesis. The strategy integrates the main advantages of the CDSC and DSOGI methods where the CDSC block serves as a pre-filter for the DSOGI part, while the PJD breaks the tight bond between the estimated frequency and phase angle of the grid voltage vector. This connection is the source of occurrence of unrealistic peaks in the frequency during phase jumps of the voltage vector, which can be observed at most of the synchronization methods commonly used. The developed strategy is analyzed according to dependence of its performance criteria on parameters selected and compared to the methods reviewed in the previous part via simulation in the Matlab/Simulink environment.

In the next part the introduced strategy and common ones are compared through experimentations. The experimental system consists of the programmable voltage source Chroma 1704 and a digital control unit based on the dSPACE™ control system DS 1005. It is declared that the behavior of the developed method is in line with theoretical and simulation expectations under all common voltage disturbances and, in general, better than that of the commonly used methods reviewed at the beginning of the thesis.

At the end, the main knowledge and results obtained within the research are summarized and commented, and some prospective trends in the field are outlined.

Anotace

Doktorská disertační práce je zaměřena na problematiku zpětnovazebních trojfázových synchronizačních technik, které by měly zaručovat přesnou synchronizaci řídicích systémů výkonových elektronických měničů k síti, a to dokonce i v případě nesymetrické sítě a/nebo za přítomnosti harmonických. Měly by zajišťovat také dobré přechodové odezvy v případě obvyklých síťových poruch.

V první části disertace je představena motivace k výzkumu a přehled současného stavu v této oblasti. Rovněž jsou zde sumarizovány hlavní cíle disertační práce.

V následující části je popsána užitá simulační technika a je uveden přehled hlavních PLL (Phase Locked Loop) a FFL (Frequency Locked Loop) technik, dosud užívaných. V této části jsou vysvětleny principy těchto technik a v řadě subkapitol jsou uvedeny výsledky simulací pokrývajících hlavní poruchy v napěťové síti, které byly provedeny za stejných podmínek. Zkoumané metody jsou vzájemně kriticky porovnány z pohledu jejich hlavních provozních vlastností.

Na základě detailní analýzy provedené v předchozí části je v následující klíčové kapitole disertace prezentována nová strategie CDSC+DSOGI (Cascaded Delayed Signal Cancellation + Dual Second Order Generalized Integrator) FLL s blokem PJD (Phase Jump Detector). Strategie slučuje hlavní výhody metod CDSC a DSOGI, kde blok CDSC slouží jako filtr pro část DSOGI, zatímco PJD přerušuje těsnou vazbu mezi vyhodnocovaným kmitočtem a fází napěťového vektoru sítě. Toto spojení je zdrojem výskytu nerealistických špiček v kmitočtu během skoků fáze napěťového vektoru, které mohou být pozorovány u většiny obvykle užívaných synchronizačních metod. Vyvinutá strategie je analyzována se zřetelem na závislosti jejich provozních vlastností na vybraných parametrech a porovnává s metodami shrnutými v předchozí části simulacemi v prostředí Matlab/Simulink.

V další části je vyvinutá a obvyklé strategie porovnány experimentálně. Experimentální zařízení sestává z programovatelného napěťového zdroje Chroma 1704 a digitální řídicí jednotky založené na řídicím systému dSPACE™ DS 1005. Je deklarováno, že chování vyvinuté metody je v souladu s teoretickými a simulačními očekáváními pro všechny obvyklé deformace napětí a je, obecně vzato, lepší než u obvykle užívaných metod shrnutých na začátku disertační práce.

V závěru jsou shrnuty a komentovány hlavní poznatky a výsledky získané během výzkumu a naznačeny některé slibné trendy v této oblasti.

Obsah

Seznam zkratk	vii
Seznam symbolů	viii
1. Úvod	1
2. Cíle práce	3
3. Metody synchronizace, přehled současného stavu problematiky	4
3.1. Technika simulace	6
3.2. Metody založené na PLL. Princip PLL	11
3.2.1. SRF-PLL (Synchronous Reference Frame PLL)	12
3.2.2. DDSRF-PLL (Decoupled Double Synchronous Reference Frame)	15
3.2.3. DSC (Delayed Signal Cancellations)	17
3.2.4. CDSC (Cascaded Delayed Signal Cancellations)	20
3.2.5. PLL založený na součinu vektorů	24
3.2.6. SMT-SRF-PLL Simple Mathematical Transformations for cancel some harmonics	27
3.2.7. SRF-PLL s plovoucí střední hodnotou MAF	31
3.3. Metody založené na SOGI-FLL	33
3.3.1. SOGI	34
3.3.2. Blok pro estimaci kmitočtu FLL	35
3.3.3. SOGI-FLL	35
3.3.4. DSOGI-FLL	36
3.3.5. DSOGI-WPF	40
3.4. Zhodnocení výsledků simulací současných metod	42
4. Nová metoda CDSC+DSOGI-FLL s PJD	44
4.1. Volba zpoždění článků DSC	45
4.2. Volba tlumení SOGI	46
4.3. Volba zesílení FLL	47
4.4. Detekce skoku fáze (PJD)	47
4.5. Simulace v kmitočtové oblasti	50
4.6. Simulační ověření a porovnání v časové oblasti	51
5. Výsledky experimentů	57
5.1. Laboratorní pracoviště	58
6. Zhodnocení simulací a experimentů a jejich souladu s předpoklady	68
7. Závěr, zhodnocení přínosu práce	70
8. Použitá literatura	71
Seznam obrázků	74
Seznam rovnic	76
Seznam Tabulek	79
Publikace autora	80

Seznam zkratek

ANF.....	Adaptivní filtr typu notch (Adaptive Notch Filter)
CDSC	Kaskádní řazení DSC (Cascaded Delayed Signal Cancellation)
DDSRF-PLL.....	Metoda používající od vazbení mezi dvěma synchronními soustavami (Decoupled Double SRF-PLL)
DSC	Zrušení signálu pomocí zpoždění (Delayed Signal Cancellation)
DSOGI.....	Dvojitě SOGI pro trojfázovou soustavu (Dual SOGI)
FIR.....	Ustálená odezva v konečném počtu kroků (Finite Impulse Response)
FLL.....	Kmitočtový závěs (Frequency Locked Loop)
IIR.....	Ustálená odezva v nekonečném počtu kroků (Infinite Impulse Response)
LPF	Dolnoproustný kmitočtový filtr (Low Pass Filter)
MAF	Klouzavý průměr (Moving Average Filter)
PD.....	Detektor velikosti fázového posunu dvou signálů (Phase Detector)
PJD	Blok sloužící pro detekci skoku fáze (Phase Jump Detector)
PLL.....	Fázový závěs (Phase Locked Loop)
PNCS.....	Oddělení sousledné a zpětné složky (Positive Negative Component Separation)
PWM	Pulzně šířková modulace (Pulse Width Modulation)
QSG.....	Generátor signálu posunutého o 90° (in Quadrature Signal Generator)
SOGI.....	Zobecněný integrátor druhého řádu (Second Order Generalized Integrator)
SRF.....	Soustava souřadnic rotující synchronní rychlostí. Všechny veličiny se základním (pracovním) kmitočtem se v této soustavě jeví jako stejnosměrné (konstantní) hodnoty. (Synchronous Reference Frame)
VCO	Napětím řízený oscilátor (Voltage Controlled Oscillator)

Seznam symbolů

Veličiny

v, V	napětí
i, I	proud
N	podíl periody
f_s	vzorkovací kmitočet
f	kmitočet
ω	úhlový kmitočet
ζ	činitel tlumení SOGI
ϑ	úhel vektoru napětí
$p.u.$	poměrné jednotky (Per Unit system)

Styly písma

v	okamžitá hodnota
V	efektivní hodnota
V_{\max}	maximální hodnota (amplituda)
\mathbf{V}	matice (tučně velká písmena)
\mathbf{v}	vektor (tučně malá písmena)

Souřadnice

abc	přirozená (reálná) trojfázová soustava souřadnic se třemi osami vzájemně otočenými o 120°
$\alpha\beta, \alpha\beta_0$	pravoúhlá stojící soustava souřadnic, případně doplněná o netočivou složku
dq, dq_0	soustava souřadnic rotující synchronní rychlostí

Seznam indexů

a, b, c	(dolní index) fázové hodnoty
h	(dolní index) harmonická (obecně), (horní index) řád harmonické
$+, -, 0$	(horní index) sousledná, zpětná, netočivá soustava
D	(horní index) zpožděný signál

Seznam obsahuje pouze nejvýznamnější indexy. Další indexy použité pouze lokálně jsou v práci definované při prvním použití.

v_{abc}	fázová napětí
$v_{\alpha\beta}$	napětí v pravoúhlé soustavě $\alpha\beta$
v_{dq}	napětí v synchronní soustavě dq
$v_{abc}^+, v_{\alpha\beta}^+, v_{dq}^+$	sousledná složka napětí
$v_{abc}^-, v_{\alpha\beta}^-, v_{dq}^-$	zpětná složka napětí

1. Úvod

Energetická síť představuje poměrně složitý, dynamicky se měnící systém, ovlivňovaný mnoha nahodilými událostmi, jakými jsou například připojování a odpojování zátěží a zdrojů, a další provozní i poruchové jevy. Veličiny sítě nemohou být proto považované za konstantní a jejich velikost je nezbytné průběžně zjišťovat.

Masivní rozšíření prvků výkonové elektroniky způsobuje, že proud odebíraný z energetické sítě není sinusového tvaru, ale je deformovaný. Vlivem impedance sítě se tyto nesinusové proudy projeví na deformaci napětí. Časový průběh napětí tedy obsahuje kromě požadované základní harmonické složky i řadu dalších nežádoucích složek. Jsou to v první řadě harmonické složky vyšších řádů, jejichž kmitočet je celistvým násobkem základního kmitočtu. Harmonické složky mají původ v nelineární zátěži. Dále jsou to složky, jejichž kmitočet je dán jinými podmínkami, nezávislými na kmitočtu sítě, které představují interharmonické a subharmonické složky.

Pro uspokojivou funkci měniče připojeného k síti je naprosto nezbytné znát základní veličiny sítě, zejména amplitudu a okamžitou fázi napětí, nebo jiný způsob vyjádření okamžité hodnoty vektoru napětí této sítě. Navíc pro potřeby řízení je potřebné oddělit vektor (sousedné složky) základní harmonické od ostatních (rušivých) složek napětí. Pro některé techniky řízení [2] je potřebné oddělit i některé další vybrané složky napětí, nejčastěji jde o zpětnou složku. Pro tyto potřeby se vyvinulo množství různých metod.

Z metod publikovaných v poslední době byly vybrány z metod pracujících v časové oblasti ty, které jsou vhodné pro trojfázovou soustavu. Byly vybrány takové metody, které slibují dostatečně dobré výsledky a nevyžadují naproti tomu například složité ladění mnoha parametrů nebo proměnný vzorkovací kmitočet. V práci nejsou analyzovány metody pracující v kmitočtové oblasti, které jsou používány pro uvedené účely mnohem méně. Jejich základním nedostatkem jsou jejich obecně horší vlastnosti při dynamických dějích v sítích.

Základní technikou používanou pro synchronizaci PWM (Pulse Width Modulation) měničů je technika fázového závěsu v různých modifikacích. Fázový závěs (Phase Locked Loop – PLL) je zpětnovazební systém, jehož vnitřní oscilátor (VCO – Voltage Controlled Oscillator) je řízen tak, aby jeho výstupní signál sledoval fázi vstupního signálu (na základě odchylky fáze je upravován jeho kmitočet tak, aby oba signály byly ve fázi). Obvod PLL je možné nalézt v řadě slaboproudých aplikací, například v rozhlasových a televizních přijímačích s kmitočtovou syntézou (pro nastavení kmitočtu vnitřního oscilátoru na kmitočet odpovídající přijímané stanici), jako násobiče hodinového kmitočtu v počítačích (protože není možné vyrobit krystalový výbrus s tak vysokým kmitočtem, jaký bývá požadován pro hodinový kmitočet současných procesorů). Obvyklé použití v těchto aplikacích je násobení kmitočtu kmitočtového normálu. Vesměs jde o přesný kmitočet nějakého normálu, z něhož se odvozuje násobek tohoto kmitočtu pro další použití. Vstupním signálem PLL je v takovém případě signál, u něhož lze čekat, že nebude obsahovat rušení. Druhou oblastí použití PLL je obnova synchronizace. To je oblast použití, která odpovídá i zde popisované problematice. PLL je v takovém případě řízený vnějším signálem, obecně proměnného kmitočtu, který přichází zvenčí – v případě PWM měniče jde o signál odpovídající napětí energetické sítě.

V silnoproudých aplikacích jsou požadavky rozdílné, proto běžné řešení, které obvykle využívá k měření fázového rozdílu měření času mezi průchody nulou referenčního a generovaného signálu nevyhovuje. Mimoto je zde požadavek na trojfázové řešení, kterému se tento algoritmus obtížně přizpůsobuje (zcela obvykle se potom používá jedna z fází a předpokládá se, že ostatní jsou shodné, pouze posunuté po 120 a 240 stupních).

Přehled současných metod, vhodných pro pulzně řízené měniče, je obsahem kapitoly 3.

2. Cíle práce

Hlavním cílem práce je nalézt vhodný synchronizační algoritmus nebo modifikaci některého ze stávajících algoritmů, který by poskytoval dostatečně dobré výsledky i při působení poruch v napájecím napětí sítě, bez toho, že by byl zbytečně složitý, náročný na procesor, nebo obtížně laditelný.

Výsledný algoritmus by neměl tedy být příliš složitý. Měl by poskytovat dobré výsledky jak při přechodných dějích, tak i v ustáleném stavu. To není jednoduchý úkol, protože uvedené základní požadavky stojí proti sobě a je vždy nutné volit kompromisní nastavení. Techniky, které pracují bezvadně v ustáleném stavu, mohou mít problémy při přechodných dějích a naopak. Taktéž požadavek na jednoduchost jde přímo proti požadavku na pokrytí co možná největší skupiny poruchových dějů. Výsledkem tedy bude kompromisní řešení, které bude co možná nejlépe splňovat většinu stanovených kritérií. Cíle práce je tedy možno shrnout do následujících bodů:

- porovnání stávajících technik při jednotných podmínkách, aby bylo možné vytipovat vhodnou techniku nebo skupinu technik, případně jejich slabá místa, která by bylo možné nějakým způsobem obejít,
- návrh nové techniky, která by integrovala výhody vybraných současných technik se současnou eliminací jejich nedostatků,
- vytvoření nástrojů pro simulaci a porovnání vybraných technik a techniky v práci vyvinuté v prostředí Matlab/Simulink,
- optimalizaci parametrů vyvinuté techniky s ohledem na vytipované nejčastější poruchy v sítích,
- návrh koncepce a vytvoření laboratorního pracoviště pro experimentální ověření funkce vyvinuté techniky synchronizace,
- vytvoření a ladění řídicího algoritmu pro univerzální regulátor na bázi systému dSPACE DS1005,
- testování vyvinuté techniky a její porovnání s dosavadními nejčastěji užívanými moderními technikami PLL a FLL,
- zhodnocení dosažených výsledků a doporučení pro praktické aplikace a další možný vývoj.

3. Metody synchronizace, přehled současného stavu problematiky

V této kapitole jsou shrnuty vybrané metody pro synchronizaci se sítí tak, jak byly publikovány v odborné literatuře v posledních letech. Problematika synchronizace pulzně řízeného měniče je v posledních letech v popředí zájmu a stále se objevují nové práce na toto téma.

V přehledu jsou představeny nejprve základní metody v jejich původní podobě, což je nutné pro pochopení upravených metod z nich vycházejících a jejich přínosu. Následně jsou prezentovány novější metody a modifikace základních metod, zveřejněné v posledních několika letech. Metod synchronizace a jejich modifikací existuje celá řada; ty běžně používané mají však společné jádro buď v technice fázového závěsu (PLL) nebo adaptivního (laditelného) filtru opatřeného kmitočtovým závěsem (FLL).

Základní metodou, která byla používána pro tyristorové měniče, byla metoda založená na detekci okamžiků průchodu síťového napětí nulou. Tato metoda je zcela běžná ve sdělovací elektronice, zejména v číslicové technice. Svými vlastnostmi není však příliš vhodná pro použití ve spojení s PWM měničem.

Jedná se o nejjednodušší možnou metodu, která byla běžně používána ve spojení s fázově řízenými (tj. tyristorovými) měniči. Pro tento účel postačovala. Pomocí komparátoru je detekována změna polaritě vstupního signálu, či průchod jinou rozhodovací úrovní. Tyristorový měnič je potom řízen změnou zpoždění sepnutí od tohoto okamžiku. Tuto techniku bylo možné spatřit i ve spojení s PWM měničem. Z času mezi dvěma průchody nulou lze získat kmitočet a integrál tohoto kmitočtu lze použít k získání hledaného úhlu vektoru napětí ϑ . Tím se získá zdánlivě vše potřebné pro synchronizaci měniče. Má to ale několik problémů. Tím prvním je nejistota určení okamžiku průchodu pomocí komparátoru. Sinusový signál má v okolí nuly nejvyšší derivaci a tedy v principu by neměl být problém s určením tohoto okamžiku. Ovšem vlivem vzorkování (při diskrétní realizaci) není možné přímo určit tento okamžik, ale pouze vzorky, mezi kterými k průchodu nulou došlo (upřesnění je možné například pomocí interpolace). Při relativně nízkých vzorkovacích kmitočtech používaných pro řídicí odvod měniče je také potřeba si uvědomit, že získaný okamžik má rozlišení T_s , což například při vzorkovacím kmitočtu 2 kHz představuje úhel 9° . Další problém je, že harmonické a další složky obsažené v signálu mohou okamžik tohoto průchodu posunout, a některé složky (včetně rušení od vlastního spínacího kmitočtu), způsobují, že průchodů nulou je v krátkém okamžiku více. Mezi další problémy patří pomalá odezva na přechodné děje, protože k synchronizaci dochází pouze v daném okamžiku (obvykle jednou, nejvýše však šestkrát za periodu). Použití této metody pro PWM měniče se tedy omezuje pouze na případy, kdy například hardware řídicího obvodu nedovoluje použít sofistikovanější metodu, ale ještě zvládne úpravy směřující k modifikacím této jednoduché metody (ošetření více průchodů signálu nulou, interpolace pravého okamžiku průchodu apod.).

Nejrozšířenější jsou techniky synchronizace založené na fázovém závěsu (PLL). Základní technikou pro detekci polohy vektoru napětí trojfázové soustavy je technika SRF-PLL (Synchronous Reference Frame-PLL), využívající transformaci do synchronní soustavy

souřadnic. Tato relativně jednoduchá základní technika má jisté nedostatky, které se snaží odstranit různé modifikace této techniky. Rozšíření pro detekci i zpětné složky (a zároveň odstranění jejího vlivu na estimovanou fázi a další estimované veličiny) představují techniky DDSRF-PLL [1] (Decoupled Double SRF-PLL) a SRF-PLL s DSC [2] (Delayed Signal Cancellation). Dalším rozšířením jsou techniky, eliminující vliv harmonických. Nejvýznamnější je technika využívající CDSC [13] (Cascaded DSC), která zobecňuje techniku využívající DSC. Další technikou je technika využívající vlivu transformace do souměrných složek na harmonické složení signálu SMT-PLL [6] (Simple Mathematical Transformation for cancel some harmonics). Poslední zde vybranou technikou pro potlačení vlivu harmonických je technika využívající střední hodnotu, která odstraní harmonické složky MAF (Moving Average Filter).

Druhou hlavní skupinou technik jsou techniky založené na použití pásmového filtru naladěného na základní kmitočet. Nejvýznamnější z této skupiny je technika využívající dvojici integrátorů zapojených do rezonanční soustavy označované SOGI-QSG (Second Order Generalized Integrator – in Quadrature Signal Generator), která se chová jako filtr druhého řádu a umožňuje použít adaptační doladovací mechanismus FLL, zajišťující naladění na aktuální kmitočet sítě. Kromě toho se používají i jiné typy filtrů, jako například ANF (Adaptive Notch Filter) [9], [22], [23]. Nutno dodat, že filtry ANF se hojně používají i ve spojení s PLL a jinými strukturami [10], [16]. Rozšířením techniky SOGI pro trojfázovou soustavu je technika DSOGI (Dual SOGI) [26] [17]. Pro detekci vybraných harmonických složek slouží technika MSOGI (Multiple SOGI) [26]. Tato technika používá více filtrů, ve více větvích, naladěných na vybrané harmonické různých řádů. Předřazená odvazbovací síť na jejich vstupech odečte ostatní detekované složky.

V menšině jsou synchronizační techniky, které využívají jiné mechanismy pro potlačení nežádoucích složek. Například implementace techniky SRF-PLL, která používá proměnnou periodu vzorkování [8] (přesně celistvý násobek kmitočtu základní harmonické) tak, aby harmonické složky byly potlačeny právě díky vhodnému vzorkování. Jinou skupinou jsou genetické algoritmy, algoritmy využívající umělé neuronové sítě [27] a jiné struktury (tzv. umělé inteligence), inspirované přírodou [28]. Poslední skupinou jsou algoritmy pracující v kmitočtové oblasti, jejich použití pro synchronizaci PWM měniče však není obvyklé (daleko častěji nacházejí uplatnění pro detekci vybraných rušivých složek při řízení aktivních filtrů).

3.1. Technika simulace

Pro dále popsané metody byl vytvořen simulační model, aby mohly být jejich vlastnosti podrobeny analýze. Kromě ověření deklarovaných vlastností, předností či nevýhod dané synchronizační metody, bylo důležitým cílem porovnání jednotlivých metod při jednotných podmínkách. Jednotliví autoři obecně používají různé podmínky, zejména odlišné parametry sítě (obvykle podle místních podmínek 120 nebo 230 V, výjimečně jiná napětí nebo p.u., s jmenovitým kmitočtem 50 nebo 60 Hz), dále také rozdílná nastavení regulátorů a různé poruchy (typem i velikostí), podle toho, která je nejvíce zajímavá, nebo kterou z poruch má daná technika lépe zvládnout. Kromě toho rozsah článků obvykle nedovoluje kompletnější důkladnější rozbor.

Bylo provedeno porovnání pro základní i méně běžné poruchy. Vzhledem ke značnému rozsahu získaných výsledků byly do následujícího přehledu zařazeny pouze základní poruchy. Byly vybrány takové poruchy, které reprezentují běžné jevy v síti:

- skok amplitudy
- skok kmitočtu
- skok fáze
- zpětná složka
- pátá harmonická
- subharmonická

Velikost většiny poruch je ovšem pro ilustraci přehnaná (nereálná), ale jen do té míry, aby odezva zůstala kvalitativně stejná. Poruchy byly zvoleny tak, aby je bylo možné zobrazit ve společném grafu.

Pro přehlednost jsou poruchy zařazeny v čase za sebou do dvou grafů po třech poruchách. Poruchy jsou rozděleny tak, že prvním grafu jsou přechodné děje (tj. "čistý" signál je nahrazen jiným opět "čistým" signálem), ve druhém potom poruchy trvalého charakteru (tj. "čistý" signál je nahrazen signálem obsahujícím rušivou složku a naopak). U průběhů v prvním grafu bude důležitý právě přechodný děj (jedná se o přechodný děj mezi dvěma čistými signály, které mají pouze různé parametry). U průběhů ve druhém grafu bude důležitý kromě toho ustálený stav (signál obsahuje přidanou složku).

Pro ověření funkce vybraných metod byl vypracován diskrétní model v prostředí Matlab/Simulink. Model je rozdělený na dvě základní funkční části (subsystémy). Tou první je generátor trojfázového signálu (představujícího napětí), včetně příslušných poruch. Ve druhém subsystému se nachází testované metody a jejich hodnocení. Simulace všech metod probíhá souběžně. Vzorkovací kmitočet modelu je 6 kHz.

V následujícím přehledu metod jsou u každé metody uvedené simulační výsledky při výše popsaných základních poruchových dějích, s parametry podle Tab. 3.1.

V modelu byl vytvořen zdroj signálu tak, aby simuloval jednotlivé poruchy v čase postupně v rámci jednoho simulačního běhu. Čas simulace je rozdělen na více navazujících úseků tak, že úseky simulující poruchu napětí jsou vystřídány úseky s čistým signálem. Předkládané průběhy tedy ukazují nejen ustálený stav, ale i přechodný děj a to oběma směry (tedy přechodný děj při zařazení dané poruchy i při jejím vyřazení).

Jako kompromis mezi vypovídací hodnotou, složitostí a rozsahem obrázků byly zvoleny pro zobrazení tři veličiny a to estimovaný kmitočet, obraz napětí v synchronní soustavě dq^1 a odchylka estimovaného úhlu od jeho správné hodnoty. Jsou to veličiny, které jsou používány při řízení měniče. Získaný průběh ze simulace byl rozdělen do dvou grafů, v každém se nachází tři přechodné děje (nepočítám-li v čase 0 přechodný děj při startu²). Všechny simulované techniky mají nastavené počáteční podmínky odpovídající ustálenému stavu (je-li to možné); při startu by tedy teoreticky k přechodnému ději nemělo docházet.

Čas		Popis	Hodnota	Poznámka
Od	Do			
0,00	0,25	Čistý signál	$V = 230 \text{ V}$ $f = 50 \text{ Hz}$	Start systému, dosažení ustáleného stavu
0,25	0,50	Skok amplitudy	20%	
0,50	0,75	Čistý signál		
0,75	1,00	Skok kmitočtu	0,5 Hz	
1,00	1,25	Čistý signál		
1,25	1,50	Skok fáze	5°	
1,50	1,75	Čistý signál		Předěl mezi obrázky
1,75	2,00	Čistý signál		
2,00	2,25	Zpětná složka	20%	
2,25	2,50	Čistý signál		
2,50	2,75	5. harmonická	10%	
2,75	3,00	Čistý signál		
3,00	3,25	Subharmonická	20 Hz 10%	
3,25	3,50	Čistý signál		

Tab. 3.1 Zkušební signál pro simulaci

Simulace napětí vychází z obecného tvaru zápisu napětí trojfázové soustavy, ke kterému byl pro potřeby simulace subharmonických přidán činitel k_{sh} .

$$\mathbf{v}_{abc} = \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = k_{sh} \cdot \sum_{n=1}^{\infty} (v_{abc}^{+n} + v_{abc}^{-n} + v_{abc}^{0n}) \quad (3.1)$$

¹Pokud daná technika produkuje oddělený signál sousledné složky v_{dq}^+ , je to tento signál, v opačném případě je vstupní napětí transformováno pomocí estimovaného úhlu a dále uvedené transformace (3.8).

²Přechodný děj při startu nebyl předmětem zkoumání v této práci. Při jeho zkoumání by musela být zobrazena síť křivek pro různé počáteční fáze napětí. Počáteční podmínky by musely být nastavené tak, aby odpovídaly těm, které daná soustava zaujme po zániku napětí. Kromě toho čisté připojení napětí není prakticky reálné a skutečný přechodný děj by poté probíhal jinak. Pro potřeby této práce i pro běžné použití stačí to, že se soustava do ustáleného stavu dostane v dostatečně krátkém čase.

Proměnná k_{sh} je činitel umožňující simulovat subharmonické, pro signál bez subharmonické složky je roven 1. Simulovaná je pouze sousledná a zpětná složka, netočivá složka nemá ve trojfázovém třívodičovém systému význam.

Modulační signál simulující subharmonickou složku může mít různý časový průběh, pro potřeby ověření synchronizačních technik byl zvolen tvar sinusový definovaný kmitočtem subharmonické ω_{sh} a modulačním indexem m_{sh} .

$$k_{sh} = 1 + m_{sh} \sin(\omega_{sh} t) \quad (3.2)$$

Napětí základní harmonické je simulováno jako trojice signálů

$$v_{abc} = V_{max} \begin{bmatrix} \sin \vartheta \\ \sin(\vartheta + 120^\circ) \\ \sin(\vartheta + 240^\circ) \end{bmatrix} \quad (3.3)$$

kde

$$\vartheta(t) = \int_0^t \omega d\tau + \vartheta_0 \quad (3.4)$$

V diskrétní realizaci je

$$\begin{aligned} \vartheta(t) &= \vartheta(t - T_s) + \omega(t) T_s \\ \vartheta(0) &= \vartheta_0 \end{aligned} \quad (3.5)$$

kde případný fázový skok je přičten až k výslednému ϑ bez vlivu na naintegrovanou hodnotu.

Aby se podmínky lépe přiblížily experimentu, je z napětí vyloučená netočivá složka tím, že je simulováno nejprve měření sdružených napětí

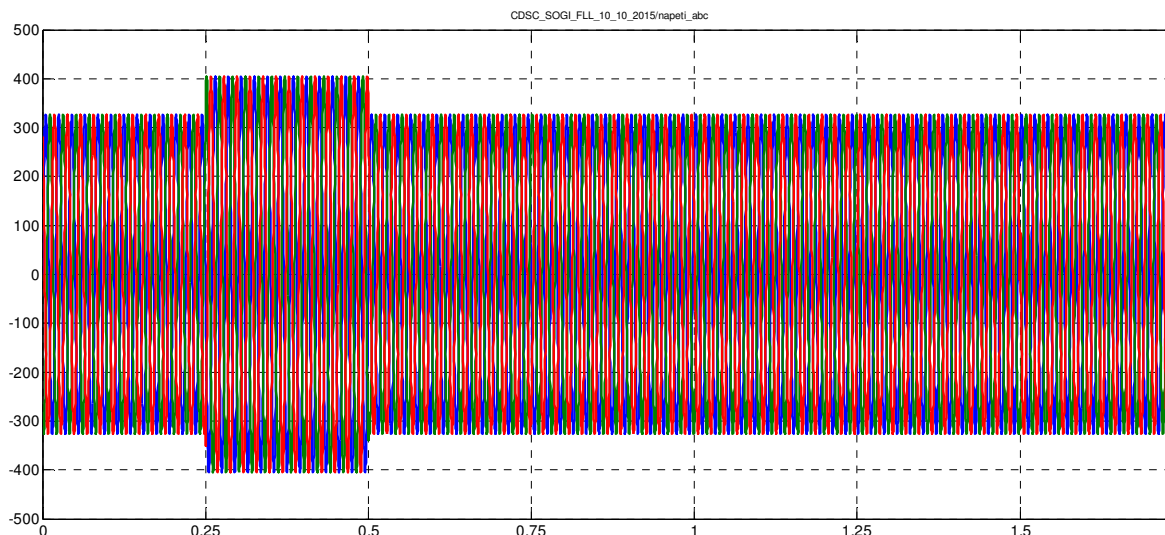
$$v_{ab_bc} = \begin{bmatrix} v_{ab} \\ v_{bc} \end{bmatrix} = \begin{bmatrix} v_a - v_b \\ v_b - v_c \end{bmatrix} \quad (3.6)$$

která jsou poté přepočítána zpět na fázová stejným způsobem, jako v experimentu

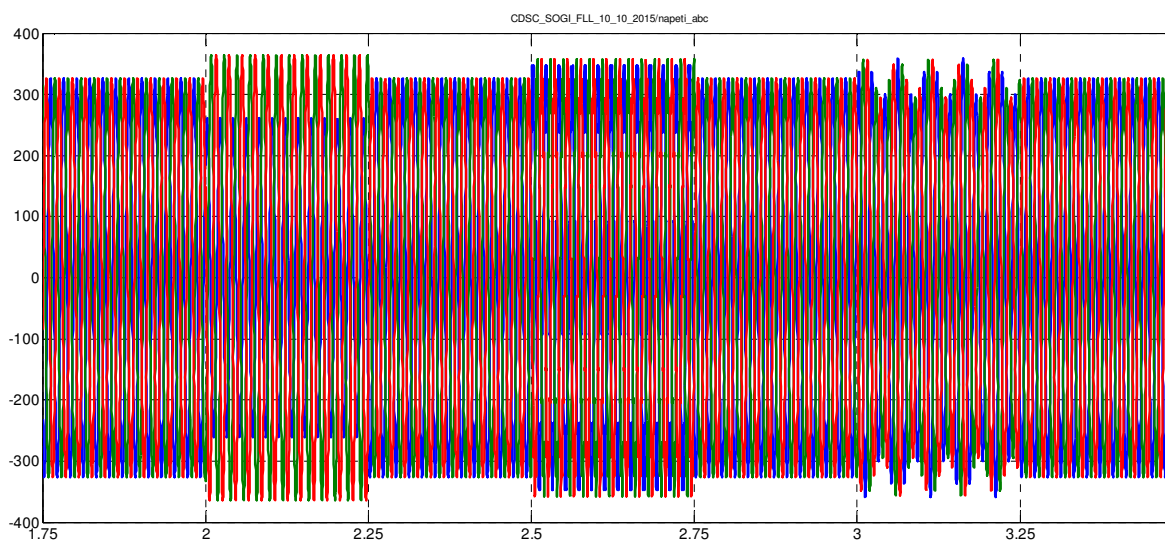
$$v_{abc} = \frac{1}{3} \begin{bmatrix} 2 & 1 \\ -1 & 1 \\ -1 & -2 \end{bmatrix} v_{ab_bc} \quad (3.7)$$

Takto získaná napětí se neliší od původních, neobsahuje-li simulované napětí netočivou složku (rozdíl oproti původnímu napětí by signalizoval chybu simulace – generování napětí, které není možné ve trojfázové třívodičové soustavě detekovat a ani se v řízení měniče neprojeví).

Průběh napětí použitého jako vstupní signál při simulaci jednotlivých technik je na Obr. 3.1 a Obr. 3.2.



Obr. 3.1 Napětí úsek 1: skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.2 Napětí úsek 2: zpětná složka (20%) pátá harmonická (10%) a subharmonická 20 Hz (10%)

Ideální technika by měla bezprostředně (ihned v následujícím vzorku) poskytnout informaci o aktuální hodnotě vektoru sousledné složky napětí.

Změna amplitudy musí být přenesena pouze do amplitudy, nesmí ovlivnit estimovaný kmitočet ani fázi. Stejně tak změna kmitočtu smí ovlivnit pouze kmitočet a skok fáze musí způsobit jen skok v estimované fázi. Jakékoliv přidané složky jiného než základního kmitočtu se nesmí projevit v žádné z estimovaných veličin pro základní složku. Taková detekce není prakticky možná, reálné techniky se jí budou vždy jen přibližovat.

Základní otázkou je, jak nastavit parametry jednotlivých metod. Nastavení poskytuje více stupňů volnosti. Nabízejí se dva základní přístupy. Tím prvním je nastavit parametry pokud možno stejně (stejně k_p , k_i , případně ζ a Γ , γ). Tím se ukáže vliv dané modifikace na odezvu systému (například potlačení určité složky nebo zlepšení/zhoršení odezvy), nedosáhnou se však nejlepší možné výsledky dané metody. Druhou možností je naladit všechny systémy na

nejlepší možnou odezvu pro určitý přechodný děj (například skok kmitočtu nebo fáze) nebo pro ustálený stav.

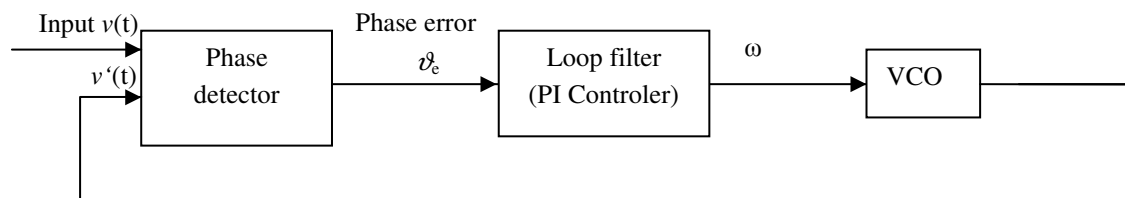
Simulační výsledky dále uvedené používají první přístup, tedy pokud možno stejné nastavení regulátoru u všech technik. Nastavení vycházelo z doporučených hodnot, uváděných u jednotlivých metod ověřených v literatuře. Tímto se objektivně projeví přínos nebo naopak problém dané modifikace. Nejdůležitější parametry jsou uvedené v Tab. 3.2.

Název parametru	označení	hodnota	poznámka
Korekční člen – regulátor ω zesílení	K_p	0,25	
Integrační konstanta	K_i	10	
Časová konstanta integrace	τ_i	25 ms	K_p / K_i
Průměrovací interval MAF	T_w	20 ms	
Tlumení SOGI	ζ	$\sqrt{2}/2$	
Zesílení FLL	γ	0,16	
Normalizované zesílení γ	Γ	76,2	pro $V=230$ $\omega' = 2\pi 50$ a $\zeta = \sqrt{2}/2$
Podíl periody bloků CDSC	N	[0,8 4 8 16 32]	
Efektivní hodnota fázového napětí	$V_a V_b V_c$	230 V	
Kmitočet sítě	f	50 Hz	

Tab. 3.2 Parametry použité při simulaci

3.2. Metody založené na PLL. Princip PLL

Základní schéma obecného PLL je na Obr. 3.3. Vstupní signál v je porovnáván s vnitřně generovaným v' pomocí fázového komparátoru PD (Phase Detector). Na výstupu tohoto bloku je signál ϑ_e odpovídající fázovému rozdílu vstupního napětí v a vnitřně generovaného (referenčního) napětí v' . V ideálním případě je přímo úměrný tomuto rozdílu. Fázový detektor je v případě jednofázového provedení obvykle tvořen buďto detektorem průchodu nulou (čas mezi průchody nulou vstupního a referenčního signálu je přímo úměrný fázovému rozdílu) nebo součinem (pokud jsou signály vzájemně posunuté o 90° , je součin ve střední hodnotě nulový, v takovém případě je výstup PD úměrný funkci \sin (rozdíl fáze)). V softwareové implementaci PLL pro synchronizaci PWM měniče se používá vesměs robustnější řešení PD, než jakým je detekce průchodů signálu nulou. V případě trojfázového systému je nejobvyklejší použití transformace do synchronní soustavy, jejíž výstup je opět funkcí sinus (rozdíl fáze).



Obr. 3.3 Základní blokové schéma PLL

Výstup PD po průchodu vhodným filtrem (korekčním PI členem, který působí jako regulátor kmitočtu) ovládá řízený oscilátor VCO³ (VCO = Voltage Controlled Oscillator).

VCO generuje na svém výstupu, podle své přenosové funkce, signál o kmitočtu daném jeho vstupem. Regulační smyčka se tím uzavře a regulátor je nucený udržovat VCO na takovém kmitočtu, aby oba signály - vstupní a generovaný - zůstávaly ve fázi, což rovněž implikuje shodný kmitočet obou signálů. V ustáleném stavu je tedy (ideálně) fázová odchylka nulová, tudíž známe fázi i kmitočet vstupního signálu.

Toto je základní principiální schéma, implementace jednotlivých částí se v různých technikách liší a za účelem vylepšení funkce bývají přidány další bloky uvnitř regulační smyčky nebo vně jí.

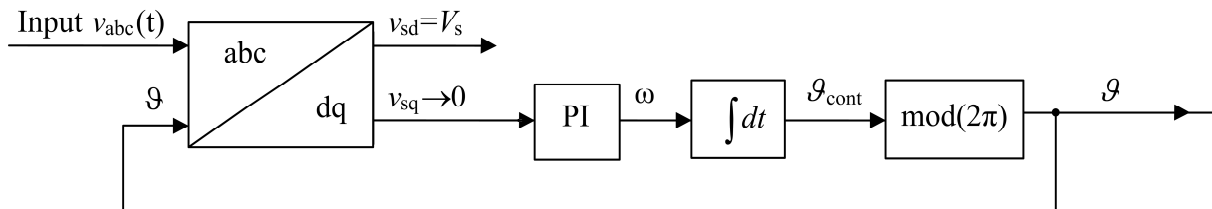
³ Označení VCO pochází z dob obvodové realizace, kdy vstupním signálem tohoto bloku bylo napětí, toto označení se běžně používá i při softwareové implementaci, i když vstupem je číslo.

3.2.1. SRF-PLL (Synchronous Reference Frame PLL)

Základní technikou pro synchronizaci v trojfázové soustavě je metoda fázového závěsu, která využívá jako fázového diskriminátoru transformaci do synchronní referenční soustavy.

$$v_{dq0} = \begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\vartheta) & \cos(\vartheta - \frac{2}{3}\pi) & \cos(\vartheta + \frac{2}{3}\pi) \\ -\sin(\vartheta) & -\sin(\vartheta - \frac{2}{3}\pi) & -\sin(\vartheta + \frac{2}{3}\pi) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.8)$$

Blokové schéma metody je na Obr. 3.4. Vstupní napětí se s použitím estimovaného úhlu ϑ transformuje do referenční synchronní soustavy. Na výstupu této transformace by měly být v ustáleném stavu a při ideálním vstupním napětí dvě konstantní hodnoty. Na výstupu jsou však dvě konstantní (stejnoseměrné) hodnoty pouze tehdy, pokud souhlasí estimovaný kmitočet se skutečným kmitočtem vstupního signálu, kterým je obvykle napětí sítě. Pro potřeby synchronizace se volí taková poloha (natočení) souřadnic, aby jedna ze složek byla nulová (v Obr. 3.4 v_{sq}).



Obr. 3.4 Blokové schéma SRF-PLL

Činitel $\frac{2}{3}$ v rovnici (3.8) zajišťuje, že získaný napěťový vektor je v měřítku amplitudy, v ustáleném stavu tedy zobrazuje amplitudu vektoru napětí. Transformační úhel ϑ v tomto stavu ukazuje okamžitou fázi napětí.

Výstup transformace (3.8) je použitý jako chybová hodnota (regulační odchylka) pro korekční člen, působící jako regulátor kmitočtu. Regulátor úhlového kmitočtu ω má na svém výstupu takový kmitočet, aby (u)držel regulační odchylku blízkou nule. Pokud je jedna z komponent nulová (nebo blízká nule), ta druhá reprezentuje amplitudu V_s napěťového vektoru v_s , která je rovněž potřebná pro řízení měniče. Na základě kmitočtu se v integrátoru získává transformační úhel ϑ . Tím je uzavřena regulační smyčka, protože tento úhel se používá pro transformaci do synchronní soustavy a zároveň odpovídá (v "zavěšeném" stavu) okamžitému úhlu vektoru v_s . Ten je potom vhodné upravit do intervalu 0 až 2π .

Jak je zřejmé z Obr. 3.4, velikost vstupního napětí ovlivňuje činnost regulátoru. Proto se někdy doplňuje funkce normalizace napětí, aby byl tento vliv eliminován. Pokud bude systém pracovat při stálém napětí (typické pro měnič připojený na trojfázovou síť), není normalizace nezbytná.

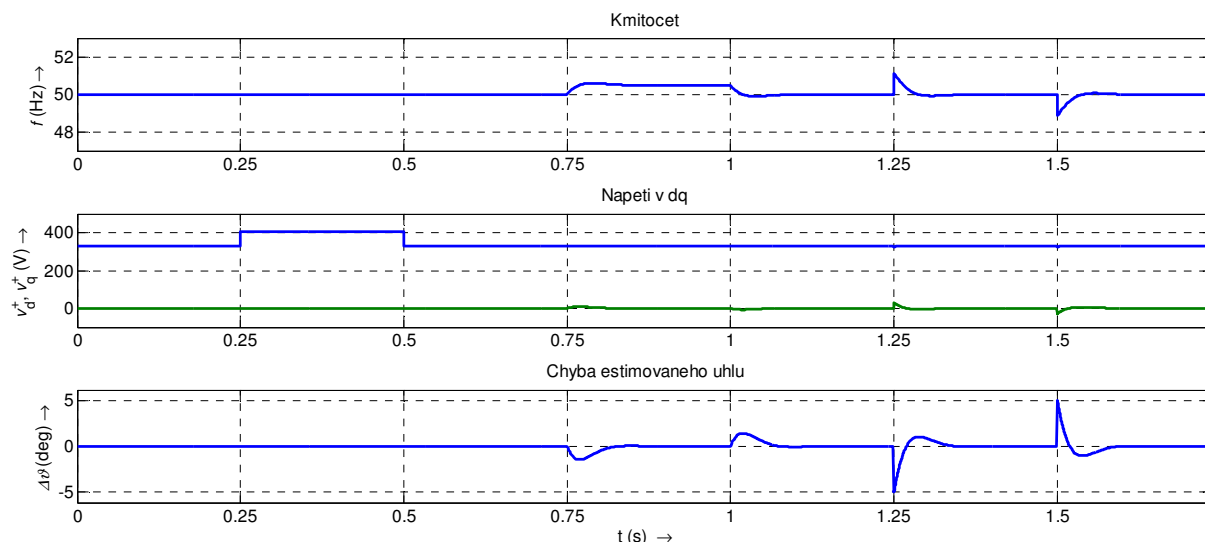
Pokud vstupní signál obsahuje pouze základní harmonickou, poskytuje tato základní technika přesnou a rychlou odezvu na přechodné děje. Pokud však vstupní signál obsahuje rušivé složky, musí být PI korekční člen (který v takovém případě působí také jako filtr těchto složek) pomalejší, aby tyto složky vyfiltroval nebo alespoň utlumil jejich důsledky (zejména kmitání $\Delta\vartheta$) na přípustnou úroveň. Snížení propustného pásma má zároveň za následek

zpomalení odezvy přechodných dějů. Toto zpomalení je tím větší, čím nižší je kmitočet, na který ještě nemá regulátor reagovat (který nemá výrazněji přenášet na výstup).

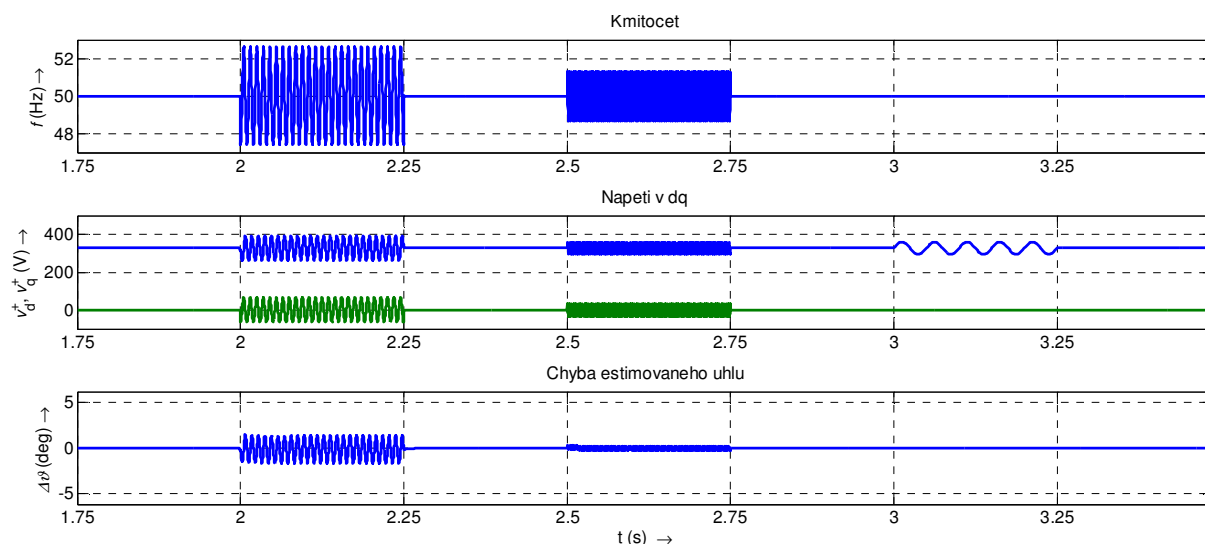
Zpětná složka se v soustavě dq jeví jako složka s dvojnásobným kmitočtem. Pokud by ji měl potlačit korekční člen typu PI, celý regulační proces by se nepřípustně zpomalil. Zpětná složka (která je obrazem nesymetrie fází) je však v síti běžným jevem a je potřeba s ní počítat. To je důvod, proč se nejprve vyvinulo několik technik, které se snaží vylepšit práci SRF-PLL právě při působení zpětné složky.

Další skupina technik (zlepšujících techniku SRF-PLL) se zaměřuje na potlačení vlivu harmonických, aby pokud možno nebylo nutné zpomalovat PI korekční člen a ten mohl co nejrychleji reagovat na přechodné děje.

V podstatě všechny tyto techniky využívají nějaký způsob filtrace tak, aby se nežádoucí složky nedostaly až do PI korekčního členu v obvodu PLL a ten mohl být co nejrychlejší. Popis těchto technik (modifikací) je obsahem dalších kapitol.



Obr. 3.5 Odezva SRF-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.6 Odezva SRF-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Jak již bylo uvedeno v předchozím textu, pro čistý signál poskytuje tato základní metoda rychlou a přesnou odezvu, a dokonce ani subharmonická složka činnost nenaruší (jedná se o poměrně pomalou změnu amplitudy). Z Obr. 3.5 je vidět, že i reakce na skok amplitudy je velmi rychlá a na estimovaný kmitočet ani fázi nemá žádný vliv.

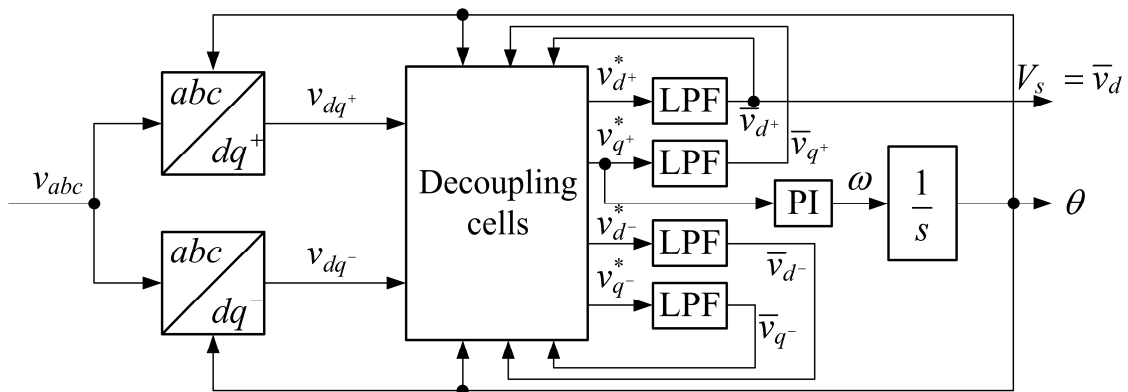
Zpětná složka způsobuje kmitání o kmitočtu 100 Hz ve všech zobrazených veličinách, stejně tak pátá harmonická způsobuje kmitání o kmitočtu 300 Hz. Subharmonická se projeví pouze ve složkách napětí, což lze považovat za žádoucí chování.

3.2.2. DDSRF-PLL (Decoupled Double Synchronous Reference Frame)

Tento algoritmus [1] je primárně určený pro získání sousledné a zpětné složky vektoru napětí. Blokové schéma metody ukazuje Obr. 3.7. Používá dvě referenční synchronní soustavy, jednu rotující s vektorem napětí sousledné složky, druhou rotující opačným směrem (s vektorem napětí zpětné složky). Základní princip spočívá v odečtení vyfiltrované složky opačné soustavy ještě před vstupem do regulátoru. V bloku označeném jako "Decoupling cells" (rovnice (3.9)) se vyfiltrovaná sousledná složka přepočítává do zpětné soustavy, odečítá od signálu v_{dq^-} , a na vstup LPF (Low Pass Filter) pro zpětnou soustavu se tedy přivádí původní signál (z výstupu transformačního bloku abc/dq⁻) od této složky očištěný. LPF na výstupu tak v ustáleném stavu potlačuje jen zbytkový signál při přechodných dějích a tlumí případné harmonické v estimovaném napětí. To má dopad zejména na rychlost odezvy (oproti použití LPF bez od vazbovací sítě, kde by signál pro regulátor byl nutně zpožděný). Analogický postup je použitý i pro souslednou složku.

$$\begin{bmatrix} v_{d^+}^* \\ v_{q^+}^* \end{bmatrix} = \begin{bmatrix} v_{d^+} \\ v_{q^+} \end{bmatrix} - \begin{bmatrix} \cos 2\vartheta & \sin 2\vartheta \\ -\sin 2\vartheta & \cos 2\vartheta \end{bmatrix} \begin{bmatrix} \bar{v}_{d^-} \\ \bar{v}_{q^-} \end{bmatrix} \quad (3.9)$$

$$\begin{bmatrix} v_{d^-}^* \\ v_{q^-}^* \end{bmatrix} = \begin{bmatrix} v_{d^-} \\ v_{q^-} \end{bmatrix} - \begin{bmatrix} \cos(-2\vartheta) & \sin(-2\vartheta) \\ -\sin(-2\vartheta) & \cos(-2\vartheta) \end{bmatrix} \begin{bmatrix} \bar{v}_{d^+} \\ \bar{v}_{q^+} \end{bmatrix}$$

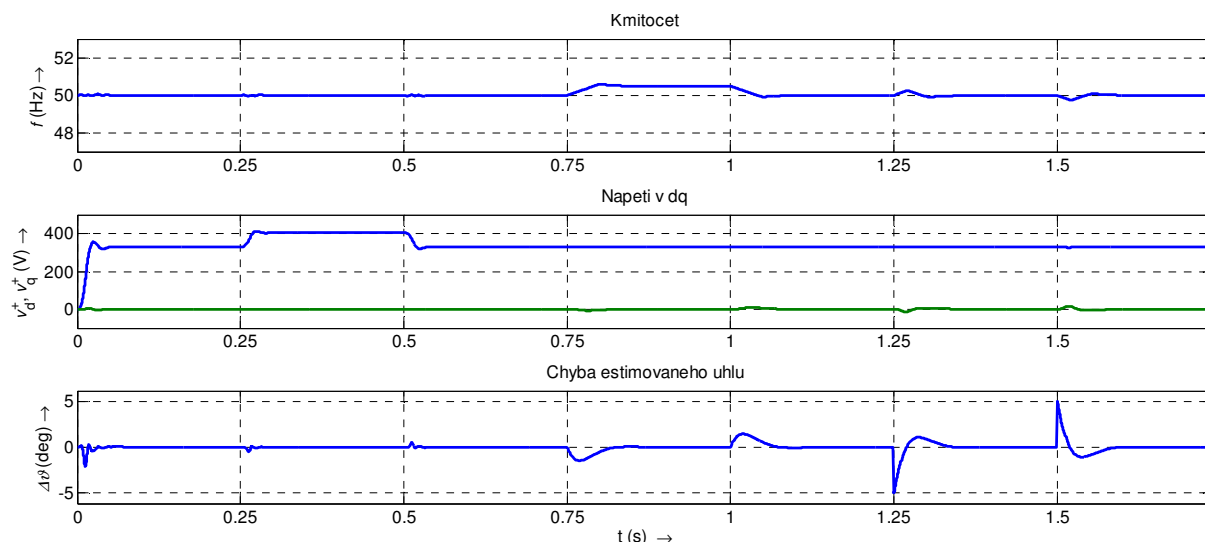


Obr. 3.7 Blokové schéma metody DDSRF-PLL

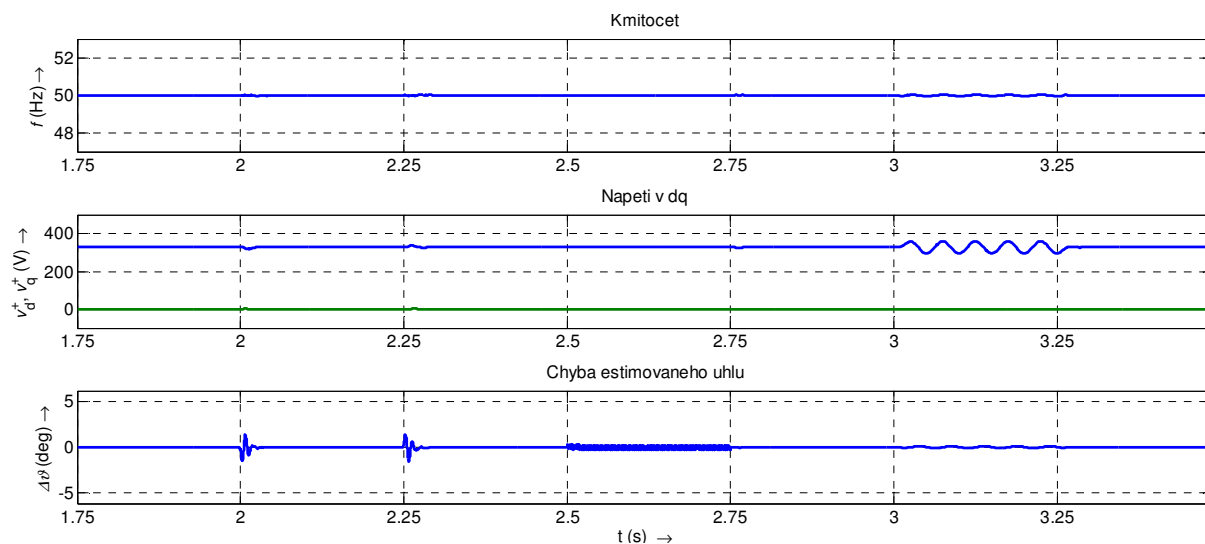
To, že se pro odečtení (podle rovnice (3.9)) používá složka vyfiltrovaná, má vliv na návrh filtru. Filtr nesmí zanášet do systému příliš velké zpoždění, aby nebyl algoritmus pomalý a neztratila se výhoda této křížové vazby. Autor v [1] navrhuje filtr typu Butterworth čtvrtého řádu. Zlomový kmitočet ω_c filtru je pro potřeby návrhu vyjádřen v poměru k uvažovanému kmitočtu sítě ω

$$k = \frac{\omega_c}{\omega} \quad (3.10)$$

Jako optimální hodnota poměru k vychází $\frac{1}{\sqrt{2}}$. Pro $k > \frac{1}{\sqrt{2}}$ se odezva stává kmitavou až netlumenou. Snižování hodnoty k na hodnoty $k < \frac{1}{\sqrt{2}}$ (tj. snižování zlomového kmitočtu LPF) zpomaluje celou smyčku a zvyšuje tak dobu potřebnou k ustálení.



Obr. 3.8 Odezva DDSRF-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.9 Odezva DDSRF-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Odezva na nesymetrii v ustáleném stavu neobsahuje složku o kmitočtu 100 Hz. Je zde pouze několik period této složky při přechodném ději. Pátá harmonická je obsažena pouze v průběhu $\Delta\vartheta$ značně utlumená, protože estimovaný úhel je získáván integrací kmitočtu, který vychází ze signálu před filtrem. Pro vyšší řady harmonických bude situace příznivější vlivem vyššího útlumu toho korekčního členu se zvyšujícím se kmitočtem. Subharmonická způsobí nepatrný rozkmit kmitočtu ($<\pm 0,05$ Hz) a také chyby fáze $\pm 0,1^\circ$.

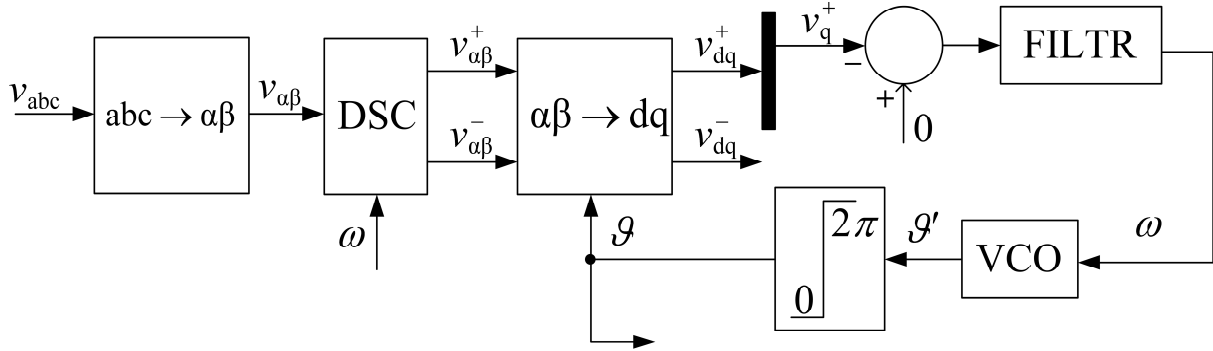
Pomineme-li přechodné děje, je signál dvojnásobného kmitočtu (odpovídající soustavě opačného sledu) dokonale potlačen. Kromě toho jsou také utlumeny harmonické vyšších řádů v napětí díky použitým LPF.

Odezva systému je pomalejší, citlivost na zpětnou složku se ale omezila jen na přechodný děj.

3.2.3. DSC (Delayed Signal Cancellations)

Tato metoda [2], [14] představuje velmi robustní a efektivní metodu pro získání sousledné a zpětné složky trojfázového napětí nebo proudu. Blokové schéma metody je na Obr. 3.10.

Signál napětí se transformuje do soustavy $\alpha\beta$ a poté se v bloku DSC rozdělí na souslednou a zpětnou složku.



Obr. 3.10 Blokové schéma SRF-PLL s DSC

Vektor napětí ve stacionární pravoúhlé soustavě $\alpha\beta$, časově zpožděný o jednu čtvrtinu periody, je následně pootočen v komplexní rovině o čtvrtinu periody dopředu. Tím se vykompenzuje zpoždění, ale jen pro základní harmonickou (a dále také pro harmonické řádu $1 \pm 4k$). Výsledný vektor se potom získá jako průměr signálu původního a takto upraveného (rovnice (3.11)). Základní harmonická (stejně jako ty, pro které je časové a fázové zpoždění stejné) tak projde bez útlumu, ostatní složky jsou utlumeny. Důležité je, že zpětná složka je tímto postupem zcela potlačena, protože se její signál po zpoždění a otočení dostane do protifáze se signálem nezpožděným, čímž se potlačí. Pokud se naopak zpožděný signál odečte (přičte s opačným znaménkem), dostane se do protifáze sousledná složka a do fáze složka zpětná.

$$\begin{aligned} v_{\alpha\beta}^+(t) &= 0.5 \left(v_{\alpha\beta}(t) + jv_{\alpha\beta}\left(t - \frac{T}{4}\right) \right) \\ v_{\alpha\beta}^-(t) &= 0.5 \left(v_{\alpha\beta}(t) - jv_{\alpha\beta}\left(t - \frac{T}{4}\right) \right) \end{aligned} \quad (3.11)$$

Pomocí bloku DSC je tudíž signál rozdělen na souslednou a zpětnou složku v systému os $\alpha\beta$. Následně je transformován do synchronní soustavy dq a jedna ze složek pozitivní soustavy (v Obr. 3.10 je to v_q^+) je použita jako chybový signál pro korekční PI člen.

Rovnice (3.11) definuje blok DSC ve spojitém čase. V současné době jsou všechny algoritmy téměř výhradně realizované diskřetně (v procesoru, FPGA apod.). Zpoždění o $\frac{1}{4}$ periody je realizované prostřednictvím paměťového bufferu a má rozlišení T_s . Pro tento případ musí být rovnice (3.11) přepsána na tvar

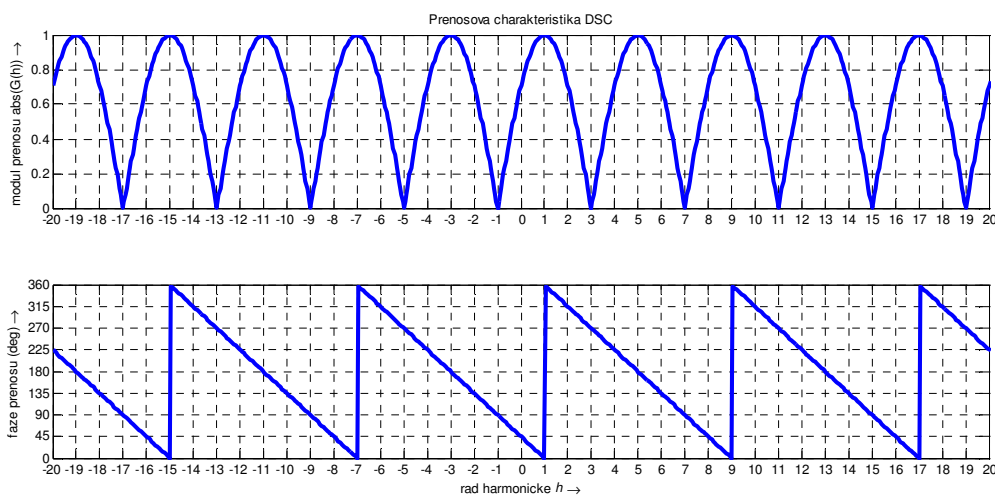
$$\begin{aligned} v_{\alpha\beta}^+(kT_s) &= 0.5 \left(v_{\alpha\beta}(kT_s) + jv_{\alpha\beta}(kT_s - n_d T_s) \right) \\ v_{\alpha\beta}^-(kT_s) &= 0.5 \left(v_{\alpha\beta}(kT_s) - jv_{\alpha\beta}(kT_s - n_d T_s) \right) \end{aligned} \quad (3.12)$$

Počet vzorků zpoždění n_d , odpovídající čtvrtině periody je

$$n_d = \frac{f_s}{4f} \quad (3.13)$$

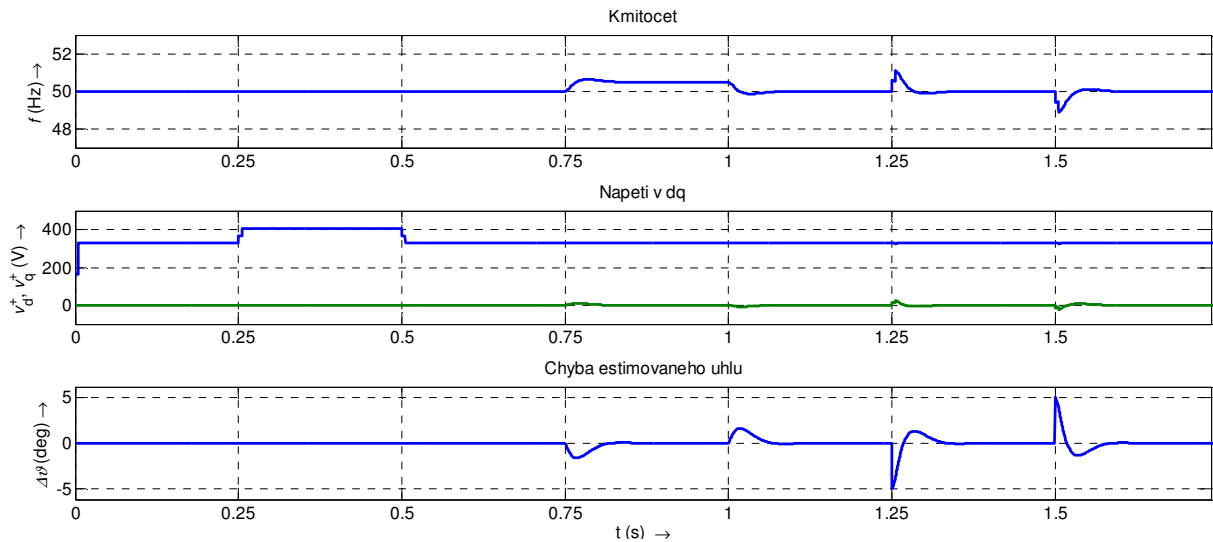
Může se stát, že je požadováno zpoždění o necelý počet vzorků. Při běžných vzorkovacích kmitočtech je počet vzorků zpoždění kolem deseti (10 vzorků vychází pro $f_s = 2$ kHz) a tato chyba zaokrouhlením až o polovinu vzorku je tak poměrně velká.

V ideálním případě je vzorkovací kmitočet f_s zvolený tak, aby n_d získané z (3.13) bylo celé číslo, případně číslo blízké celému číslu. Naneštěstí volba spínacího kmitočtu a z něj plynoucího vzorkovacího kmitočtu je určena jinými podmínkami. Z toho může vzniknout požadavek na zpoždění o necelý počet vzorků. To vede ke vzniku nenulové odchylky ϑ i v ustáleném stavu (tato odchylka se zvětšuje se zvyšujícím se rozdílem požadovaného a skutečného zpoždění). Ukázalo se, že uspokojivé řešení poskytuje lineární interpolace mezi sousedními vzorky z paměťového bufferu. Podobné problémy jsou i u ostatních technik používajících zpoždění, které popíši již bez toho, že bych to více rozebíral.

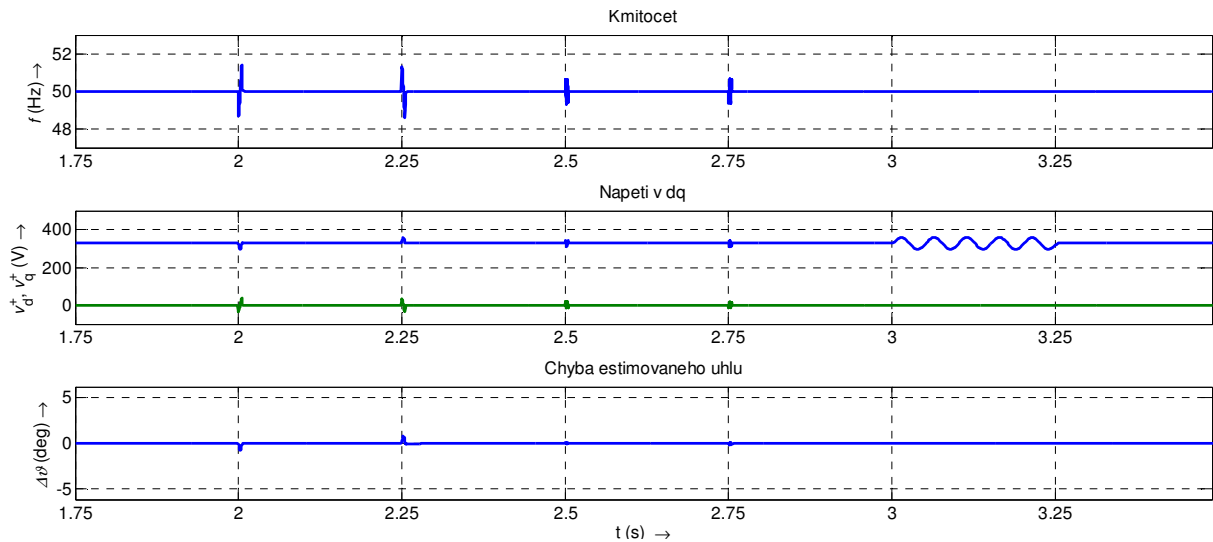


Obr. 3.11 Přenosová charakteristika členu DSC

Na Obr. 3.11 je zobrazená amplitudová a fázová přenosová charakteristika bloku DSC. Je na ni vidět jednotkový přenos pro souslednou složku a nulový pro zpětnou složku. Kromě toho je vidět, že jsou potlačené některé další složky.



Obr. 3.12 Odezva DSC-PLL na skok v amplitudě ($\pm 20\%$), kmitočtu ($\pm 0,5\text{Hz}$) a fázi ($\pm 5^\circ$)



Obr. 3.13 Odezva DSC-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

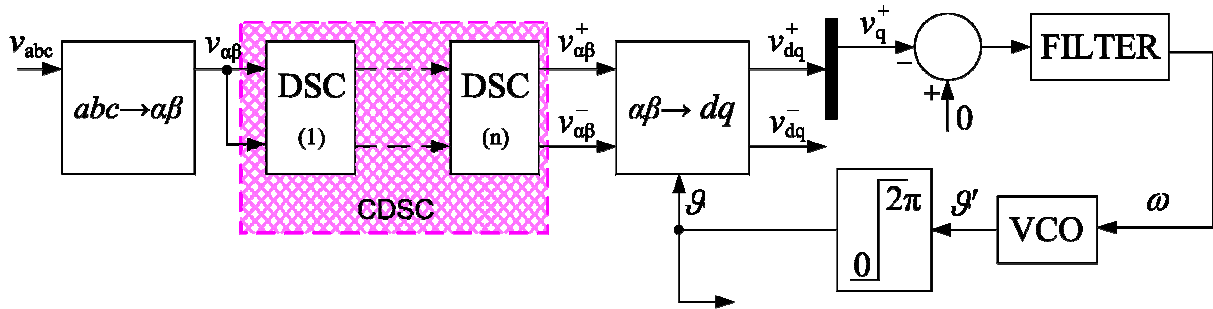
Tak jako u předchozí techniky DDSRF, odezva na nesymetrii v ustáleném stavu neobsahuje složku 100 Hz. Pátá harmonická je v ustáleném stavu úplně potlačena, protože řád harmonické -5 odpovídá nulovému přenosu na Obr. 3.11. Subharmonická se projeví pouze v amplitudě.

Pomineme-li přechodné děje, je signál dvojnásobného kmitočtu (odpovídající soustavě opačného sledu) dokonale potlačen.

3.2.4. CDSC (Cascaded Delayed Signal Cancellations)

Rozšíření (předchozí) metody DSC představuje metoda CDSC [11], [12], [13]. Základní myšlenkou je zobecnění bloku DSC a jeho použití s obecně libovolným zpožděním a následným pootočením o odpovídající úhel. Tím se dosáhne efektu popisovaného v předchozím odstavci pro jiný kmitočet (skupinu kmitočtů).

Takto lze za sebe (do kaskády) zařadit více bloků DSC s různým zpožděním, a tedy různým vlivem na rušivé složky, což je vyjádřeno písmenem C v používané zkratce.⁴ Blokové schéma zobrazuje Obr. 3.14.



Obr. 3.14 Blokové schéma PLL s CDSC zařazeného v soustavě $\alpha\beta$

U metody DSC bylo použito časové zpoždění o $\frac{1}{4}$ periody základního kmitočtu následované pootočením vektoru v komplexní rovině o $\frac{1}{4}$ kruhu, tedy 90° ($\pi/2$) pomocí násobení imaginární jednotkou j . Obecně lze použít zpoždění libovolné a to potom kompenzovat pootočením zpožděného vektoru o úhel odpovídající použitému zpoždění. Zpoždění nemusí být ani celistvý podíl periody, dokonce může být i delší než jedna perioda. Základní harmonická složka zůstane (v ustáleném stavu) nezměněná, ale vliv na ostatní složky bude záviset na vztahu časového zpoždění vztaheného k základnímu kmitočtu a otočení pro danou složku. Zatímco otočení o $\frac{1}{4}$ periody je v komplexní rovině zapsáno jako násobení komplexní jednotkou $+j$, otočení o libovolný úhel se nejlépe (nejpřehledněji) vyjádří jako násobení v komplexním tvaru číslem $e^{j\frac{2\pi}{N}}$, které představuje příslušně natočený jednotkový vektor.⁵

Funkci jednotlivých bloků DSC pro libovolnou harmonickou popisuje následující rovnice

$$DSC^h [N] = \frac{1}{2} \cdot \left(v_\alpha + jv_\beta + e^{j\frac{h2\pi}{N}} \cdot (v_\alpha^D + jv_\beta^D) \right) \quad (3.14)$$

kde h je řád harmonické, pro souslednou složku je 1, pro zpětnou složku je -1 ,

N je část periody, o kterou je signál zpožděný (zpoždění je $\frac{1}{N}$ periody),

horní index D označuje složky napětí zpožděné v čase o čas odpovídající $\frac{1}{N}$ periody.

⁴V některých pracích, například v [29], [35], je používána zkratka GDSC (G jako Generalized vyjadřuje myšlenku zobecnění bloku DSC). Zde použité označení CDSC lépe vyjadřuje topologii této metody.

⁵Je vhodné připomenout, že komplexní násobení znamená, že se násobí amplitudy a sčítají fáze (argumenty) činitelů.

Výraz $e^{jh\frac{2\pi}{N}}$ představuje jednotkový vektor natočený o úhel odpovídající zpoždění $\frac{1}{N}$ periody pro harmonickou h (blok DSC může být použit pro libovolnou harmonickou, zde se omezíme na $h = \pm 1$, tj. souslednou a zpětnou složku).

Rovnice popisující blok DSC pro souslednou a zpětnou složku mají tvar

$$\begin{aligned} DSC^+[N] &= \frac{1}{2} \cdot \left(v_\alpha + jv_\beta + e^{j\frac{2\pi}{N}} \cdot (v_\alpha^D + jv_\beta^D) \right) \\ DSC^-[N] &= \frac{1}{2} \cdot \left(v_\alpha + jv_\beta + e^{-j\frac{2\pi}{N}} \cdot (v_\alpha^D + jv_\beta^D) \right) \end{aligned} \quad (3.15)$$

Vhodnou kombinací více bloků DSC s různým N lze potlačit nebo alespoň utlumit většinu rušivých složek (harmonické, interharmonické i subharmonické), každý blok DSC ovšem s sebou přináší určité zpoždění. Kromě toho se také mohou kumulovat numerické chyby, dané omezeným rozlišením procesoru. Většinou se tedy počet bloků omezuje na 3 – 5, jimiž obvykle pokryjeme potřebné rušivé složky.

Přenos bloku DSC v závislosti na řádu harmonické h v soustavě os dq

$$G_{DSC(N)}(h) = \cos(h\pi/N) e^{-jh\pi/N} \quad (3.16)$$

Přenosová charakteristika bloku DSC (3.16) má periodický tvar, neboť pro harmonické vyšších řádů odpovídá delší časové zpoždění celkovému úhlu složenému z požadovaných $(h360/N)^\circ$ a ještě zvětšenému o celistvý násobek 360° .

Harmonické těchto řádů (v $\alpha\beta$) jsou plně potlačené

$$h = 1 + N \left(k + \frac{1}{2} \right) \quad (k \text{ je libovolné celé číslo}) \quad (3.17)$$

Maxima přenosové funkce jsou poté pro harmonické (v $\alpha\beta$), kterým odpovídá

$$h = 1 + Nk \quad (3.18)$$

Tyto harmonické projdou beze změny amplitudy a fáze.

Naopak, požadujeme-li potlačení dané harmonické h (či jiné) složky v dq, můžeme nalézt potřebnou hodnotu N takto

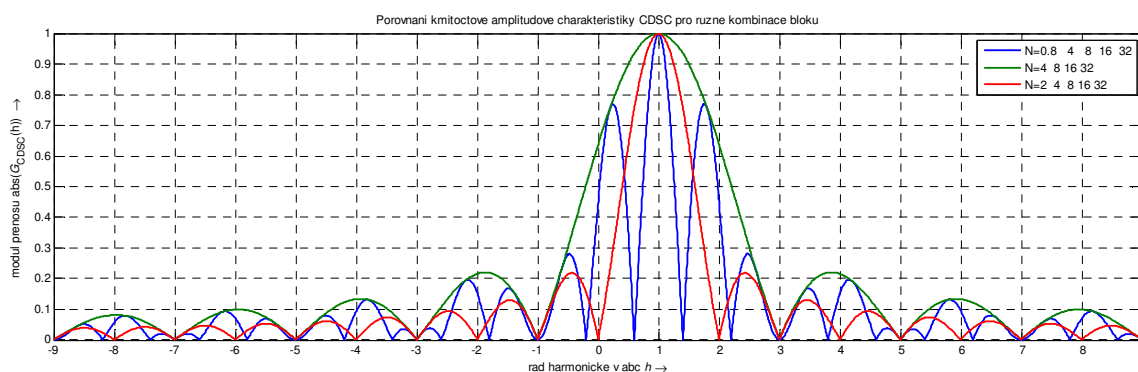
$$N = \left\lceil \frac{h}{k + \frac{1}{2}} \right\rceil \quad (3.19)$$

Je zřejmé, že volba není jednoznačná (k může být libovolné celé číslo), obvykle tedy volíme zpoždění nejkratší možné, které rovnici (3.19) vyhovuje.

Běžně používané a v literatuře doporučované kombinace bloků jsou DSC[4, 8, 16, 32] a DSC[2, 4, 8, 16, 32], tyto kombinace vedou na potlačení všech lichých anebo všech (lichých i sudých) harmonických. Pro potlačení dalších složek je možné přidat bloky jiných zpoždění, pro demonstraci možnosti potlačení subharmonických byl přidán blok o zpoždění 1,2 periody ($N = 0,8$). Tento blok je cílený na subharmonickou složku o kmitočtu 20 Hz. Přenos těchto tří variant v závislosti na řádu harmonické ukazuje Obr. 3.15.

Některé práce navrhují mírně odlišné uspořádání metody s řazením bloků až po

transformaci v soustavě dq, například [30]. Tato možnost je zmíněná i v jedné z původních prací zavádějících techniku CDSC [12]. Zatímco při uspořádání podle Obr. 3.10, respektive Obr. 3.14, tvoří bloky DSC předfiltr pro SRF-PLL, v tomto uspořádání je do regulační smyčky vřazeno dopravní zpoždění (nelinearita), které je potřeba respektovat při návrhu regulátoru. Zato se výrazně (alespoň opticky) zjednoduší operátor DSC, protože není nutné otáčení vektoru. Vektor základní harmonické v synchronní soustavě stojí, díky tomu odpadne násobení $e^{jh\frac{2\pi}{N}}$ a celý postup se zjednoduší pouze na zpoždění a průměr. Na druhou stranu jde jen o násobení konstantou (h i N jsou předem známá čísla, výraz $e^{jh\frac{2\pi}{N}}$ je předem známé komplexní číslo).



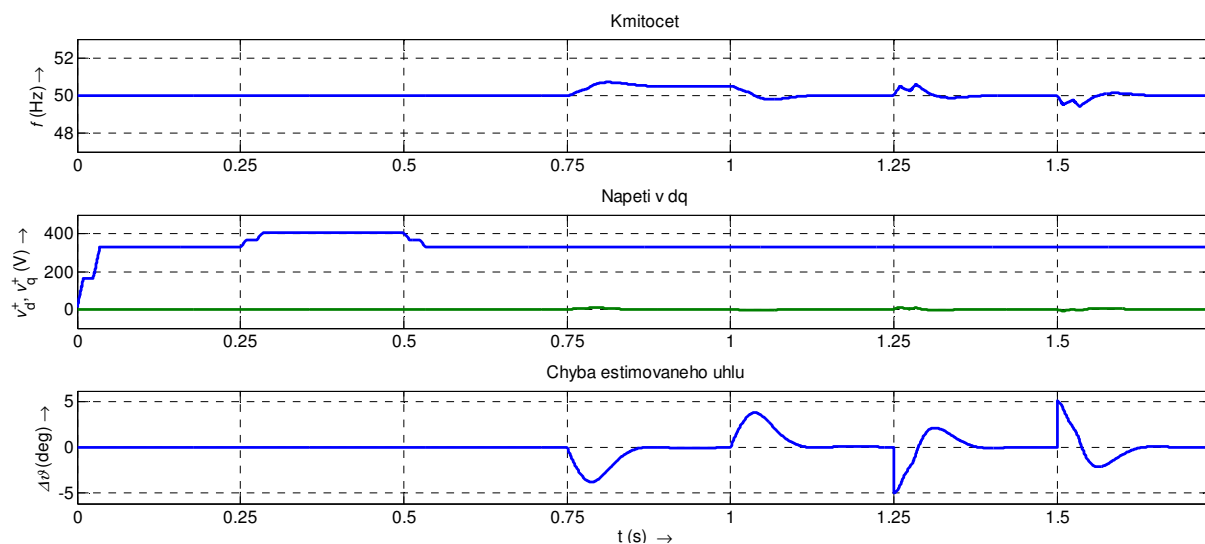
Obr. 3.15 Přenosová charakteristika několika běžných CDSC

Zajímavou modifikací též bylo použití bloku pro jinou harmonickou [20], než je harmonická uvažovaná (zde to je konkrétně sedmá harmonická), čímž se zkrátí zpoždění, ale přenos kaskády DSC pro požadovanou harmonickou potom není jednotkový. Výsledný signál se následně koriguje tak, aby přenos pro základní harmonickou byl jednotkový a ve fázi (násobením korekčním činitelem a otočením). Dosáhne se tak potlačení požadovaného spektra harmonických s menším zpožděním zaneseným do regulační smyčky. Tím však vznikne situace, že přenos pro některé složky je vyšší než jedna a tedy jiné složky mohou být naopak zesílené (oproti běžnému použití DSC, při kterém přenos žádné složky není větší než 1). V [20] to však tolik nevádí, protože tam se DSC používá pouze jako filtr sedmé harmonické, nikoliv zdroj signálu pro korekční blok.

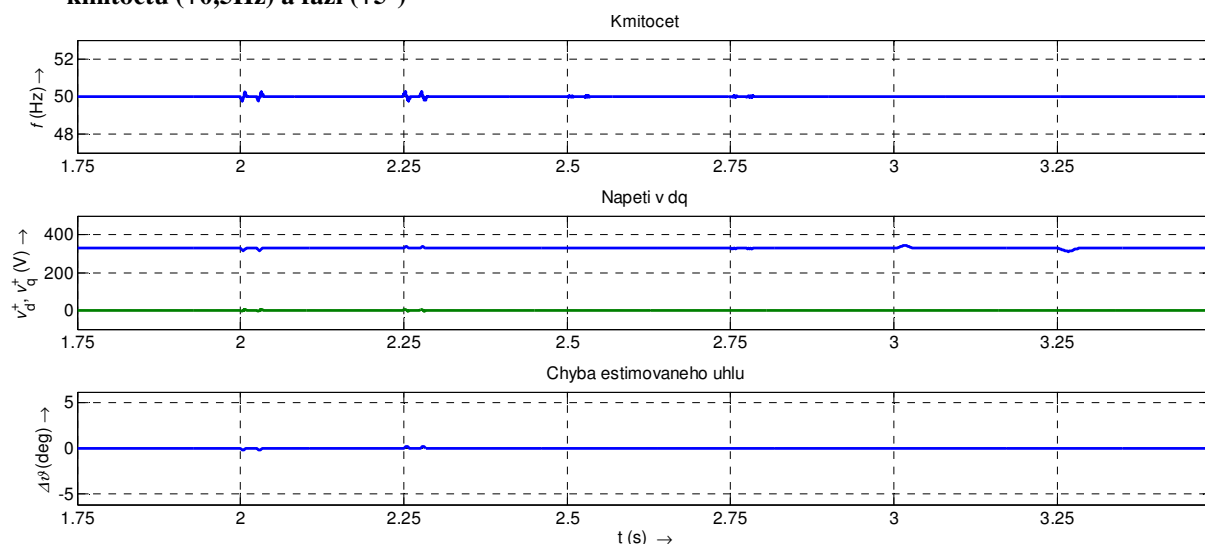
V [29] navrhuje autor použití DSC bez vazby na kmitočet, vzniklou chybu amplitudy a fáze kompenzuje přidáním korekčních členů. Díky tomu není nutné implementovat proměnné zpoždění a dojde ke zjednodušení implementace.

Daleko zajímavější modifikací z poslední doby je použití předstihového členu, který do jisté míry kompenzuje zpoždění bloků DSC. Složky, které měly nulový přenos, ho mají nadále. V literatuře se vyskytly dva způsoby. Jedním z nich je použití regulátoru typu PID namísto obvyklejšího PI [21], druhým je zařazení inverzního přenosu bloku s nejdelším zpožděním [32].

Jednou z nejnovějších modifikací publikovanou ve [35] je systém, který používá DSC[2, 4, 8, 16, 32] s tím, že pro zlepšení dynamiky nahrazuje blok DSC[2] (tj. blok s největším zpožděním), blokem pro potlačení offsetu (stejnoseměrné složky), není-li detekována přítomnost sudých harmonických.



Obr. 3.16 Odezva SRF-PLL s pěti články DSC ($N = 4; 8; 16; 32$ a $0,8$) na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



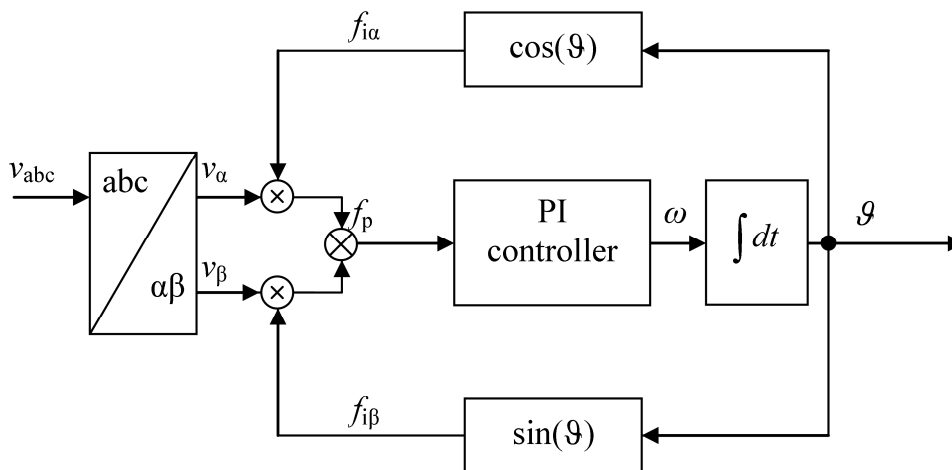
Obr. 3.17 Odezva SRF-PLL s CDSC na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Je vidět, že následkem zvětšení počtu článků došlo k prodloužení doby ustálení. Největší vliv má článek se zpožděním $\frac{1}{0,8} = 1,2$ periody, který byl přidán pro demonstraci potlačení subharmonické 20 Hz. Je vidět výrazný vliv tohoto článku v odezvě na změnu amplitudy (schod) i v ostatních odezvách. Je vidět, že subharmonická v napětí v_{dq} je v ustáleném stavu potlačena.

Oproti DSC se výrazně zlepšil přechodný děj při připnutí páté harmonické i zpětné složky.

3.2.5. PLL založený na součinu vektorů

Tato technika (Obr. 3.18 popsána v [3]) vychází z jednofázového PLL, který jako fázového komparátoru využívá součin vstupního a generovaného referenčního signálu. Pokud jsou signály posunuté o 90° , je výsledek (ve střední hodnotě) nula, což je využito dále pro korekční člen (regulátor a zároveň filtr kmitavé složky). Takto funguje jednofázový systém. Jeho rozšíření na trojfázový systém se provede tak, že signály ve stacionární soustavě (abc nebo $\alpha\beta$) se vyjádří jako vektory a provádí se jejich skalární součin. Logika potom platí úplně stejná, ba co víc, získaný součin je nulový v každém okamžiku, nejen ve střední hodnotě.



Obr. 3.18 Trojfázový PLL založený na součinu

Složky vstupního napětí $\alpha\beta$ jsou vynásobeny funkcemi $\sin\vartheta$ a $\cos\vartheta$ označenými $f_{i\alpha}$ a $f_{i\beta}$ získanými na základě estimované fáze ϑ . Získaný signál f_p je použitý jako regulační odchylka pro PI regulátor kmitočtu.

Práce [3] poukazuje na to, že rovnice (3.20), která popisuje činnost této metody, rozepsaná případně do rovnice (3.21), připomíná definici činného a jalového výkonu tak, jak ji zavedl Akagi 1984 [4]

$$v_d(t) = v_1(t) \cdot v_2(t)^* = V_1 V_2 e^{j(\omega_1 - \omega_2)t} e^{j(\vartheta_1 - \vartheta_2)} \quad (3.20)$$

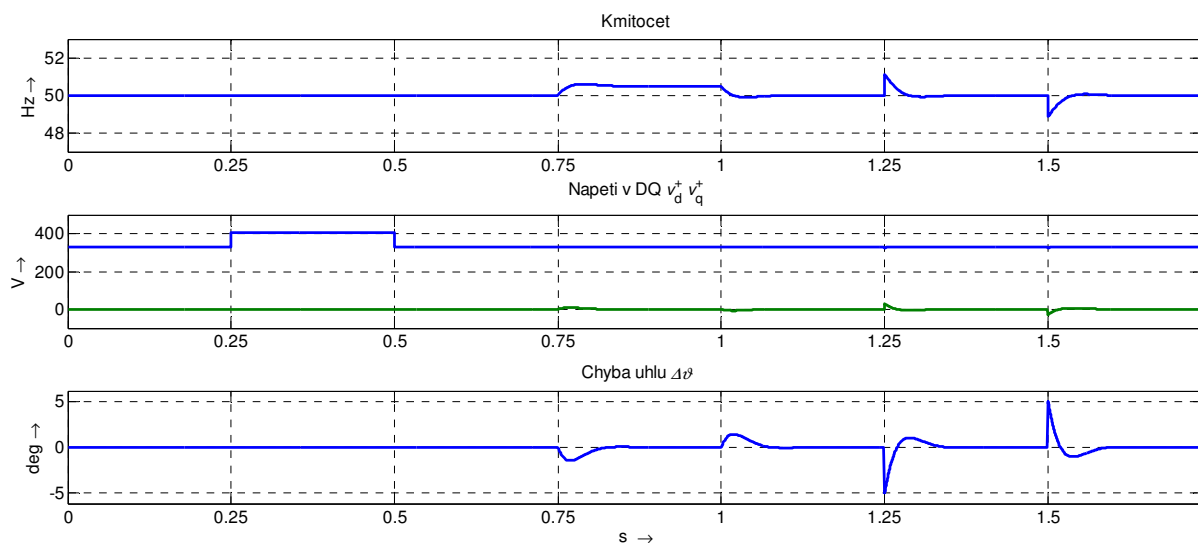
kde hvězdička (*) označuje komplexně sdružené číslo. Alternativně lze vztah vyjádřit ve složkách

$$v_d(t) = (v_{1\alpha} v_{2\alpha} + v_{1\beta} v_{2\beta}) + j(v_{1\beta} v_{2\alpha} - v_{1\alpha} v_{2\beta}) \quad (3.21)$$

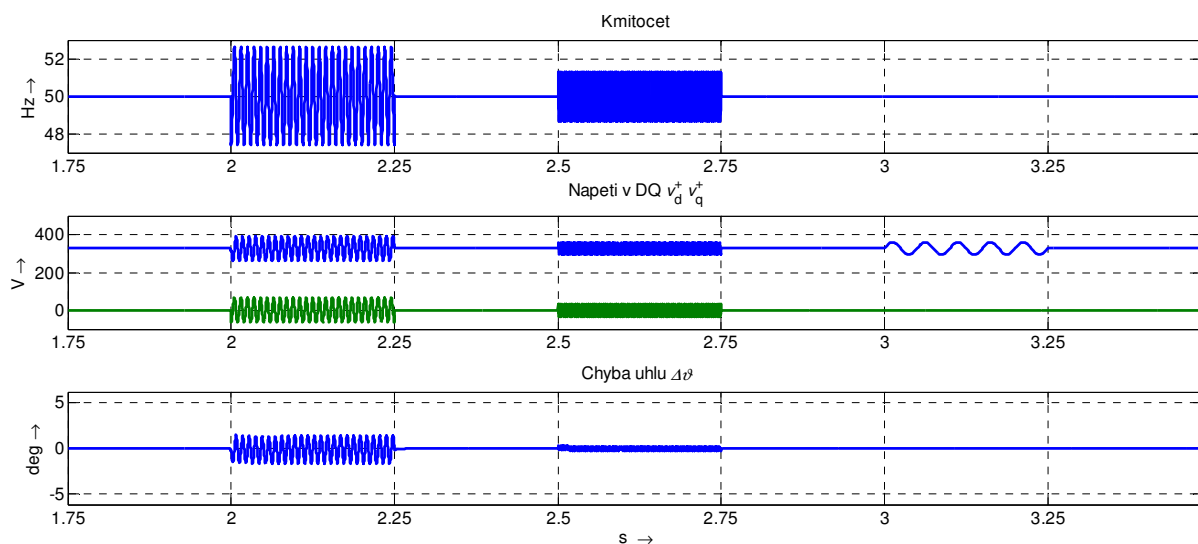
Z (3.21) je evidentní že reálná a imaginární složka vztahu pro $v_d(t)$ má stejnou podobu jako složky výkonu p a q podle Akagiho teorie okamžitých výkonů (IRP – Instantaneous Reactive Power theory) [4]. Samozřejmě za předpokladu, že by signály nepředstavovaly dvě napětí, ale napětí a proud. Některé práce, včetně [3], nazývají tento typ PLL jako PLL využívající PQ teorii. Jindy bývá metoda označována rozličnými názvy, například vektorově orientovaný PLL, stationary frame PLL, $\alpha\beta$ -PLL, apod.

Pro detekci fáze je možné potom nulovat buďto reálnou, nebo imaginární složku získaného součinu (první nebo druhý člen (3.21)). Tím vznikne buďto q-PLL nebo p-PLL, jejichž funkce je až na fázový posun estimovaného úhlu o 90° ($\pi/2$) totožná.

Tato metoda poskytuje shodné výsledky jako základní metoda SRF-PLL. Poskytuje pouze jiný pohled na daný problém, který může být vhodnější v jiných situacích. Trpí však také stejnými neduhy a proto se vyskytují různé modifikace. Rozšíření metody i na zpětnou složku je v [19]. Rozšíření pro detekci harmonických, které používá odvazbovací síť podobnou té, kterou používal DDSRF-PLL, představuje práce [34].



Obr. 3.19 Odezva PQ-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.20 Odezva PQ-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Jak již bylo uvedeno v předchozím textu, jedná se o jinak uspořádanou základní techniku bez nějakých zvláštních vlastností. Odezvy této metody jsou tedy zcela stejné jako odezvy základního SRF-PLL uvedené na Obr. 3.5 a Obr. 3.6.

3.2.6. SMT-SRF-PLL Simple Mathematical Transformations for cancel some harmonics

Jedna z dalších metod, která vylepšuje funkci klasického SRF-PLL, byla popsána v [6], [7]. Tato metoda využívá transformací do symetrických složek [5] a jejich rozdílný dopad na harmonické složení signálů v systému SRF-PLL. S použitím transformací podle [5] do sousledné a zpětné soustavy je možné obdržet souslednou a zpětnou složku nesymetrické trojfázové soustavy napětí. Praktická realizace těchto transformací je možná například dvěma rozdílnými způsoby, prezentovanými v [6]. Tyto dva způsoby, lišící se realizací otočení o 120° dávají shodné výsledky pro základní harmonickou složku, ale jejich vliv na různé (ostatní) harmonické (tedy vedlejší efekt) je rozdílný. Jde tedy o podobnou myšlenku, jakou využívají (již výše zmíněné) metody DSC a CDSC. Použité rovnice transformací jsou

$$\begin{bmatrix} s_a^- \\ s_b^- \\ s_c^- \end{bmatrix} = -\frac{1}{3} \left(\mathbf{A}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{A}_2 \begin{bmatrix} s_{a60} \\ s_{b60} \\ s_{c60} \end{bmatrix} + \mathbf{A}_3 \begin{bmatrix} s_{a-60} \\ s_{b-60} \\ s_{c-60} \end{bmatrix} \right) \quad (3.22)$$

$$\begin{bmatrix} s_a^- \\ s_b^- \\ s_c^- \end{bmatrix} = \frac{1}{3} \left(-\mathbf{B}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{B}_2 \begin{bmatrix} s_{a-90} \\ s_{b-90} \\ s_{c-90} \end{bmatrix} \right) \quad (3.23)$$

$$\begin{bmatrix} s_a^+ \\ s_b^+ \\ s_c^+ \end{bmatrix} = -\frac{1}{3} \left(\mathbf{C}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{C}_2 \begin{bmatrix} s_{a-60} \\ s_{b-60} \\ s_{c-60} \end{bmatrix} + \mathbf{C}_3 \begin{bmatrix} s_{a60} \\ s_{b60} \\ s_{c60} \end{bmatrix} \right) \quad (3.24)$$

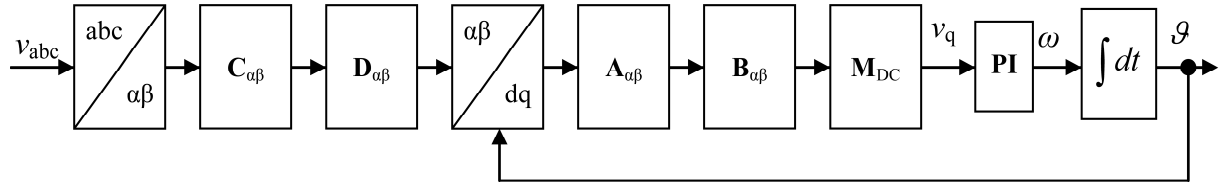
$$\begin{bmatrix} s_a^+ \\ s_b^+ \\ s_c^+ \end{bmatrix} = \frac{1}{3} \left(-\mathbf{D}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{D}_2 \begin{bmatrix} s_{a90} \\ s_{b90} \\ s_{c90} \end{bmatrix} \right) \quad (3.25)$$

kde matice jsou

$$\begin{aligned} \mathbf{A}_1 = \mathbf{C}_1 &= \begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix} & \mathbf{A}_2 = \mathbf{C}_2 &= \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix} & \mathbf{A}_3 = \mathbf{C}_3 &= \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \\ \mathbf{B}_1 = \mathbf{D}_1 &= \begin{bmatrix} -1 & \frac{1}{2} & \frac{1}{2} \\ \frac{1}{2} & -1 & \frac{1}{2} \\ \frac{1}{2} & \frac{1}{2} & -1 \end{bmatrix} & \mathbf{B}_2 = \mathbf{D}_2 &= \begin{bmatrix} 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ -\frac{\sqrt{3}}{2} & 0 & \frac{\sqrt{3}}{2} \\ \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} & 0 \end{bmatrix} \end{aligned} \quad (3.26)$$

Ačkoliv v originálních rovnicích [5] jsou posuny úhlové, jsou při realizaci nahrazeny posuny časovými. Indexy 60 a 90 vyjadřují signály předbíhající původní signál o 60 nebo 90 stupňů, záporné indexy vyjadřují zpoždění, čímž je dosaženo daného efektu. Protože předbíhání signálu je nerealizovatelné, nahrazuje tato technika předstih vhodným zpožděním signálu, případně i se změnou znaménka. Předstih o 60° je realizovaný jako zpoždění o 120° a násobení -1 . Předstih o 90° je realizovatelný jako zpoždění o 90° opět s násobením -1 .

Zařazení těchto bloků, tj. bloků, které odpovídají rovnicím (3.22) - (3.25), do obvodu SRF-PLL ukazuje Obr. 3.21. (Bloky jsou označené písmeny A-D podle označení použitých matic.)



Obr. 3.21 Blokové schéma PLL s využitím matematických transformací

Signál nejprve projde bloky C a D, čímž dojde k potlačení většiny lichých harmonických. Poté se transformuje do synchronní soustavy a projde bloky A a B⁶. Tím opět dojde k potlačení převážné části lichých harmonických, tentokrát v synchronní soustavě. Protože transformace do synchronní soustavy snižuje řád harmonických o jednu, stanou se liché harmonické sudými a naopak. Tímto je dosaženo potlačení i sudých harmonických složek. Rovnice (3.22) a (3.23) transformované do soustavy $\alpha\beta$ mají tvar

$$\begin{bmatrix} s_d^A \\ s_q^A \end{bmatrix} = \frac{1}{3} \mathbf{A}_{1dq} \begin{bmatrix} s_d \\ s_q \end{bmatrix} + \frac{1}{6} \mathbf{A}_{2dq} \begin{bmatrix} s_{d60} \\ s_{q60} \end{bmatrix} + \frac{1}{6} \mathbf{A}_{3dq} \begin{bmatrix} s_{d-60} \\ s_{q-60} \end{bmatrix} \quad (3.27)$$

$$\begin{bmatrix} s_d^B \\ s_q^B \end{bmatrix} = \frac{1}{2} \left(-\mathbf{B}_{1dq} \begin{bmatrix} s_d \\ s_q \end{bmatrix} + \mathbf{B}_{2dq} \begin{bmatrix} s_{d-90} \\ s_{q-90} \end{bmatrix} \right) \quad (3.28)$$

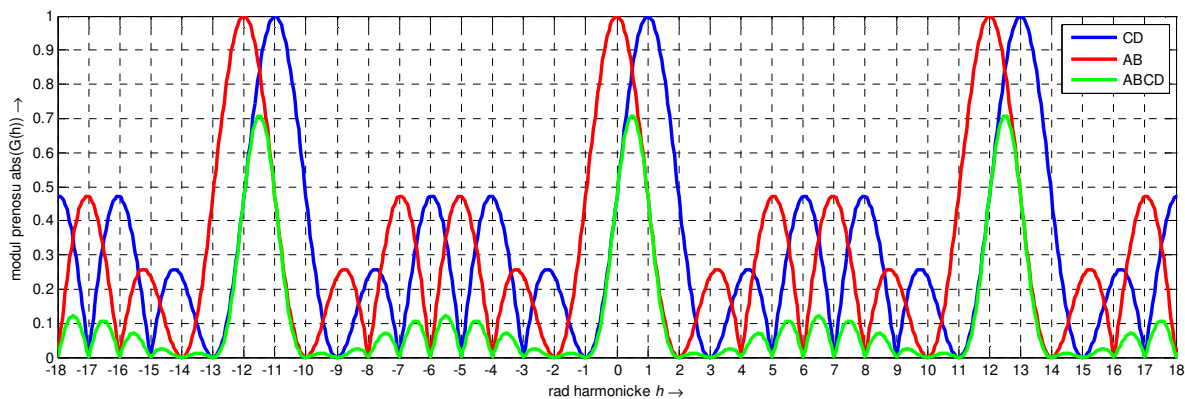
kde matice

$$\mathbf{A}_{1dq} = \mathbf{B}_{1dq} = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \quad \mathbf{A}_{2dq} = \begin{bmatrix} 1 & -\sqrt{3} \\ \sqrt{3} & 1 \end{bmatrix} \quad \mathbf{A}_{3dq} = \begin{bmatrix} 1 & \sqrt{3} \\ -\sqrt{3} & 1 \end{bmatrix} \\ \mathbf{B}_{2dq} = \begin{bmatrix} 0 & 1 \\ -1 & 0 \end{bmatrix} \quad (3.29)$$

Přenos stejnosměrné složky, která v dq představuje základní harmonickou, přes bloky AB není jednotkový a musí se korigovat použitím bloku M_{DC} . Tento blok upraví amplitudu a fázi získaného signálu tak, aby základní harmonická byla přenesena nezměněná. Činnost bloku popisuje rovnice (3.30), která představuje otočení získaného vektoru o 105° a korekci jeho velikosti.

$$\mathbf{M}_{DC} = \frac{3}{4} \begin{bmatrix} 1-\sqrt{3} & -1-\sqrt{3} \\ 1+\sqrt{3} & 1-\sqrt{3} \end{bmatrix} \quad (3.30)$$

⁶ Bloky $A_{\alpha\beta}$ a $B_{\alpha\beta}$ jsou použité po transformaci matic \mathbf{A} a \mathbf{B} do soustavy $\alpha\beta$ na signál v soustavě dq.

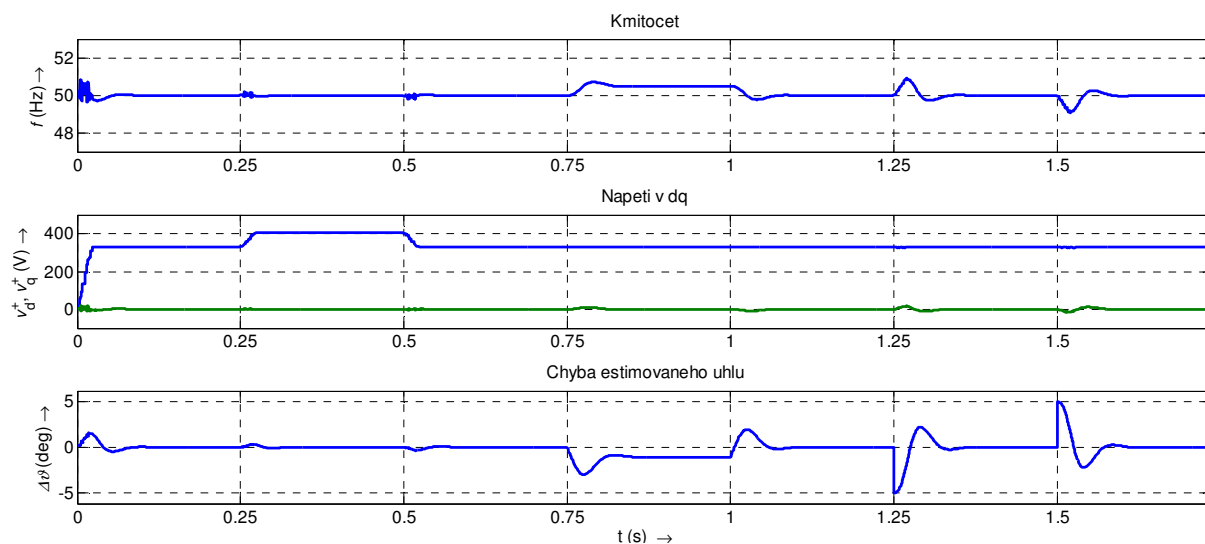


Obr. 3.22 Přenos signálu přes bloky CD (modře) a přes bloky AB (červeně) v závislosti na řádu harmonické. Výsledný přenos je zobrazen zeleně. Měřítko harmonických odpovídá stacionární soustavě. Není zohledněn vliv korekčního bloku M_{DC} ; tento blok zvětší velikost zelené křivky celkového přenosu tak, že pro základní harmonickou je jednotkový

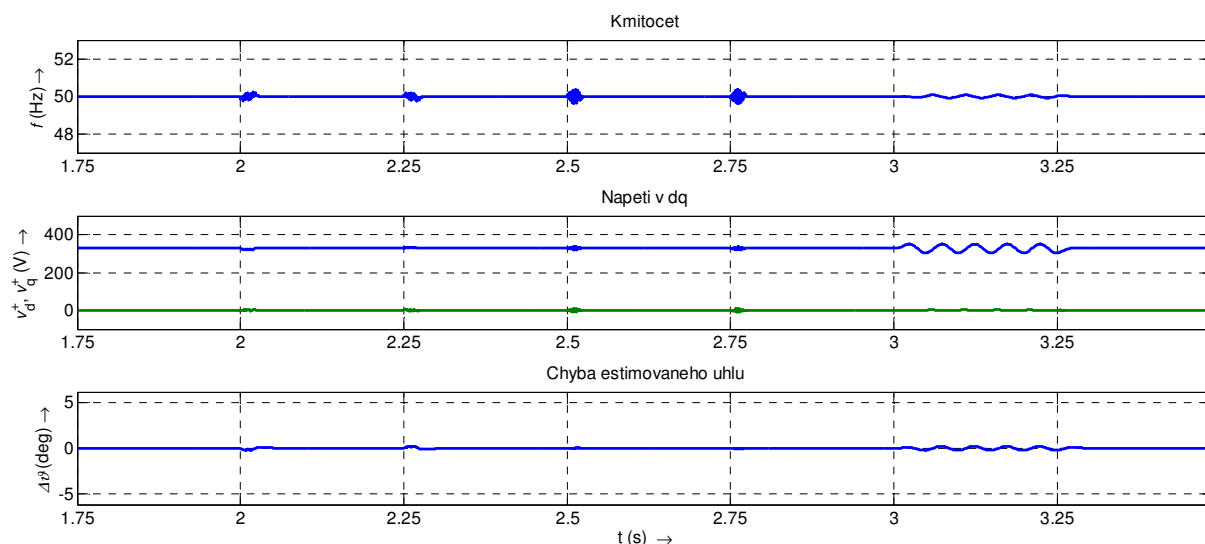
Obr. 3.22 ukazuje přenosy obou dvojic bloků (AB a CD) a výsledek bez zohlednění operace M_{DC} . Přenosová charakteristika kaskády bloků A a B je posunutá s ohledem na její aplikaci v souřadném systému dq. Zelený graf ukazuje celkový přenos. Většina harmonických složek je potlačena, interharmonické jsou utlumené, ale subharmonické jsou zdůrazněné, nejvíce subharmonická o polovičním kmitočtu.

Hlavní nevýhodou této metody je, že jedenáctá negativní a třináctá pozitivní harmonická projde bez jakéhokoliv útlumu, stejně jako všechny další harmonické řádů $12n+1$. Tyto harmonické není možné potlačit žádnou úpravou tohoto algoritmu. Složitost této metody je navíc srovnatelná s CDSC (v zásadě i tato metoda využívá potlačení pomocí zpoždění, což je zde pouze jinak napsané). Chybí ale modularita a přizpůsobitelnost, charakterizující metodu CDSC. Další nevýhodou je nutnost korekce přenosu za bloky AB. Tato korekce způsobí, že pro některé kmitočty je celkový přenos vyšší než 1, což by mohlo vést k nestabilitám. Přitom výpočetní náročnost metody je srovnatelná s dříve popsáním CDSC se čtyřmi bloky se zpožděními 4,8,16,32 (realizace je ještě o něco složitější⁷). To je hlavní důvod, proč jsem provedl pouze základní simulace a dále se touto metodou příliš nezabýval. Přesto jsou pro úplnost předloženy simulační výsledky i pro tuto metodu.

⁷ Zatímco při implementaci CDSC stačí definovat (tj. naprogramovat) blok DSC[N] a použít jej vícekrát s různými parametry, zde je nutné definovat čtyři rozdílné bloky a navíc korekci M_{DC} .



Obr. 3.23 Odezva SRF-SMT-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.24 Odezva SRF-SMT-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Zde stojí za zmínku vliv subharmonické 20 Hz (25 Hz by mělo mít ještě větší dopad)

Při změně kmitočtu je odchylka fáze kolem 1°, která je dána použitím celočíselného zpoždění o zaokrouhlený počet vzorků.

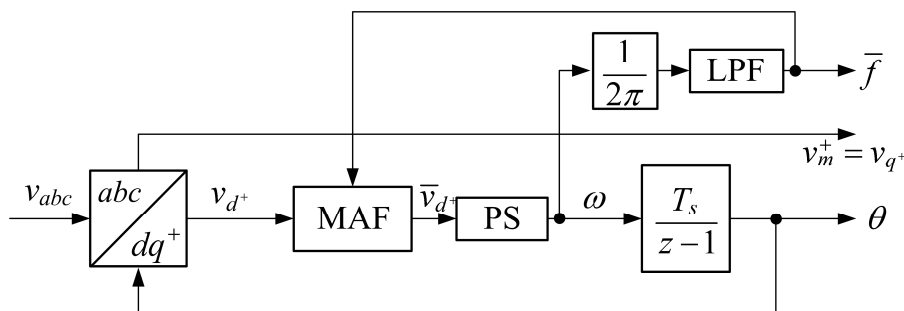
Pátá harmonická ani zpětná složka podle očekávání nepůsobí této technice problém.

3.2.7. SRF-PLL s plovoucí střední hodnotou MAF

Metoda vychází z faktu, že integrál periodického sinusového signálu přes celistvý násobek period je nula. Blokové schéma této metody zobrazuje Obr. 3.25. Zařazením MAF (Moving Average Filter) do synchronní soustavy dq lze získat synchronní složky očištěné od harmonických složek. Pokud by se počítala střední hodnota za více period, lze tak potlačit i subharmonické a teoreticky při volbě vhodného intervalu interharmonické.

Kmitočet ω zavedený do průměrovacího bloku slouží pro výpočet integračního intervalu. LPF zabraňuje rychlým změnám kmitočtu, které by svými důsledky (příliš rychlé změny integračního intervalu) značně narušily funkci. Výstupní kmitočet může být odebírán i před tímto blokem, pro výpočet délky průměrovacího intervalu je ale nutné použít kmitočet filtrovaný.

Blok pro získání plovoucí střední hodnoty zde působí jako FIR (Finite Impulse Response) filtr. Tento filtr vnáší do výpočtu zpoždění, které má stejné důsledky jako zpoždění u metody CDSC a svojí velikostí je srovnatelné se zpožděním běžně používaného CDSC4 [2 4 8 16] (které představuje $15/16$ periody).

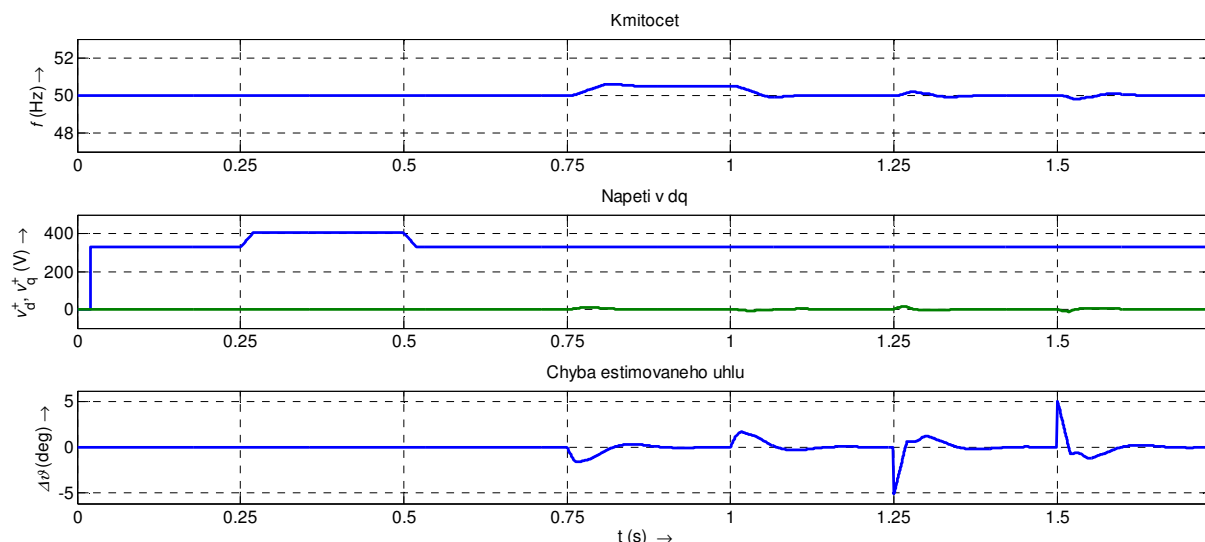


Obr. 3.25 Blokové schéma MAF-PLL

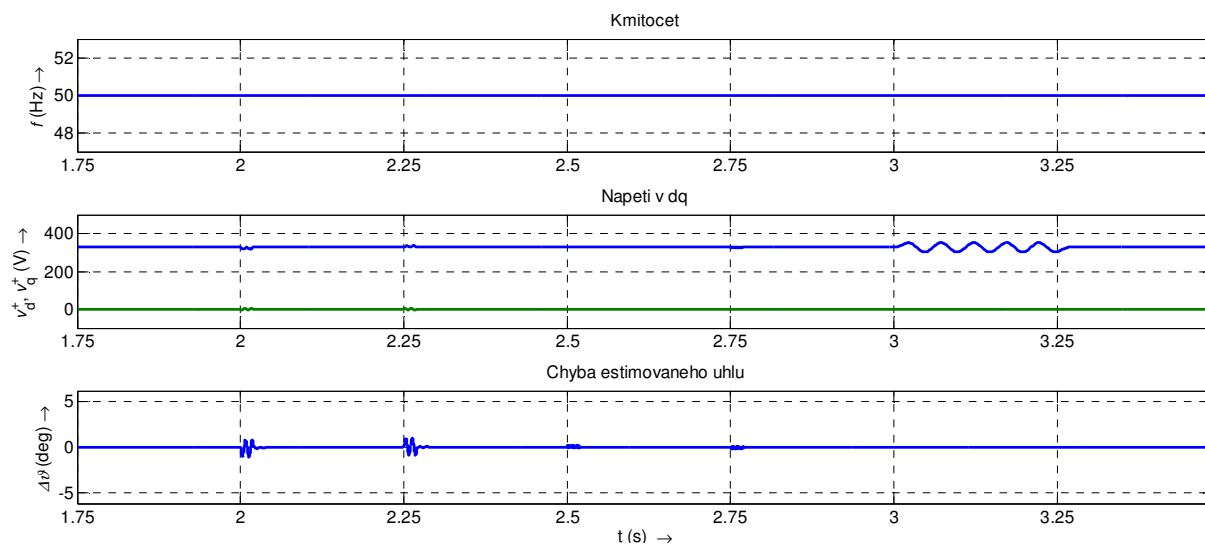
Hlavní výhodou tohoto algoritmu je jeho relativní jednoduchost. Jediným problémem může být potřeba zpožďovací linky (tedy dostatečného paměťového prostoru pro buffer na nejméně jednu periodu), což ale při digitální implementaci (a poměrně nízkých vzorkovacích kmitočtech a velikosti dnešních pamětí) bývá jednoduché.

Určitá komplikace, podobně jako v ostatních algoritmech, kde se používá zpoždění, nastává s necelým podílem T_s/T . Vzhledem k tomu, že požadované zpoždění je celá perioda, je situace o něco příznivější, protože velikost případné chyby je relativně menší.

Tento algoritmus je také obsažen v knihovně Simpowersystems prostředí Simulink/Matlab a v literatuře je poslední dobou (snad i proto) celkem podrobně rozebrán. O aktuálnosti této zdánlivě jednoduché techniky svědčí i to, že několik článků z poslední doby se zabývá právě touto technikou. Například v [18], kde je ukázán jeho vliv nejen na harmonické, ale i na ostatní složky, a hlavně je rozebrán vliv implementace zpoždění o necelý počet vzorků (je uvažováno více variant, například interpolace nebo zaokrouhlení k nižšímu nebo vyššímu celému číslu). V [21] byl představen matematický rozbor a také porovnání s CDSC. Zrychlení odezvy kompenzací zpoždění pomocí inverzního přenosu, bylo představeno v [33].



Obr. 3.26 Odezva SRF-PLL s MAF na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.27 Odezva SRF-PLL s MAF na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Skok amplitudy činnost nenaruší. Nová hodnota napětí se po pozvolném nárůstu plně objeví na výstupu až se zpožděním T_w . Odezvy na skok kmitočtu i skok fáze jsou relativně pomalé. Hlavním důvodem je umístění zpoždovacího bloku uvnitř regulační smyčky.

Zpětná složka i harmonické jsou úplně potlačené s výjimkou přechodného děje, který trvá jednu periodu (tj. po dobu integračního okna). Subharmonická funkci neovlivní.

3.3. Metody založené na SOGI-FLL

Základní nevýhodou technik založených na PLL je to, že odezva na všechny přechodné děje se odehrává prostřednictvím (většinou dočasně) změny estimovaného kmitočtu ω . Přitom kmitočet je v síti relativně stabilní veličinou, protože je držen velkými setrvačnými hmotami generátorů. Při naprosté většině přechodných dějů tak ke změně kmitočtu nedochází. Nejnepříznivějším případem je v tomto případě skok fáze vektoru napětí. Skok fáze představuje teoreticky nekonečnou změnu kmitočtu po nekonečně krátkou dobu. Prakticky, viděno diskrétním regulátorem, je to změna o velikosti

$$\Delta\omega = \frac{\Delta\vartheta}{T_s} \quad \left[\text{rad/s}; \text{rad, s} \right] \quad (3.31)$$

Vyjádřeno v praktických jednotkách

$$\Delta f = \frac{\Delta\vartheta}{360 \cdot T_s} \quad \left[\text{Hz}; ^\circ, \text{s} \right] \quad (3.32)$$

mezi dvěma po sobě následujícími vzorky.

Tato změna kmitočtu, i kdyby byla detekována fázovým detektorem, narazí na omezení regulátoru. Ve skutečnosti se v závislosti na nastavení regulátoru a dalších členů tento impuls rozloží v čase tak, aby se dosáhlo shody skutečné a estimované fáze. Nicméně identifikace kmitočtu při skoku fáze vektoru napětí sítě není u těchto PLL algoritmů ve shodě s realitou. Tím může být nepříznivě ovlivněna funkce dalších bloků řídicího systému měniče, které signál estimovaného kmitočtu využívají (například bloky od vazbení vektorové regulace složek vektoru proudu v synchronně rotující souřadné soustavě).

Právě tato vazba kmitočtu a fáze ve většině publikovaných algoritmů PLL je to, co dělá problém při všech přechodných dějích, ale zejména právě přechodném ději, při kterém dochází ke skoku fáze vektoru síťového napětí. Částečnou kompenzaci představují modifikace PLL zveřejněné v [24] a [25], které na nezbytný okamžik tuto vazbu rozpojují.

Snaha nalézt algoritmy, které nebudou trpět touto nepříjemnou vlastností, dala vzniknout skupině algoritmů založených na použití kmitočtových filtrů. Nejrozšířenějším zástupcem této skupiny jsou algoritmy využívající filtrační blok SOGI [17], [26], [31]. Méně časté je použití jiných typů filtrů (jako ANF aj. [22], [23]). V této práci se zaměřím pouze na SOGI.

V literatuře se vyskytlo množství modifikací technik využívajících SOGI, zaměřených na různá vylepšení. Algoritmus založený na SOGI je vhodný pro jednofázový signál. Pro detekci souměrných složek trojfázového napětí (sousedné a zpětné) byl vytvořen algoritmus DSOGI [17], který lze pro trojfázovou napěťovou soustavu považovat za základní. Pro detekci nejen základní harmonické, ale i některých dalších (vybraných) harmonických byl vybudován systém MSOGI [26], který obsahuje více SOGI naladěných na rozdílné kmitočty a od vazbovací síť těchto složek navzájem. Dále bylo představeno kaskádní řazení bloků SOGI, za účelem zrychlení odezvy na přechodné děje v základní harmonické při zachování vysokého tlumení pro ostatní kmitočty [15]. Tyto dva parametry jsou normálně protichůdné a je potřeba volit kompromis mezi rychlou odezvou a potlačením harmonických.

3.3.1. SOGI

Blok SOGI-QSG, využívající SOGI (Second Order Generalized Integrator), Obr. 3.28 představuje laditelnou pásmovou propust druhého řádu.

Vstup ω' určuje rezonanční kmitočet, pro který je signál přenášen beze změny (se zachováním amplitudy i fáze), tlumení je dané velikostí činitele $k=2\zeta$. Činitel tlumení určuje šířku pásma pásmové propusti $D(s)$ a také ovlivňuje vlastnosti LPF $Q(s)$. Obvyklá hodnota k , doporučená v literatuře, je $k = \sqrt{2}$ respektive $\zeta = \frac{\sqrt{2}}{2}$. To představuje kompromis mezi překmitem a dobou ustálení.

Tento blok má dva výstupy: výstup v' , na kterém generuje signál ve fázi se vstupním signálem a qv' na kterém je signál o 90° zpožděný. Rovnice (3.33) přenosy SOGI ze vstupu v na výstupy v' a qv' . První rovnice je rovnicí pásmové propusti, druhá je rovnicí dolnopropustného filtru.

$$D(s) = \frac{v'(s)}{v(s)} = \frac{k\omega' s}{s^2 + k\omega' s + \omega'^2} \quad (3.33)$$

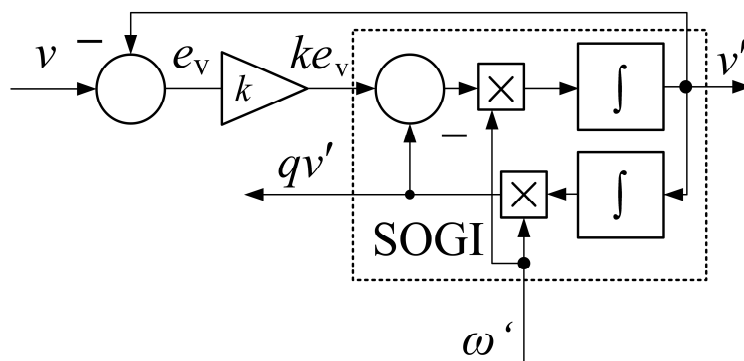
$$Q(s) = \frac{qv'(s)}{v(s)} = \frac{k\omega'^2}{s^2 + k\omega' s + \omega'^2}$$

Signály na výstupech jsou vzájemně posunuté o 90° . Celá soustava z Obr. 3.28 se proto také označuje jako SOGI-QSG (in Quadrature Signal Generator), pro přehlednost budu dále používat zkratku SOGI pro celou soustavu SOGI-QSG, jak se to také v literatuře obvykle dělá.

Protože časová konstanta SOGI je $\tau = \frac{2}{k\omega'}$, lze orientačně psát pro dobu odezvy (settling time) na skok při uvažovaném ustálení za 4,6 časové konstanty

$$t = \frac{9,2}{k\omega'} \quad (3.34)$$

Stojí za povšimnutí, že pro běžně doporučenou hodnotu tlumení (kompromis mezi překmitem a dobou odezvy) $\zeta = \frac{\sqrt{2}}{2}$ a úhlový kmitočet $\omega = 2\pi 50$, vychází tento čas přibližně 20 ms.



Obr. 3.28 Blokové schéma adaptivního filtru využívajícího SOGI

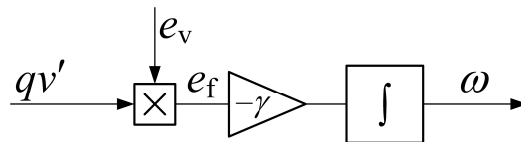
3.3.2. Blok pro estimaci kmitočtu FLL

Protože SOGI představuje kmitočtový filtr s poměrně úzkým propustným pásmem a kmitočet zdroje signálu (tj. sítě) je obecně proměnný, je vhodné doplnit uvedené schéma o článek FLL (Frequency Locked Loop), aby se dosáhlo přizpůsobení aktuálnímu kmitočtu, který může být odlišný od své střední (jmenovité) hodnoty.

Pro detekci správného kmitočtu je použitý signál e_v (vyznačený na Obr. 3.28) jehož přenos je

$$E(s) = \frac{e_v}{v}(s) = \frac{s^2 + \omega'^2}{s^2 + k\omega's + \omega'^2} \quad (3.35)$$

Přenosová funkce (3.35) ukazuje, že výstup e_v se chová jako pásmová zadrž druhého řádu s nulovým přenosem na centrálním (rezonančním) kmitočtu ω' . Důležité je, že fázový posun e_v oproti qv' se změní o 180° při změně z kmitočtu nižšího než ω' na vyšší a naopak. Pokud je kmitočet vstupního signálu ω nižší než ω' , je signál e_v ve fázi s qv' , pokud je kmitočet signálu vyšší než rezonanční kmitočet, je e_v v protifázi. Toho je využito při porovnávání skutečného a estimovaného kmitočtu blokem FLL. Blokové schéma FLL je na Obr. 3.29.



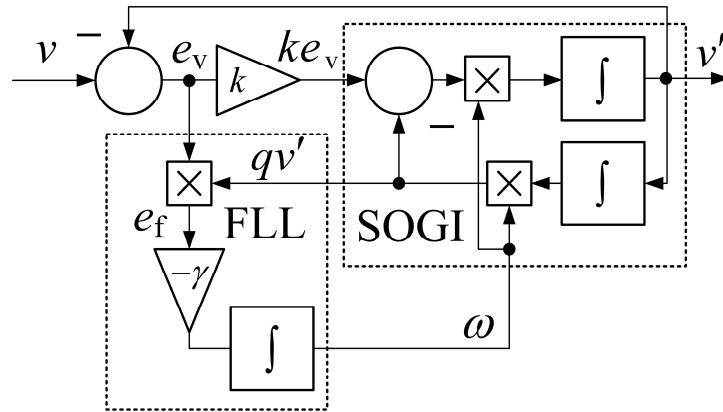
Obr. 3.29 Blokové schéma FLL

Pokud dáme do součinu tyto dva signály, bude v prvním případě (tj. $\omega < \omega'$) výsledek vždy kladný (signály budou mít v okamžité hodnotě stejné znaménko) ve druhém případě (tj. $\omega > \omega'$) záporný (do součinu se dostanou hodnoty opačného znaménka), při rovnosti $\omega = \omega'$ bude součin nulový. Tento součin je po vynásobení $-\gamma$ použitý pro integraci. Konstanta γ upravuje citlivost bloku FLL (záporné znaménko dává do souladu požadovaný smysl odezvy, zajišťuje zápornou zpětnou vazbu).

3.3.3. SOGI-FLL

Bloky SOGI a FLL dohromady tvoří strukturu označovanou obvykle jako SOGI-FLL. Blokové schéma ukazuje Obr. 3.30.

Blok FLL upravuje propustný kmitočet SOGI tak, aby vrchol propustné charakteristiky SOGI odpovídal kmitočtu vstupního signálu. Citlivost (zesílení) γ bloku FLL se volí jako kompromis mezi rychlostí a stabilitou. Příliš citlivé FLL má za následek zbytečné rozladování SOGI následkem poruchových signálů (tj. zejména harmonických). Naopak nízká citlivost prodlužuje dobu potřebnou k ustálení po startu a po případné změně kmitočtu. Naštěstí kmitočet v síti se příliš nemění, takže je lépe volit gama spíše nižší. Za cenu zhoršené (prodloužené) odezvy na skok kmitočtu se dosáhne klidnější odezvy na ostatní poruchy.



Obr. 3.30 Blokové schéma SOGI-FLL

Z blokového schématu na Obr. 3.30 je zřejmé, že amplituda vstupního signálu ovlivňuje zdánlivou velikost zesílení γ (z hlubší analýzy například v [17] potom plyne, že také ω), proto se někdy FLL doplňuje o normalizaci γ s ohledem na změnu amplitudy. Normalizované γ se označuje Γ a je dáno

$$\Gamma = \frac{2V^2}{k\omega'} \gamma \quad (3.36)$$

Normalizované γ , tj. Γ tvoří převrácenou hodnotu časové konstanty přenosové funkce. Na základě toho je možné ze znalosti Γ určit přibližnou dobu odezvy (settling time), uvažujeme-li dobu ustálení rovnou $4,6\tau$

$$t \approx \frac{4,6}{\Gamma} \quad (3.37)$$

Její zkracováním se zkracuje doba potřebná pro odezvu FFL na změnu kmitočtu, zároveň se ale zvyšuje citlivost na rušivé složky.

Určitou nevýhodou tohoto algoritmu je, že poskytuje informaci o kmitočtu, nikoliv o fázi signálu a musí být doplněn o další blok pro estimaci okamžité fáze. Tento blok obvykle tvoří inverzní goniometrická funkce arctan. Taktéž je často potřeba vyjádřit amplitudu. Amplitudu a fázi signálu lze vyjádřit

$$|v'| = \sqrt{(v')^2 + (qv')^2} ; \angle v' = \vartheta = \arctan\left(\frac{qv'}{v'}\right) \quad (3.38)$$

Funkce arctan musí být použita ve čtyřkvadrantové implementaci (většinou je k dispozici jako knihovní funkce), případně klasický (tj. matematicky korektní) arctan musí být doplněn o detekci, jestli se hledaný úhel nenachází ve třetím a čtvrtém kvadrantu (neboť funkce tangens má periodu pouze π , úhly z intervalu $\langle \pi; 2\pi \rangle$ by se tak zobrazily zmenšené o π).

3.3.4. DSOGI-FLL

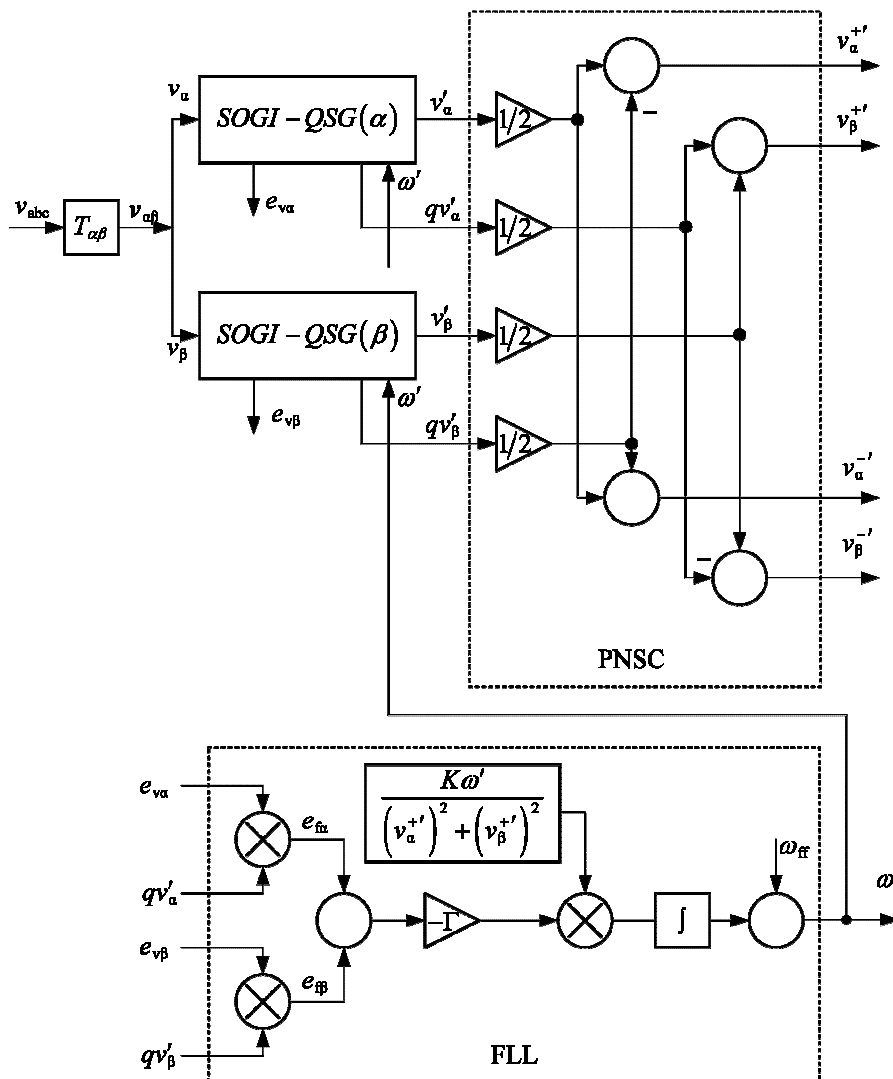
Algoritmus SOGI je přirozeně jednofázový. Jeho rozšíření na tři fáze je možné použitím tří nezávislých bloků odděleně pro každou ze tří fází. Toto řešení se objevuje spíše výjimečně, někdy se doporučuje pro značně zarušené sítě nebo pro jiné specifické použití.

Častěji používaným způsobem je aplikace tohoto algoritmu na každé z napětí v systému pravoúhlých os $\alpha\beta$; to dává také možnost oddělit souslednou a zpětnou složku pro další použití v regulaci PWM měniče (oddělená regulace proudu sousledné a zpětné složky [2]).

Takový systém je v literatuře označován jako DSOGI (Dual SOGI, nebo Double SOGI). Použití v této soustavě dává dvě dvojice signálů. Pro obě složky napětí obdržíme signál v' a qv' . Jejich vhodnou kombinací obdržíme separovanou souslednou a zpětnou složku. Detailní blokové schéma celého systému DSOGI-FLL je na Obr. 3.31. Na tomto obrázku je také zakreslená normalizace amplitudy, která byla zmíněna v předchozí kapitole.

Na napětí v pravoúhlé stacionární soustavě $\alpha\beta$ se aplikuje na každou složku zvlášť jeden blok SOGI-QSG. Tím vzniknou dvě dvojice signálů v_α qv_α a v_β qv_β . Kombinací těchto signálů podle rovnice (3.39) se získá sousledná a zpětná složka

$$\begin{aligned} v_{\alpha\beta}^+ &= \frac{1}{2}(v_\alpha^* - qv_\beta^* + j(qv_\alpha^* + v_\beta^*)) \\ v_{\alpha\beta}^- &= \frac{1}{2}(v_\alpha^* + qv_\beta^* + j(-qv_\alpha^* + v_\beta^*)) \end{aligned} \quad (3.39)$$



Obr. 3.31 Blokové schéma DSOGI-FLL

Teoreticky by bylo potřeba použít dva bloky FLL pro adaptaci kmitočtu každého SOGI zvlášť. Dá se ale předpokládat, že kmitočet všech tří fází, a tedy obou signálů v osách $\alpha\beta$ je shodný a stačí tak pouze jediný blok. Chybový signál pro blok FLL je získávaný jako aritmetický průměr chybových signálů obou bloků SOGI.

Funkci bloku FLL pro DSOGI popisuje rovnice

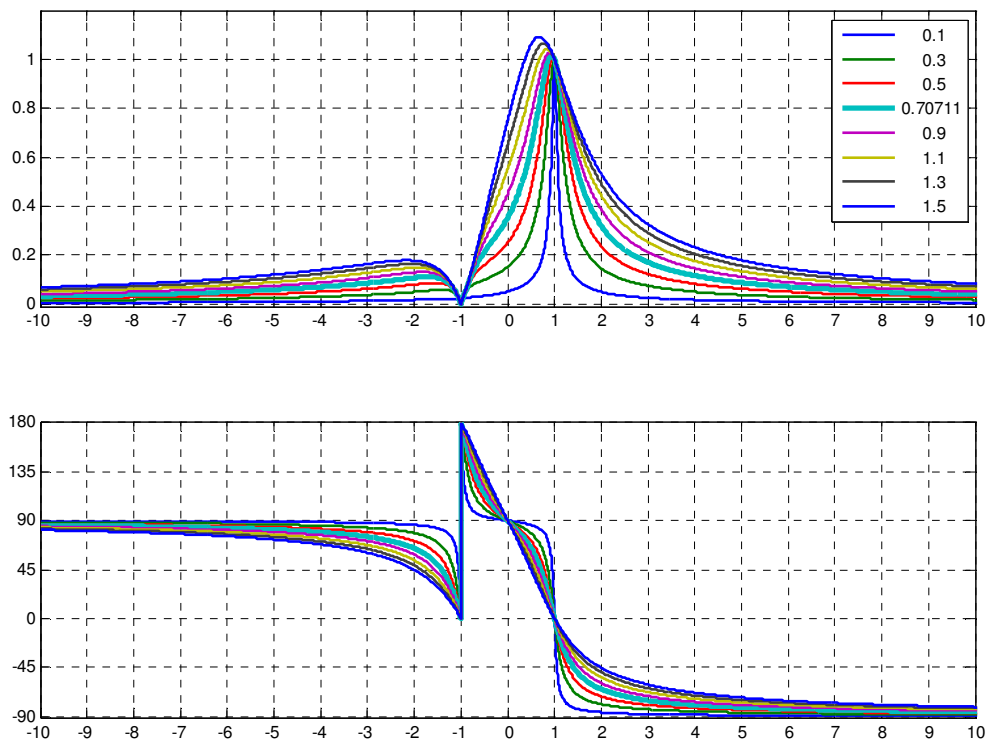
$$\omega = -\frac{1}{2} \gamma \int (e_\alpha \cdot qv'_\alpha + e_\beta \cdot qv'_\beta) dt \quad (3.40)$$

Přenos DSOGI ze vstupu na výstupy sousledné a zpětné složky je možné vyjádřit

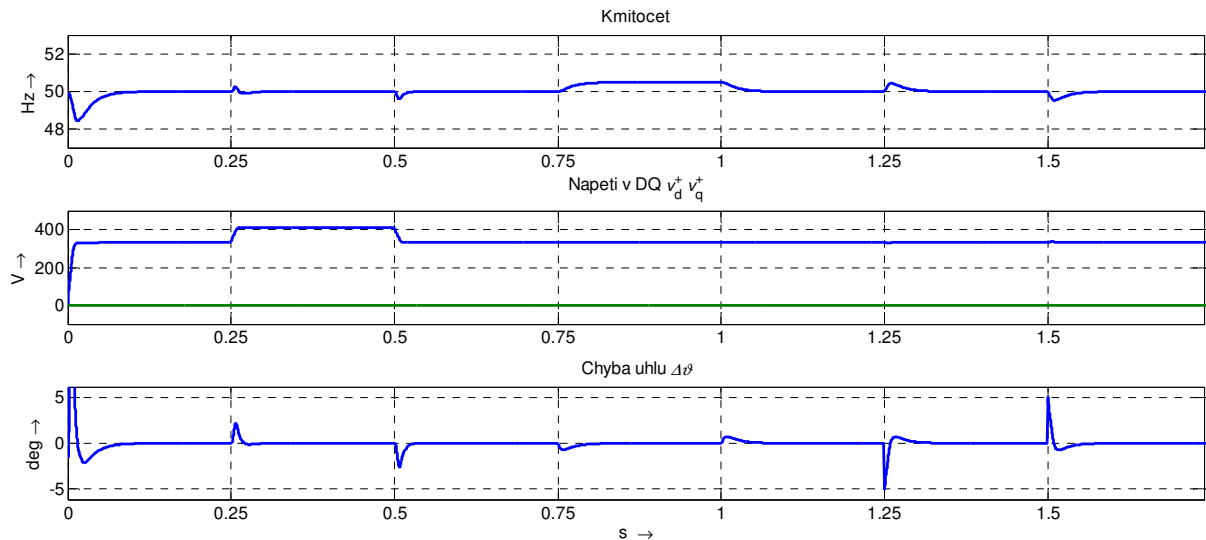
$$\begin{aligned} v_{\alpha\beta}^+(s) &= \frac{1}{2} (D(s) + jQ(s)) \cdot v_{\alpha\beta} \\ v_{\alpha\beta}^-(s) &= \frac{1}{2} (D(s) - jQ(s)) \cdot v_{\alpha\beta} \end{aligned} \quad (3.41)$$

kde $D(s)$ a $Q(s)$ jsou přenosy SOGI vyjádřené v rovnici (3.33).

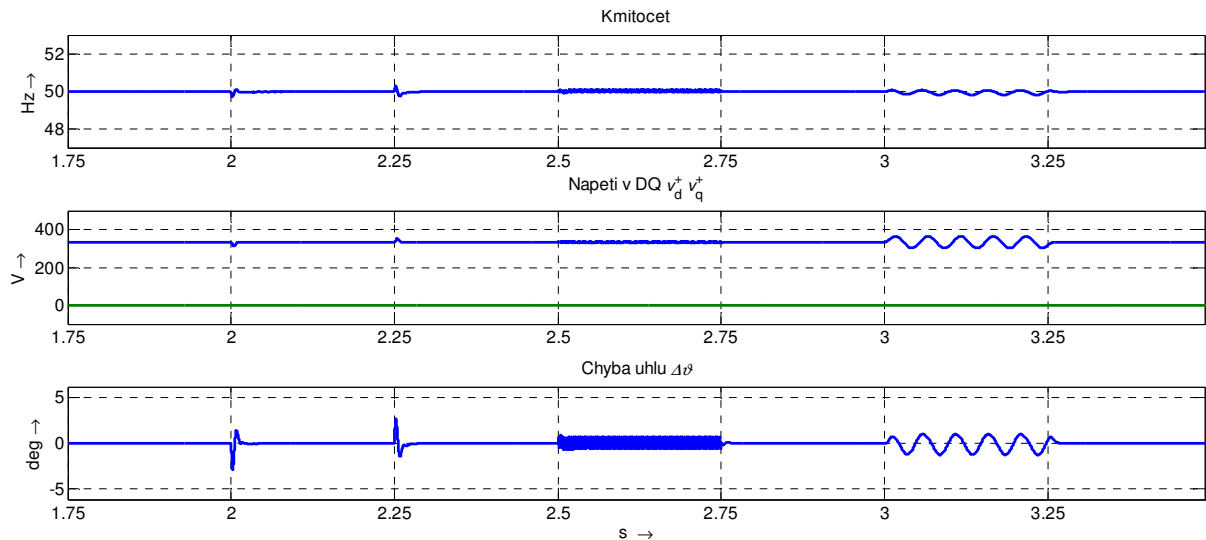
Z toho lze také (záměnou $j\omega$ za s) vyjádřit přenos v kmitočtové oblasti pro sinusový signál, ze kterého plyne jednotkový přenos $v_{\alpha\beta}^+$ pro souslednou a také jednotkový přenos $v_{\alpha\beta}^-$ pro zpětnou složku. Přenos $v_{\alpha\beta}^+$ v kmitočtové oblasti pro různá tlumení ζ je vyneseny do grafu na Obr. 3.32.



Obr. 3.32 Přenosová charakteristika DSOGI pro různá tlumení ζ



Obr. 3.33 Odezva DSOGI-FLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.34 Odezva DSOGI-FLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

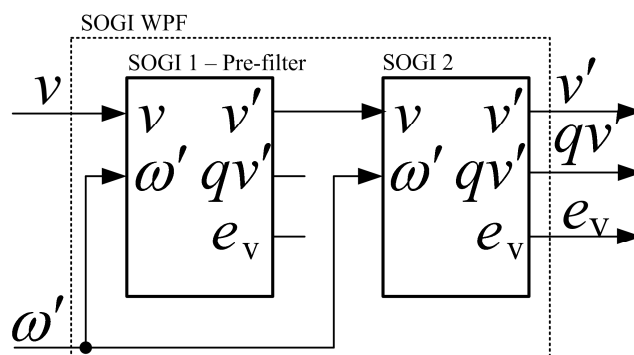
Tato metoda poskytuje relativně rychlou odezvu na skok fáze. Složka s dvojnásobným kmitočtem při nesymetrii je s výjimkou přechodného děje zcela potlačena. Je vidět citlivost metody na harmonické. Subharmonické ovlivňují všechny estimované veličiny.

Odezva na skok kmitočtu je pomalá, při skokové změně amplitudy dochází k výkyvu v estimované fázi i kmitočtu.

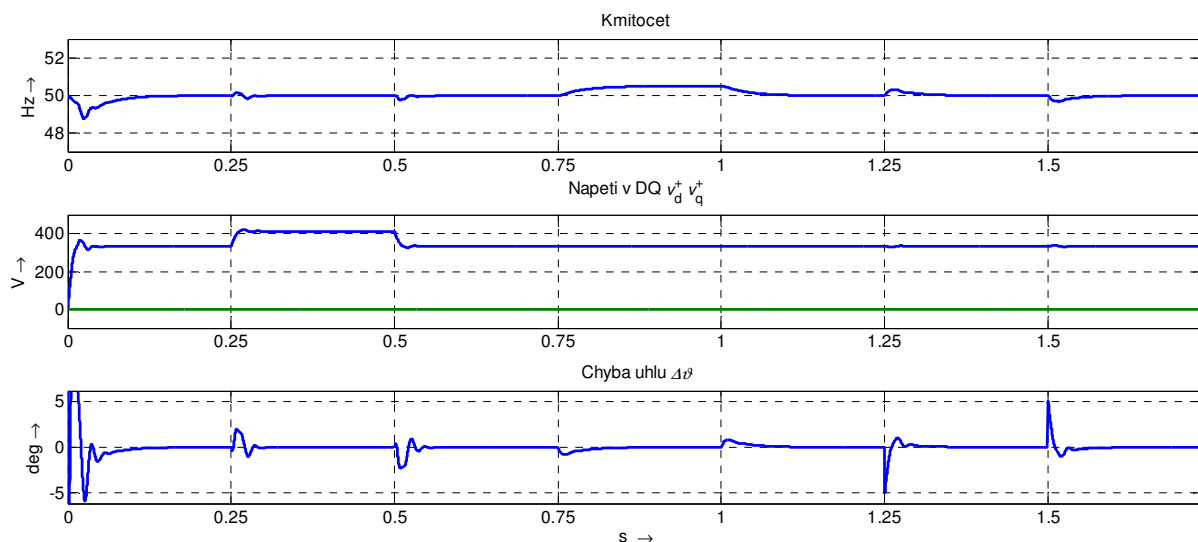
3.3.5. DSOGI-WPF

Člen SOGI působí jako filtr tak, jak bylo již uvedeno. Při nastavení jeho parametrů (tj. tlumení) musíme volit kompromis mezi rychlostí odezvy (šířkou pásma) a útlumem nežádoucích složek, které jdou proti sobě. Totéž platí pro volbu zesílení γ v soustavě SOGI-FLL. Při požadavku na vyšší tlumení se musíme smířit s delší odezvou. Práce [15] popisuje způsob, jak je možné pomocí kaskádního řazení několika členů SOGI dosáhnout zrychlení odezvy při zachování vyššího útlumu, než jaký by se dal dosáhnout s jedním členem. Největší zlepšení nastává při zapojení dvou členů SOGI do kaskády. Zařazení třetího má už menší vliv a větší počet už nemá prakticky význam, protože další zlepšení je už nezatelné. Výsledkem je tedy použití jednoho SOGI jako předfiltru. Autoři označují metodu jako SOGI-WPF (SOGI With Pre-Filter).

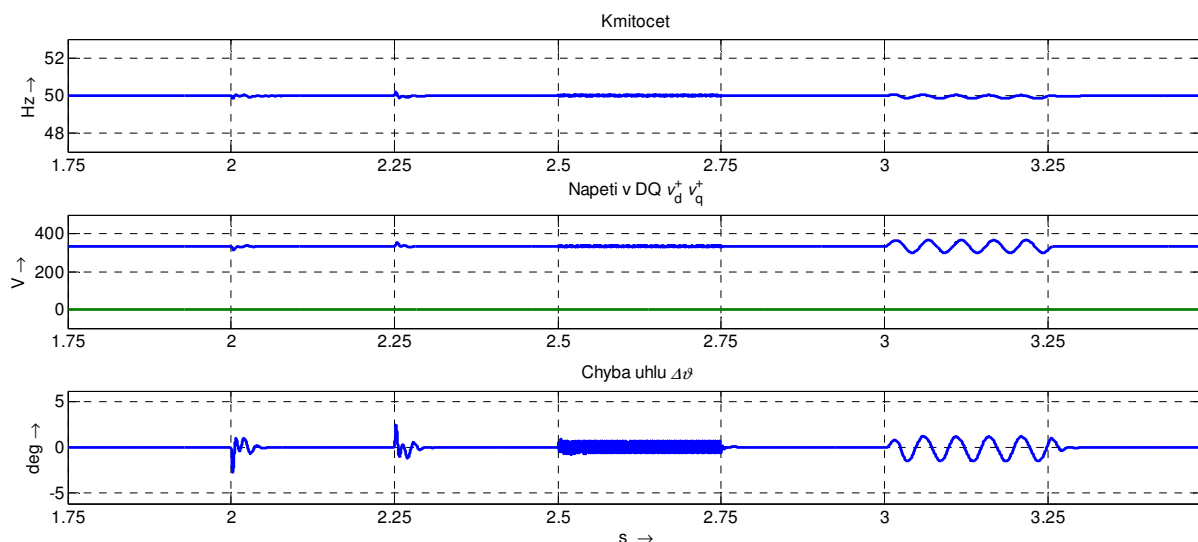
Schéma základní buňky SOGI-WPF je na Obr. 3.35. Tento základní blok je možné použít pro všechny struktury používající SOGI (tj. DSOGI, MSOGI...), vzhledem k zaměření práce na trojfázové systémy, byla technika otestována pro DSOGI-FLL.



Obr. 3.35 Schéma bloku SOGI-WPF



Obr. 3.36 Odezva DSOGI-WPF na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.37 Odezva DSOGI-WPF-FLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

Takto vypadá odezva DSOGI-WPF se dvěma články SOGI v kaskádě nastavenými stejně jako předchozím případě ($\zeta = \frac{\sqrt{2}}{2}$, $\gamma = 0,16$), tyto parametry poskytují poměrně špatné výsledky. Vzhledem ke kaskádnímu řazení bloků by parametry měly být upravené.

Nejllepší výsledky pro tuto techniku jsem dosáhnul s ($\zeta = \frac{\sqrt{2}}{3}$, $\gamma = 0,1$).

Autor [15] představuje tuto metodu také jako řešení pro subharmonické. Jak je vidět z obrázku, na subharmonickou o kmitočtu 20 Hz je s použitými parametry vliv minimální.

3.4. Zhodnocení výsledků simulací současných metod

V předchozích odstavcích této kapitoly byly probrány nejdůležitější metody použitelné pro synchronizaci trojfázového PWM měniče na síť, publikované v posledních letech. Byly představeny simulační výsledky, konkrétně simulace odezev na základní poruchy. Tyto simulace dávají představu o potenciálu jednotlivých metod a jejich porovnání s metodami základními, ze kterých vycházejí.

Přehled byl rozdělený do dvou skupin, na metody využívající fázový závěs a metody využívající kmitočtový závěs.

Velmi orientační porovnání získaných průběhů poskytují Obr. 3.38 a Obr. 3.39, ve kterých jsou všechny průběhy. Základní metody obou skupin (tj. SRF-PLL a DSOGI-FLL) dávají přesnou a rychlou odezvu pro čistý signál (první skupina poruch napětí zobrazená na Obr. 3.38). Z nich odvozené metody mají v takovém případě odezvu více či méně horší. Z této skupiny poruch představuje problém pouze skok fáze. Odezva na skok fáze u technik založených na SOGI je ale podstatně lepší. Odezva na skok kmitočtu je naopak horší, zejména při nižším zesílení γ bloku FLL, které zajišťuje klidnější odezvu na ostatní poruchy. Dále je technika SOGI poměrně citlivá na harmonické (i meziharmonické) nižších řádů a také subharmonické.

Ovšem vyskytne-li se v napětí rušení v podobě přidané složky, je odezva těchto odvozených technik v ustáleném stavu naopak výrazně lepší, Obr. 3.39.

CDSC potlačuje největší spektrum rušivých složek v ustáleném stavu, jeho odezva na přechodné děje je však v testované konfiguraci nejhorší.

Testované techniky založené na SOGI (DSOGI-FLL a DSOGI-WPF-FLL) reagují nejlépe na skok fáze. Na ostatní přechodné děje reagují víceméně stejně.

Zpětná složka v ustáleném stavu působí potíže pouze u základní metody SRF-PLL případně PQ-PLL. Pro ostatní techniky nepředstavuje problém.

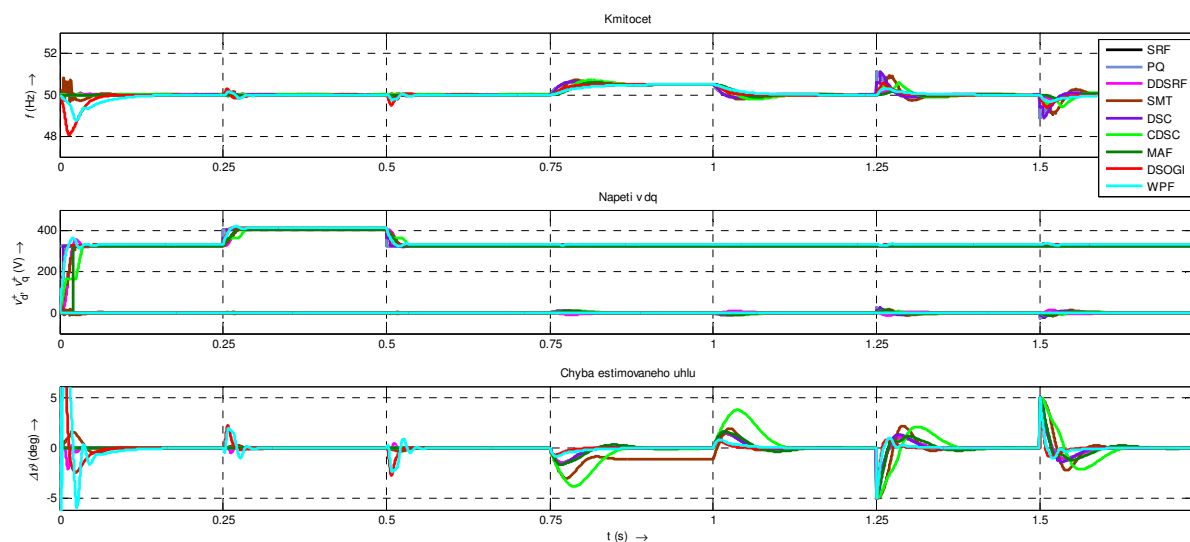
Harmonické složky v napětí kromě základní techniky působí též obtíže technikám SOGI. Zatímco v amplitudě a kmitočtu se projevují v menší míře, v úhlu se projevují ve větší míře než u základní techniky PLL.

Subharmonickou složku v napětích dq z testovaných technik dovede potlačit pouze technika CDSC, ovšem za cenu značného zpomalení. Zde je ovšem potřeba si ujasnit, co vyžaduje použitá regulační technika. Mohou být požadované dvě možnosti: subharmonická je v napětí zcela potlačena, nebo naopak zcela zachovaná v amplitudě i fázi. Tak jako tak, nesmí ovlivnit estimované hodnoty úhlu ani kmitočtu. V prvním případě by byla nejlepší technika CDSC, ve druhém pak základní technika PLL.

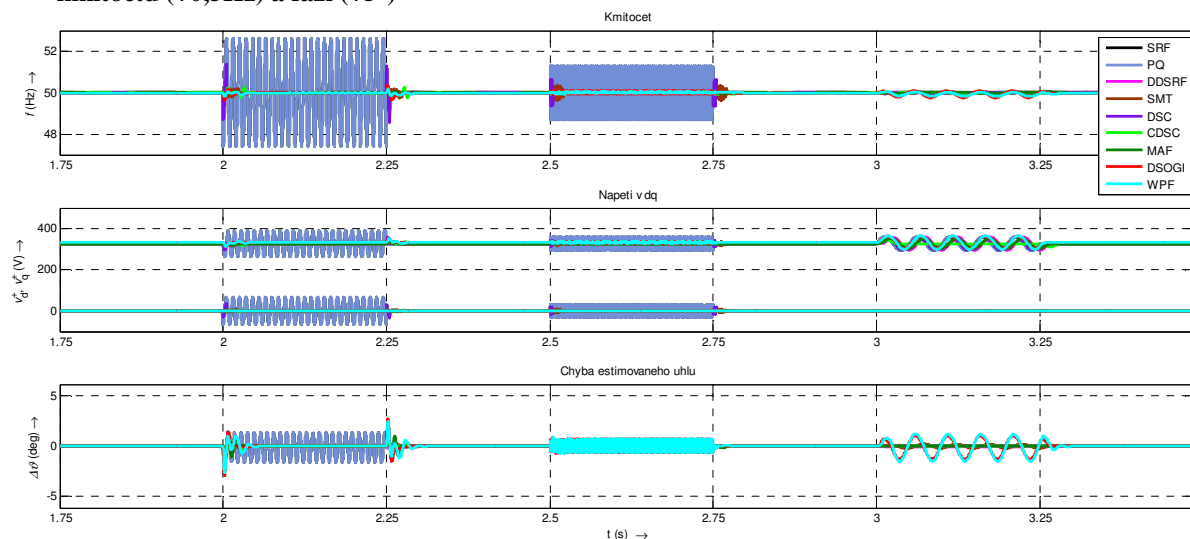
Orientační zhodnocení výsledků jednotlivých metod je zařazené v Tab. 3.3, souhrn průběhů z předchozích podkapitol na Obr. 3.38 a Obr. 3.39.

V literatuře byla popsána řada technik pro synchronizaci, ale žádná není dokonalá. To je také důvod, proč je tato problematika stále ve středu zájmu, a stále se objevují nové techniky, respektive nové modifikace základních technik.

Poslední dobou směřuje vývoj k nalezení metody, která by ideálně sloučila výhody obou uvedených skupin a zároveň odstranila alespoň částečně jejich nedostatky.



Obr. 3.38 Porovnání odezvy všech technik z předchozích podkapitol na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°)



Obr. 3.39 Odezva všech technik z předchozích podkapitol na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%)

	SRF=PQ	DDSRF	DSC	CDSC	SMT	MAF	DSOGI	WPF
Skok amplitudy	+	0	0	0	0	0	-	-
Skok kmitočtu	+	0	0	0	-	0	0	0
Skok fáze	0	0	0	-	0	0	+	+
Zpětná složka	-	+	+	+	+	+	+	+
Harmonické	-	0	+	+	+	+	-	-
Subharmonické	0	0	0	+	0	0	-	-

Tab. 3.3 Zhodnocení výsledků simulovaných metod pro jednotlivé děje (+ vhodná, - nevhodná, 0 použitelná)

4. Nová metoda CDSC+DSOGI-FLL s PJD

V předchozí kapitole byl proveden výčet, porovnání a zhodnocení několika metod z literatury uplynulých let, které byly více či méně otestovány alespoň v rozsahu simulace. Pro všechny metody představuje značný problém skok fáze. Techniky založené na SOGI mají odezvu na skok fáze mnohem lepší, jak lze vidět ze srovnání v Obr. 3.38. Odezva na skok kmitočtu je srovnatelná. Odezva na harmonické se se snižováním jejich řádu zhoršuje. Nejhorší odezva je na subharmonické. Naproti tomu, metody založené na DSC a CDSC umožňují potlačit vliv vybraných složek, jejich odezva na harmonické složky je tedy lepší.

Navrhované vylepšení se primárně zaměřuje na harmonické. Pokud by se bloku SOGI předřadil určitý počet bloků DSC, které jsou popsány v kapitole 3.2.4, bude SOGI dostávat signál částečně vyfiltrovaný. Tím by mohlo jít odstranit vliv těch harmonických složek, které působí největší problémy. Nepříznivé v tomto případě je, že pro požadavek na vyfiltrování harmonických nižších řádů plyne z rovnice (3.19) větší zpoždění.

Technika založená na SOGI není tak široce používána, poskytuje ale mnohem lepší odezvu na fázové skoky. SOGI přirozeně částečně tlumí složky s vyšším kmitočtem (nejen harmonické), ale ne úplně dostatečně, zejména pokud jde o harmonické a meziharmonické nižších řádů. V případě provedené simulace, Obr. 3.34 byl rozkmit v $\Delta\vartheta$ způsobený pátou harmonickou dokonce větší než u SRF-PLL, Obr. 3.6 (v estimovaném kmitočtu i napětí sousledné soustavy byl vliv harmonických ovšem menší než u SRF). SOGI má slibnou odezvu na fázový skok. Naproti tomu odezva na ostatní poruchy je srovnatelná, nebo horší.

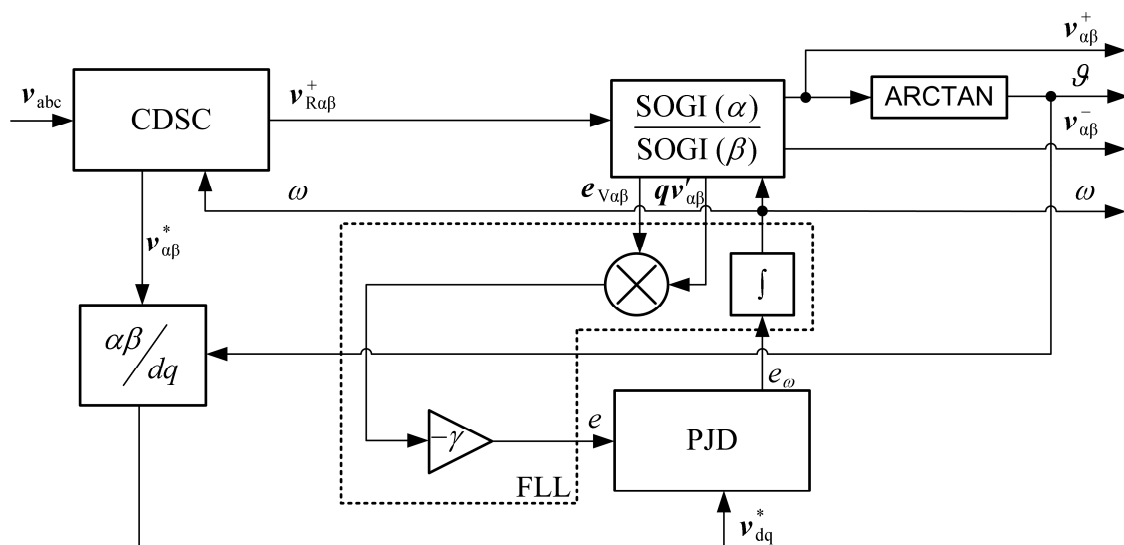
Prvým nápadem, jak dosáhnout lepších vlastností, bylo použití PLL s CDSC (tato strategie se jevila jako nejnadějnější) podle kapitoly 3.2.4 s korekčním blokem podle [24] nebo [25] a navíc předfiltrem typu SOGI, který by více utlumil meziharmonické a další složky, které DSC plně netlumí.

Ukázalo se však, že soustava s využitím FLL namísto PLL poskytuje v této kombinaci lepší výsledky, a to nejenom při skoku fáze. Výsledná soustava bude tedy používat kmitočtový závěs namísto obvyklého závěsu fázového. Odezva SOGI-FLL na skok fáze je sice lepší, než jakou poskytuje PLL, ale adaptivní filtr v FLL je během skoku fáze zbytečně rozladován. Na rozdíl od PLL zde však není pro správnou funkci tato nežádoucí dočasná změna kmitočtu nutná (neboť estimace kmitočtu a fáze je oddělená).

Soustava tedy byla doplněná o detekci skoku fáze – je-li detekován skok fáze, je dočasně rozpojena vazba mezi SOGI a FLL a nedochází ke změně estimovaného kmitočtu a tím jak rozladování adaptivního filtru, tak i CDSC.

Výsledné blokové schéma navrhované soustavy je na Obr. 4.1. Vstupní signál prochází kaskádou bloků CDSC, ve kterém se oddělí a vyfiltruje pouze sousledná a zpětná složka. Tyto složky se opět sloučí (na rozdíl od vstupního signálu je tento signál v rámci možností použitých bloků DSC očištěný od rušivých složek) a spolu vstupují do dvojice bloků SOGI (DSOGI)⁸, kde se opět rozdělí.

⁸ Jiná varianta by byla nechat složky oddělené a pracovat s nimi dále nezávisle.

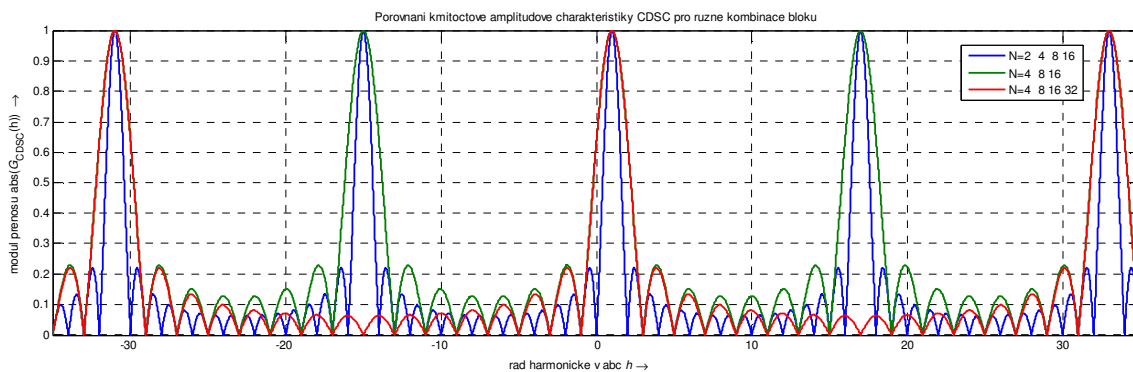


Obr. 4.1 Navrhovaná struktura CDSC DSOGI FLL s PJD

Výsledkem jsou sousledné a zpětné složky v ortogonální soustavě $\alpha\beta$. Blok DSOGI dále slouží k získání chybového signálu $e_{v\alpha\beta}$ pro blok FLL. Zásadou toho, že DSOGI-FLL pracuje se signálem vyfiltrovaným pomocí CDSC, nebudou mít na něj vliv harmonické tak, jako v případě samotného DSOGI-FLL. Navrhovaná metoda je doplněna o detektor skoku fáze (PJD – Phase Jump Detector), který odpojuje chybový signál e pro FLL v případě, že detekuje skok fáze (tím zabrání rozladění filtru SOGI a také CDSC po dobu potřebnou k ustálení), v opačném případě jej beze změny propouští na výstup e_ω . Další odstavce se budou podrobněji věnovat jednotlivým blokům této nové strategie.

4.1. Volba zpoždění článků DSC

Součástí navrhované soustavy bude jeden nebo několik bloků DSC. Obecně se používá několik kombinací, v literatuře je nejčastější kombinace CDSC[4, 8, 16, 32] nebo CDSC[2, 4, 8, 16, 32]. První kombinace potlačí všechny liché harmonické (s výjimkou -31 a +33) a její celkové zpoždění je $15/32$. Přidání bloku DSC se zpožděním $1/2$ periody se potlačí i sudé harmonické, celkové zpoždění se zvýší na $31/32$.



Obr. 4.2 Přenosová charakteristika některých kombinací CDSC uvažovaných při výběru

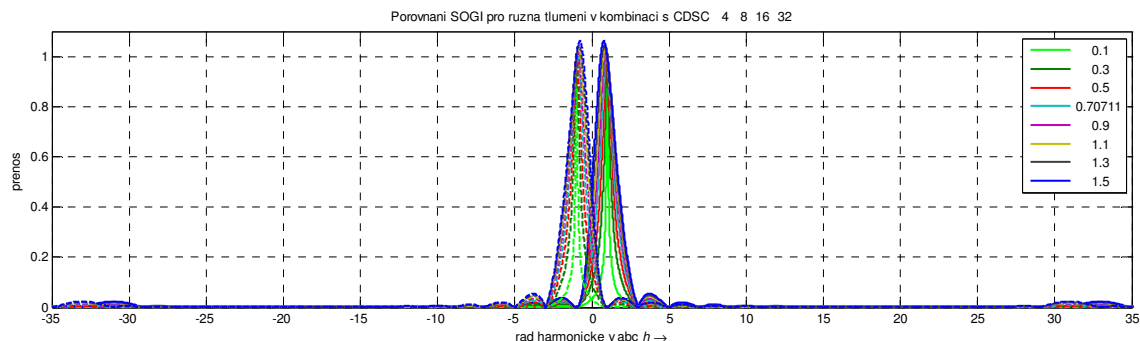
Při volbě zpoždění se vychází z toho, že vyšší kmitočty budou potlačeny vlivem filtračních účinků SOGI. Zaměřím se tedy hlavně na kmitočty nižší. Ovšem požadavek na

potlačení nižších kmitočtů vede na požadavek větších zpoždění. Jako kompromis mezi zpomalením systému a filtrační schopností byla zvolena běžně používaná kombinace CDSC[4, 8, 16, 32], která zajistí odfiltrování všech lichých harmonických. Bylo by možné ještě vynechat blok se zpožděním $\frac{1}{32}$ periody, tím by ale prošly už harmonické řádů -15 a +17. Vynechání tohoto posledního bloku by mělo jen minimální vliv na celkové zpoždění.

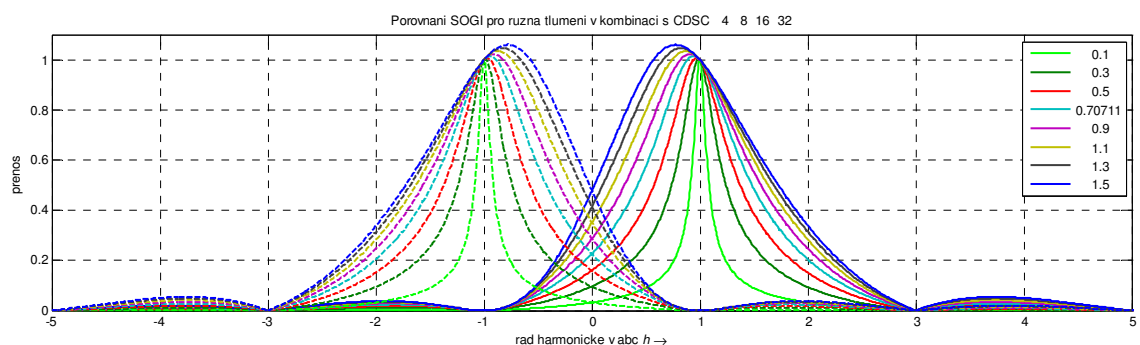
Na rozdíl od CDSC popsáno v kapitole 3.2.4 bude zde použita skupina DSC vybavena ještě navíc vývodem za volitelným blokem pro potřeby detekce skoku fáze popsáno dále.

4.2. Volba tlumení SOGI

Úkolem SOGI bude očistit vstupní signál od zbytkového rušení, které prošlo bloky DSC. Druhým úkolem SOGI bude poskytnout chybový signál adaptačnímu mechanismu FLL, který bude udržovat jak SOGI, tak i CDSC naladěné na aktuální kmitočet sítě. Doporučovaná hodnota tlumení bývá $\zeta = \sqrt{2}/2$. Je to kompromis mezi překmitem a dobou ustálení soustavy SOGI-QSG. Z provedených porovnání plyne, že ζ bude vhodné ponechat na jeho doporučené hodnotě. Přenosovou charakteristiku kombinace DSOGI a čtyřčlankového CDSC [4 8 16 32] pro různá tlumení ζ zobrazuje Obr. 4.3. Plnou čarou je zakreslen přenos v sousledné složce, čárkovanou čarou ve zpětné složce. Hodnota ζ je odstupňovaná po 0,2, pouze hodnota 0,7 je nahrazena hodnotou $\sqrt{2}/2$. Z Obr. 4.3 je vidět, že harmonické řádů -31 a +33, které by samotným CDSC prošly bez útlumu, jsou výrazně utlumené. Detail pro nízké řády harmonických zobrazuje Obr. 4.4.



Obr. 4.3 Charakteristika SOGI+CDSC, porovnání pro proměnné ζ při $N = [4\ 8\ 16\ 32]$



Obr. 4.4 Detail Obr. 4.3

4.3. Volba zesílení FLL

Zesílení FLL γ je parametr, který významně ovlivňuje chování SOGI-FLL, a to daleko více, než parametry PI regulátoru v technice PLL. Kromě toho zdánlivou velikost γ ovlivňuje také amplituda signálu. Proto se SOGI-FLL často doplňuje o normalizaci a namísto γ se používá Γ , které je stanovené pro nominální amplitudu.

Dále budu předpokládat použití měniče na síti s pevným napětím, kde není nezbytně nutné provádět normalizaci amplitudy.

Nastavení γ vychází z kompromisu mezi dobou odezvy na skok kmitočtu a odezvy v ustáleném stavu při působení ostatních poruch, při kterých ke změně kmitočtu nedochází (vyšší γ znamená rychlejší odezvu na skok kmitočtu, ale soustava je citlivější na poruchy a její odezva v ustáleném stavu je horší).

Vzhledem ke zpoždění CDSC nemá smysl volit příliš velké γ . Rozumnou volbou by mohlo být takové γ , které by vedlo na odezvu srovnatelnou se zpožděním zaneseným DSC.

Na základě srovnání vychází pro napěťovou soustavu 230/400V nejvýhodnější $\gamma = 0,16$ (odpovídá $\Gamma = 76,2$; $\tau=13,1$ ms).

4.4. Detekce skoku fáze (PJD)

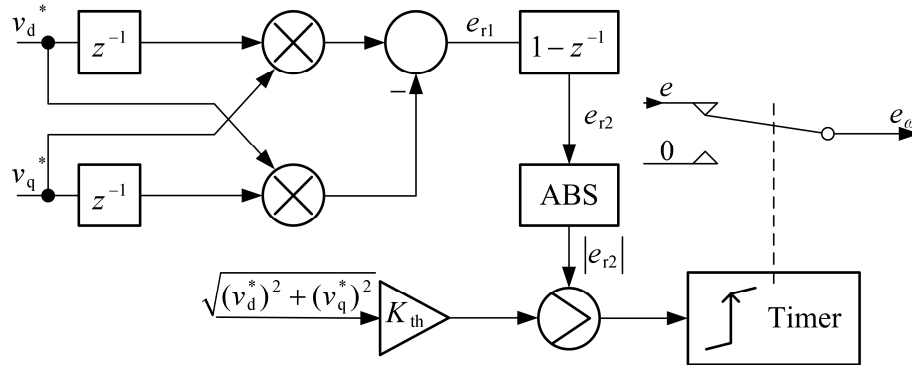
Simulace i experimenty ukázaly, že algoritmy založené na SOGI-FLL reagují na skok fáze lépe, než algoritmy založené na PLL, zejména při nastavené konstantní ω' (což vzhledem k nutnosti reagovat na proměnný kmitočet není obvyklá implementace). Pokud se ale přidá člen FLL, který za normálních okolností má za úkol naladit SOGI na správný kmitočet ω' , zhorší se i odezva na poruchy a přechodné děje, včetně skoku fáze. Člen FLL totiž během skoku rozladí SOGI. Na rozdíl od PLL zde však není přímá vazba mezi kmitočtem a fází vektoru napětí a tedy snížením zesílení γ (Γ) se tento vliv dá do jisté míry eliminovat za cenu zhoršení (zpomalení) odezvy na skok kmitočtu. Změna ω' tedy není nejenom žádoucí, ale ani nutná (na rozdíl od PLL, kde se právě prostřednictvím změny ω dorovnával skok fáze a k této změně muselo docházet).

Nabízí se tudíž myšlenka, použít techniku detekce skoku fáze podobnou té, která byla popsána v [24] nebo [25] pro techniku PLL, i na techniku DSOGI-FLL. Základní otázkou je, zda bude možné detekovat skok fáze i po průchodu filtrem IIR, tvořeným SOGI, a bezpečně ho odlišit od ostatních poruch (zejména skoku kmitočtu, kdy naopak ke změně kmitočtu dojít musí).

Byl vyvinut způsob, jak techniku popsanou v [24] uplatnit i u kmitočtového závěsu, respektive hlavně tu její část, která má za úkol detekci fázového skoku. Aby bylo možné použít takto uspořádanou detekci nespojitosti, musí být tato nespojitost v signálu zachovaná. Tím je určeno pořadí bloků – nejprve CDSC a až poté SOGI. Opačné uspořádání by případný skok vyhladilo tak, že jeho detekce by byla obtížná, ne-li nemožná.⁹

⁹ Pokud by z nějakého důvodu musel být blok SOGI už na vstupu (např. původně předpokládaná technika PLL doplněná o pre-filtr SOGI), bylo by v takovém případě možné zařadit DSC na vstup, kde by tvořil druhou cestu signálu jenom pro účely detekce skoku fáze.

Pro detekci skoku fáze je použitý signál už za některým z bloků CDSC, protože SOGI jej natolik vyhledá, že by detekce skoku byla nejistá.



Obr. 4.5 Blokové schéma PJD

Pokud se koncový bod vektoru napětí pohybuje rovnoměrně po kružnici (v soustavě os dq synchronně rotující souřadnicové soustavy se tento vektor tudíž nepohybuje), bude signál označený v Obr. 4.5 jako e_{r1} nabývat v každém vzorku nulové hodnoty. Tento signál nabývá nenulové hodnoty jen tehdy, pokud ve dvou po sobě následujících vzorcích se změní poloha vektoru napětí v soustavě os dq. K tomu může dojít při změně fáze a/nebo kmitočtu vektoru napětí ve dvou po sobě následujících vzorcích. Při změně jen velikosti tohoto vektoru zůstává však velikost signálu e_{r1} nulová. Porovnáním aktuální a minulé hodnoty tohoto signálu (v Obr. 4.5 je tento rozdíl označen jako e_{r2}) identifikujeme změnu fáze vektoru napětí v soustavě os dq ve dvou po sobě následujících okamžicích vzorkování.

Absolutní hodnota takto získaného signálu e_{r2} je porovnávána s prahovou hodnotou K_{th} (po jejím vynásobení amplitudou napětí pro zajištění správné funkce PJD při změnách velikosti napětí). Odlišení skoku fáze a kmitočtu je zajištěno díky značnému rozdílu mezi velikostmi signálu e_{r2} při skoku fáze a při skoku kmitočtu (podle (3.32) je při změnách kmitočtu během krátkého časového intervalu T_s odpovídající změna fáze velmi malá).

V případě, že je hodnota $|e_{r2}|$ větší než prahová hodnota, dojde ke spuštění časovacího monostabilního klopného obvodu (MKO) a dočasnému odpojení chybového signálu, který za normálních okolností doladuje použitý adaptivní filtr prostřednictvím FLL.

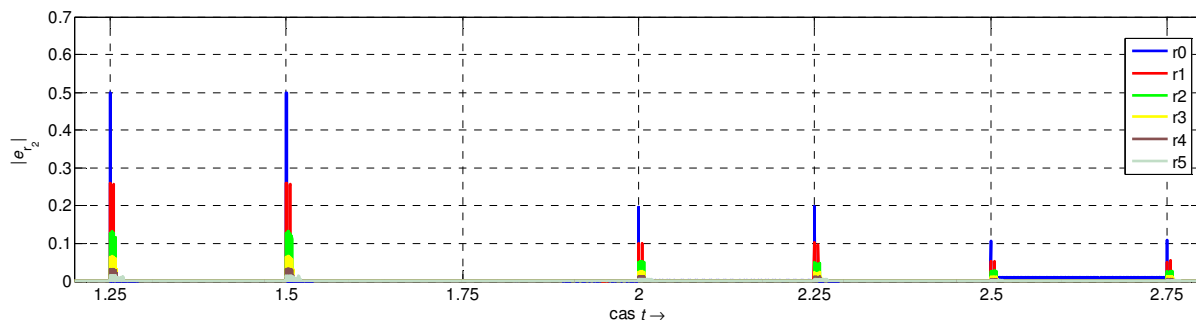
Problémem zde je, že kromě skoku fáze, působí na ekvivalentní úhel vektoru také harmonické složky. Nelze tedy detekovat velmi malé skoky fáze, aniž by je bylo možné odlišit od působení možných harmonických napětí.

DSC použité jako předfiltr však omezí harmonické složky (pouze s výjimkou jejich náběhu). Přinejhorším tedy dojde ke spuštění MKO při skokovém připnutí harmonické se značnou amplitudou, nikoliv však opakovaně, jakoby k tomu docházelo bez tohoto opatření (Pro práh nastavený na hodnotu odpovídající skoku o 15° nevadí pátá ani sedmá harmonická s amplitudou 20% amplitudy základní harmonické, pro vyšší řády se tato tolerance snižuje.). Nutno dodat, že takto velké harmonické zkreslení napětí však není příliš reálné.

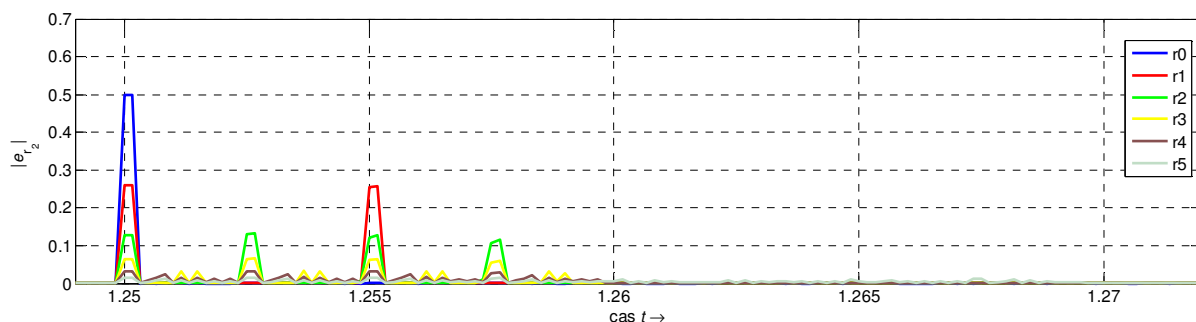
Poslední otázkou je, za kterým blokem DSC udělat odbočku. Pro tento účel je v Obr. 4.6 porovnán normalizovaný signál e_{r2} v absolutní hodnotě získaný z napětí za různými bloky DSC. V obrázku je pouze část průběhu, kde je $|e_{r2}|$ nenulový (skok fáze 30° , zpětná složka a harmonická; subharmonické a ostatní děje se na $|e_{r2}|$ neprojeví ($|e_{r2}| \ll 10^{-3}$)). Tento obrázek

také poskytuje představu o potřebné velikosti konstanty K_{th} . Detail na Obr. 4.7 ukazuje tyto signály při skoku fáze. Je vidět, že prostupem bloky se jedna velká špička rozkládá na více menších, tak jak se přímo procházející signál sčítá se signálem zpožděným. Na základě tohoto porovnání je použitý signál hned za prvním blokem, tj. blokem se zpožděním $\frac{1}{4}$ periody. Činitel K_{th} určující prahovou hodnotu byl zvolen 0,105.

Sepnutí monostabilního obvodu musí být alespoň po dobu celkového zpoždění DSC, minimálně ale po dobu potřebnou k ustálení. Pro další simulace a experimenty bylo použito nastavení na 40 ms, tj. 2 periody.



Obr. 4.6 Porovnání normalizovaného rozhodovacího signálu e_{r2} při použití vývodu v_{dq}^* z různých stupňů DSC[4 8 16 32 2]. Signál označený r0 je získaný ze vstupního napětí, r1 je z vývodu za prvním blokem DSC atd. Použitý testovací průběh napětí je stejný jako v kapitole 3.1 pouze skok fáze byl zvětšen na 30° . Je zobrazená jen ta část grafu, kde jsou signály nenulové

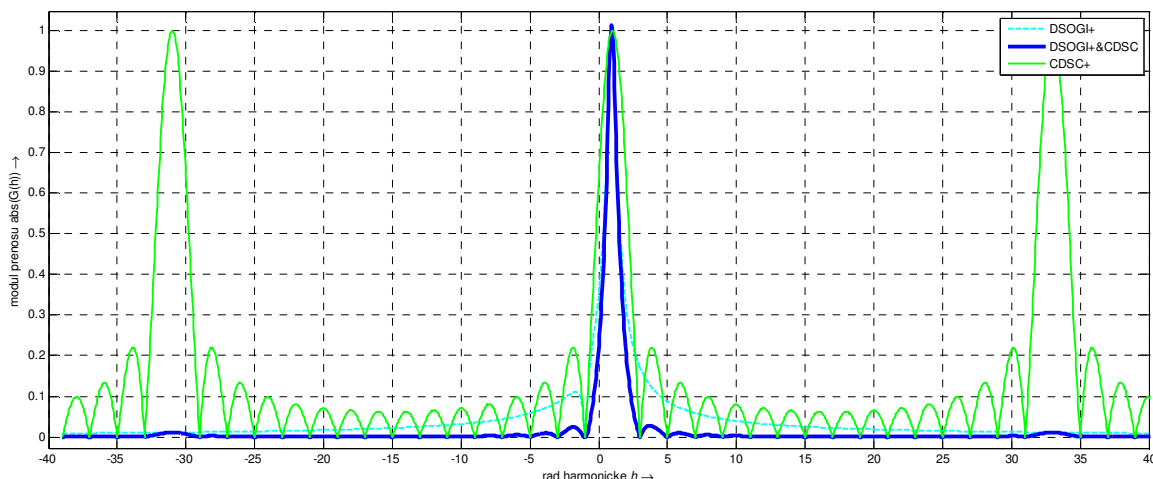


Obr. 4.7 Detail Obr. 4.6 pro skok fáze

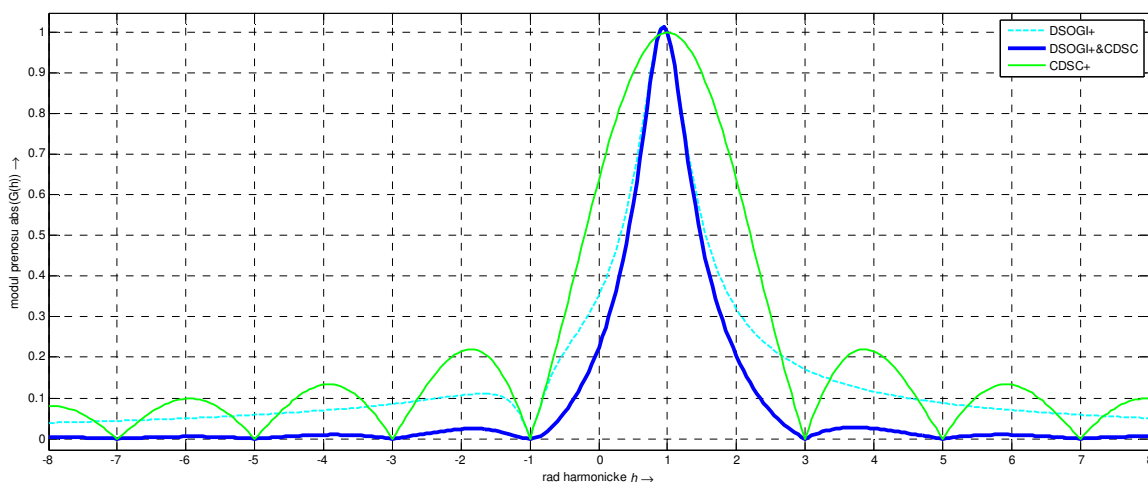
4.5. Simulace v kmitočtové oblasti

Základem analýzy systému bylo hodnocení kmitočtových přenosů jednotlivých součástí (subsystémů).

Na základě rovnic pro přenosy jednotlivých použitých bloků byl vypočítán přenos v kmitočtové oblasti. Dále jsou zobrazeny amplitudové charakteristiky. V případě fáze přenosu je pouze důležité, že základní kmitočet se přenáší bez fázového posunu, proto tyto závislosti vynášeny nebyly.



Obr. 4.8 Přenos harmonických kaskádou DSOGI a CDSC[4 8 16 32] v části pro souslednou složku (přenos zpětné složky je symetricky podle nuly stejný). Dále jsou zobrazené dílčí přenosy CDSC a DSOGI



Obr. 4.9 Detail Obr. 4.8 pro oblast nízkých kmitočtů a subharmonických

Kmitočtovou charakteristiku zvolené kombinace ukazují Obr. 4.8 a Obr. 4.9. Všechny liché harmonické s výjimkou řádu 1 (základní harmonické) jsou potlačené zásluhou CDSC. Harmonické složky řádů -31 a $+33$, které by filtrem CDSC prošly bez útlumu, jsou výrazně utlumené zásluhou útlumu SOGI.

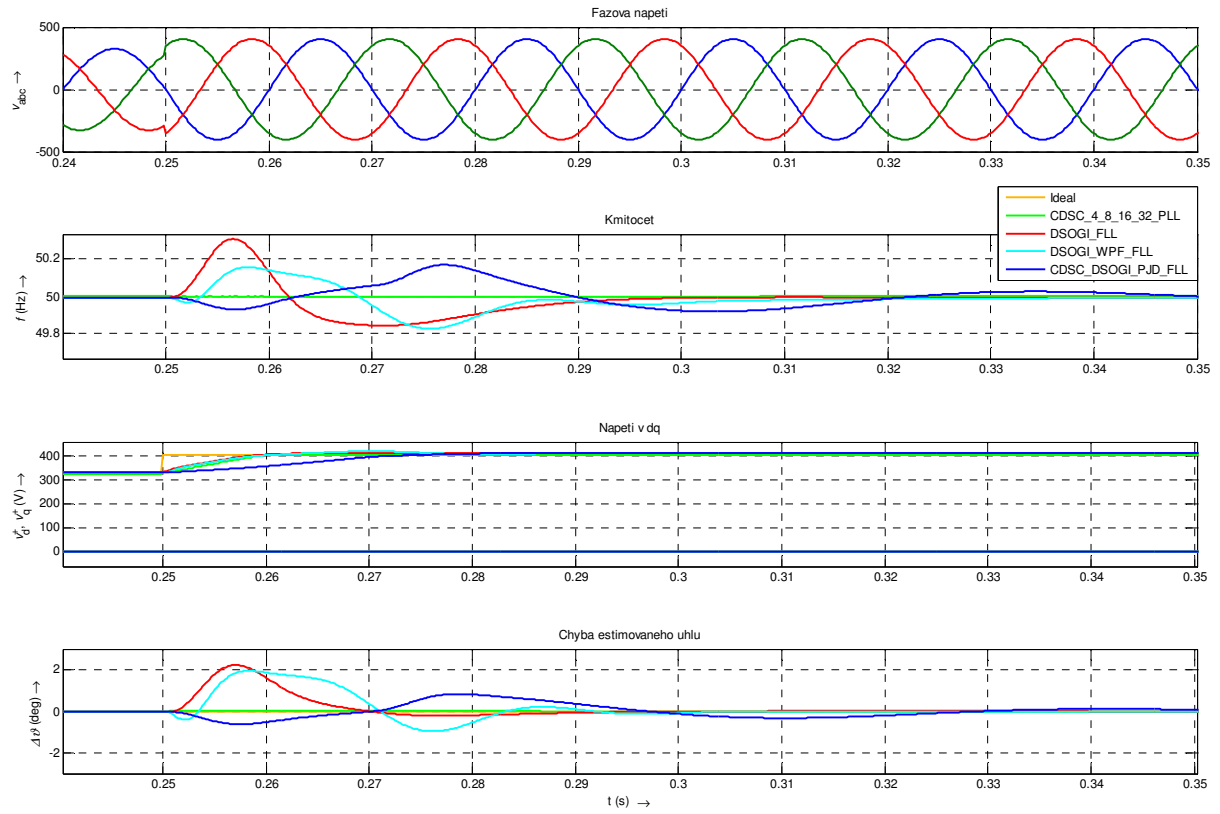
4.6. Simulační ověření a porovnání v časové oblasti

Navrhovaná nová metoda byla zařazena do modelu použitého pro ověření metod uvedených v kapitole 3 v časové oblasti. Na rozdíl od přehledu metod uvedených v kapitole 3 zde byly vybrány jen významnější metody. Výsledky simulací jsou potom zobrazené ve větším detailu, aby bylo možné techniky lépe porovnat. Vyvinutá technika kombinuje metodu DSOGI-FLL s bloky DSC. Proto byly pro porovnání vybrány následující metody: PLL s CDSC, DSOGI-FLL a DSOGI-WPF-FLL. Technika PLL s CDSC byla vybrána jakožto zástupce běžně užívaných metod i proto, že stejný členek je použitý ve funkci předfiltru. Simulace byly provedené se stejně nastaveným CDSC, o jaký byla rozšířena strategie DSOGI-FLL v navrhované metodě. Technika DSOGI-WPF byla zařazena proto, že se jedná o jiný přístup k vylepšení techniky DSOGI-FLL (použití jiného typu předřazeného filtru). Jako třetí byla zařazena základní technika DSOGI, opět se stejně nastavenými parametry (ζ , γ), jaké používá navrhovaná technika.

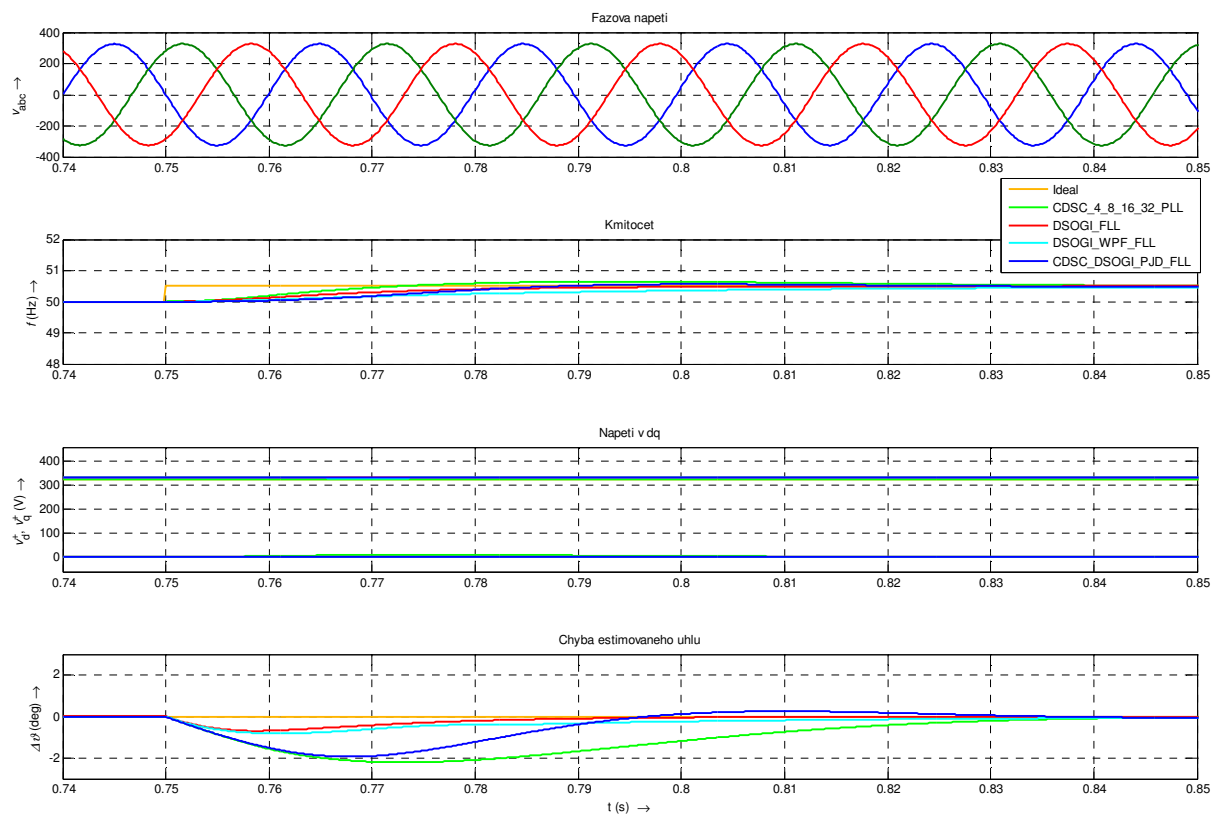
Navrhovaná technika obsahuje přidané články, dá se tedy očekávat, že její odezva na přechodné děje bude pomalejší, ovšem v ustáleném stavu bude lepší.

Spektrum použitých poruch bylo rozšířeno. Vzhledem k přidanému článku PJD, který při skoku fáze odepíná FLL, byl také testován skok kmitočtu a fáze zároveň. Taková porucha je v síti málo pravděpodobná, ale je to nejhorší případ, jaký může (z hlediska navrhované metody) nastat. Dá se očekávat, že odezva na takový děj bude výrazně horší. PJD totiž zablokuje možnost bloku FLL ihned reagovat na změnu kmitočtu. Dále byla testovaná odezva na bílý šum.

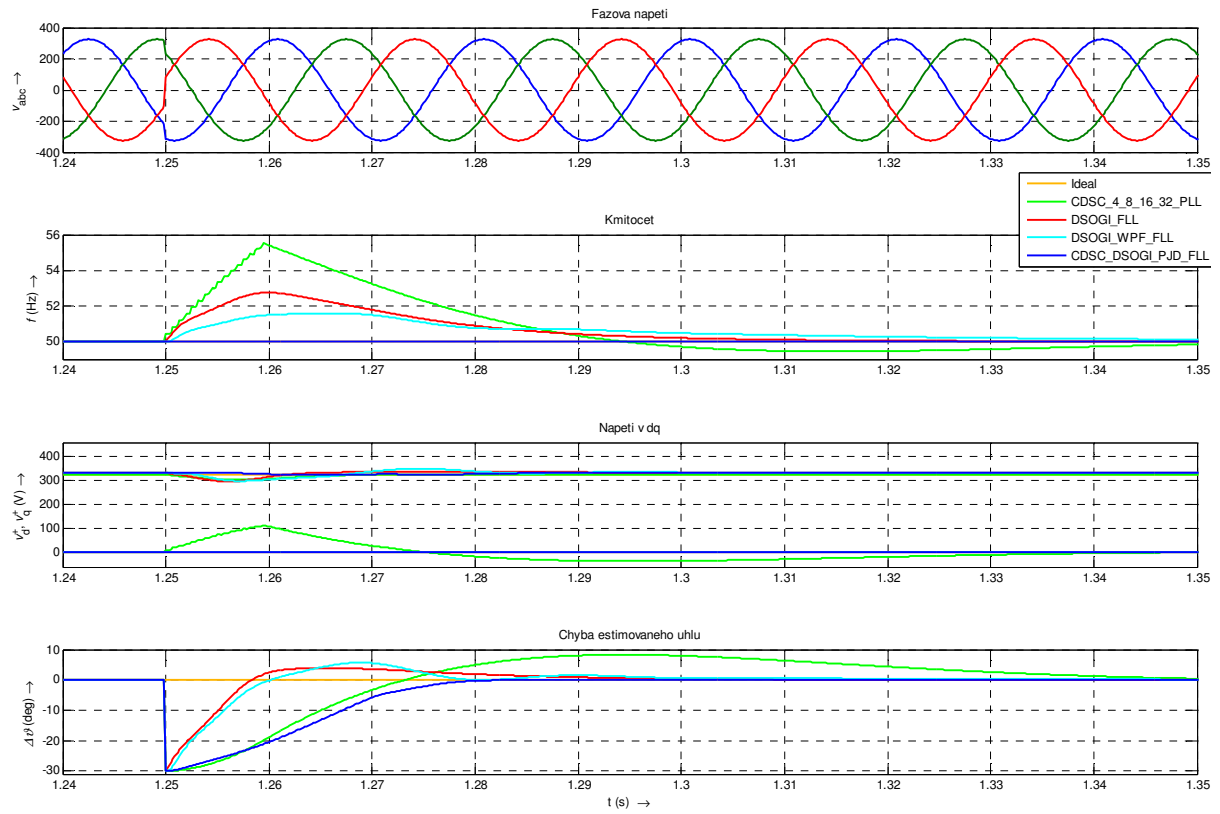
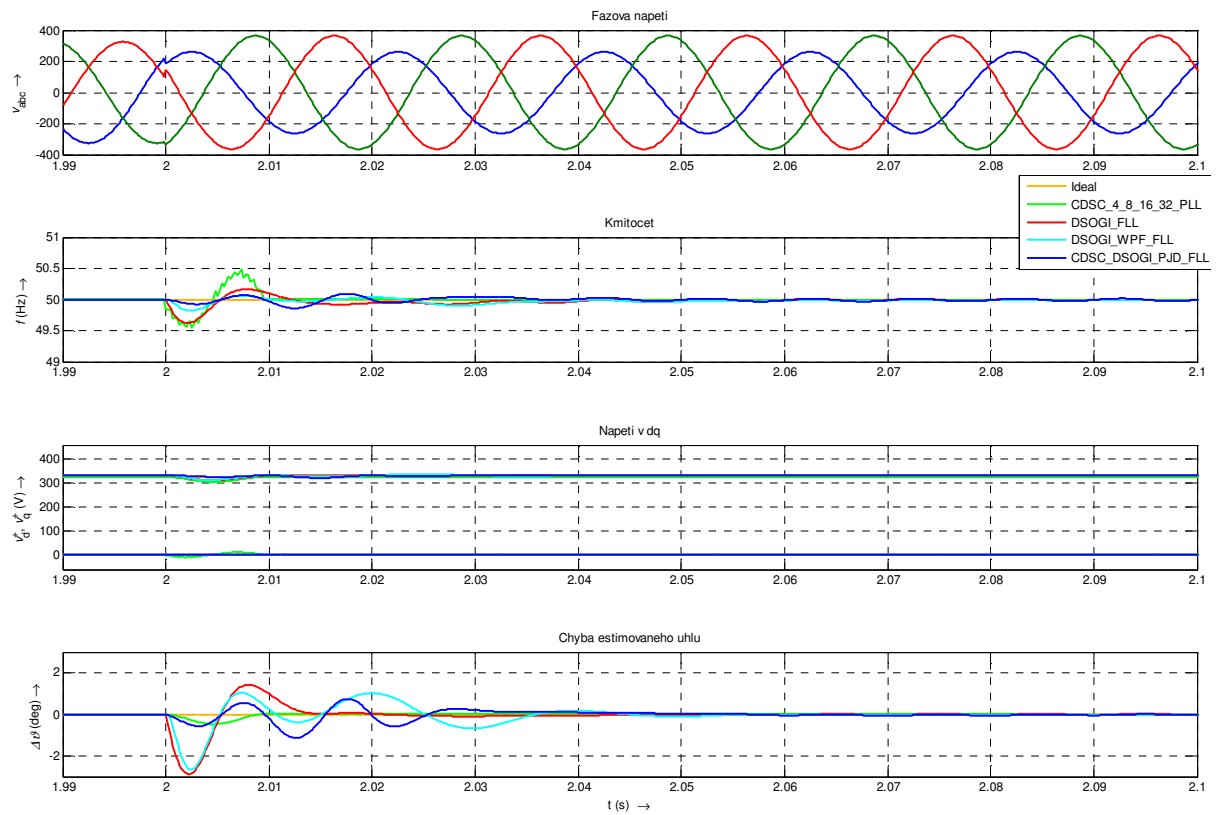
Na rozdíl od výsledků uvedených v kapitole 3 zde je zobrazený detail o délce 10 ms před a 100 ms po události. Dále je použito odlišné měřítko svislé osy, aby vyniknul průběh přechodného děje (v kapitole 3 byly průběhy kvůli snadnému porovnání zobrazené se stejným měřítkem).



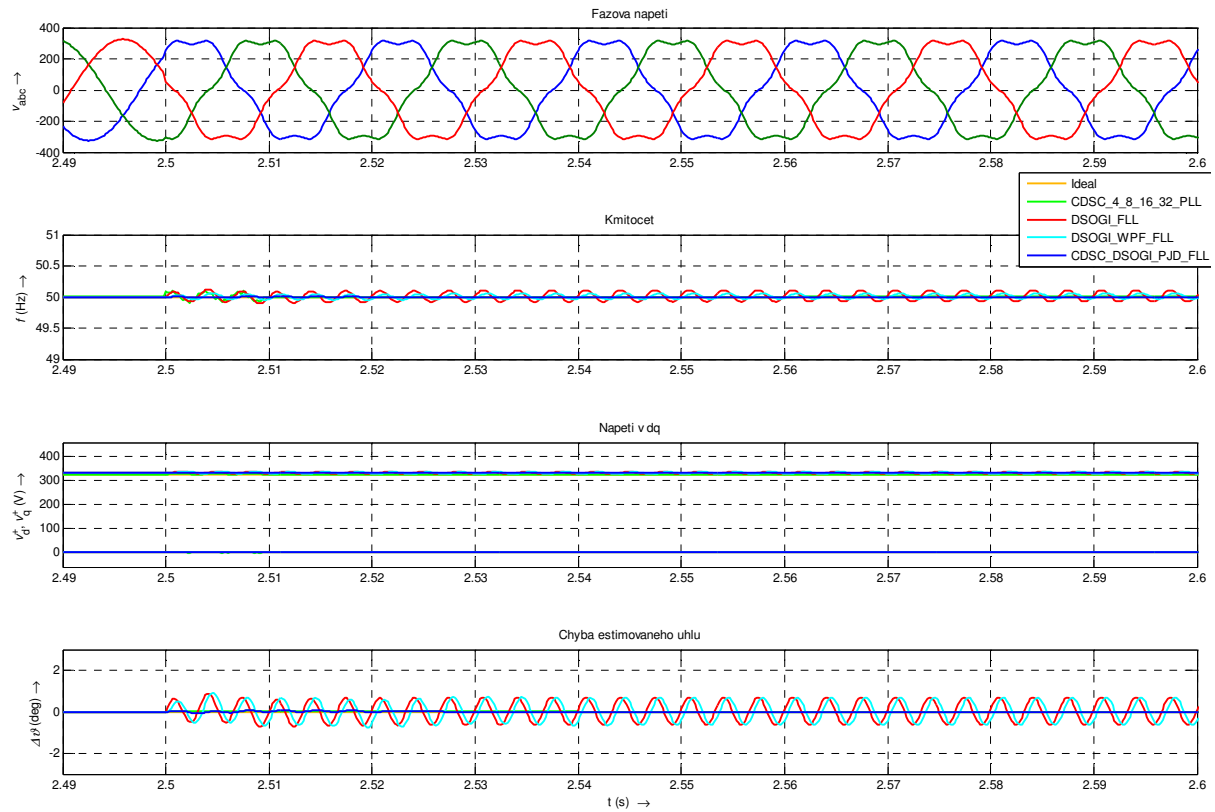
Obr. 4.10 Skok amplitudy o 20% v čase 0,25 s



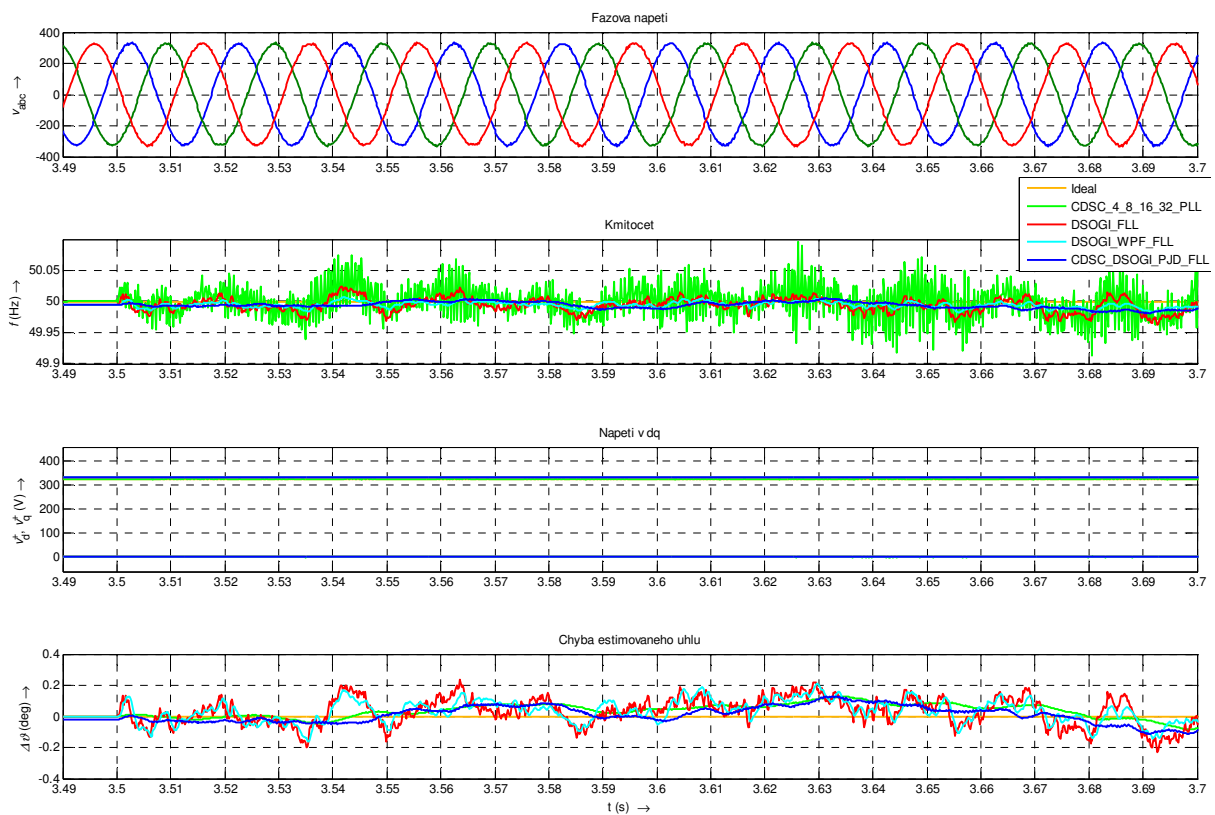
Obr. 4.11 Skok kmitočtu o 0,5 Hz v čase 0,75 s

Obr. 4.12 Skok fáze o 30° v čase 1,25 s

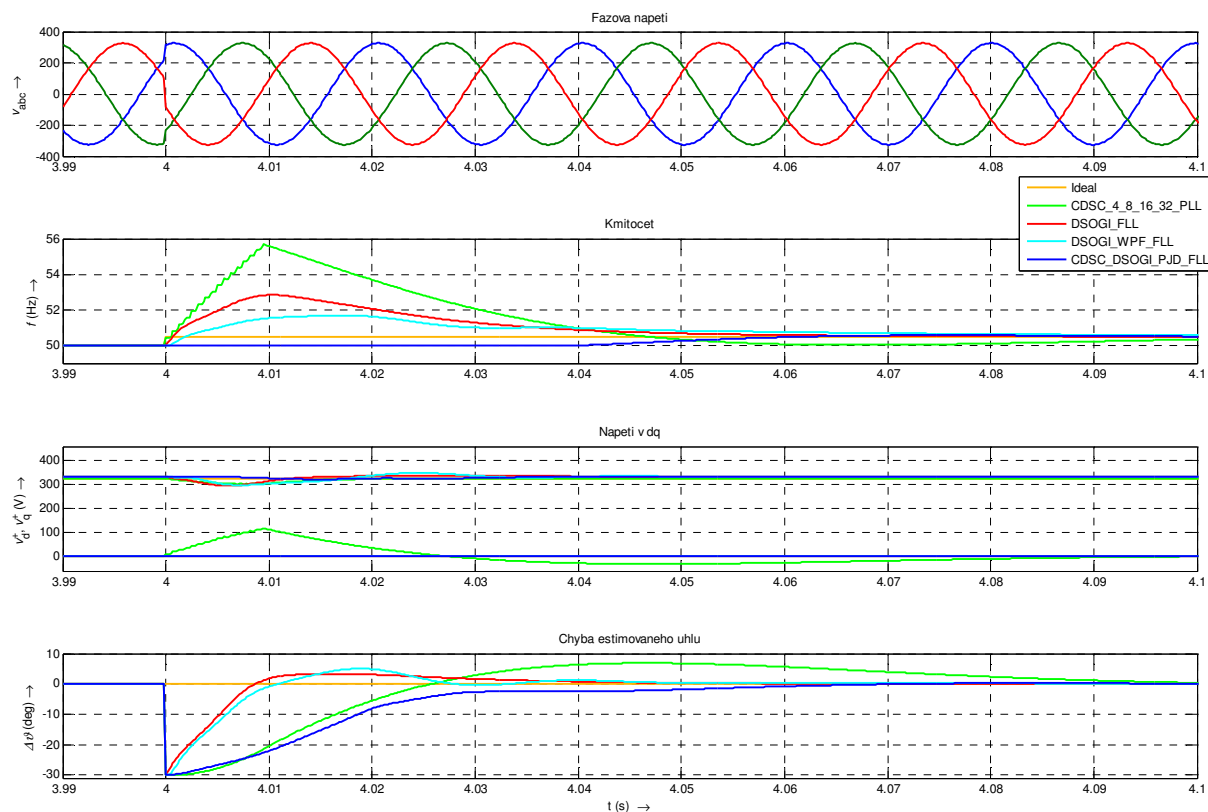
Obr. 4.13 Zpětná složka o velikosti 20% v čase 2 s



Obr. 4.14 Pátá harmonická o velikosti 10% v čase 2,5 s



Obr. 4.15 Bílý šum v čase 3,5 s



Obr. 4.16 Skok kmitočtu o 0,5 Hz a současně fáze o 30° v čase 4 s

Průběhy na Obr. 4.10 až Obr. 4.16 ukazují odezvy navrhované techniky na základní poruchové děje a jejich porovnání s ostatními metodami.

Konečné porovnání vyvinuté metody s metodami ostatními bude kvantitativně provedeno až na základě dále uvedených experimentálních výsledků. Následující slovní hodnocení výsledků simulací je tedy pouze orientační, byť se při experimentálním ověření prokázal dobrý soulad s výsledky simulací.

Odezva na skok amplitudy je srovnatelná s ostatními uvažovanými technikami, spíše mírně horší.

Odezva na skok kmitočtu je rychlejší než v případě CDSC.

Odezva na skok fáze je výrazně lepší. Navrhovaná technika netrpí nežádoucí změnou kmitočtu ani amplitudy estimovaného napětí a je nejrychlejší z testovaných technik.

Zpětná složka v ustáleném stavu nepředstavuje pro žádnou z vybraných technik problém, její skokové připnutí však způsobí přechodný děj, během kterého se soustava dostává do nového stavu. Navrhovaná metoda má v tomto případě odezvu o něco horší.

Kombinace dvou typů filtrů se výrazně projeví při působení harmonických složek. Je vidět z Obr. 4.14, že na rozdíl od technik SOGI a SOGI-WPF je pátá harmonická úplně potlačena. V době přechodného děje je potlačena více, než v případě CDSC.

Obr. 4.15 ukazuje odezvu na bílý šum. Signál bílého šumu testuje odezvu na superponovaný náhodný signál. Výsledky navrhované metody jsou zde jednoznačně nejlepší ve všech estimovaných veličinách. Měřítko použité u průběhů v Obr. 4.15 je ovšem výrazně

odlišné od měřítka ostatních obrázků. Výkon šumu (noise power) je nastavený na 0,1 a následně je výstup bloku dělen pěti.

Posledním pokusem byla kombinovaná porucha skoku fáze a kmitočtu současně. Působením PJD je při skoku fáze zablokována možnost doladit kmitočet po dobu aktivace PJD. Nabízí se tedy otázka, jak se bude systém chovat, dojde-li ve stejné době také ke změně kmitočtu. Ukázalo se, že přesto navrhovaná technika ve srovnání s ostatními nedopadá tak špatně. Odezva metody CDSC je srovnatelná se skokem fáze této techniky, estimovaný kmitočet se po výkmitu navrácí k nové hodnotě. Ve fázi estimované touto metodou je vidět překmit. Metody DSOGI-FLL a DSOGI-WPF-FLL mají odezvu srovnatelnou, pouze s tím, že metoda DSOGI-WPF-FLL má menší překmit v estimovaném kmitočtu. Odezva navrhované metody se skládá ze dvou částí. V prvním intervalu reaguje tato metoda na skok fáze, hodnota kmitočtu je zafixovaná působením PJD na hodnotě, jakou měl před skokem. Následkem toho je po ustálení (v čase cca 35 ms) kmitočet na své původní hodnotě a je přítomna odchylka estimované fáze následkem špatného naladění. V čase 40 ms, kdy dojde k odblokování PJD, dostane se kmitočet na správnou hodnotu bez překmitu a tím zároveň zanikne i odchylka fáze. Odezva navrhované metody je tedy nejpomalejší, za to je však nejkolidnější.

Simulace jsou v souladu s předpoklady a potvrdily dobré vlastnosti navrhované metody.

5. Výsledky experimentů

Po simulačním ověření byla navrhovaná technika přenesená do systému dSPACE™ DS1005, aby ji bylo možné vyzkoušet v reálných podmínkách. Na rozdíl od simulace, kde byly poruchy napětí simulované jako ideální, v experimentálním měniči bude použito měřené napětí programovatelného trojfázového zdroje Chroma 1704. Vstupní (měřené) napětí tak bude zatíženo dodatečnými chybami měření, které nebyly simulovány (offsety čidel, rušení, nepřesné vzorkování...) a také vlivem nedokonalosti zdroje.

Při simulacích bylo bráno v potaz, že model se později přenesení do řídicího systému dSPACE. Proto je model rozdělený na dvě oddělitelné části tak, aby přechod k reálnému systému byl co možná nejjednodušší. Model pro spuštění v systému dSPACE se skládá také ze dvou částí. Zatímco v simulačním modelu je v první části síť simulovaná, v modelu pro experiment jsou namísto simulovaných hodnot použité hodnoty napětí změřené napěťovými čidly po určitých úpravách (přepočítání z normalizované na skutečnou hodnotu a vyrovnaní offsetu). Model pro simulaci je proveden jako diskretní model s konstantní dobou vzorkování. V případě experimentu je celá úloha spouštěná přerušením od PWM modulátoru. To sice představuje prakticky (v našem případě) také konstantní vzorkování, ale z hlediska programu se jedná o asynchronní událost. Aby bylo možné program (model) přeložit pro systém dSPACE, použité bloky musí umožňovat použití v triggerovaném subsystému¹⁰. Na pozadí probíhá pouze komunikace s počítačem.

¹⁰ Ne všechny diskretní bloky umožňují funkci v triggerovaném subsystému. Pro většinu základních diskretních bloků to nepředstavuje problém, sofistikovanější bloky problém mít mohou. V našem případě to byl například blok realizující proměnné zpoždění (je nutné použít blok z knihovny Signal processing blockset) a časovací monostabilní obvod (knihovní blok je nutné mírně upravit, aby se sample time přenesený z konfiguračního dialogu použil jen tam, kde to je nezbytné (výpočet počtu vzorků z požadované doby zpoždění) a jinde byl -1 (zděděný) což je jediná povolená hodnota v triggerovaném subsystému).

5.1. Laboratorní pracoviště

Laboratorní zařízení obsahuje zejména:

- zdroje pro simulaci poruch sítě, zejména zdroj Chroma 1704
- řídicí systém dSPACE DS 1005
- měnič s IGBT s potřebným příslušenstvím (měřicí převodníky napětí a proudu, síťový filtr, interface pro propojení s dSPACE)
- řídicí počítač vybavený potřebným softwarem (tj. zejména prostředím Matlab/Simulink a ControlDesk)
- měřicí přístroje, z těch důležitějších se jedná o následující: čtyřkanálový osciloskop TPS2024 s galvanicky oddělenými kanály a Analyzátor výkonu Yokogawa WT1600

Obr. 5.1 až Obr. 5.4 zobrazují vybavení laboratoře. Pracoviště je vybaveno pro práci s PWM měniči. V rámci problematiky řešené v této práci byla využita jen jeho menší část.

Pro ověřování algoritmů v reálném systému byl použit systém dSPACE. Mezi jeho hlavní výhody patří jednoduchý přenos algoritmu mezi simulací v prostředí Simulink/Matlab a experimentem. Přenos probíhá ideálně pouze změnou rozhraní (simulované proměnné jsou nahrazené reálnými) a přeložením modelu pomocí překladače pro systém dSPACE. Dále také možnost jednoduchého vytváření a zpracovávání záznamů potřebných veličin. Uložení záznamů probíhá do souboru *.mat čitelného v Matlabu, v podobě strukturované proměnné obsahující hodnoty záznamu a další informace. A v neposlední řadě také dostatečný výpočetní výkon.

Pro ověření byl použitý model původně určený pro řízení měniče, který byl významně zredukován.¹¹ Zrušeny byly regulátory proudů a vše co není potřeba pro ověření synchronizace. Naopak zůstala PWM modulace, protože ta je zdrojem synchronizace modelu – měření napětí probíhá ve středech modulačních intervalů, v době, kdy neprobíhá spínání. Protože měření a následná synchronizace probíhá v přerušení a tedy teoreticky asynchronně, musí být pro sestavení modelu použité diskretní bloky, které mohou pracovat v triggerovaném subsystému.

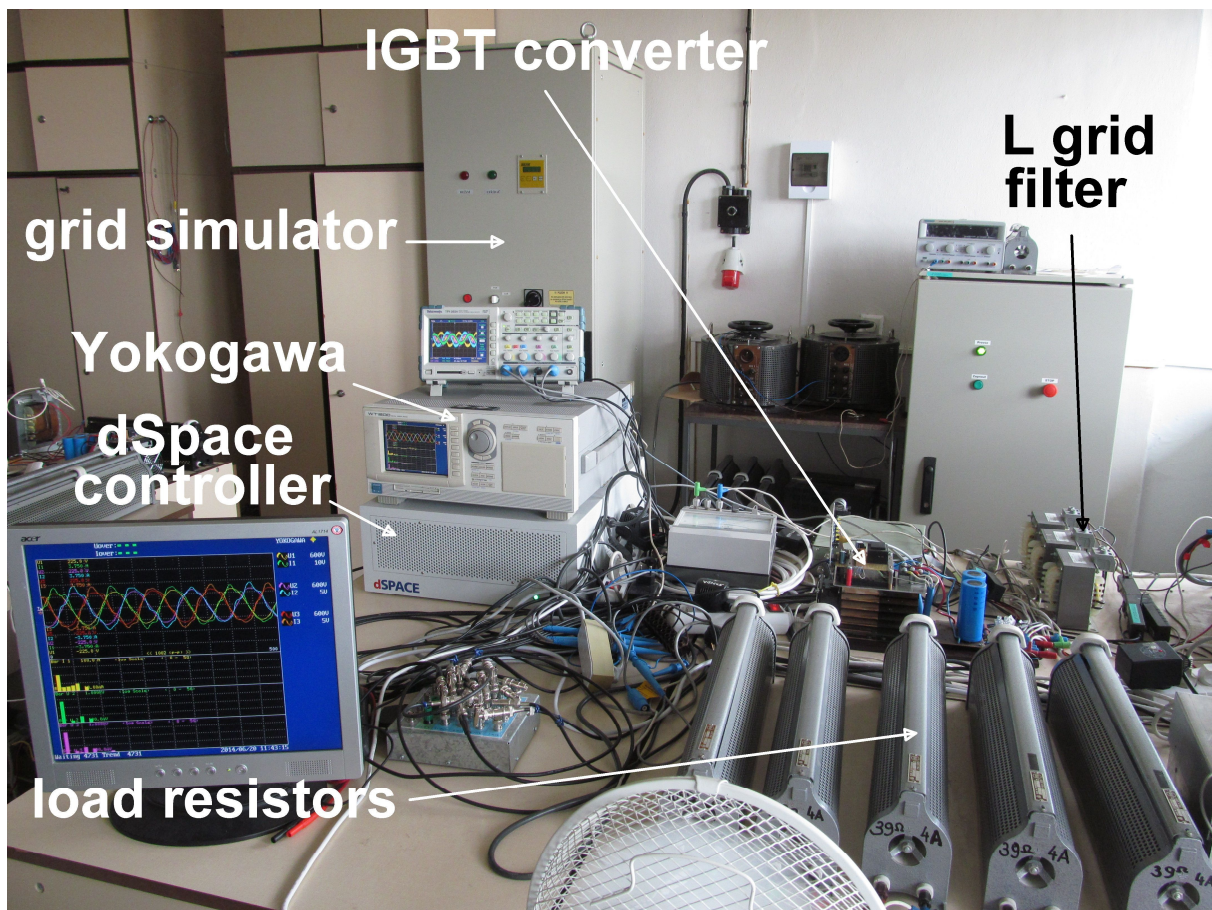
Programovatelný zdroj Chroma 1704 použitý jako simulátor (poruch) sítě umožňuje generovat prakticky libovolné trojfázové průběhy. V základním režimu generuje sinusové napětí se zadaným kmitočtem, buď symetrické, nebo je možné parametry napětí jednotlivých fází (amplitudu, stejnosměrnou složku, fázový posun atd.) zadávat individuálně pro každou z fází. Časový průběh napětí může být některý z připravených od výrobce, nebo libovolný uživatelský průběh aproximovaný pomocí 2 – 1024 bodů (těchto je možné nahrát do paměti zdroje 6). V paměti přístroje je možné mít připraveno pro okamžité použití pro každou ze tří fází dva průběhy (označené jako Waveform A a B). Tento základní režim by pokryl většinu potřebných experimentů včetně generování přechodných dějů. Dále může být doplněn o doplňky. V našem případě to jsou: doplněk pro generování stupňovitého průběhu "step" umožňující po krocích skokově měnit parametry generovaného napětí, doplněk "list" pro

¹¹ Původní představa byla, že by se zásahy minimalizovaly. Avšak při požadavku na porovnání více metod už nepostačoval výpočetní výkon a model musel být zredukován.

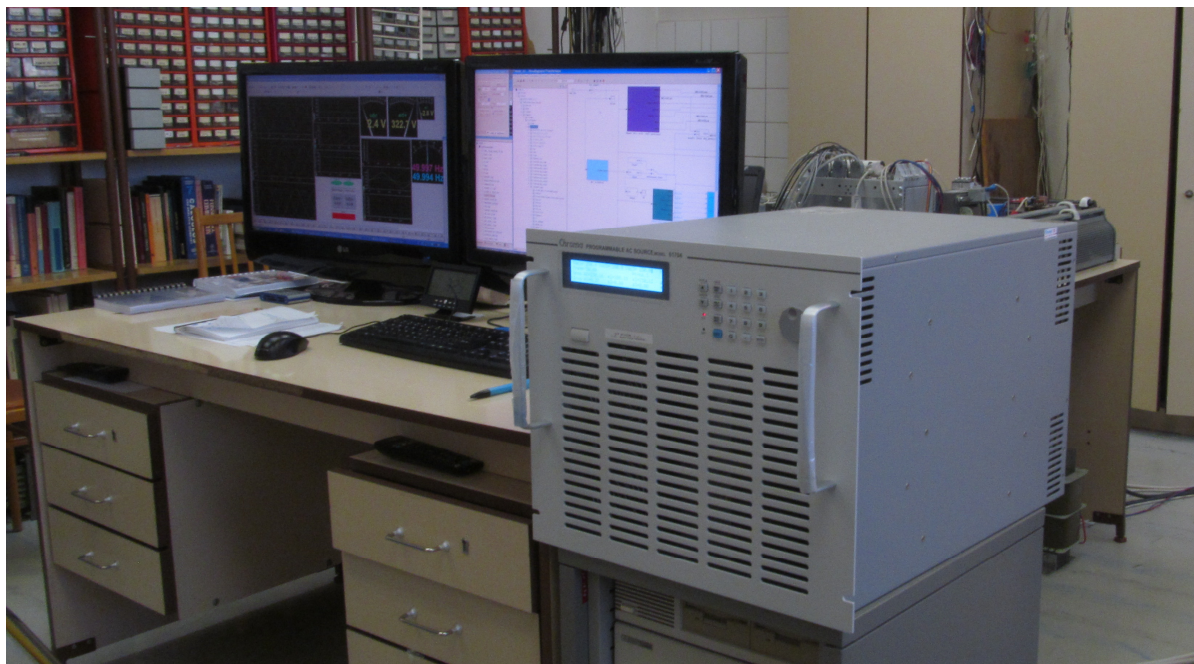
generování skokové nebo plynulé změny podle seznamu a doplněk "interharmonics," který umožňuje přidat k napětí aditivní složku v rozsahu kmitočtů 10mHz až 2400 Hz s možností jejího rozmítání. Naneštěstí napětí takto přidané do všech fází má v trojfázové soustavě charakter netočivé složky, tedy pro experimenty v této práci je to nepoužitelné.

Generování skoku kmitočtu a amplitudy (včetně nesymetrie) představuje pouze přepnutí (zdroj umožňuje, že nové nastavení se může projevit ihned nebo v nastavené (definované) fázi průběhu). Generování harmonických znamená přepnutí časového průběhu z jedné předvolby na druhou. Předem je potřeba nahrát požadovaný průběh do paměti průběhů přístroje (případně použít některý z vestavěných) a ten potom do předvolby průběhu. Takto jednoduše nelze generovat pouze skok fáze (bylo by možné připravit si jako uživatelský průběh sinus posunutý o potřebný úhel).

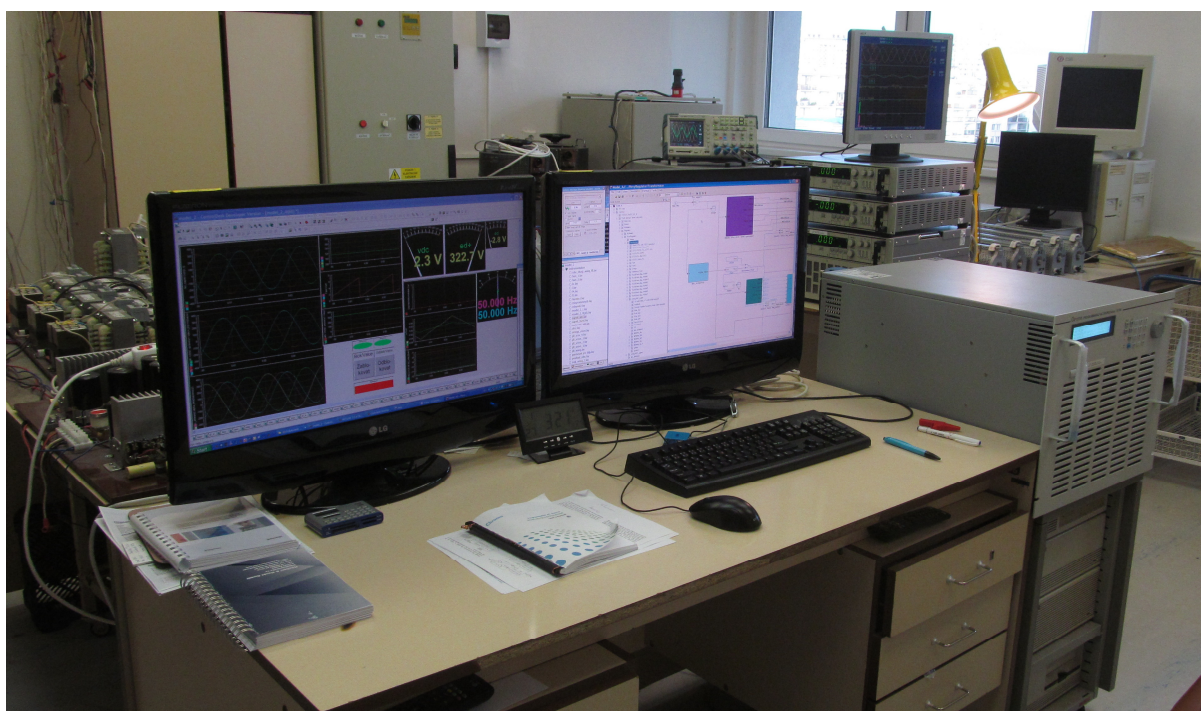
Pro generování experimentálních průběhů byl použit právě doplněk "list". I když to nebylo pro většinu případů nezbytné, bylo to mnohem komfortnější. Jednou naprogramovanou sekvenci lze opakovaně spouštět jediným příkazem, bez nutnosti parametry do zdroje znovu nahrávat.



Obr. 5.1 Vybavení laboratoře



Obr. 5.2 Zdroj Chroma 1704



Obr. 5.3 Ovládací pracoviště



Obr. 5.4 Vlevo: osciloskop TPS2024, analyzátor výkonu Yokogawa WT1600 a dSPACE DS1005; vpravo: programovatelné zátěže ZSAC426 a ZSAC1444

Zatímco v simulaci byly pro jednu techniku zařazeny všechny poruchy následující po sobě v čase, zde byly jednotlivé poruchy aplikované odděleně. Použitý zdroj by umožňoval i postup použitý v simulacích (testovací průběh v režimu "list" by se skládal z úseků pro simulaci jednotlivých poruch, stejně tak systém dSPACE by byl schopný provést záznam potřebných veličin dlouhý i několik sekund). Tento postup byl zvolen nejen kvůli jednodušší implementaci, ale hlavně proto, že zde se budou zobrazovat detaily, které by z tak dlouhého záznamu nebyly vidět a průběh by tak musel stejně být rozdělen podobně jako v případě simulačního ověření v kapitole 4.6.

Pro ověření algoritmů byly vybrány nejdůležitější poruchy:

- skok amplitudy
- zpětná složka
- skoková změna kmitočtu
- skok fáze (vynechání části průběhu)
- harmonické různých řádů (5., 7., 11., 13.)
- skok kmitočtu a fáze současně

V simulaci byl jako indikátor kvality synchronizace použitý také rozdíl fáze (rozdíl estimované fáze oproti skutečné). Jeho získání v případě experimentu je složitější, ale je to jediný způsob jak posoudit kvalitu synchronizace. V případě nezarušeného signálu je možné jej získávat pomocí funkce arctan. Pokud signál obsahuje harmonické, není tento postup

možný, stejně tak je problematický v některých dalších případech. Naopak pro případ skoku kmitočtu a skoku fáze to je jediný způsob.

Byl tedy vyvinutý jiný postup, jak lze za určitých předpokladů¹² správnou hodnotu získat. Neznámý úhel byl určován na základě předpokladu, že okamžitá hodnota fáze ϑ je daná jako integrál známého úhlového kmitočtu

$$\vartheta = \int \omega dt + \vartheta_0 \quad (5.1)$$

Hodnota úhlového kmitočtu je známá, teoreticky by měla odpovídat zadání programovatelného zdroje. Problém je, že přesná hodnota ω je vlivem různých chyb (v nastavení zdroje i v nepřesnosti měření času) drobně odlišná od nastavení zdroje a je nutné ji dorovnat alespoň na 4 desetinná místa (například. 50,0014 Hz), aby hodnota rozdílu takto získané fáze a estimované fáze se viditelně neztvrdovala v čase¹³ a nezhodnocovala tak vypovídací schopnost naměřených dat. Je tak zjišťován rozdíl estimované fáze oproti skutečné fázi signálu, která není známá, ale až na počáteční podmínku ϑ_0 je při správném nastavení ω shodná s náhradní fází určenou tímto postupem. Zjištění hodnoty počáteční podmínky ϑ_0 je v reálném čase nemožné, proto byla její hodnota zjištěna až při následném zpracování záznamu, na základě předpokladu nulového rozdílu v ustáleném stavu (tento předpoklad se opírá o provedené simulace a také výsledky při druhém způsobu určení fáze). Tato hodnota byla přičtena k získanému průběhu v celé délce po vykreslení křivky v prostředí Matlab¹⁴. Pro lepší přehlednost průběhu byl posunut čas tak, aby přechodný děj začínal v čase 0 (to se týká některých dějů, u kterých nebylo možné nalézt vhodnou spouštěcí veličinu pro záznam). To byla jediná dodatečná úprava hodnot záznamu, jinak je zobrazen tak, jak byl získán ze záznamu děje v reálném čase.

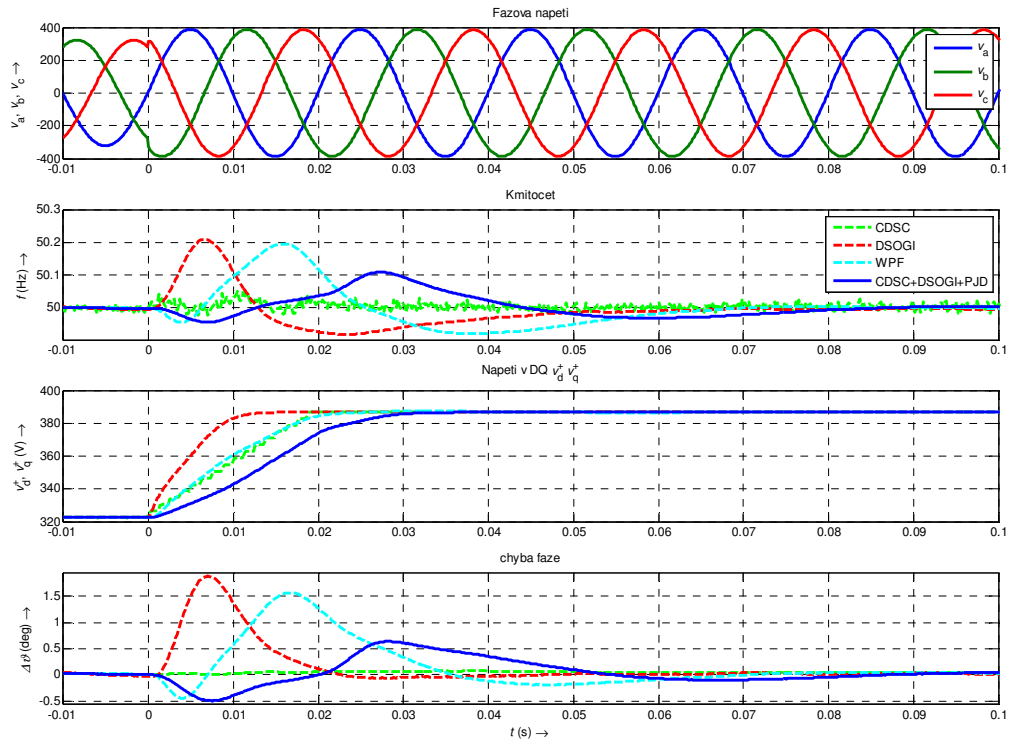
Tento postup určení fáze není možné jednoduše použít pro skok fáze a skok kmitočtu. V případě skoku fáze by se získaný průběh $\Delta\vartheta$ ustálil na hodnotě velikosti skoku, nikoliv na nule. V případě skoku kmitočtu by se hodnota $\Delta\vartheta$ zvětšovala v čase. V těchto případech byla použita prvně jmenovaná technika používající inverzní goniometrickou funkci arctan.

V systému dSPACE byly zaznamenány průběhy všech důležitých veličin, které po přenesení do počítače a uložení byly vyneseny do grafů pomocí funkcí programu Matlab, tyto grafy jsou na Obr. 5.5 - Obr. 5.13.

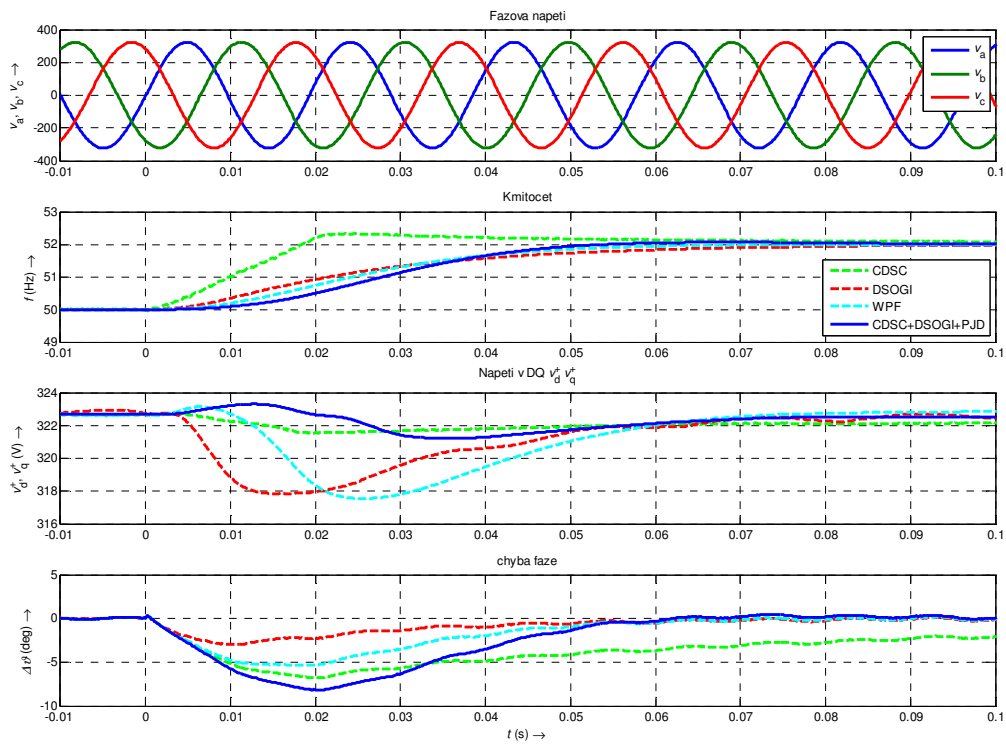
¹² Základním předpokladem je, že se nebude měnit kmitočet a fáze průběhu bude spojitá. V zásadě by bylo možné použít tento postup i při skoku fáze, odchylka fáze (rozdíl estimované a takto získané hodnoty) by po ustálení byla rovná velikosti skoku.

¹³ Při odchylce kmitočtu dvou průběhů o 0,0001 Hz dojde za čas 1 s k odchylce fáze o $0,0001 \cdot 360 = 0,036^\circ$.

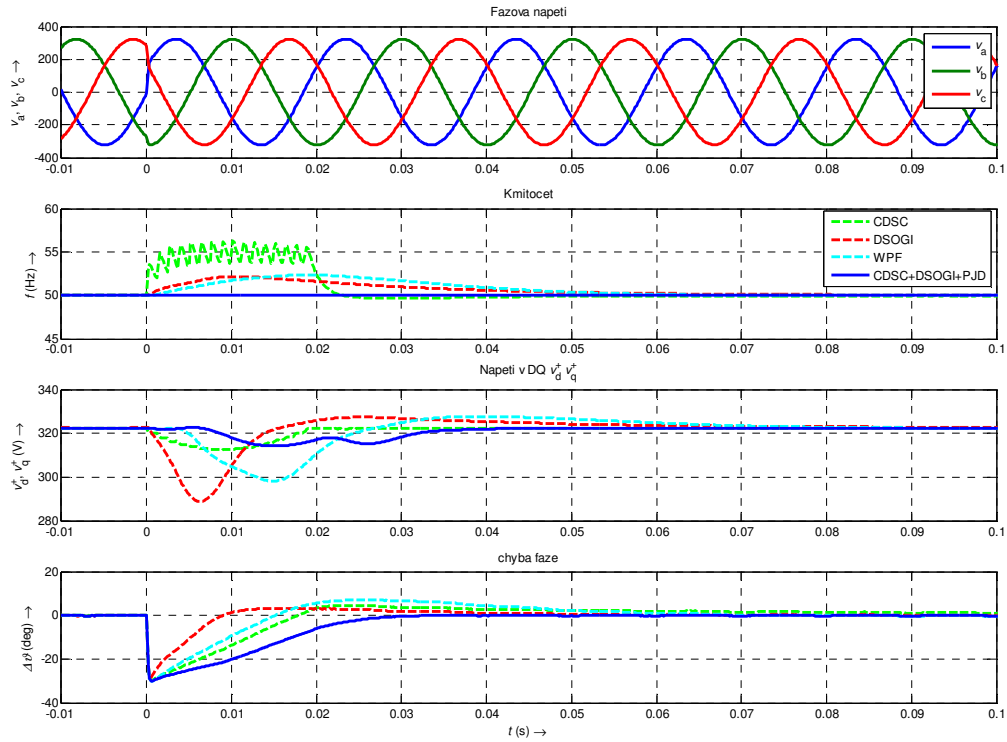
¹⁴ Pro každý průběh rozdílu fáze byl proveden příkaz `set(gco, 'ydata', get(gco, 'ydata') + offset)`, kde velikost offsetu byla zjištěna v čase před přechodným dějem (gco označuje vybraný objekt, v tomto případě křivku). Tento postup byl dále zautomatizován pomocí skriptu, který naznačenou operaci provede pro všechny křivky v jednom grafu.



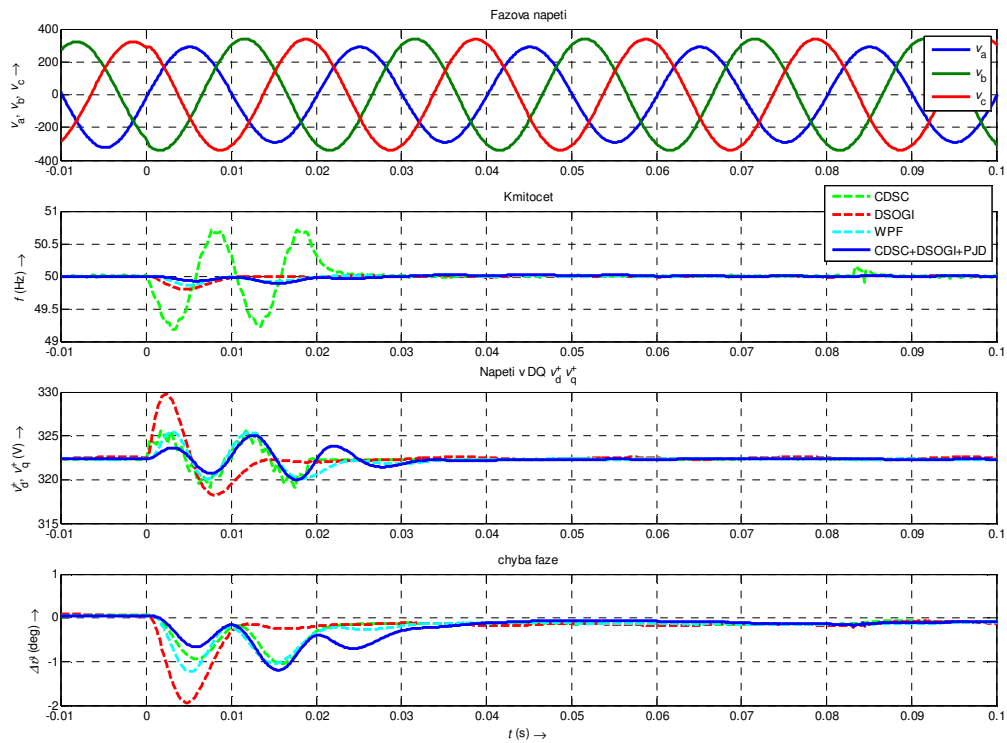
Obr. 5.5 Skok amplitudy 20%



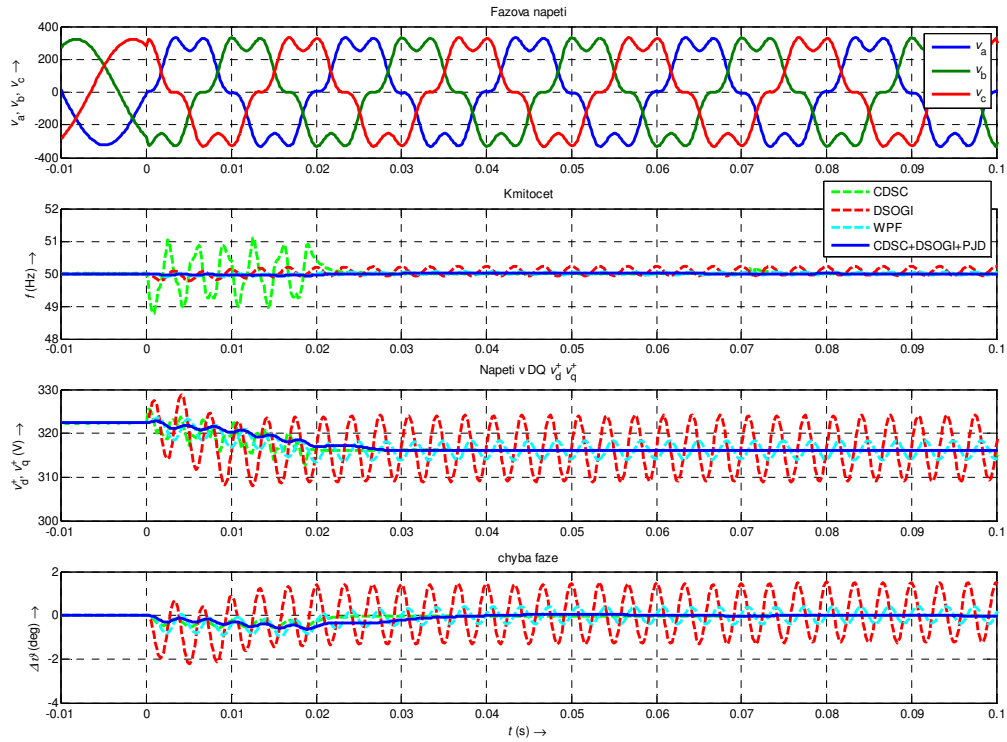
Obr. 5.6 Skok kmitočtu 2 Hz



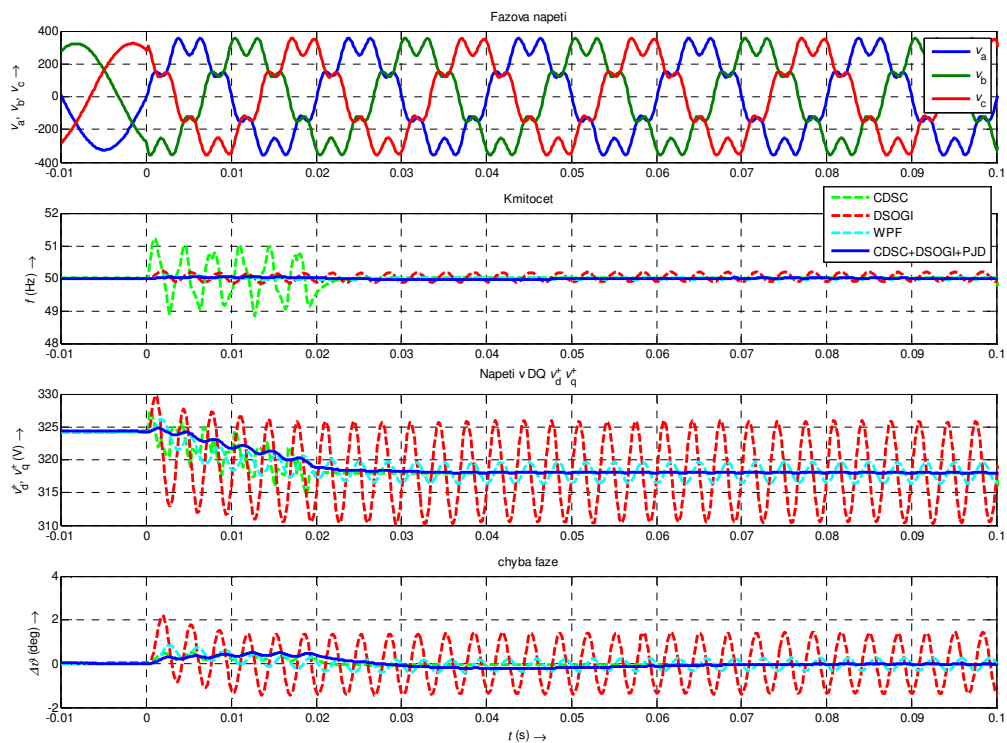
Obr. 5.7 Skok fáze 30°



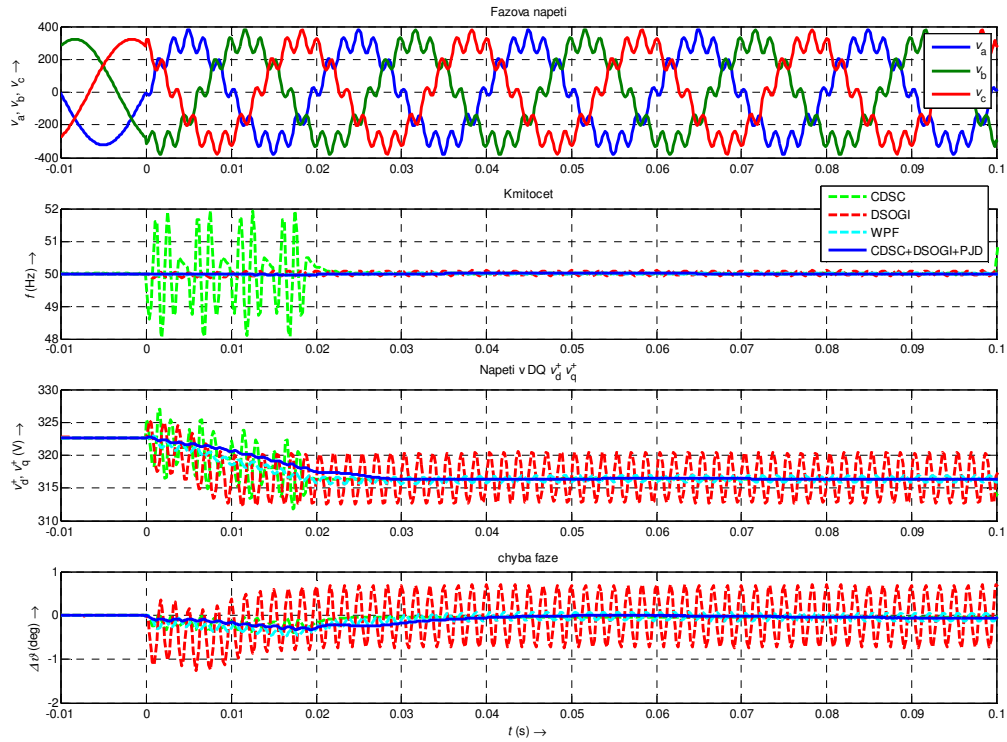
Obr. 5.8 Nesymetrie (zpětná složka 20%)



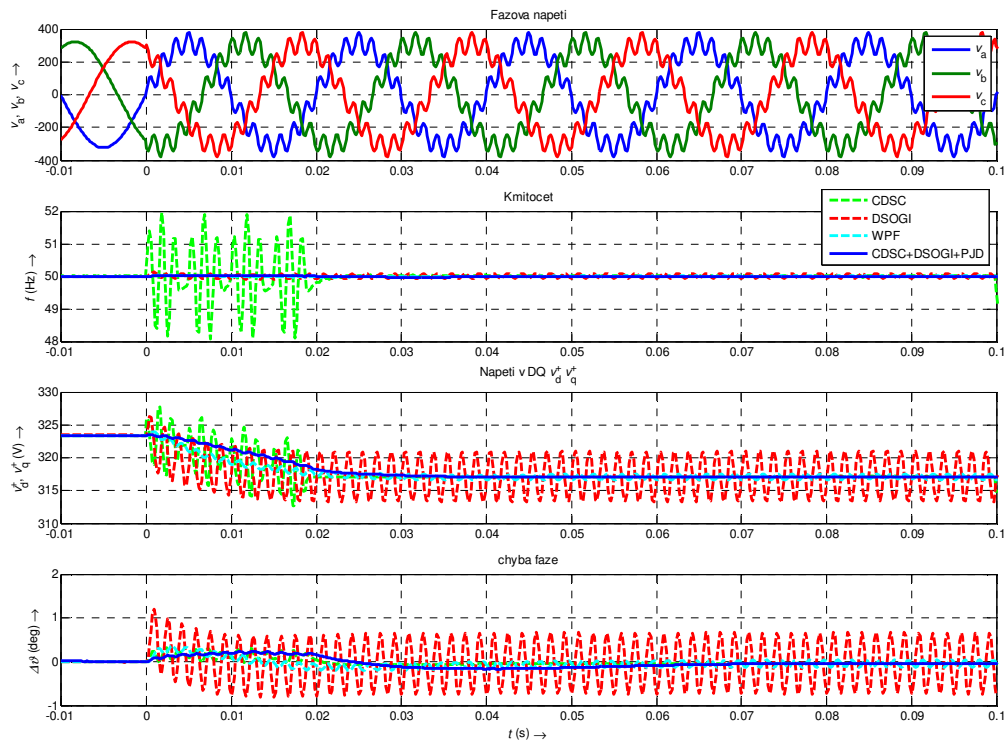
Obr. 5.9 Pátá harmonická 20%



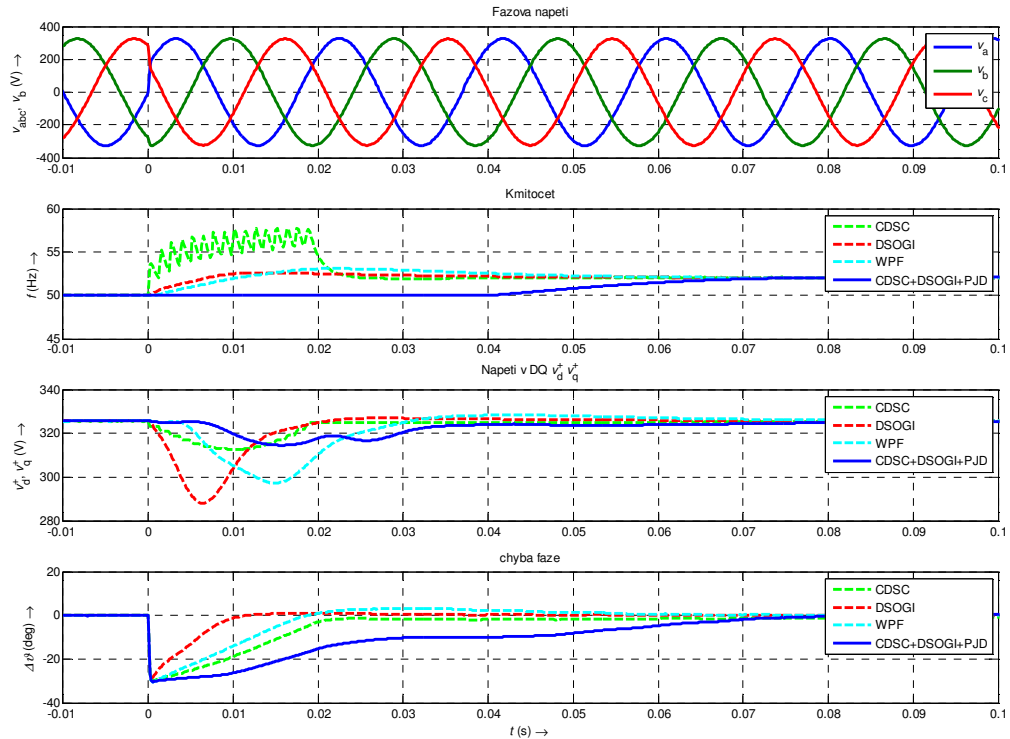
Obr. 5.10 Sedmá harmonická 20%



Obr. 5.11 Jedenáctá harmonická 20%



Obr. 5.12 Třináctá harmonická 20%



Obr. 5.13 Skok kmitočtu o 0,5 Hz a zároveň skok fáze o 30°

Výsledky experimentů jsou v souladu s výsledky simulací. Drobné odlišnosti jsou způsobené pouze nedokonalostí generovaného průběhu, který se mírně liší od ideálu. Největší problém způsoboval skok fáze mezi navazujícími úseky (úseky, které měly navazovat), který činil 0,5°-1° a byl kompenzován nastavením zdroje (změnou počáteční fáze příslušného úseku) tak, aby velikost skoku nepřekročila 0,1°. Vzhledem k rozlišení zdroje na desetiny stupně je toto mezní dosažitelná přesnost. V případě harmonických došlo také ke změně amplitudy. Je to proto, že zatímco v simulaci byla generovaná základní harmonická beze změny a k ní byla přičtena příslušná harmonická, v případě experimentu bylo generované napětí se stejnou (celkovou) efektivní hodnotou a tedy základní harmonická ji měla nižší. S přidáním harmonické je tedy spojený pokles amplitudy základní harmonické, což je v Obr. 5.9 až Obr. 5.12 všemi technikami správně rozpoznáno.

6. Zhodnocení simulací a experimentů a jejich souladu s předpoklady

V předchozích kapitolách bylo nejprve srovnání navrhované metody s ostatními v simulacích a poté při pokud možno stejných podmínkách v experimentech. Výsledky experimentů jsou ve velmi dobrém souladu se simulacemi. Ne všechny simulované děje se podařilo ověřit experimentálně a naopak do experimentu byly zařazené děje, které simulovány nebyly.

Porovnání rozdílných metod není jednoduché. Při hodnocení je potřeba kromě doby ustálení vzít v úvahu také překmit. Pro řízení měniče může být výhodnější, když je hodnota překmitu menší (řídící algoritmus dostává hodnotu bližší skutečnosti), než rychlá odezva s velkým překmitem. Další problém je, že se v několika případech liší odezva jednotlivých sledovaných veličin. Nakonec byly odezvy všech tří veličin hodnoceny nezávisle a sestaveny do Tab. 6.1.

Při hodnocení skoku některé z veličin je rozhodující doba ustálení této veličiny. V Tab. 6.1 jsou červeně podbarvená pole s údaji o době ustálení této veličiny na nové hodnotě. Kritéria dosažení ustáleného stavu byla zvolena takto: odchylka napětí je menší než ± 1 V, odchylka úhlu je menší než $\pm 1^\circ$ a odchylka kmitočtu je menší než 0,1 Hz. U ostatních sledovaných veličin (těch veličin, u kterých ke změně nedošlo) je podstatná maximální odchylka od statického stavu, kam by se měla daná veličina opět vrátit. Tato odchylka je uvedena v příslušných jednotkách. Pro lepší přehlednost jsou tyto jednotky v tabulce uvedené.

Vždy je metoda s nejlepším výsledkem označena zeleným pruhem, v případě času ustálení jsou použity dva zelené pruhy jako označení prioritního kritéria. V případě hodnocení ustáleného stavu je tímto způsobem vyznačena nejlepší odezva.

Metoda ↓	Děj →	Amplituda	Kmitočet	Fáze	Nesymetrie	5. harm.	Šum
		T	T	T	T	SS	SS
CDSC	v_{dq}^+	18,7 ms	1,2 V	9,9 V	19,3 ms	0,0 V	3,2 V
	f	0,05 Hz	80,2 ms	6,3 Hz	0,7 Hz	0,1 Hz	0,1 Hz
	$\Delta\vartheta$	0,05°	6,7°	98,5 ms	1,0°	0,0°	0,1°
DSOGI	v_{dq}^+	11,0 ms	4,8 V	33,7 V	12,0 ms	0,8 V	1,4 V
	f	0,21 Hz	71,3 ms	2,2 Hz	0,2 Hz	0,2 Hz	<0,1 Hz
	$\Delta\vartheta$	1,88°	3,0°	46,2 ms	2,0°	1,4°	0,2°
DSOGI WPF	v_{dq}^+	20,5 ms	5,1 V	24,3 V	21,5 ms	2,2 V	1,3 V
	f	0,19 Hz	54,7 ms	2,4 Hz	0,1 Hz	0,1 Hz	<0,1 Hz
	$\Delta\vartheta$	1,56°	5,4°	58,2 ms	1,3°	0,4°	0,2°
CDSC DSOGI PJD	v_{dq}^+	28,5 ms	0,6 V	7,3 V	23,5 ms	0,0 V	0,5 V
	f	0,11 Hz	48,7 ms	0,0 Hz	0,1 Hz	0,0 Hz	<0,1 Hz
	$\Delta\vartheta$	0,64°	8,2°	27,5 ms	1,2°	0,0°	0,1°

Tab. 6.1 Porovnání výsledků (T=přechodný děj, SS=ustálený stav)

Z tabulky je zřejmé, že navržená metoda vykazuje všeobecně lepší výsledky, než poskytují dílčí metody CDSC a DSOGI a také nedávno publikovaná metoda DSOGI-WPF. Nicméně je obtížné najít a prohlásit nějakou metodu synchronizace jako univerzálně nejlepší ve všech kritériích (doba odezvy, velikost překmitu) a při všech druzích poruch. Metody musí být také porovnávány za jednotných podmínek, což lze považovat za další přínos této práce. Je třeba také zdůraznit, že navržená metoda poskytuje z porovnávaných metod největší flexibilitu vzhledem k typu a množství parametrů, kterými lze do značné míry ovlivňovat její provozní parametry.

7. Závěr, zhodnocení přínosu práce

Předkládaná práce podává v úvodu přehled současných metod pro synchronizaci PWM měničů a jejich srovnání pro jednotné podmínky.

V další kapitole je představena nově vyvinutá metoda, která kombinuje klasické DSOGI-FLL s bloky DSC a tím odstraňuje zásadní nevýhodu techniky DSOGI-FLL, kterou je její značná citlivost na harmonické složky obsažené v napětí. Zároveň zajišťuje lepší potlačení mezilehlých složek oproti CDSC. Tyto dvě techniky byly dosud používány odděleně.

Dalším neméně důležitým vylepšením je doplnění synchronizační metody o detektor skoku fáze PJD. Byl tak potlačen nežádoucí efekt skoku fáze napětí na funkci synchronizačního algoritmu.

Navržená metoda byla ověřena jak simulačně, tak experimentálně. Jak bylo uvedeno už v přehledu, je poměrně obtížné vybrat univerzálně nejlepší metodu. Přesto však simulace i provedená měření potvrzují, že navrhovaná metoda je pro základní ukazatele kvality synchronizace (průběhy kmitočtu, obou složek napětí a chyby fáze) při většině poruchových dějů lepší než metody stávající.

Navržená metoda dále poskytuje určitou míru flexibility, zejména pokud jde o volbu bloků DSC.

Vývoj synchronizačních technik nadále probíhá a ve světě stále vycházejí nové práce na toto téma. Zlepšení se orientují obvykle na drobné úpravy určitého detailu. Směry vývoje byly naznačené v přehledu metod. Ze zatím posledních prací budiž jmenováno přepínání (zařazení či překlenutí) určitého bloku DSC při výskytu poruch [35]. Dalším slibným směrem je kompenzace zpoždění způsobeného blokem DSC nebo MAF přidáním složky D [21], tj. použitím PID regulátoru, namísto regulátoru typu PI obvyklého ve strukturách PLL nebo přidáním funkce inverzního přenosu do regulační smyčky [32], [33]. Domnívám se, že použití opatření uvedených typů umožní ještě více zdůraznit výhody vyvinuté a zde prezentované metody.

8. Použitá literatura

- [1] Rodriguez, P.; Pou, J.; Bergas, J.; Candela, J.I.; Burgos, R.P.; Boroyevich, D., "Decoupled Double Synchronous Reference Frame PLL for Power Converters Control," in *Power Electronics, IEEE Transactions on*, vol.22, no.2, pp.584-592, March 2007
doi: 10.1109/TPEL.2006.890000
- [2] Saccomando, G.; Svensson, J., "Transient operation of grid-connected voltage source converter under unbalanced voltage conditions," in *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol.4, no., pp.2419-2424 vol.4, Sept. 30 2001-Oct. 4 2001
doi: 10.1109/IAS.2001.955960
- [3] Rolim, L.G.B.; da Costa, D.R.; Aredes, M., "Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory," in *Industrial Electronics, IEEE Transactions on*, vol.53, no.6, pp.1919-1926, Dec. 2006
doi: 10.1109/TIE.2006.885483
- [4] Akagi, H.; Kanazawa, Yoshihira; Nabae, A., "Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components," *Industry Applications, IEEE Transactions on*, vol.IA-20, no.3, pp.625,630, May 1984
doi: 10.1109/TIA.1984.4504460
- [5] Fortescue, C.L., "Method of Symmetrical Co-Ordinates Applied to the Solution of Polyphase Networks," *American Institute of Electrical Engineers, Transactions of the*, vol.XXXVII, no.2, pp.1027,1140, July 1918
doi: 10.1109/T-AIEE.1918.4765570
- [6] de Souza, H.E.P.; Bradaschia, F.; Neves, F.A.S.; Cavalcanti, M.C.; Azevedo, G.M.S.; de Arruda, J.P., "A Method for Extracting the Fundamental-Frequency Positive-Sequence Voltage Vector Based on Simple Mathematical Transformations," *Industrial Electronics, IEEE Transactions on*, vol.56, no.5, pp.1539,1547, May 2009
doi: 10.1109/TIE.2008.2009525
- [7] Bradaschia, F.; Arruda, J.P.; Souza, H.; Azevedo, G.M.S.; Neves, F.A.S.; Cavalcanti, M.C., "A method for extracting the fundamental frequency positive-sequence voltage vector based on simple mathematical transformations," *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, vol., no., pp.1115,1121, 15-19 June 2008
doi: 10.1109/PESC.2008.4592079
- [8] Perez, M.A.; Espinoza, J.R.; Moran, L.A.; Torres, M.A.; Araya, E.A., "A Robust Phase-Locked Loop Algorithm to Synchronize Static-Power Converters With Polluted AC Systems," in *Industrial Electronics, IEEE Transactions on*, vol.55, no.5, pp.2185-2192, May 2008
doi: 10.1109/TIE.2008.918638
- [9] Dongsul Shin; Kyoung-Jun Lee; Jong-Pil Lee; Dong-Wook Yoo; Hee-Je Kim, "Implementation of Fault Ride-Through Techniques of Grid-Connected Inverter for Distributed Energy Resources With Adaptive Low-Pass Notch PLL," in *Power Electronics, IEEE Transactions on*, vol.30, no.5, pp.2859-2871, May 2015
doi: 10.1109/TPEL.2014.2378792
- [10] Blanco, C.; Reigosa, D.; Briz, F.; Guerrero, J.M., "Synchronization in highly distorted three-phase grids using selective notch filters," in *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, vol., no., pp.2641-2648, 15-19 Sept. 2013
doi: 10.1109/ECCE.2013.6647042
- [11] Yi Fei Wang; Yun Wei Li, "Analysis and Digital Implementation of Cascaded Delayed-Signal-Cancellation PLL," in *Power Electronics, IEEE Transactions on*, vol.26, no.4, pp.1067-1080, April 2011
doi: 10.1109/TPEL.2010.2091150

- [12] Yi Fei Wang; Yun Wei Li, "Grid synchronization PLL based on cascaded delayed signal cancellation," in *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, vol., no., pp.420-427, 12-16 Sept. 2010
doi: 10.1109/ECCE.2010.5617996
- [13] Yi Fei Wang; Yun Wei Li, "Grid Synchronization PLL Based on Cascaded Delayed Signal Cancellation," in *Power Electronics, IEEE Transactions on*, vol.26, no.7, pp.1987-1997, July 2011
doi: 10.1109/TPEL.2010.2099669
- [14] Svensson, J.; Bongiorno, M.; Sannino, A., "Practical Implementation of Delayed Signal Cancellation Method for Phase-Sequence Separation," in *Power Delivery, IEEE Transactions on*, vol.22, no.1, pp.18-26, Jan. 2007
doi: 10.1109/TPWRD.2006.881469
- [15] Matas, J.; Castilla, M.; Miret, J.; Garcia de Vicuna, L.; Guzman, R., "An Adaptive Prefiltering Method to Improve the Speed/Accuracy Tradeoff of Voltage Sequence Detection Methods Under Adverse Grid Conditions," in *Industrial Electronics, IEEE Transactions on*, vol.61, no.5, pp.2139-2151, May 2014
doi: 10.1109/TIE.2013.2274414
- [16] Guodong Chen; Liang Zhang; Ruiting Wang; Luhua Zhang; Xu Cai, "A Novel SPLL and Voltage Sag Detection Based on LES Filters and Improved Instantaneous Symmetrical Components Method," in *Power Electronics, IEEE Transactions on*, vol.30, no.3, pp.1177-1188, March 2015
doi: 10.1109/TPEL.2014.2318051
- [17] Teodorescu, R.; Liserre, M.; Rodriguez, P., "Grid Converters for Photovoltaic and Wind Power Systems"
Wiley-IEEE Press, 2011
ISBN:978-0-47005751-3
doi: 10.1002/9780470667057
- [18] Golestan, S.; Ramezani, M.; Guerrero, J.M.; Freijedo, F.D.; Monfared, M., "Moving Average Filter Based Phase-Locked Loops: Performance Analysis and Design Guidelines," *Power Electronics, IEEE Transactions on*, vol.29, no.6, pp.2750,2763, June 2014
doi: 10.1109/TPEL.2013.2273461
- [19] Boussaid, A.; Maouche, Y.; Nemmour, A.L.; Khezzar, A., "A positive and negative sequences detecting method based on an improved PQ theory for power grid synchronization," in *Electrical and Electronics Engineering (ELECO), 2013 8th International Conference on*, vol., no., pp.181-185, 28-30 Nov. 2013
doi: 10.1109/ELECO.2013.6713828
- [20] Yi Fei Wang; Yun Wei Li, "Three-Phase Cascaded Delayed Signal Cancellation PLL for Fast Selective Harmonic Detection," *Industrial Electronics, IEEE Transactions on*, vol.60, no.4, pp.1452,1463, April 2013
doi: 10.1109/TIE.2011.2162715
- [21] Golestan, S.; Ramezani, M.; Guerrero, J.M.; Monfared, M., "dq-Frame Cascaded Delayed Signal Cancellation- Based PLL: Analysis, Design, and Comparison With Moving Average Filter-Based PLL," in *Power Electronics, IEEE Transactions on*, vol.30, no.3, pp.1618-1632, March 2015
doi: 10.1109/TPEL.2014.2315872
- [22] Kyoung-Jun Lee; Jong-Pil Lee; Dongsul Shin; Dong-Wook Yoo; Hee-Je Kim, "A Novel Grid Synchronization PLL Method Based on Adaptive Low-Pass Notch Filter for Grid-Connected PCS," in *Industrial Electronics, IEEE Transactions on*, vol.61, no.1, pp.292-301, Jan. 2014
doi: 10.1109/TIE.2013.2245622
- [23] Rodríguez, P.; Luna, A.; Muñoz-Aguilar, R.S.; Etxeberria-Otadui, I.; Teodorescu, R.; Blaabjerg, F., "A Stationary Reference Frame Grid Synchronization System for Three-Phase Grid-Connected Power Converters Under Adverse Grid Conditions," in *Power Electronics, IEEE Transactions on*, vol.27, no.1, pp.99-112, Jan. 2012
doi: 10.1109/TPEL.2011.2159242

- [24] Liang Wang; Qirong Jiang; Lucheng Hong; Chunpeng Zhang; Yingdong Wei, "A Novel Phase-Locked Loop Based on Frequency Detector and Initial Phase Angle Detector," in *Power Electronics, IEEE Transactions on*, vol.28, no.10, pp.4538-4549, Oct. 2013
doi: 10.1109/TPEL.2012.2236848
- [25] Liang Wang; Qirong Jiang; Lucheng Hong, "A novel three-phase software phase-locked loop based on frequency-locked loop and initial phase angle detection phase-locked loop," in *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, vol., no., pp.150-155, 25-28 Oct. 2012
doi: 10.1109/IECON.2012.6388816
- [26] Rodríguez, P.; Luna, A.; Candela, I.; Mujal, R.; Teodorescu, R.; Blaabjerg, F., "Multiresonant Frequency-Locked Loop for Grid Synchronization of Power Converters Under Distorted Grid Conditions," in *Industrial Electronics, IEEE Transactions on*, vol.58, no.1, pp.127-138, Jan. 2011
doi: 10.1109/TIE.2010.2042420
- [27] Qasim, M.; Kanjiya, P.; Khadkikar, V., "Artificial-Neural-Network-Based Phase-Locking Scheme for Active Power Filters," in *Industrial Electronics, IEEE Transactions on*, vol.61, no.8, pp.3857-3866, Aug. 2014
doi: 10.1109/TIE.2013.2284132
- [28] Qasim, M.; Kanjiya, P.; Khadkikar, V., "Optimal Current Harmonic Extractor Based on Unified ADALINEs for Shunt Active Power Filters," in *Power Electronics, IEEE Transactions on*, vol.29, no.12, pp.6383-6393, Dec. 2014
doi: 10.1109/TPEL.2014.2302539
- [29] Golestan, S.; Freijedo, F.D.; Vidal, A.; Yepes, A.G.; Guerrero, J.M.; Doval-Gandoy, J., "An Efficient Implementation of Generalized Delayed Signal Cancellation PLL," in *Power Electronics, IEEE Transactions on*, vol.31, no.2, pp.1085-1094, Feb. 2016
doi: 10.1109/TPEL.2015.2420656
- [30] Nascimento, P.S.B.; de Souza, H.E.P.; Neves, F.A.S.; Limongi, L.R., "FPGA Implementation of the Generalized Delayed Signal Cancellation—Phase Locked Loop Method for Detecting Harmonic Sequence Components in Three-Phase Signals," in *Industrial Electronics, IEEE Transactions on*, vol.60, no.2, pp.645-658, Feb. 2013
doi: 10.1109/TIE.2012.2206350
- [31] Han, Y.; Luo, M.; Zhao, X.; Guerrero, J.M.; Xu, L., "Comparative Performance Evaluation of Orthogonal-Signal-Generators-Based Single-Phase PLL Algorithms—A Survey," in *Power Electronics, IEEE Transactions on*, vol.31, no.5, pp.3932-3944, May 2016
doi: 10.1109/TPEL.2015.2466631
- [32] Golestan, S.; Guerrero, J.M.; Gharehpetian, G.B., "Five Approaches to Deal With Problem of DC Offset in Phase-Locked Loop Algorithms: Design Considerations and Performance Evaluations," in *Power Electronics, IEEE Transactions on*, vol.31, no.1, pp.648-661, Jan. 2016
doi: 10.1109/TPEL.2015.2408113
- [33] Golestan, S.; Guerrero, J.M.; Abusorrah, A.M., "MAF-PLL With Phase-Lead Compensator," in *Industrial Electronics, IEEE Transactions on*, vol.62, no.6, pp.3691-3695, June 2015
doi: 10.1109/TIE.2014.2385658
- [34] Hadjidemetriou, L.; Kyriakides, E.; Blaabjerg, F., "A Robust Synchronization to Enhance the Power Quality of Renewable Energy Systems," in *Industrial Electronics, IEEE Transactions on*, vol.62, no.8, pp.4858-4868, Aug. 2015
doi: 10.1109/TIE.2015.2397871
- [35] Batista, Y.N.; de Souza, H.E.P.; Neves, F.A.S.; Dias Filho, R.F.; Bradaschia, F., "Variable-Structure Generalized Delayed Signal Cancellation PLL to Improve Convergence Time," in *Industrial Electronics, IEEE Transactions on*, vol.62, no.11, pp.7146-7150, Nov. 2015
doi: 10.1109/TIE.2015.2443108

Seznam obrázků

Obr. 3.1 Napětí úsek 1: skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	9
Obr. 3.2 Napětí úsek 2: zpětná složka (20%) pátá harmonická (10%) a subharmonická 20 Hz (10%).....	9
Obr. 3.4 Blokové schéma SRF-PLL.....	12
Obr. 3.5 Odezva SRF-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	14
Obr. 3.6 Odezva SRF-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	14
Obr. 3.7 Blokové schéma metody DDSRF-PLL.....	15
Obr. 3.8 Odezva DDSRF-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	16
Obr. 3.9 Odezva DDSRF-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	16
Obr. 3.10 Blokové schéma SRF-PLL s DSC.....	17
Obr. 3.11 Přenosová charakteristika členu DSC.....	18
Obr. 3.12 Odezva DSC-PLL na skok v amplitudě ($\pm 20\%$), kmitočtu ($\pm 0,5\text{Hz}$) a fázi ($\pm 5^\circ$).....	19
Obr. 3.13 Odezva DSC-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	19
Obr. 3.14 Blokové schéma PLL s CDSC zařazeného v soustavě $\alpha\beta$	20
Obr. 3.15 Přenosová charakteristika několika běžných CDSC.....	22
Obr. 3.16 Odezva SRF-PLL s pěti články DSC ($N = 4; 8; 16; 32$ a $0,8$) na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	23
Obr. 3.17 Odezva SRF-PLL s CDSC na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	23
Obr. 3.18 Trojfázový PLL založený na součtinu.....	24
Obr. 3.19 Odezva PQ-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	26
Obr. 3.20 Odezva PQ-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	26
Obr. 3.21 Blokové schéma PLL s využitím matematických transformací.....	28
Obr. 3.22 Přenos signálu přes bloky CD (modře) a přes bloky AB (červeně) v závislosti na řádu harmonické. Výsledný přenos je zobrazen zeleně. Měřítka harmonických odpovídá stacionární soustavě. Není zohledněn vliv korekčního bloku M_{DC} ; tento blok zvětší velikost zelené křivky celkového přenosu tak, že pro základní harmonickou je jednotkový.....	29
Obr. 3.23 Odezva SRF-SMT-PLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	30
Obr. 3.24 Odezva SRF-SMT-PLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	30
Obr. 3.25 Blokové schéma MAF-PLL.....	31
Obr. 3.26 Odezva SRF-PLL s MAF na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	32
Obr. 3.27 Odezva SRF-PLL s MAF na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	32
Obr. 3.28 Blokové schéma adaptivního filtru využívajícího SOGI.....	34
Obr. 3.29 Blokové schéma FLL.....	35
Obr. 3.30 Blokové schéma SOGI-FLL.....	36
Obr. 3.31 Blokové schéma DSOGI-FLL.....	37
Obr. 3.32 Přenosová charakteristika DSOGI pro různá tlumení ζ	38
Obr. 3.33 Odezva DSOGI-FLL na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	39
Obr. 3.34 Odezva DSOGI-FLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	39
Obr. 3.35 Schéma bloku SOGI-WPF.....	40
Obr. 3.36 Odezva DSOGI-WPF na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	41
Obr. 3.37 Odezva DSOGI-WPF-FLL na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	41
Obr. 3.38 Porovnání odezvy všech technik z předchozích podkapitol na skok v amplitudě (+20%), kmitočtu (+0,5Hz) a fázi (+5°).....	43
Obr. 3.39 Odezva všech technik z předchozích podkapitol na zpětnou složku (20%) pátou harmonickou (10%) a subharmonickou 20 Hz (10%).....	43
Obr. 4.1 Navrhovaná struktura CDSC DSOGI FLL s PJD.....	45
Obr. 4.2 Přenosová charakteristika některých kombinací CDSC uvažovaných při výběru.....	45
Obr. 4.3 Charakteristika SOGI+CDSC, porovnání pro proměnné ζ při $N = [4\ 8\ 16\ 32]$	46
Obr. 4.4 Detail Obr. 4.3.....	46
Obr. 4.5 Blokové schéma PJD.....	48
Obr. 4.6 Porovnání normalizovaného rozhodovacího signálu e_{r2} při použití vývodu v_{dq}^* z různých stupňů DSC[4 8 16 32]. Signál označený r_0 je získaný ze vstupního napětí, r_1 je z vývodu za prvním blokem DSC atd. Použitý testovací průběh napětí je stejný jako v kapitole 3.1 pouze skok fáze byl zvětšený na 30° . Je zobrazená jen ta část grafu, kde jsou signály nenulové.....	49
Obr. 4.7 Detail Obr. 4.6 pro skok fáze.....	49

Obr. 4.8 Přenos harmonických kaskádou DSOGI a CDSC[4 8 16 32] v části pro souslednou složku (přenos zpětné složky je symetricky podle nuly stejný). Dále jsou zobrazené dílčí přenosy CDSC a DSOGI.....	50
Obr. 4.9 Detail Obr. 4.8 pro oblast nízkých kmitočtů a subharmonických.....	50
Obr. 4.10 Skok amplitudy o 20% v čase 0,25 s.....	52
Obr. 4.11 Skok kmitočtu o 0,5 Hz v čase 0,75 s.....	52
Obr. 4.12 Skok fáze o 30° v čase 1,25 s.....	53
Obr. 4.13 Zpětná složka o velikosti 20% v čase 2 s.....	53
Obr. 4.14 Pátá harmonická o velikosti 10% v čase 2,5 s.....	54
Obr. 4.15 Bílý šum v čase 3,5 s.....	54
Obr. 4.16 Skok kmitočtu o 0,5 Hz a současně fáze o 30° v čase 4 s.....	55
Obr. 5.1 Vybavení laboratoře.....	59
Obr. 5.2 Zdroj Chroma 1704.....	60
Obr. 5.3 Ovládací pracoviště.....	60
Obr. 5.4 Vlevo: osciloskop TPS2024, analyzátor výkonu Yokogawa WT1600 a dSPACE DS1005; vpravo: programovatelné zátěže ZSAC426 a ZSAC1444.....	61
Obr. 5.5 Skok amplitudy 20%.....	63
Obr. 5.6 Skok kmitočtu 2 Hz.....	63
Obr. 5.7 Skok fáze 30°.....	64
Obr. 5.8 Nesymetrie (zpětná složka 20%).....	64
Obr. 5.9 Pátá harmonická 20%.....	65
Obr. 5.10 Sedmá harmonická 20%.....	65
Obr. 5.11 Jedenáctá harmonická 20%.....	66
Obr. 5.12 Třináctá harmonická 20%.....	66
Obr. 5.13 Skok kmitočtu o 0,5 Hz a zároveň skok fáze o 30°.....	67

Seznam rovnic

$$\mathbf{v}_{abc} = \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = k_{sh} \cdot \sum_{n=1}^{\infty} (v_{abc}^{+n} + v_{abc}^{-n} + v_{abc}^{0n}) \quad (3.1) \dots\dots\dots 7$$

$$k_{sh} = 1 + m_{sh} \sin(\omega_{sh} t) \quad (3.2) \dots\dots\dots 8$$

$$\mathbf{v}_{abc} = V_{max} \begin{bmatrix} \sin \vartheta \\ \sin(\vartheta + 120^\circ) \\ \sin(\vartheta + 240^\circ) \end{bmatrix} \quad (3.3) \dots\dots\dots 8$$

$$\vartheta(t) = \int_0^t \omega d\tau + \vartheta_0 \quad (3.4) \dots\dots\dots 8$$

$$\vartheta(t) = \vartheta(t - T_s) + \omega(t) T_s \quad (3.5) \dots\dots\dots 8$$

$$\vartheta(0) = \vartheta_0$$

$$\mathbf{v}_{ab_bc} = \begin{bmatrix} v_{ab} \\ v_{bc} \end{bmatrix} = \begin{bmatrix} v_a - v_b \\ v_b - v_c \end{bmatrix} \quad (3.6) \dots\dots\dots 8$$

$$\mathbf{v}_{abc} = \frac{1}{3} \begin{bmatrix} 2 & 1 \\ -1 & 1 \\ -1 & -2 \end{bmatrix} \mathbf{v}_{ab_bc} \quad (3.7) \dots\dots\dots 8$$

$$\mathbf{v}_{dq0} = \begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \frac{2}{3} \begin{bmatrix} \cos(\vartheta) & \cos(\vartheta - \frac{2}{3}\pi) & \cos(\vartheta + \frac{2}{3}\pi) \\ -\sin(\vartheta) & -\sin(\vartheta - \frac{2}{3}\pi) & -\sin(\vartheta + \frac{2}{3}\pi) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.8) \dots\dots\dots 12$$

$$\begin{bmatrix} v_{d+}^* \\ v_{q+}^* \end{bmatrix} = \begin{bmatrix} v_{d+} \\ v_{q+} \end{bmatrix} - \begin{bmatrix} \cos 2\vartheta & \sin 2\vartheta \\ -\sin 2\vartheta & \cos 2\vartheta \end{bmatrix} \begin{bmatrix} \bar{v}_{d-} \\ \bar{v}_{q-} \end{bmatrix} \quad (3.9) \dots\dots\dots 15$$

$$\begin{bmatrix} v_{d-}^* \\ v_{q-}^* \end{bmatrix} = \begin{bmatrix} v_{d-} \\ v_{q-} \end{bmatrix} - \begin{bmatrix} \cos(-2\vartheta) & \sin(-2\vartheta) \\ -\sin(-2\vartheta) & \cos(-2\vartheta) \end{bmatrix} \begin{bmatrix} \bar{v}_{d+} \\ \bar{v}_{q+} \end{bmatrix}$$

$$k = \frac{\omega_c}{\omega} \quad (3.10) \dots\dots\dots 15$$

$$v_{\alpha\beta}^+(t) = 0.5(v_{\alpha\beta}(t) + jv_{\alpha\beta}(t - \frac{T}{4})) \quad (3.11) \dots\dots\dots 17$$

$$v_{\alpha\beta}^-(t) = 0.5(v_{\alpha\beta}(t) - jv_{\alpha\beta}(t - \frac{T}{4}))$$

$$v_{\alpha\beta}^+(kT_s) = 0.5(v_{\alpha\beta}(kT_s) + jv_{\alpha\beta}(kT_s - n_d T_s)) \quad (3.12) \dots\dots\dots 17$$

$$v_{\alpha\beta}^-(kT_s) = 0.5(v_{\alpha\beta}(kT_s) - jv_{\alpha\beta}(kT_s - n_d T_s))$$

$$n_d = \frac{f_s}{4f} \quad (3.13) \dots\dots\dots 18$$

$$DSC^h[N] = \frac{1}{2} \cdot (v_\alpha + jv_\beta + e^{j\frac{2\pi}{N}} \cdot (v_\alpha^D + jv_\beta^D)) \quad (3.14) \dots\dots\dots 20$$

$$DSC^+[N] = \frac{1}{2} \cdot \left(v_\alpha + jv_\beta + e^{j\frac{2\pi}{N}} \cdot (v_\alpha^D + jv_\beta^D) \right) \quad (3.15) \dots\dots\dots 21$$

$$DSC^-[N] = \frac{1}{2} \cdot \left(v_\alpha + jv_\beta + e^{-j\frac{2\pi}{N}} \cdot (v_\alpha^D + jv_\beta^D) \right)$$

$$G_{DSC(N)}(h) = \cos(h\pi/N) e^{-jh\pi/N} \quad (3.16) \dots\dots\dots 21$$

$$h = 1 + N \left(k + \frac{1}{2} \right) \quad (k \text{ je libovolné celé číslo}) \quad (3.17) \dots\dots\dots 21$$

$$h = 1 + Nk \quad (3.18) \dots\dots\dots 21$$

$$N = \left\lfloor \frac{h}{k + \frac{1}{2}} \right\rfloor \quad (3.19) \dots\dots\dots 21$$

$$v_d(t) = v_1(t) \cdot v_2(t)^* = V_1 V_2 e^{j(a_1 - a_2)} e^{j(\vartheta_1 - \vartheta_2)} \quad (3.20) \dots\dots\dots 24$$

$$v_d(t) = (v_{1\alpha} v_{2\alpha} + v_{1\beta} v_{2\beta}) + j(v_{1\beta} v_{2\alpha} - v_{1\alpha} v_{2\beta}) \quad (3.21) \dots\dots\dots 24$$

$$\begin{bmatrix} s_a^- \\ s_b^- \\ s_c^- \end{bmatrix} = -\frac{1}{3} \left(\mathbf{A}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{A}_2 \begin{bmatrix} s_{a60} \\ s_{b60} \\ s_{c60} \end{bmatrix} + \mathbf{A}_3 \begin{bmatrix} s_{a-60} \\ s_{b-60} \\ s_{c-60} \end{bmatrix} \right) \quad (3.22) \dots\dots\dots 27$$

$$\begin{bmatrix} s_a^- \\ s_b^- \\ s_c^- \end{bmatrix} = \frac{1}{3} \left(-\mathbf{B}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{B}_2 \begin{bmatrix} s_{a-90} \\ s_{b-90} \\ s_{c-90} \end{bmatrix} \right) \quad (3.23) \dots\dots\dots 27$$

$$\begin{bmatrix} s_a^+ \\ s_b^+ \\ s_c^+ \end{bmatrix} = -\frac{1}{3} \left(\mathbf{C}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{C}_2 \begin{bmatrix} s_{a-60} \\ s_{b-60} \\ s_{c-60} \end{bmatrix} + \mathbf{C}_3 \begin{bmatrix} s_{a60} \\ s_{b60} \\ s_{c60} \end{bmatrix} \right) \quad (3.24) \dots\dots\dots 27$$

$$\begin{bmatrix} s_a^+ \\ s_b^+ \\ s_c^+ \end{bmatrix} = \frac{1}{3} \left(-\mathbf{D}_1 \begin{bmatrix} s_a \\ s_b \\ s_c \end{bmatrix} + \mathbf{D}_2 \begin{bmatrix} s_{a90} \\ s_{b90} \\ s_{c90} \end{bmatrix} \right) \quad (3.25) \dots\dots\dots 27$$

$$\mathbf{A}_1 = \mathbf{C}_1 = \begin{bmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{bmatrix} \quad \mathbf{A}_2 = \mathbf{C}_2 = \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix} \quad \mathbf{A}_3 = \mathbf{C}_3 = \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix}$$

$$\mathbf{B}_1 = \mathbf{D}_1 = \begin{bmatrix} -1 & \frac{1}{2} & \frac{1}{2} \\ \frac{1}{2} & -1 & \frac{1}{2} \\ \frac{1}{2} & \frac{1}{2} & -1 \end{bmatrix} \quad \mathbf{B}_2 = \mathbf{D}_2 = \begin{bmatrix} 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ -\frac{\sqrt{3}}{2} & 0 & \frac{\sqrt{3}}{2} \\ \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} & 0 \end{bmatrix} \quad (3.26) \dots\dots\dots 27$$

$$\begin{bmatrix} s_d^A \\ s_q^A \end{bmatrix} = \frac{1}{3} \mathbf{A}_{1dq} \begin{bmatrix} s_d \\ s_q \end{bmatrix} + \frac{1}{6} \mathbf{A}_{2dq} \begin{bmatrix} s_{d60} \\ s_{q60} \end{bmatrix} + \frac{1}{6} \mathbf{A}_{3dq} \begin{bmatrix} s_{d-60} \\ s_{q-60} \end{bmatrix} \quad (3.27) \dots\dots\dots 28$$

$$\begin{bmatrix} s_d^B \\ s_q^B \end{bmatrix} = \frac{1}{2} \left(-\mathbf{B}_{1dq} \begin{bmatrix} s_d \\ s_q \end{bmatrix} + \mathbf{B}_{2dq} \begin{bmatrix} s_{d-90} \\ s_{q-90} \end{bmatrix} \right) \quad (3.28) \dots\dots\dots 28$$

$$\mathbf{A}_{1dq} = \mathbf{B}_{1dq} = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \quad \mathbf{A}_{2dq} = \begin{bmatrix} 1 & -\sqrt{3} \\ \sqrt{3} & 1 \end{bmatrix} \quad \mathbf{A}_{3dq} = \begin{bmatrix} 1 & \sqrt{3} \\ -\sqrt{3} & 1 \end{bmatrix} \quad \mathbf{B}_{2dq} = \begin{bmatrix} 0 & 1 \\ -1 & 0 \end{bmatrix} \quad (3.29) \dots\dots\dots 28$$

$$\mathbf{M}_{DC} = \frac{3}{4} \begin{bmatrix} 1-\sqrt{3} & -1-\sqrt{3} \\ 1+\sqrt{3} & 1-\sqrt{3} \end{bmatrix} \quad (3.30) \dots\dots\dots 28$$

$$\Delta\omega = \frac{\Delta\vartheta}{T_s} \quad \left[\text{rad/s}; \text{rad, s} \right] \quad (3.31) \dots\dots\dots 33$$

$$\Delta f = \frac{\Delta\vartheta}{360 \cdot T_s} \quad \left[\text{Hz}; \text{ }^\circ, \text{ s} \right] \quad (3.32) \dots\dots\dots 33$$

$$D(s) = \frac{v'(s)}{v(s)} = \frac{k\omega's}{s^2 + k\omega's + \omega'^2} \quad (3.33) \dots\dots\dots 34$$

$$Q(s) = \frac{qv'(s)}{v(s)} = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2}$$

$$t = \frac{9,2}{k\omega'} \quad (3.34) \dots\dots\dots 34$$

$$E(s) = \frac{e_v}{v}(s) = \frac{s^2 + \omega'^2}{s^2 + k\omega's + \omega'^2} \quad (3.35) \dots\dots\dots 35$$

$$\Gamma = \frac{2V^2}{k\omega'} \gamma \quad (3.36) \dots\dots\dots 36$$

$$t \approx \frac{4,6}{\Gamma} \quad (3.37) \dots\dots\dots 36$$

$$|v'| = \sqrt{(v')^2 + (qv')^2} \quad ; \quad \angle v' = \vartheta = \arctan\left(\frac{qv'}{v'}\right) \quad (3.38) \dots\dots\dots 36$$

$$v_{\alpha\beta}^+ = \frac{1}{2} (v_\alpha^* - qv_\beta^* + j(qv_\alpha^* + v_\beta^*)) \quad (3.39) \dots\dots\dots 37$$

$$v_{\alpha\beta}^- = \frac{1}{2} (v_\alpha^* + qv_\beta^* + j(-qv_\alpha^* + v_\beta^*))$$

$$\omega = -\frac{1}{2} \gamma \int (e_\alpha \cdot qv'_\alpha + e_\beta \cdot qv'_\beta) dt \quad (3.40) \dots\dots\dots 38$$

$$v_{\alpha\beta}^+(s) = \frac{1}{2} (D(s) + jQ(s)) \cdot v_{\alpha\beta} \quad (3.41) \dots\dots\dots 38$$

$$v_{\alpha\beta}^-(s) = \frac{1}{2} (D(s) - jQ(s)) \cdot v_{\alpha\beta}$$

$$\vartheta = \int \omega dt + \vartheta_0 \quad (5.1) \dots\dots\dots 62$$

Seznam Tabulek

Tab. 3.1 Zkušební signál pro simulaci.....	7
Tab. 3.2 Parametry použité při simulaci.....	10
Tab. 3.3 Zhodnocení výsledků simulovaných metod pro jednotlivé děje (+ vhodná, - nevhodná, 0 použitelná).....	43
Tab. 6.1 Porovnání výsledků (T=přechodný děj, SS=ustálený stav).....	68

Publikace autora

Publikace, vztahující se k tématu disertační práce

Publikace v recenzovaných časopisech

- [A1] Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "PLL strategies of grid connected converters under distorted input voltages," Acta Technica CSAV. Roč. 59, č. 1 (2014), s. 1-12. ISSN 0001-7043 **50%**
- [A2] Bejvl, Martin; Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Control Techniques of Grid Connected PWM Rectifiers under Unbalanced Input Voltage Conditions," Transactions on Electrical Engineering, 2013, Roč. 2, č. 1, s. 10-21. ISSN 1805-3386. **25%**

Publikace excerpované v ISI

- [A3] Kokeš, Petr; Pecha, I.; Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Topologie a metody řízení paralelních aktivních filtračních a kompenzačních zařízení pro vysoká napětí a výkony," In The Fifth International Scientific Symposium ELEKTROENERGETIKA 2009. Košice: Technical University of Košice, 2009, S. 69-72. ISBN 978-80-553-0237-9. **20%**
- [A4] Valouch, Viktor; Šimek, Petr; Škramlík, Jiří; Tlustý, J, "Microgrid Control Techniques at Power Converter Level," In Electric Power Engineering - EPE 2013. Ostrava: VŠB - TU Ostrava, 2013, S. 1-6. ISBN 978-80-248-2988-3. **25%**
- [A5] Valouch, Viktor; Šimek, Petr; Škramlík, Jiří, "New Three Phase PLL and FLL Techniques for Converters Used in Distributed Sources,". In Proceedings of the 2015 International Scientific Conference on Electric Power Engineering (EPE) /16./. Ostrava: VSB - Technical University of Ostrava, 2015, S. 94-99. ISBN 978-1-4673-6787-5. **33%**

Publikace ostatní

- [A6] Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Softwareové fázové závěsy PWM usměrňovače," In Konference EPVE 09 - Elektrické pohony a výkonová elektronika. Brno: VUT FEKT Brno, 2009, S. 1-5. ISBN 978-80-214-3974-0. **33%**
- [A7] Šimek, Petr; Škramlík, Jiří; Tlustý, J.; Valouch, Viktor; Pecha, I, "Software phase lock loops for pulse width modulated rectifiers," In The International Conference on Renewable Energies and Power Quality (ICREPQ' 10). Granada: Universidad de Granada, 2010, S. 1-5. ISBN 978-84-613-7543-1. **20%**
- [A8] Valouch, Viktor; Šimek, Petr; Škramlík, Jiří, "PWM usměrňovače velkých výkonů," In Konference ELEN 2010. Praha: ČVUT - FEL, 2010, S. 1-8. ISBN 978-80-254-8089-2. **33%**
- [A9] Bejvl, Martin; Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Vícehladinový IGBT pulzně řízený usměrňovač. In Elektrické pohony," XXXII. konference. Plzeň: ÚOS Elektrické pohony, 2011, S. 1-6. ISBN 978-80-02-02308-1. **25%**
- [A10] Šimek, Petr; Škramlík, Jiří; Valouch, Viktor; Bejvl, Martin, "Software Phase Lock Loops Applied in Three-Phase PWM Rectifier," In Electrical Drives and Power Electronics - EDPE 11. Košice: Technical University of Košice, 2011, S. 227-232. ISBN 978-80-553-0734-3. **25%**
- [A11] Bejvl, Martin; Šimek, Petr; Škramlík, Jiří; Valouch, Viktor, "Control Techniques of Grid Connected PWM Rectifiers under Unbalanced Input Voltage Conditions," In ELEN 2012. Prague: Czech Technical University, 2012, S. 1-14. ISBN 978-80-01-05096-5. **25%**
- [A12] Valouch, Viktor; Bejvl, Martin; Šimek, Petr; Škramlík, Jiří, "Power Control of Converter Connected to Unbalanced Grid," Proceedings of the Symposium on Electric Machines, Drives and Power **25%**

Publikace ostatní

Publikace v impaktovaných časopisech

- [A13] Valouch, Viktor; Bejvl, Martin; Šimek, Petr; Škramlík, Jiří, "Power Control of Grid-Connected Converters Under Unbalanced Voltage Conditions," IEEE Transactions on Industrial Electronics. 2015, Roč. 62, č. 7, s. 4241-4248. ISSN 0278-0046. **25%**

Publikace excerptované v ISI

- [A14] Bejvl, Martin; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Current Control Strategies of Converter-Based Microgrids under Disturbances," In 7th International Scientific Symposium on Electrical Power Engineering ELEKTROENERGETIKA 2013. Košice: Technical University of Košice, 2013, S. 236-239. ISBN 978-80-553-1441-9. **25%**
- [A15] Bejvl, Martin; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Current Control Techniques for Mains Connected Converters under Unbalanced Conditions," EPE 2014 - Electric Power Engineering 2014. Brno: Brno University of Technology, 2014, s. 569-574. ISBN 978-1-4799-3806-3. **25%**
- [A16] Lettl, J.; **Šimek, Petr**; Valouch, Viktor, "Compensation of Disturbed Load Currents Using Active Power Filter and Generalized Non-active Power Theory," In Progress in Electromagnetics Research Symposium. Prague: Electromagnetics Academy, 2015, S. 2500-2505. ISBN 978-193414230-1. ISSN 1559-9450. **33%**

Publikace ostatní

- [A17] **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor; Klíma, J., "Modeling and Implementation of Three-Phase Component Minimized PWM Converter," In EPVE 2008 - ÚVEE Brno. Brno: VUT FEKT Brno, 2008, S. 1-8. ISBN 978-80-7204-603-4. **25%**
- [A18] Paclt, Zdeněk; **Šimek, Petr**; Valouch, Viktor, "Řízení paralelního aktivního filtru systémem dSpace 1103A," In ELEN 2008 - Elektro Energetika. Praha: Fakulta elektrotechnická ČVUT, 2008, S. 1-7. ISBN 978-80-254-2293-9. **33%**
- [A19] Paclt, Zdeněk; **Šimek, Petr**; Valouch, Viktor, "Implementace algoritmu řízení paralelního aktivního filtru do systému dSpace 1103A," In SYMEP 2008. Trenčín/Bolešov: Trenčianska univerzita - Katedra mechatroniky, 2008, S. 81-88. ISBN 978-80-8075-337-5. **33%**
- [A20] Paclt, Zdeněk; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Control Strategy of Active Power Filter," In Electric Machines and Drives, Power Electronics and Drive Control. Prague: Institute of Thermomechanics AS CR, v. v. i., 2008, S. 45-48. ISBN 978-80-87012-13-0. **25%**
- [A21] Paclt, Zdeněk; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor; Klíma, J., "Analytical Modeling and Implementation of Three-Phase Four-Switch Space-Vector PWM Converter," In Electric Machines and Drives, Power Electronics and Drive Control. Prague: Institute of Thermomechanics AS CR, v. v. i., 2008, S. 49-52. ISBN 978-80-87012-13-0. **20%**
- [A22] **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Otázky dimenzování síťového filtru pro pulzní usměrňovač," In XXXI. konference Elektrické pohony. Plzeň: Západočeská univerzita, 2009, S. 1-5. ISBN 978-80-02-02151-3. **33%**
- [A23] **Šimek, Petr**; Škramlík, Jiří; Tlustý, J.; Valouch, Viktor, "Spectra of Grid Current Generated by High Power PWM Rectifiers," In 12th Portuguese-Spanish Conference on Electrical Engineering - XII CLEEE. Ponta Delgada - Azores: APDEE, 2011, S. 1-4. ISBN 978-972-8822-23-1. **25%**
- [A24] Pecha, I.; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "New Hybrid Power Filter Topology and Control for Application in Industrial Networks," In XI. International Conference on Low Voltage Electrical Machines - LVEM 2011. Brno: University of Technology Brno, 2011, S. 1-5. ISBN 9788021443624. **25%**
- [A25] Škramlík, Jiří; **Šimek, Petr**; Bejvl, Martin; Valouch, Viktor, "Analytical Closed-Form Solution of Current Responses of Multilevel Converter Connected to Unbalanced Grid," Proceedings of the Symposium on Electric Machines, Drives and Power Electronics. Prague: Institute of Thermomechanics ASCR, v. v. i., 2014, s. 21-22. ISBN 978-80-87012-52-9. **25%**
- [A26] Valouch, Viktor; **Šimek, Petr**; Škramlík, Jiří, "Analytical Closed-Form Solution of Current Responses of Four-Switch Converter Connected to Three-Phase Unbalanced Grid," In Proceedings of the 2015 International Conference on Electrical Drives and Power Electronics (EDPE). Košice: Technical University of Košice, 2015, S. 25-29. ISBN 978-1-4673-7376-0. E-ISSN 1339-3944. **33%**

Funkční vzorek

- [A27] Baran, Josef; Kokeš, Petr; Semerád, Radko; **Šimek, Petr**; Škramlík, Jiří; Valouch, Viktor, "Nízkonapěťový vícehladinový měnič AFE," 2010. **17%**