

České vysoké učení technické v Praze  
Fakulta elektrotechnická

katedra řídicí techniky

## ZADÁNÍ BAKALÁŘSKÉ PRÁCE

Student: **Jan Novotný**

Studijní program: Kybernetika a robotika  
Obor: Systémy a řízení

Název tématu: **Vyčítání, řízení a zpracování signálů z diodového pole spektrofotometru**

Pokyny pro vypracování:

1. Zdokumentujte rozhraní vybraného spektrofotometrického modulu Zeiss MCX FLEX PDA.
2. Navrhněte elektronické zapojení pro vyčítání řízení snímače a spolupracujte s dalšími odborníky na návrhu zapojení analogově-digitálního převodníku.
3. Seznamte se s vybraným hardware řídicího procesorového systému s programovatelným obvodem.
4. Navrhněte řízení časování vyčítací sekvence ve VHDL a naprogramujte základní SW pro otestování vyčítání dat.
5. Práci pečlivě zdokumentujte a navrhněte další vhodné kombinace procesorových systémů pro danou aplikaci, které by na základě experimentů mohly být pro partnery ze Strojní fakulty ČVUT pro případné opakování aplikace vhodnější.

Seznam odborné literatury:

- [1] Dokumentace spektrofotometru Zeiss MCS FLEX PDA
- [2] Martin Meloun: FPGA Based Robotic Motion Control System, diplomová práce, ČVUT FEL 2014
- [3] Pavel Píša: Matematické a elektronické zpracování signálu kapalinového chromatografu, dizertační práce, ČVUT FEL 2010

Vedoucí: Ing. Pavel Píša, Ph.D.

Platnost zadání: do konce letního semestru 2015/2016

L.S.

prof. Ing. Michael Šebek, DrSc.  
vedoucí katedry

prof. Ing. Pavel Ripka, CSc.  
děkan

V Praze dne 30. 1. 2015

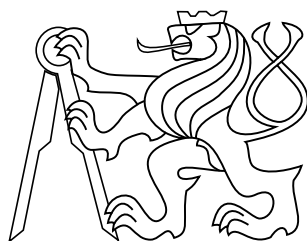


bakalářská práce

# **Vyčítání, řízení a zpracování signálů z diodového pole spektrofotometru**

## **Spectrophotometer photo-diode array control, signal acquisition and processing**

*Jan Novotný*



Květen 2015

Vedoucí práce: Ing. Pavel Píša, Ph.D.

České vysoké učení technické v Praze  
Fakulta elektrotechnická, Katedra řídicí techniky

## **Prohlášení**

Prohlašuji, že jsem předloženou práci vypracoval samostatně, a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

## **Abstrakt**

Tato práce se zaměřuje na návrh a zhodnocení hardware pro spektrofotometr založený na optickém senzoru HAMAMATSU S390x pro přesné spektrometrické úlohy, konkrétně detekci složení a poměrů látek nebo analýzu formujících se mikroskopických kapek vodní páry v parních turbínách. V návrhu systému je kladen důraz na minimalizaci šumu při zachování rychlosti měření a použití cenově dostupných komponent.

## **Klíčová slova**

spektrofotometr, fotospektrometrie, lineární optický senzor, diodové pole

## **Abstrakt**

The aim of this thesis is to provide an overview of possible options and create hardware for optical spectrometer based on optical sensor HAMAMATSU S390x for precision photospectrometry applications, specifically detection of trace amounts of substances and analysis of water droplets nucleation in steam turbines. System design was done to minimize noise while maintaining measurement speed and using reasonably priced components.

## **Keywords**

optical spectrometer, photospectrometry, linear optical sensor, diode array

# Obsah

<b>1</b>	<b>Úvod</b>	<b>1</b>
<b>2</b>	<b>Spektrofotometrie</b>	<b>2</b>
<b>3</b>	<b>Modul spektrofotometru MCS FLEX PDA</b>	<b>3</b>
3.1	Obečný popis modulu spektrofotometru . . . . .	3
3.2	Popis optického senzoru S3904-1024Q . . . . .	4
3.2.1	Funkce optického senzoru . . . . .	4
3.2.2	Vstupy optického senzoru . . . . .	4
3.2.3	Logické vstupy . . . . .	5
3.2.4	Požadavky na časování . . . . .	5
3.2.5	Výstupy optického senzoru . . . . .	6
3.2.5.1	Analogové výstupy . . . . .	6
3.2.5.2	Digitální výstupy . . . . .	6
<b>4</b>	<b>Teoretický rozbor HW</b>	<b>7</b>
4.1	Požadavky na přesnost a rozlišení . . . . .	7
4.2	Zdroje šumu . . . . .	7
4.2.1	Tepelný šum rezistorů . . . . .	7
4.2.2	Šum operačního zesilovače . . . . .	7
4.2.3	Šum ze spínaných prvků . . . . .	8
4.3	Možnosti měření signálu fotosenzoru . . . . .	8
4.3.1	Přímá integrace . . . . .	8
4.3.2	Zesílení signálu a následná integrace . . . . .	9
4.3.3	Měření maximální hodnoty výstupních impulzů . . . . .	9
4.3.4	Vzorkování výstupu přímo převedeného na napětí a numerická integrace . . . . .	10
4.4	Zvažované A/D převodníky . . . . .	10
4.4.1	Integrační A/D převodník . . . . .	10
4.4.2	Delta-Sigma ( $\Delta\Sigma$ ) A/D převodník . . . . .	10
4.4.3	A/D převodník s postupnou aproximací . . . . .	11
4.4.4	Porovnání zvažovaných modelů . . . . .	11
<b>5</b>	<b>Fyzická realizace zařízení</b>	<b>12</b>
5.1	Použitá platforma . . . . .	12
5.1.1	Propojení procesoru a FPGA . . . . .	12
5.2	Výběr vhodného A/D převodníku . . . . .	13
5.3	Komunikační rozhraní zvoleného převodníku AD7989-5 . . . . .	13
5.3.1	Módy komunikace A/D převodníku . . . . .	13
5.3.1.1	Třídrátové zapojení . . . . .	13
5.3.1.2	Řetězené zapojení . . . . .	14
5.3.1.3	Čtyřdrátové zapojení . . . . .	14
5.3.2	Časování A/D převodníku . . . . .	16
5.3.3	Zvolené zapojení převodníku . . . . .	16
5.4	Analogový hardware . . . . .	16
5.4.1	Výběr zapojení . . . . .	16
5.4.2	Výběr operačního zesilovače . . . . .	17
5.4.3	Výsledný analogový hardware . . . . .	17

<b>6</b>	<b>Firmware</b>	<b>19</b>
6.1	Obvodová konfigurace FPGA . . . . .	19
6.1.1	Generátor časovacích signálů diodového pole . . . . .	19
6.1.2	Ovládání A/D převodníku . . . . .	19
6.1.2.1	Proces řízení A/D převodníku . . . . .	19
6.1.2.2	Proces čtení A/D převodníku . . . . .	20
6.1.2.3	Proces synchronizace dat . . . . .	20
6.1.3	Paměťová vrstva mezi A/D převodníkem a procesorem . . . . .	20
6.1.4	Další módy měření . . . . .	20
6.1.4.1	Měření stálosti integrátoru . . . . .	20
6.1.4.2	Měření výstupu více vzorky . . . . .	21
6.1.5	Řízení programu z procesoru . . . . .	21
6.2	Software pro procesor . . . . .	22
6.2.1	Komunikace s PC aplikací . . . . .	22
<b>7</b>	<b>Výsledky měření</b>	<b>23</b>
7.1	Změny hardware po zjištěních v průběhu práce . . . . .	23
7.2	Měření vlastností elektroniky . . . . .	23
7.2.1	Měření stability integrátoru . . . . .	23
7.2.2	Měření rychlosti nabíjení kondenzátoru . . . . .	24
7.2.3	Měření šumu elektroniky bez optického senzoru . . . . .	25
7.2.3.1	Výsledky plně galvanicky odděleného měření při napá- jení z baterie . . . . .	25
7.2.3.2	Výsledky měření při napájení z baterie a spojení digi- tální části se zemí . . . . .	25
7.2.3.3	Výsledky plně galvanicky odděleného měření při napá- jení z laboratorního zdroje . . . . .	25
7.2.3.4	Shrnutí měření bez senzoru . . . . .	26
7.3	Měření šumu senzoru . . . . .	27
7.3.1	Měření při plovoucím bateriovém napájení . . . . .	27
7.3.2	Měření uzemněného senzoru při bateriovém napájení . . . . .	27
7.4	Ověření spektrálního rozlišení senzoru . . . . .	28
7.5	Měření linearity senzoru . . . . .	28
7.6	Chování senzoru při saturaci . . . . .	29
7.7	Výsledky měření . . . . .	30
<b>8</b>	<b>Možné vhodnější platformy pro levnější variantu aplikace</b>	<b>31</b>
8.1	Raspberry Pi . . . . .	31
8.2	BeagleBone . . . . .	31
8.3	Soft procesor v FPGA . . . . .	31
8.4	Shrnutí možností . . . . .	32
<b>9</b>	<b>Závěr</b>	<b>33</b>
	<b>Přílohy</b>	
<b>A</b>	<b>Schéma analogové desky</b>	<b>34</b>
	<b>Literatura</b>	<b>35</b>



## Zkratky

Seznam použitých zkratk v textu.

A/D převodník	převodník z analogového na digitální signál
CPLD	programovatelný logický obvod
DPS	deska plošných spojů
INL	Integrovaná nelinearita
I <sup>2</sup> C	dvoudrátové synchronní sériové rozhraní
MCU	jednočipový mikropočítač
NIR	infračervená složka světla
OS	operační systém
OZ	operační zesilovač
RAM	operační paměť
RMS	efektivní hodnota
RTOS	operační systém reálného času
SPI	čtyřdrátové synchronní sériové rozhraní
SPS	počet vzorků za sekundu
UART	komunikační blok sériové linky
UV	ultrafialová složka světla
VIS	viditelná složka světla



# 1 Úvod

Tato práce se věnuje vývoji hardware pro spektrofotometr Zeiss MCS Flex PDA se zaměřením na otestování jeho šumových vlastností.

Na Fakultě strojní ČVUT v rámci Ústavu energetiky je dlouhodobě objektem výzkumu problematika měření nukleace kondenzujících kapek vodní páry v parních turbínách. K tomuto účelu byl zamýšlen spektrofotometr OceanOptics, který svými šumovými vlastnostmi nevyhovoval požadavkům měření. Nově pořízený modul spektrofotometru Zeiss MCS Flex PDA [1] neobsahoval z důvodů flexibility úpravy hardware podle potřeby cílové aplikace elektronickou řídicí a vyhodnocovací část. Toto bylo jedním z důvodů vzniku této práce, která se zaměřuje na porovnání možných variant analogové i digitální části elektroniky a následnou fyzickou realizaci jedné z možností.

Zájem o použití podobného optického senzoru projevila i firma PiKRON. Ta dodává spektrometry pracující na jedné vlnové délce pro účely vysoce účinné kapalinové chromatografie a ideou bylo rozšíření aplikace modulem nabízejícím měření intenzity celého spektra vlnových délek. Z těchto důvodů firma dodala procesorovou platformu LX\_CPU [2] a připravila experimentální hardware.

Vzhledem k tomu, že poskytnutá procesorová platforma je pro účely použití pro Fakultu strojní zbytečně finančně nákladná a obsahuje řadu periférií, které při měření kondenzace v páře zůstanou nevyužité, hodnotí tato bakalářská práce také možnosti jejího nahrazení komerčně dostupnou procesorovou platformou.

Práce začíná popisem obecných principů spektrometrie v kapitole číslo 2, v kapitole číslo 3 je popsán modul spektrometru, použitý optický senzor, jeho vstupy a výstupy. K němu jsou v následující kapitole 4 popsány možnosti pro realizaci hardware. Tyto možnosti se opírají o teoretický rozbor zdroje šumu, volbu optimální metody měření a zpracování signálu a řešení použitelných A/D převodníků. Fyzická realizace zařízení na zvolené FPGA platformě s důrazem na analogovou část systému a A/D převod je popsána v kapitole číslo 5 s popisem řídicího software a kódu pro FPGA v kapitole 6. Výsledné vlastnosti a charakteristiky zařízení na základě experimentálního měření jsou uvedeny v kapitole 7, z nichž lze vyvodit, že kompromisy při volbě A/D převodníku negativně ovlivnily výsledné vlastnosti elektroniky a jsou identifikovány další problematické body. Nakonec jsou v kapitole 8 uvedeny možné platformy pro náhradu v práci použité procesorové platformy levnější variantou a veškeré výsledky práce jsou shrnuty v jejím závěru 9.

## 2 Spektrofotometrie

Spektrofotometrie (UV-VIS-NIR spektroskopie) je analytickou metodou, která využívá specifické interakce světla (nebo obecně ve spektrometrii elektromagnetického záření) s hmotou. Pokud světlo prochází průsvitným prostředím, je část světla v tomto prostředí absorbována a případně zpětně vyzářena na jiné vlnové délce. Zároveň každá látka absorbuje různé vlnové délky elektromagnetického záření různě. Tento jev přeměny energie dopadajícího záření (toku fotonů) na změnu energetické hladiny elektronu vázaného v atomu nebo molekule je kvantový. Rozdíl energetických hladin elektronu musí přesně odpovídat energii fotonu. Ta je pak nepřímo úměrná jeho vlnové délce (přímo úměrná frekvenci vlnění). Každá látka má toto spektrum unikátní, což je s výhodou užíváno k určení neznámé komponenty vzorku porovnáním s naměřenými spektry pro známé prvky a sloučeniny.

Další možností, která je poměrně jednodušší, je měření koncentrace. Zde se využívá vlastnosti, že na jedné konkrétní vlnové délce je hledaná koncentrace látky přímo úměrná absorbanci vzorku<sup>1</sup>. Oba tyto principy jsou nyní standardem v analytické chemii [3].

Spektrofotometrie využívá i dalších principů interakce světla s látkou, nebo jiných optických vlastností látky. Příkladem může být fluorescence či interakce světla s chemickými vazbami v molekulách. Další možností je interakce s jinými látkami o velikosti částic srovnatelné s vlnovou délkou světla na základě Mieovy teorie rozptylu světla. Ze změřené frekvenční charakteristiky útlumu lze poté rekonstruovat koncentraci a velikost částic, na kterých k rozptylu došlo (za předpokladu rozptylu na sférických částicích) [3]. Na tomto principu je například založeno měření charakteristik kapek vody v mokré páře v kondenzačních parních turbínách pomocí extinkčních sond [4].

Pro realizaci zařízení pro měření intenzity světla na jednotlivých vlnových délkách (spektrofotometru) je potřeba nejdříve světlo rozložit na jeho jednotlivé vlnové délky. Toho lze docílit rozkladem přes hranol, ale častější je (jak je uvedeno dále) rozklad pomocí difrakční mřížky. Následné měření intenzity světla na jednotlivých vlnových délkách se provádí pomocí světlocitlivých elektronických prvků. Z nich je pak signál vyčítán a následně zpracováván.

---

<sup>1</sup>Absorbance je záporný logaritmus poměrného útlumu intenzity procházejícího světla vůči kontrolnímu vzorku.

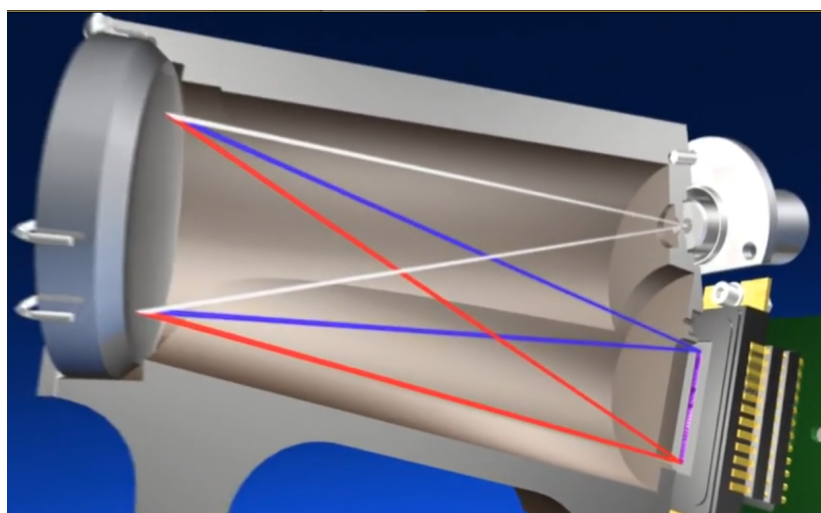
# 3 Modul spektrofotometru MCS FLEX PDA

## 3.1 Obecný popis modulu spektrofotometru

Spektrofotometr MCS FLEX PDA je spektrometr využívající k rozkladu světla na jednotlivé vlnové délky difrakce na optické mřížce. Rozložené světlo je následně zobrazeno na lineární optický senzor schematicky zobrazený na obrázku 1. Pro dosažení optimální šířky světelného paprsku je vstup vybaven optickým převodníkem (cross section converter) ze svazku optických vláken, uspořádaných do kruhového průřezu na vstupu a do řady (štěrbiny) o výšce jednoho vlákna na výstupu. Pro snímání je použitý lineární optický senzor Hamamatsu S3904-1024Q. Specifikace modulu je v tabulce 1.

**Tabulka 1** Specifikace modulu spektrometru

Vstup světla	Optický převodník (Cross section converter)
Vstupní otvor	Průměr 0,5 mm, Numerická apertura 0,22
Optický senzor	Hamamatsu S3904-1024Q
Rozsah vlnových délek	190 nm - 1015 nm
Přesnost rozkladu na vlnové délky	$\pm 0,3$ nm
Teplotní drift	$< 0,6 \text{ nm} \cdot K^{-1}$
Střední rozteč pixelů	0.8 nm
Rozměry	160,3 mm x 62 mm x 122,2 mm



**Obrázek 1** Řez fotospektrometrem

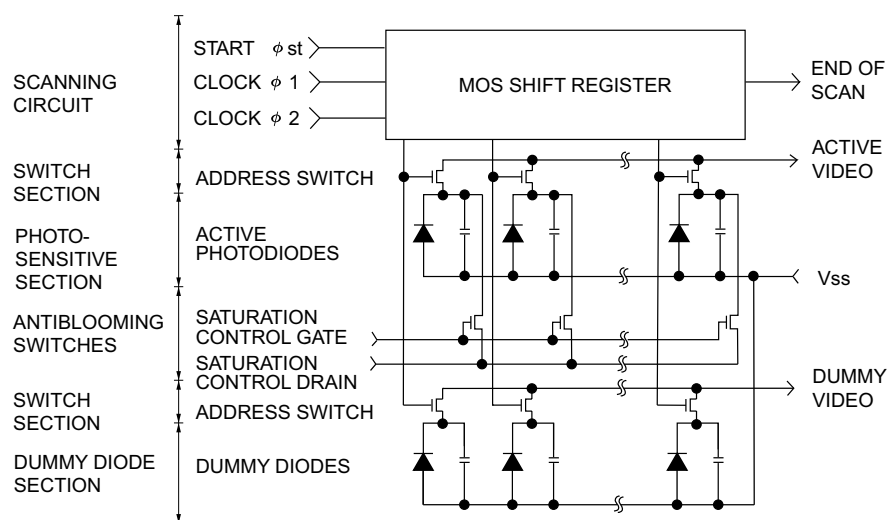
## 3.2 Popis optického senzoru S3904-1024Q

Hamamatsu S3904-1024Q je lineární optický NMOS senzor s proudovým výstupem, integračním charakterem a vysokou citlivostí v ultrafialovém spektru. Funkce a vlastnosti tohoto senzoru jsou detailně popsány v následujících odstavcích. Veškeré informace, není-li uvedeno jinak, jsou převzaty z datasheetu výrobce [5].

### 3.2.1 Funkce optického senzoru

Optický senzor Hamamatsu S3904-1024Q pracuje na principu hromadění náboje v každé fotodiodě (buňce senzoru). Princip nabíjení fotodiod spočívá ve fotovoltaickém jevu způsobeném dopadem fotonu s dostatečnou energií na polovodičový přechod. Při dopadu fotonu excituje svou energií elektron z valenčního do vodivostního pásu a na jeho místě vznikne „díra“ - kladný elementární náboj. Velikost akumulovaného náboje v diodě odpovídá integrálu intenzity dopadajícího záření od vynulování náboje.

Při čtení hodnot z optického senzoru je pomocí posuvného registru každá dioda postupně připojována na výstup. Akumulovaný náboj je vyčten ve formě proudu, přičemž náboj každé diody je při přečtení vynulován. Po dosažení poslední diody je výstup  $\overline{EOS}$  stažen do logické 0. Pro možnou kompenzaci napěťových špiček při přepínání diod multiplexorem jsou na senzoru přítomny dvě sady diod a adresních přepínačů, ale jen jedna sada diod je fotocitlivá, viz obrázek 2. Tím je dosaženo stejných napěťových špiček na obou výstupech senzoru *active video* a *dummy video* a jejich rozdíl odpovídá nezkreslenému výstupnímu signálu. Při dosažení maximálního náboje (saturace) ve fotodiodách je další hromadění se náboj sveden tranzistorem na pin  $V_{SCD}$  (saturation control drain), čímž je zamezeno pronikání náboje do okolních pixelů.



Obrázek 2 Vnitřní struktura optického senzoru přejato z údajů od výrobce [5]

### 3.2.2 Vstupy optického senzoru

Optický senzor ke své činnosti vyžaduje zapojení země (GND,  $V_{SS}$ ), vstupů s hodinovým signálem ( $\phi 1$ ,  $\phi 2$ ), startovního impulzu ( $\phi_{st}$ ), napětí hradla ( $V_{SCG}$  - saturation control gate) a drainu ( $V_{SCD}$  - saturation control drain) tranzistoru řízení saturace.  $V_{SCD}$  slouží též jako předpětí výstupních signálů *Active Video* a *Dummy Video*.

### 3.2.3 Logické vstupy

Logickými vstupy senzoru jsou hodinové signály a startovací impuls, které jsou kompatibilní s výstupní charakteristikou CMOS logických obvodů. Doporučené napěťové hodnoty vstupů jsou uvedeny v tabulce 2.

**Tabulka 2** Doporučená vstupní napětí

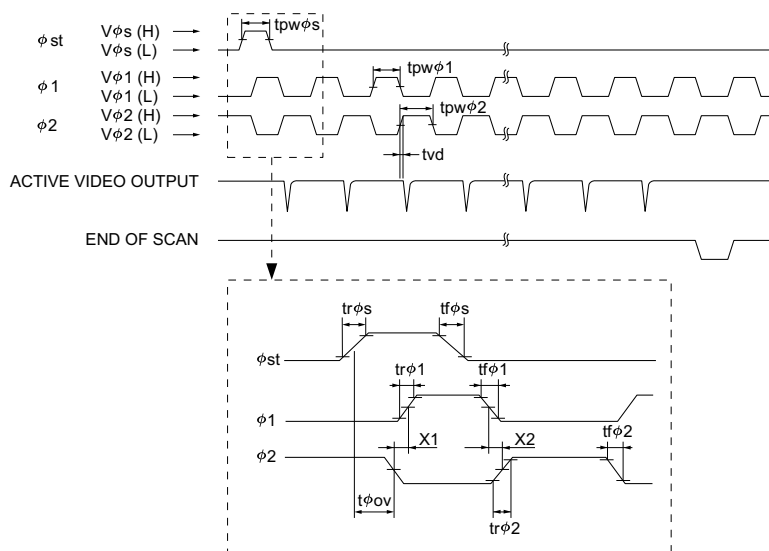
Parametr		Symbol	Min.	Typ.	Max.	Jednotka
Hodinové pulzy	log. 1	$\phi 1, \phi 2, \phi st(H)$	4,5	5	10	
	log. 0	$\phi 1, \phi 2, \phi st(L)$	0	-	0,4	
Video bias		Vb	1,5	$V\phi - 3$	$V\phi - 2,5$	V
Řízení saturace - drain		$V_{SCD}$	-	Vb	-	
Řízení saturace - gate		$V_{SCG}$	-	0	-	

### 3.2.4 Požadavky na časování

Dle specifikací lze provozovat optický senzor s frekvencí hodinových impulsů od 100 Hz do 2 MHz. Požadavky na hodinové impulsy  $\phi 1$  a  $\phi 2$  jsou nulový překryv logické 1 na obou signálech a minimální šířka impulsů v logické 1 v délce 200 ns. Tyto požadavky umožňují použití signálů  $\phi 1$  a  $\phi 2$  se střídou v jiném poměru, než 1:1. Při frekvenci hodinových signálů větší než 1 MHz je doporučen poměr střídání mezi signály  $\phi 1$  a  $\phi 2$  1:1. Pro řídicí signály s náběžnou a sestupnou hranou delší než 20 ns musí být mezi sestupnou a vzestupnou hranu vložena prodleva minimálně 20 ns. Pro odstartování vyčtení senzoru musí být na pin  $\phi st$  přivedena logická 1, která se musí překrýt se signálem  $\phi 2$  minimálně po dobu 200 ns a zároveň během aktivního signálu  $\phi st$  musí dojít k přechodu signálu  $\phi 2$  z logické 1 do 0, viz obrázek 3. Požadavky na časování jsou shrnuté v tabulce 3.

**Tabulka 3** Požadavky na časování vstupů

Parametr	Symbol	Min.	Typ.	Max.	Jednotka
Doba náběhu / poklesu hodinových signálů	$tr\phi s, tf\phi s,$ $tr\phi 1, tf\phi 1,$ $tr\phi 2, tf\phi 2$	-	20	-	
Délka impulsů hodinových signálů	$tpw\phi s,$ $tpw\phi 1,$ $tpw\phi 2$	200	-	-	ns
Přesah startovacího a 2. hodinového impulsu	$t\phi ov$	200	-	-	
Odstup mezi fázemi hodinových signálů	X1, X2	$t\phi rf - 20$	-	-	



Obrázek 3 Časový diagram optického senzoru [5]

### 3.2.5 Výstupy optického senzoru

#### 3.2.5.1 Analogové výstupy

Optický senzor má dva analogové výstupy označené *Active video* a *Dummy video*. Výstup *Active video* slouží k vyčítání informace ze světlocitlivých diod. Výstup *Dummy video* je připojen na duplikovanou strukturu s diodami necitlivými na světlo. Formát aktivního výstupu jsou záporné proudové špičky v rozsahu 0 - 18,5  $\mu A$  (hodnoty byly získány měřením, v datasheetu nejsou uvedeny). Nulové intenzitě osvětlení odpovídá nulový výstupní proud. Při proměřování výstupů diodového pole byl výstupní proud převeden na napětí převodníkem s OZ a změřen osciloskopem Owon SDS 7102V. Maximální změřená hodnota napětí 1,85 V odpovídá proudu 18,5  $\mu A$ . Maximální přenesený náboj při saturaci byl numerickou integrací výstupu z osciloskopu určen 24,4 pC. Rozdíl oproti hodnotě 19 pC uvedené v datasheetu [5] při shodném zapojení pinu kontroly saturace je způsoben buď nepřesností jmenovité hodnoty rezistoru v převodníku proud - napětí a nejistotou měření napětí osciloskopem, nebo se může jednat o rezervu, kterou si výrobce ponechává pro zaručení linearity na rozsahu do uvedeného náboje.

#### 3.2.5.2 Digitální výstupy

Optický senzor má jeden digitální výstup  $\overline{EOS}$  (End Of Scan) konec výčtu, který je aktivní v logické nule. Tento výstup je tvořen tranzistorem s otevřeným drainem a pro jeho činnost je vyžadován externí pull-up rezistor. Doporučená hodnota pull-up rezistoru je 10  $k\Omega$  pro napětí +5 V.



## 4 Teoretický rozbor HW

### 4.1 Požadavky na přesnost a rozlišení

Výrobce optického senzoru uvádí v datasheetu [5], že šumové vlastnosti senzoru by měly být na úrovni odpovídající rozlišení 16 bit A/D převodníku. V práci MATEMATICKÉ A ELEKTRONICKÉ ZPRACOVÁNÍ SIGNÁLU KAPALINOVÉHO CHROMATOGRAFU [6] je uvedeno, že při použití pro vysoce účinnou kapalinovou chromatografii je požadované rozlišení A/D převodníku alespoň 22 bit. Z těchto informací plyne, že nelze dosáhnout plného rozlišení pro požadavky chromatografie. Ale aby mohly být ověřeny šumové vlastnosti senzoru, byl zvolen cíl pokusit se dosáhnout rozlišení alespoň 18 bit. Výsledné rozlišení měření lze zvýšit převzorkováním a průměrováním signálu. Za předpokladu normálního rozdělení šumu lze průměrováním zvýšit rozlišení o  $\log_2(\sqrt{\text{počet průměrovaných vzorků}})$  bitů.

### 4.2 Zdroje šumu

Mezi hlavní zdroje šumu se řadí tepelný šum rezistorů, šum operačních zesilovačů a šum ze spínaných prvků.

#### 4.2.1 Tepelný šum rezistorů

Jedná se o vlastnost všech rezistorů, kde jejich šum je závislý na teplotě a hodnotě odporu. Výsledný šum, který rezistor vnese do obvodu, je ovlivněn šířkou frekvenčního spektra signálu, který obvod zpracovává. Frekvenční spektrum šumu je od nuly do nekonečna, ale složky o frekvencích nižších a vyšších, než zpracovávaných, lze odfiltrout. Efektivní hodnota tepelného šumu je popsána rovnicí (1) získanou z online pomůcky pro výpočet šumu [7]:

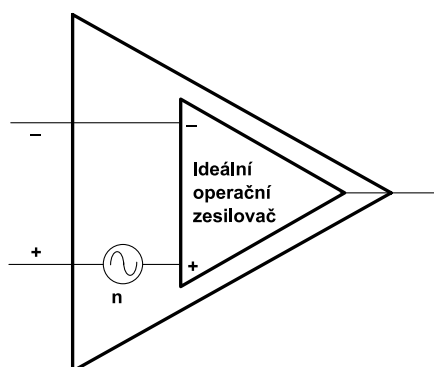
$$U_{RMS} = \sqrt{4k_B T \Delta f R} \quad (1)$$

kde  $U_{RMS}$  je efektivní hodnota šumu,  $k_B$  je Boltzmannova konstanta,  $\Delta f$  je frekvenční spektrum signálu a  $R$  je hodnota odporu.

Podle [8] je tato rovnice platná pouze pro frekvence do 100 MHz, což je ale pro účely této práce dostatečné.

#### 4.2.2 Šum operačního zesilovače

Šum operačního zesilovače lze vyjádřit jako zdroj šumu připojený ke vstupu ideálního operačního zesilovače podle obrázku 4. Tento zdroj šumu je na výstupu zesílen v závislosti na zesílení konkrétního zapojení. Jednotky, ve kterých je udáván, jsou  $V/\sqrt{Hz}$  případně  $A/\sqrt{Hz}$ . Pro získání efektivní hodnoty šumu je nutné dosadit frekvenční rozsah měřeného signálu.



**Obrázek 4** Principiální zapojení operačního zesilovače a jeho zdroje šumu. Přejato z [8]

### 4.2.3 Šum ze spínaných prvků

Jedná se o šum, který způsobují veškeré spínané prvky při sepnutí/rozepnutí. Zdrojem tohoto signálu jsou nejen spínané zdroje, ale i veškeré digitální obvody (Procesor, FPGA, AD převodník a jiné). Matematický popis šumu způsobeného spínanými prvky je velmi obtížný, jelikož jeho velikost a šíření je závislé na fyzickém rozmístění součástek, indukčnosti a odporu vodivých spojů, rozmístění a vlastnostech filtračních kondenzátorů a rozdělení zemních potenciálů.

## 4.3 Možnosti měření signálu fotosenzoru

Při návrhu analogové části bylo zvažováno několik možností, které byly hodnoceny na základě předpokládaných šumových vlastností, stability a rychlosti měření:

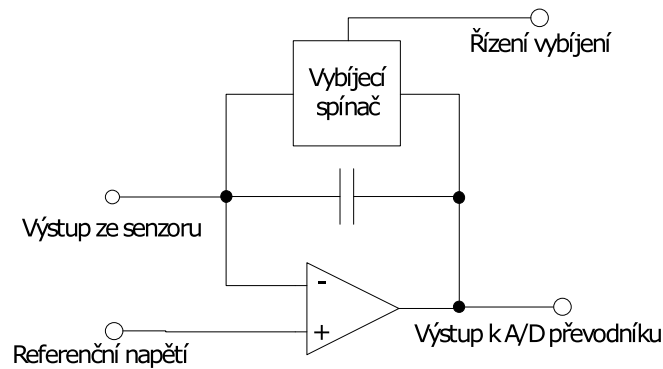
- Přímá integrace výstupního proudu
- Zesílení výstupního proudu a následná integrace
- Měření maximální hodnoty výstupních proudových impulzů převedených na napětí
- Vzorkování výstupu přímo převedeného na napětí a numerická integrace

### 4.3.1 Přímá integrace

Přímá integrace výstupního proudu má výhodu ve zpracování malých signálů, jelikož se v nezesíleném výstupu senzoru nenacházejí rezistory, které způsobují tepelný šum, viz obrázek 5. Výhodou přímé integrace je eliminace vlivu napětového offsetu, který má v tomto zapojení vliv pouze na stav vybití (vynulování) buněk senzoru (fotocitlivých diod). Změny tohoto offsetu jsou výrazně pomalejší, než integrační časy, proto lze vliv offsetu na šum a stabilitu bezpečně zanedbat.

Nevýhoda tohoto řešení spočívá v nutnosti vybíjení integračního kondenzátoru, která omezuje dosažitelnou rychlost převodu na maximálně 200 000 pixelů za sekundu, tedy 200 přečtení celého senzoru za sekundu<sup>1</sup>. Toto omezení je dáno rychlostí vybíjení integračního kondenzátoru. Jako vybíjecí spínač je nejvhodnější použít JFET tranzistor, který nabízí z dostupných tranzistorů nejnižší parazitní kapacity a nízký proud v zavřeném stavu. Dalším problémem je, že šum z napájecího zdroje se přenáší přes kapacitní vazbu z hradla tranzistoru do výstupního signálu.

<sup>1</sup>Senzor má 1024 pixelů.

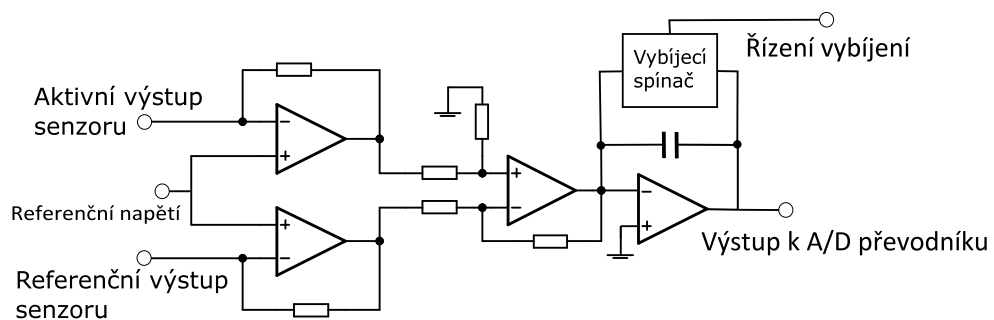


Obrázek 5 Zjednodušené schéma přímé integrace výstupního proudu senzoru

### 4.3.2 Zesílení signálu a následná integrace

Zesílení signálu a jeho následná integrace minimalizuje vliv parazitních vlastností vybíjecího kondenzátoru na výstupní napětí tím, že se v kondenzátoru s vyšší kapacitou při zachování stejného vybíjecího tranzistoru a jeho parazitních vlivů integruje vstupní signál s větší amplitudou. Na druhou stranu toto řešení přináší řadu nevýhod. Ty spočívají v převodu signálu z proudu na napětí, kdy v tomto převodu jsou využity rezistory řádově  $100\text{ k}\Omega$ , čímž při teplotě  $30\text{ }^\circ\text{C}$  vnesou do zpětné vazby šum s efektivní hodnotou  $18,3\text{ }\mu\text{V}$  dle výpočtu podle rovnice (1). Vnesený šum je dále zesílen v diferenciálním zesilovači, který odečítá pomocný výstup od aktivního, kde kromě samotného zesílení šumu dojde ke přičtení šumu dalšího operačního zesilovače.

Na rozdíl od přímé integrace výstupu je v tomto zapojení nutné zohlednit i napěťový offset senzoru a jeho vliv na výstup integrátoru, který i při nulovém napěťovém vstupu bude integrovat nenulovou hodnotu. Schéma zapojení pro integraci zesíleného signálu je na obrázku 6.



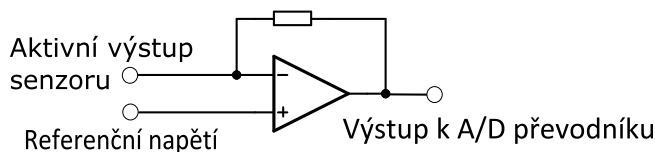
Obrázek 6 Zjednodušené schéma integrace zesíleného výstupního proudu senzoru

### 4.3.3 Měření maximální hodnoty výstupních impulzů

Výhodou této metody je jednoduchost zapojení operačního zesilovače, viz obrázek 7 a možnost dosažení maximální frekvence čtení senzoru 2 miliony pixelů za sekundu, ale stejně, jako u zapojení se zesílením signálu a následnou integrací, je ve zpětné vazbě operačního zesilovače převodníku proud na napětí použit rezistor, který vnesou do výstupu šum  $18,3\text{ }\mu\text{V}$  při teplotě  $30\text{ }^\circ\text{C}$ .

Dalším problémem této metody je, že impulzy (na vstupu proudové, na výstupu napěťové) dosahují maxima v různých časových intervalech od aktivace buňky senzoru

v závislosti na intenzitě osvětlení. Maximální hodnota výstupních impulzů proto není úměrná intenzitě osvětlení senzoru, čímž je vnášena do měření nelinearita.



**Obrázek 7** Převodník výstupního proudu senzoru na napětí

#### 4.3.4 Vzorkování výstupu přímo převedeného na napětí a numerická integrace

Při této metodě je zapojení stejné, jako při metodě měření maxima 4.3.3 a maximální rychlost čtení je též 2 miliony pixelů za sekundu, tedy přibližně 2 tisíce přečtení senzoru ze sekundu. Měření je rovněž zatíženo vneseným tepelným šumem, ale nabízí možnost přesnějšího určení plochy výstupního pulzu, protože ji stanovuje z více vzorků numerickou integrací. Tato metoda na rozdíl od všech předchozích metod vyžaduje pro stejnou frekvenci čtení senzoru použití A/D převodníku se vzorkovací frekvencí alespoň o řád vyšší, aby bylo možné získat dostatečný počet vzorků pro numerickou integraci.

### 4.4 Zvažované A/D převodníky

#### 4.4.1 Integrační A/D převodník

Integrační A/D převodníky dosahují nejvyššího rozlišení a jsou proto používány v přesných měřicích přístrojích. Převodníky v těchto přístrojích jsou ve většině případů integrovány do chipsetu včetně přepínání rozsahů, zobrazování měřených hodnot na display a vnější komunikace, nebo v samostatném programovatelném logickém obvodu s analogovou částí řešenou diskrétně mimo integrovaný obvod. Nevýhodou tohoto řešení je nízká rychlost a klesající rozlišení při rostoucí frekvenci, kdy například Chern a Abidi [9] s převodníkem vlastního návrhu při vzorkovací frekvenci 50 kHz dosáhli pouze 12 bit rozlišení. Další nevýhodou těchto převodníků je jejich nedostupnost v hotových modulech, protože komerčně tyto převodníky nabízí pouze Maxim integrated [10] s parametry 12 bit rozlišení při 30 vzorcích za sekundu.

#### 4.4.2 Delta-Sigma ( $\Delta\Sigma$ ) A/D převodník

Činnost  $\Delta\Sigma$  převodníku je založena na převodu analogového signálu na pulzně-hustotně modulovaný signál (pulse-density modulated), který je číslicovým filtrem převeden na výstupní slovo převodníku.

Přestože jsou na trhu 24bitové  $\Delta\Sigma$  A/D převodníky se vzorkovací frekvencí v řádech stovek kHz až jednotek MHz, ustálení výstupního slova z digitálního filtru trvá déle, než jaká je vzorkovací frekvence, čímž dochází ke ztrátě rozlišení aktuálního vzorku a jeho ovlivnění předchozím vzorkem. Digitální filtr tedy způsobuje, že výstup převodníku je klouzavý průměr z několika posledních hodnot. Tato vlastnost je popsána u převodníku ADS1672 v katalogu [11], který uvádí vzorkovací frekvenci 625 kHz, ale zároveň dobu ustálení výstupního filtru 5,5 us, což odpovídá frekvenci vzorků v plném rozlišení 181,8 kHz.

### 4.4.3 A/D převodník s postupnou aproximací

A/D převodníky s postupnou aproximací nabízejí rozlišení až 20 bit a vzorkovací frekvenci při tomto rozlišení až jednotky MHz. Výhoda těchto převodníků oproti  $\Delta\Sigma$  je, že každý převod je prováděn nezávisle na předchozím a nedochází ke vzájemnému ovlivňování výsledků následných převodů<sup>2</sup>. Tyto převodníky nabízí Texas Instruments [12], Analog Devices [13], Maxim integrated [14] a Linear Technology [15]. Nabídka výrobců jde až do rozlišení 20 bit při vzorkovací frekvenci do 1 MHz a rozlišení 18 bit při vzorkovací frekvenci do 5 MHz.

### 4.4.4 Porovnání zvažovaných modelů

Zvažované modely A/D převodníků a jejich vybrané důležité parametry jsou uvedeny v tabulce 4.

**Tabulka 4** Podstatné parametry porovnávaných A/D převodníků

Model	Architektura	Garantované rozlišení	Frekvence převodů v plném rozlišení
ICL7109	Integrační	12 bit	30 SPS
ADS1672	Delta-Sigma	24 bit	181,8 kSPS
LTC1864	Aproximační	14 bit	250 kSPS
AD7989-5	Aproximační	18 bit	500 kSPS
LTC2377-20	Aproximační	20 bit	500 kSPS

<sup>2</sup>Převod probíhá na rychlosti vyšší - pro 20 bit převodník a 1 MSPS musí interně pracovat převodník na 20 MHz - každý interní krok převodníku dá 1 bit rozlišení

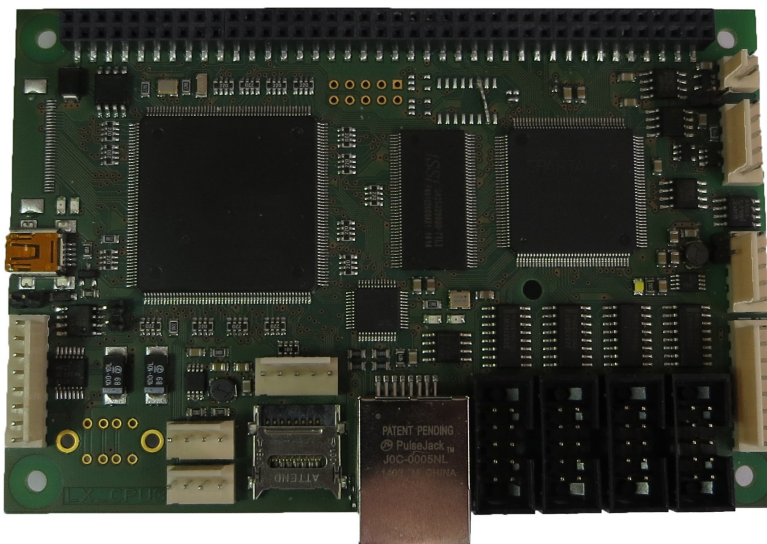
# 5 Fyzická realizace zařízení

## 5.1 Použitá platforma

Při zadání práce byla určena platforma LX\_CPU [2], jako požadovaná platforma pro experimenty se spektrometrem. Její základní parametry jsou uvedeny v tabulce 5 a fyzická podoba na obrázku 8.

**Tabulka 5** Hlavní parametry platformy LX\_CPU

Aplikační procesor	NXP LPC4088 - ARM Cortex-M3 s malou vnitřní flash a SRAM pamětí
Operační paměť	32MB SDRAM - 32bit sběrnice
Programovatelný logický obvod	FPGA Xilinx Spartan 6 - XC6SLX9
Rozšiřovací konektor	80-pin dvouřadý, rozteč 2,56 mm
Napájení	USB, nebo externí +5 V
Další vstupy / výstupy	Ethernet, I <sup>2</sup> C, 4 sériové linky, CAN, USB Host a Slave
Rozměr desky	120mm x 80 mm



**Obrázek 8** Vrchní pohled na desku LX\_CPU3

### 5.1.1 Propojení procesoru a FPGA

Aplikační procesor, operační paměť a FPGA jsou zapojené na společné datové a adresové sběrnici a sdílejí společný adresní prostor. Z hlediska procesoru se k FPGA

přístupuje jako k externí paměti, která ale pracuje na jiné frekvenci, než procesor: FPGA - 50MHz, CPU - 72MHz. Proto je přístup k paměti FPGA pomalejší, než přístup k SDRAM operační paměti.

Výběr, zda se přístupuje do hlavní paměti, nebo k FPGA se provádí pomocí následujících signálů:

- CS - „Chip Select“ aktivace komunikace s FPGA
- RD - „Read“ Signál označující čtení z FPGA
- BLS3, BLS2, BLS1, BLS0 - „Byte Line Strobe“ Signál pro určení zápisu do každého bajtu 4 bajtového slova

Všechny řídicí signály jsou aktivní v logické 0, detailní popis komunikace lze nalézt v diplomové práci FPGA Based Robotic Control System [16].

## 5.2 Výběr vhodného A/D převodníku

Při výběru A/D převodníku byly zvažovány převodníky  $\Delta\Sigma$  a převodníky s postupnou aproximací, které nabízejí dostatečnou vzorkovací frekvenci při rozlišení alespoň 18 bitů.

Z důvodů rychlosti ustálení filtru u  $\Delta\Sigma$  převodníků, která není u části převodníků uvedena v technické specifikaci, byl původně uvažovaný  $\Delta\Sigma$  převodník ADS1672 nahrazen převodníkem s postupnou aproximací.

Pro práci byly zvažované dva převodníky s postupnou aproximací: 20 bit 500 kSPS LTC2377 [17] a 18 bit 500 kSPS AD7989-5 [18]. Na základě vysoké ceny a dlouhé dodací doby byl převodník LTC2377 vyřazen a i za cenu nižšího rozlišení zvolen AD7989-5.

## 5.3 Komunikační rozhraní zvoleného převodníku AD7989-5

Zvolený A/D převodník je k řídicímu zařízení připojen jednosměrnou SPI linkou a signálem CNV pro řízení převodu. Rozhraní se skládá z následujících signálů:

**CNV** - signál zahajující převod

**SDI/ $\overline{\text{CS}}$**  - výběr aktivního zařízení na sběrnici, nebo vstup dat v řetězeném zapojení

**SCK** - hodinový signál sériové sběrnice

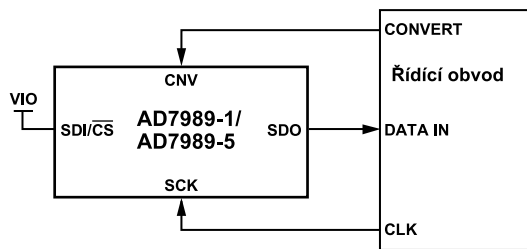
**SDO** - výstupní datový signál

### 5.3.1 Módy komunikace A/D převodníku

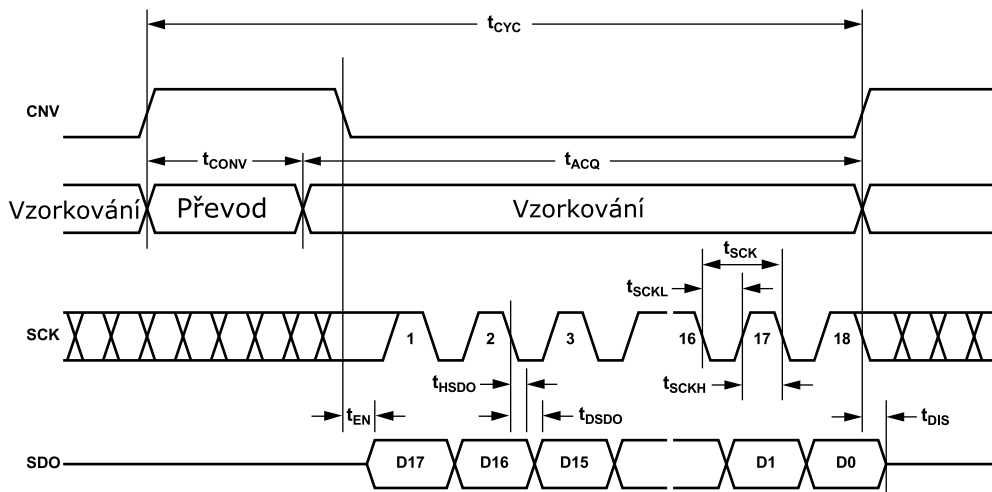
Zvolený A/D převodník umožňuje činnost ve třech režimech podle zapojení vstupních pinů převodníku.

#### 5.3.1.1 Třídrátové zapojení

Mód pro použití jediného zařízení na SPI sběrnici. V tomto režimu je pin  $SDI/\overline{\text{CS}}$  připojen k digitálnímu napájecímu napětí, viz obrázek 9. Konverze začíná vzestupnou hranou signálu CNV, který musí zůstat aktivní po dobu minimálně  $t_{CNV}$ . Po sestupné hraně signálu CNV je Výstup SDO ze stavu vysoké impedance přepnut do výstupního stavu a data jsou vyslána na sestupné hraně SCK. Po osmnácté sestupné hraně SCK, nebo vzestupné hraně CNV je výstup uveden do stavu vysoké impedance, viz obrázek 10.



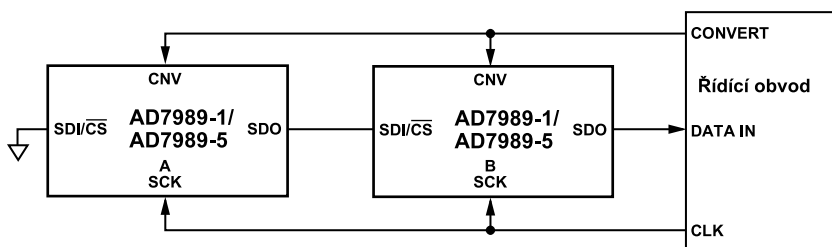
Obrázek 9 Schéma třídrátového zapojení [18]



Obrázek 10 Časový diagram třídrátového zapojení [18]

### 5.3.1.2 Řetězené zapojení

Převodník umožňuje zapojení více převodníků za sebou do řetězené struktury za použití pouze 3 řídicích signálů, viz obrázek 11. V tomto režimu je výstup SDO trvale ve stavu nízké impedance se základní hodnotou v logické 0. Pro započítí převodu je přivedena logická 1 na vstupy CNV. Po dokončení konverze  $t_{CONV}$  začne převodník vysílat změřená data se sestupnou SCK a zároveň přijímat data na vstupu  $S DI / \overline{C S}$ . Po odeslání dat z vlastního převodu odesílá převodník data, která v průběhu této doby přijal na vstupu  $S DI / \overline{C S}$  zpožděná o 18 bitů dat vlastního převodu. Po dokončení všech datových operací je CNV uveden zpět do logické 0 dle obrázku 12.

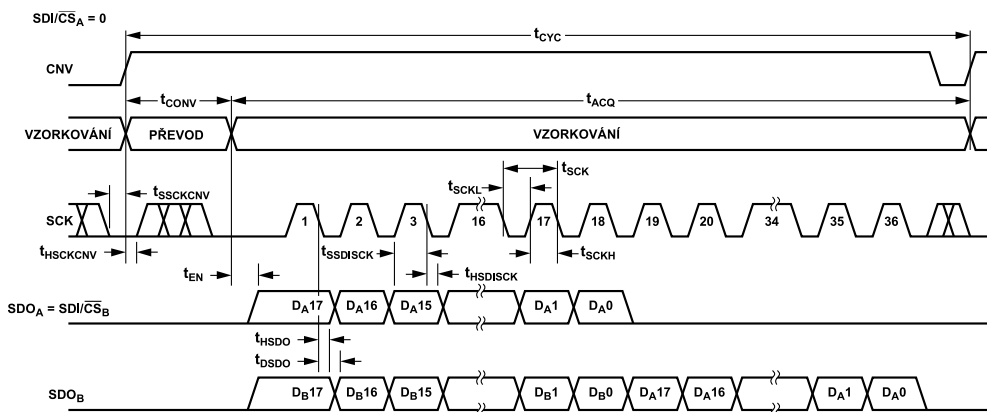


Obrázek 11 Schema řetězeného drátového zapojení [18]

### 5.3.1.3 Čtyřdrátové zapojení

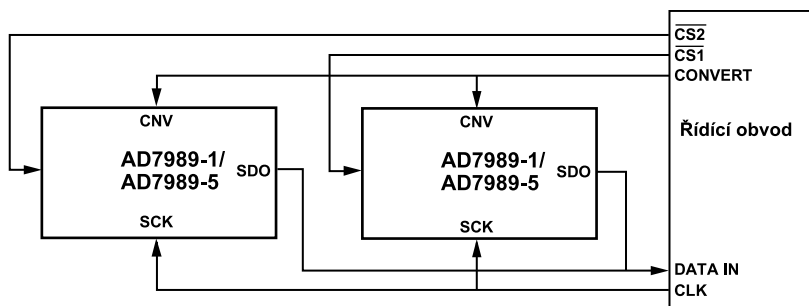
Pro využití více zařízení na jedné sběrnici je možné využít 4 drátového zapojení, kdy má převodník zapojený vstup  $S DI / \overline{C S}$  k výstupu řídicího zařízení dle obrázku 13. V tomto



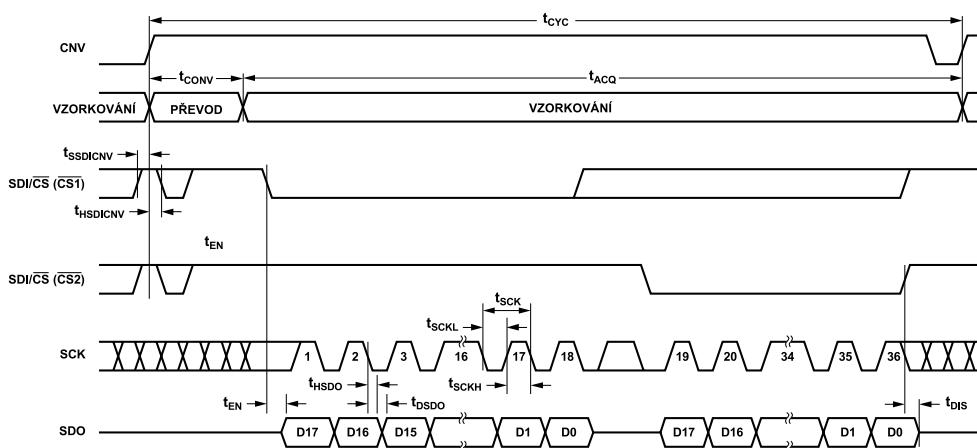


Obrázek 12 Časový diagram řetěženého zapojení [18]

režimu je převod započat přivedením logické 1 na vstup CNV, zatímco vstup  $SDI/\overline{CS}$  je v logické 1. Tímto jsou všechny výstupy nastaveny do stavu vysoké impedance a je započat převod. Po uplynutí doby  $t_{CONV}$  je možné pomocí  $SDI/\overline{CS}$  vybrat aktivní převodník, který nastaví výstup do stavu nízké impedance a začne po sestupné hraně SCK vysílat data. Po odeslání 18 bitů, nebo nastavení  $SDI/\overline{CS}$  do logické 1 je výstup daného převodníku nastaven do stavu vysoké impedance. Poté je možné stejným postupem vybrat další převodník na sběrnici a přečíst z něj data. Po přečtení všech dat je převod a cyklus čtení ukončen přivedením logické 0 na vstup CNV, viz obrázek 14.



Obrázek 13 Schéma čtyřdrátového zapojení [18]



Obrázek 14 Časový diagram čtyřdrátového zapojení [18]

### 5.3.2 Časování A/D převodníku

Podstatné parametry časování A/D převodníku jsou uvedeny v tabulce 6.

**Tabulka 6** Parametry časování A/D převodníku [18]

Parametr	Symbol	Min	Max	jednotka
Vzorkovací rychlost	-	-	500	kSPS
Doba převodu: Od začátku k dostupným datům	$t_{CONV}$	-	1600	ns
Doba vzorkování	$t_{ACQ}$	400	-	ns
Perioda SCK	$t_{SCK}$	11.5	-	ns
SCK - Logická 0	$t_{SCKL}$	4,5	-	ns
SCK - Logická 1	$t_{SCKH}$	4,5	-	ns
Platnost aktuálních dat po sestupné hraně SCK	$t_{HSDO}$	3	-	ns
Zpoždění nových dat po sestupné hraně SCK	$t_{DSDO}$	-	9,5	ns

### 5.3.3 Zvolené zapojení převodníku

Po zvážení možných zapojení A/D převodníku bylo vybráno zapojení odpovídající řetězenému zapojení, přestože je použit pouze jeden převodník na sběrnici. Důvodem je, že výstup je trvale ve stavu nízké impedance a na datovém výstupu převodníku je vždy definovaný logický stav i bez použití externích rezistorů.

## 5.4 Analogový hardware

Při návrhu hardware byl kladen důraz na minimalizaci šumu vneseného do signálu vyhodnocovací elektronikou, aby mohly být ověřeny šumové vlastnosti samotného senzoru. Při návrhu autor spolupracoval s odborníky na vývoj hardware z firmy PiKRON, aby výsledný návrh mohl být funkční a dosahovat požadovaných kvalit.

### 5.4.1 Výběr zapojení

Protože byl požadavek na rychlost čtení senzoru minimálně 10 přečtení senzoru za sekundu s minimálním množstvím šumu, bylo zvoleno zapojení přímé integrace výstupního signálu ze senzoru. Pro lepší využití vlastností senzoru a možností A/D převodníku, který má diferenciální vstup, je referenční výstup senzoru také přímo integrován a přiveden na negativní vstup A/D převodníku, viz obrázek 15. Tím je dosaženo eliminace vlivu napětových impulzů při přepínání jednotlivých buněk senzoru. Velikost kondenzátoru ve zpětné vazbě byla určena na základě rovnice (2) popisující závislost změny výstupního napětí integrátoru na přivedeném náboji.

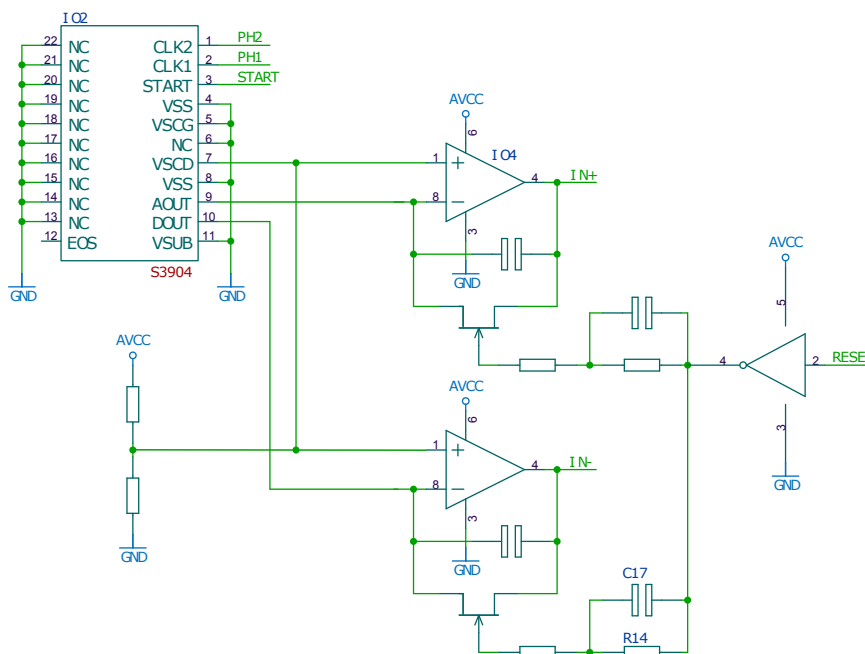
$$\Delta V_{out} = \frac{1}{C} \int_{t_0}^{t_1} I dt = \frac{1}{C} Q \quad (2)$$

Významy symbolů v rovnici jsou:

- $\Delta V_{out}$  - Změna výstupního napětí za dobu integrace.
- $C$  - Kapacita integračního kondenzátoru.
- $\int_{t_0}^{t_1}$  - Integrál od vypnutí resetu ( $t_0$ ) do přečtení hodnoty ( $t_1$ ).

- $I$  - Vstupní proud přivedený do integrátoru.
- $Q$  - Náboj přivedený do integrátoru od vypnutí resetu to přečtení hodnoty.

Protože bylo změřeno, že při saturaci dosahuje náboj každého pixelu 24,5 pC a změna výstupního napětí pro maximální osvětlení byla požadována 2,5 V, byla určena kapacita integračního kondenzátoru 10 pF.



Obrázek 15 Schéma výstupního integrátoru

### 5.4.2 Výběr operačního zesilovače

Při výběru operačního zesilovače byl kladen hlavní požadavek na nízký šum a minimální vstupní proud zesilovače, aby integrátor zpracoval pouze vstupní signál a nebyl ovlivněn vlastními chybami. Na základě těchto požadavků byl zvolen operační zesilovač LMP7721 [19], který nabízí maximální vstupní proud 20 fA při 25 °C a 900 fA při 85 °C. Napěťový šum zesilovače je  $7 \text{ nV}/\sqrt{\text{Hz}}$ , což při šířce pásma 250 kHz odpovídá šumu  $3,5 \mu\text{V}$ .

### 5.4.3 Výsledný analogový hardware

Ve výsledném zapojení integrátoru byl oproti původnímu předpokladu vstup doplněn o  $100 \Omega$  rezistor pro omezení maximální rychlosti integrátoru na základě doporučení z katalogu výrobce optického senzoru [5]. Protože výstup z integrátorů je napěťově posunutý z nuly do +2,35 V, návrh počítal s posunutím země A/D převodníku do +2 V, aby bylo možné lépe využít jeho vstupní rozsah.

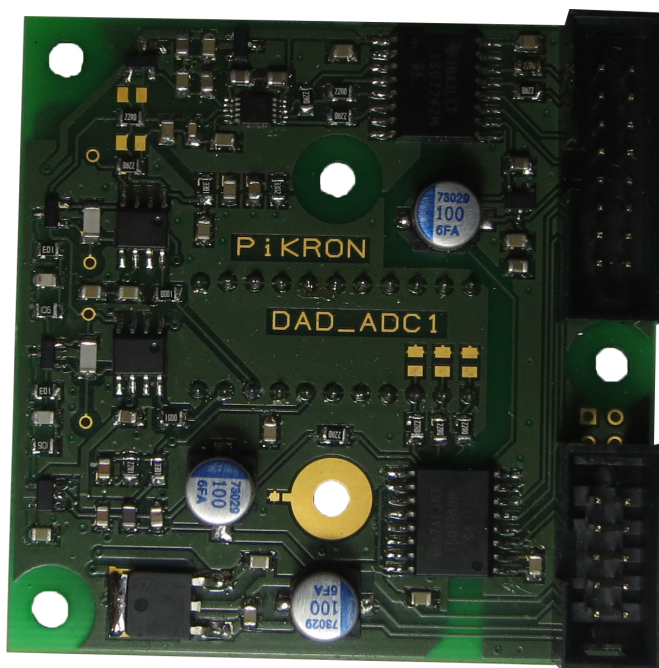
Na základě experimentů se toto řešení i přes snahu o stínění částí obvodu jim příslušnými zeměmi a využití rozdílové podstaty vstupu A/D převodníku ukázalo jako nevhodné. Pro další iteraci se počítá se sjednocením zemí a s nutností vložení operačního zesilovače realizujícího přizpůsobení úrovně a rozsahu signálu požadavkům A/D převodníku. Tím se ztrácí elegance původního návrhu, kdy v signálové cestě nebyl žádný

rezistor (převodník je realizován pouze sítí spínačů a kondenzátorů, při zanedbání z hlediska vneseného šumu nezajímavého 100 Ohm odporu na výstupu senzoru). Operační zesilovač pro posun úrovně však pracuje se signály na relativně nízké impedanci, a tak lze použít nižší hodnoty rezistorů a jejich termální šum by neměl celkovou přesnost již ohrozit.

Pro komunikaci s FPGA byly signály galvanicky odděleny pomocí vysokorychlostních digitálních oddělovačů ISO7242 [20].

Zdrojem galvanicky odděleného napájení analogové části je zdrojová deska, která byla převzata z platformy LX\_CPU a její návrh a činnost nejsou součástí této práce. Napájení A/D převodníku a napěťové reference A/D převodníku zajišťuje lineární stabilizátor 78M05, čímž je eliminována část šumu ze spínaného zdroje, který je použit ke galvanickému oddělení napětí.

Protože digitální oddělovače ISO7242 vnáší do signálu zpoždění 20 až 50 ns, ale zpoždění mezi kanály je maximálně 1 ns, je hodinový signál SCLK veden z A/D převodníku zpět do FPGA, čímž je eliminována neurčitost tohoto zpoždění. Řídící signály optického senzoru jsou z FPGA vedeny přes galvanický oddělovač ISO7240, ze kterého jsou k senzoru připojeny přes 22  $\Omega$  rezistory. Fotografie analogové desky je na obrázku 16. Celé schéma analogové desky je v příloze A.



Obrázek 16 Osazená analogová deska

## 6 Firmware

### 6.1 Obvodová konfigurace FPGA

Obvodový návrh konfigurace FPGA byl psán v jazyce VHDL na základě kostry poskytnuté vedoucím práce k platformě LX\_CPU. Součástí kostry bylo mapování vstupů a výstupů sběrnice, adresní dekodér, logika pro čtení a zápis na sběrnici, ukázková paměť a měřicí registr pro změření maximální možné rychlosti zápisu a čtení z FPGA.

V rámci bakalářské práce byla kostra doplněna o kód pro komunikaci s A/D převodníkem, tvorbu hodinových a řídicích signálů optického senzoru, rozšíření paměti pro větší objem měřených dat a logiku přesunu změřených dat z A/D převodníku na určené místo v paměti.

#### 6.1.1 Generátor časovacích signálů diodového pole

Časovací signály pro senzor jsou tvořeny pomocí stavového automatu, kde každé hraně výstupního signálu odpovídá jeden stav. Pro spuštění převodu A/D převodníku je mezi stavy odpovídající změnám řídicích signálů vložen další stav. Přejed mezi stavy je zajištěn pomocí čítače, který při přechodu do dalšího stavu načte hodnotu odpovídající počtu hodinových impulzů pro přechod do následujícího stavu. Hodnota čítače je při každé vzestupné hraně hodinového signálu snížena, dokud nedosáhne nuly, kdy dojde k přechodu do dalšího stavu a načtení nové hodnoty do čítače.

#### 6.1.2 Ovládání A/D převodníku

Ovládání A/D převodníku je řízeno z procesů ovládaných zdrojem řídicích signálů pro optický senzor. Řízení a čtení A/D převodníku je rozděleno do tří procesů, vzhledem k tomu, že signály od A/D převodníku jsou zpožděny průchodem galvanickým oddělovačem viz kapitola 5.4.3.

##### 6.1.2.1 Proces řízení A/D převodníku

Řízení A/D převodníku je tvořeno procesem, který obsahuje stavový automat rozdělující ovládání A/D převodníku do 3 stavů:

**Klidový stav** Výstup CNV je nastaven do logické 0 a hodinové signály sériové linky jsou zastaveny. Proces v tomto stavu čeká na signál od nadřazeného procesu, kterým je zahájen převod. Při zahájení procesu je výstup CNV nastaven do logické 1 a stavový automat přejde do stavu aktivního převodu.

**Aktivní převod** Ve stavu aktivního převodu, započatého nastavením CNV do logické 1, je spuštěn čítač, který čeká po dobu převodu A/D převodníku. Po uplynutí doby převodu přejde stavový automat do stavu čtení převedených hodnot.

**Čtení převedených hodnot** V tomto stavu je aktivován hodinový signál sériové linky pro odeslání změřených hodnot z A/D převodníku. Zároveň je aktivován čítač, který počítá periody odeslaných hodinových signálů. Po odeslání 18 period hodinových signálů jsou hodinové signály zastaveny, jejich čítač vynulován, výstup CNV nastaven do logické 0 a stavový automat přejde do klidového stavu.

### 6.1.2.2 Proces čtení A/D převodníku

Protože jsou hodinové signály a data z A/D převodníku vedeny přes galvanický oddělovač, je do nich vneseno neznámé zpoždění (40 až 100 ns) od jejich odeslání. Z tohoto důvodu není proces čtení A/D převodníku synchronní s hlavním hodinovým signálem FPGA, ale je synchronní se zpětně čtenými hodinovými signály sériové linky A/D převodníku.

Protože i při maximálním zpoždění přijde první hodinový signál v době, kdy je signál CNV v logické 1, je tento signál zároveň použit k filtraci možných nežádoucích zákmitů na vstupu hodinových signálů sériové linky a první bit signálu je přijat pouze v tom případě, když je při vzestupné hraně hodinových signálů sériové linky zároveň signál CNV v logické 1. Po přijetí prvního bitu je nastaven signál platnosti přijatých dat na logickou 0 a s každou vzestupnou hranou hodinového signálu sériové linky uložen stav datové linky až do přijetí osmnáctého bitu. Po jeho přijetí je nastaven signál platnosti přijatých dat na logickou 1.

### 6.1.2.3 Proces synchronizace dat

Synchronizace přijatých dat s hlavními hodinovými signály FPGA probíhá v samostatném procesu, který s každou rostoucí hranou hodinových signálů čte stav signálu platnosti přijatých dat a v případě, že je načtena posloupnost 0-1-1<sup>1</sup>, je výstup dat k nadřazenému procesu nastaven na hodnotu získanou v asynchronním procesu čtení dat. S výstupem dat je zároveň na jeden hodinový cyklus nastaven signál informující nadřazený proces o dostupnosti nových dat.

### 6.1.3 Paměťová vrstva mezi A/D převodníkem a procesorem

Pro jednoduchý přístup ke změřeným datům z aplikačního procesoru jsou data ukládána do dvou paměťových bloků, každý o velikosti 1024 paměťových míst pro změřená data. Po změření jednoho bloku hodnot se přepne ukládání do druhého bloku a bit 3 ve stavovém registru je nastaven tak, aby jeho dosazení do adresy určilo adresu bloku, který obsahuje poslední sérii platných dat.

### 6.1.4 Další módy měření

Pro účely otestování analogového hardware byly doplněny kromě normálního čtení módy měření pro ověření stálosti hodnoty integrátoru v čase a měření výstupu více vzorky pro získání jeho časového průběhu.

#### 6.1.4.1 Měření stálosti integrátoru

K měření stálosti integrátoru je zastavena tvorba řídicích signálů pro optický senzor a je vypnut resetovací pulz. Z důvodů využití paměťového bloku, je měřeno 1024 vzorků.

<sup>1</sup>Posloupnost dvou jedniček a tedy signál zpožděný o jeden hodinový cyklus oproti přijetí dat je potřebný, jelikož procesy jsou asynchronní a může tak dojít k nastavení a přečtení signálu platnosti, zatímco uložená data budou platná až později v průběhu hodinového cyklu asynchronního procesu.

### 6.1.4.2 Měření výstupu více vzorky

Pro měření výstupu více vzorky je použita stejná logika řízení senzoru jako při běžném měření popsaném v kapitole 6.1.1. V době integrace a následného převodu jsou místo jednoho vzorku načteny 4 vzorky signálu. Pro zachování paměťových bloků je měření jedné sady výsledků uloženo do obou bloků a je měřena pouze první polovina senzoru. Hodnoty z druhé poloviny senzoru nejsou ukládány, protože pro otestování vlastností elektroniky nejsou potřebné.

### 6.1.5 Řízení programu z procesoru

Běh programu lze řídit z procesoru pomocí zápisů do registrů, ze kterých je načítána hodnota do čítače sloužícího k nastavování výstupních hodnot a pomocí zápisu do řídicího registru, který má přiřazené významy podle tabulky 7. Paměťová umístění<sup>2</sup> a významy registrů jsou uvedena v tabulce 8. Všechny registry mají šířku 32 bitů a při adresaci z procesoru je nutné adresy z FPGA násobit čtyřmi, protože nejnižší dva bity adresy jsou při zápisu vedeny signálem BLS, viz kapitola 5.1.1 a při čtení se předpokládá čtení celého 4 bajtového slova.

**Tabulka 7** Popis významu bitů v řídicím registru

31 - 7	6	5	4	3	2	1	0
N/A	FIN	MULT	LEAK	NORM	BANK	SR	CR

**N/A** Nevyužitý bit. Zápis do tohoto bitu je ignorován. Při čtení je vždy získána nula.

**FIN** Zápis do tohoto bitu je ignorován. Při čtení znamená jednička konec jednorázového měření. Čtením je vynulován.

**MULT** Jednička v tomto bitu znamená měření výstupu z integrátoru více vzorky pro získání průběhu výstupu. Při čtení je získána aktuální hodnota.

**LEAK** Jednička v tomto bitu znamená měření integrátorů při nulovém vstupu. Při čtení je získána aktuální hodnota.

**NORM** Jednička v tomto bitu znamená normální měření. Při čtení je získána aktuální hodnota.

**BANK** Zápis do tohoto bitu je ignorován. Při čtení je vracen paměťový blok, který obsahuje poslední načtená platná data.

**SR** Zápis jedničky do tohoto bitu provede jedno načtení dat z optického senzoru a vynuluje bit CR. Při čtení je vždy získána nula.

**CR** Zápis jedničky do tohoto bitu způsobí nepřetržité vyčítání optického senzoru. Při čtení je získána aktuální hodnota.

<sup>2</sup>Adresy paměťového umístění jsou uváděny v šestnáctkovém formátu, kdy předpona 0x určuje, že následuje číslo v šestnáctkové soustavě.

**Tabulka 8** Adresy registrů v paměťovém prostoru a jejich význam

Název registru	Adresa	Význam
CNTRL	0x1000	Řídící registr
T1	0x1001	Počet cyklů od nastavení $\phi_2$ na 0 do nastavení $\phi_1$ na 1
T2	0x1002	Počet cyklů od nastavení $\phi_1$ na 1 do aktivace resetu
T3	0x1003	Počet cyklů od aktivace resetu do deaktivace resetu
T4	0x1004	Počet cyklů od deaktivace resetu do nastavení $\phi_1$ na 0
T5	0x1005	Počet cyklů od nastavení $\phi_1$ na 0 do nastavení $\phi_2$ na 1
T6	0x1006	Počet cyklů od nastavení $\phi_2$ na 1 do spuštění A/D převodu
T7	0x1007	Počet cyklů od spuštění A/D převodu do nastavení $\phi_2$ na 0
T8	0x1008	Počet cyklů mezi začátky čtení senzoru při kontinuálním běhu
T9	0x1009	Počet cyklů mezi měřeními stálosti výstupu integrátoru

## 6.2 Software pro procesor

Základní aplikace, která umožňuje konfiguraci FPGA z USB byla součástí poskytnuté kostry aplikace pro LX\_DAD. V rámci bakalářské práce byl vytvořen software pro procesor ve formě jednoduché aplikace sloužící k otestování funkčnosti a vlastností senzoru.

### 6.2.1 Komunikace s PC aplikací

Komunikace mezi aplikačním procesorem a počítačem je pro jednoduchost realizována pouze po sériové lince na frekvenci 57 600 kHz. Všechny přenášené informace jsou ve formátu ASCII znaků a kromě specifické aplikace jsou čitelné i v libovolné terminálové aplikaci pro zobrazování a vysílání znaků na sériovou linku.



## 7 Výsledky měření

Měření bylo rozděleno na dvě části, kdy nejdříve byly změřeny vlastnosti samotné elektroniky bez osazení senzoru a následně změřeny vlastnosti elektroniky včetně optického senzoru.

Změřené hodnoty jsou zde prezentovány ve formě bezrozměrné výstupní hodnoty převodu A/D převodníku bez dalších úprav pro snadné zpracování a posouzení výsledného rozlišení vytvořeného hardware. Očekávané hodnoty výstupu A/D převodníku jsou v rozsahu 0 až 65 535.

### 7.1 Změny hardware po zjištěních v průběhu práce

Při měření bylo zjištěno, že zdroje platformy LX\_CPU způsobovaly přílišný šum při spínání, který se přenášel do celého obvodu a způsoboval šum výstupu na neúnosné úrovni. Pro všechna měření byly tyto zdroje nahrazeny napájením z externí baterie, nebo lineárního laboratorního zdroje.

Po eliminaci šumu způsobeného činností původních zdrojů z napájení byl odhalen další problém spočívající v tom, že rozdělené země senzoru a A/D převodníku vedly k problémům s kapacitní vazbou mezi zdroji. Tento problém byl odstraněn změnou koncepce zapojení A/D převodníku, kdy byl přepojen negativní vstup senzoru k pevnému napětí<sup>1</sup> (místo výstupu integrátoru referenčního výstupu senzoru) a propojen zemní potenciál A/D převodníku se zemním potenciálem optického senzoru. Tím byl výstup převodníku posunut při nulové intenzitě z nuly do poloviny rozsahu, čímž došlo ke snížení využitelného rozlišení A/D převodníku o jeden bit. Vzhledem k diferenciálnímu vstupu převodníku a chybějící možnosti dosáhnout se stávajícím zapojením záporného diferenciálního signálu, je využitelné rozlišení snímače sníženo o další bit na maximální možné rozlišení 16 bit.

Data prezentovaná v této práci jsou výsledky měření provedených až po těchto úpravách.

### 7.2 Měření vlastností elektroniky

Měření spočívalo v měření stability integrátoru při odpojeném zdroji resetovacích a hodinových signálů senzoru a v měření šumu samotné elektroniky bez připojeného senzoru, ale s aktivními všemi signály.

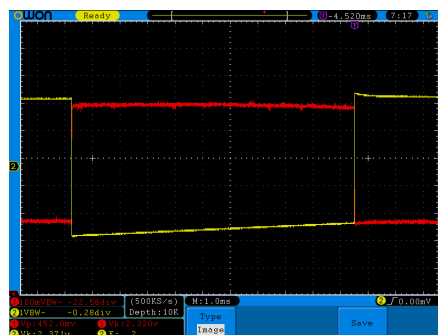
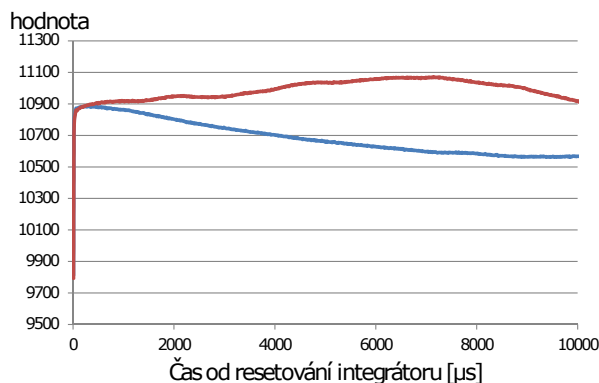
#### 7.2.1 Měření stability integrátoru

Při měření stability integrátoru bylo zjištěno, že do hodnoty jeho výstupu je zaneseno systematické rušení, které po prozkoumání bylo identifikováno jako přenos rušení o síťové frekvenci 50 Hz viz obrázek 17a, na kterém je patrné že signál má při dvou různých měřeních vnesený signál s půl-periodou 10 ms. Při opakovaných měřeních bylo zjištěno,

<sup>1</sup>Hodnota napětí byla zvolena přibližně v polovině referenčního napětí, aby byl splněn požadavek na diferenciální signál okolo poloviny reference pro A/D převodníku.

## 7 Výsledky měření

že toto síťové rušení se k výchozímu signálu jak přičítalo, tak od něho odečítalo. Protože pro výslednou aplikaci se počítá se zastavením zařízení do stíněné krabice, není tento problém považovaný v současné době za závažný. Signál z tohoto měření získaný osciloskopem je na obrázku 17b, kde červený průběh je výstup integrátoru a žlutý průběh je napětí řídicí elektrody vybíjecího tranzistoru.

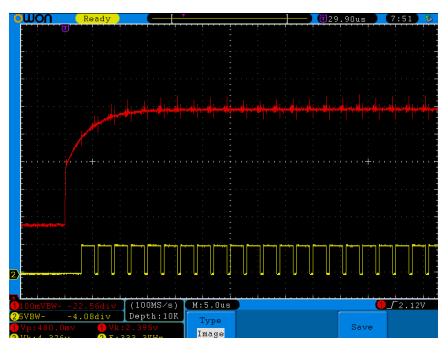
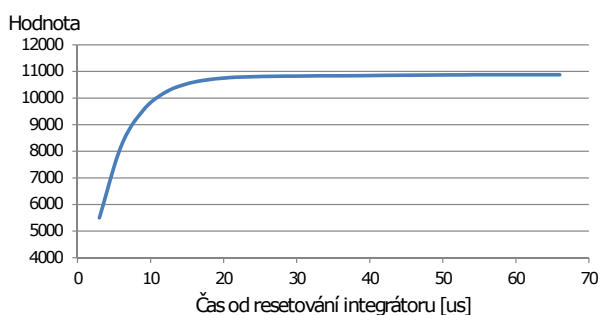


- a) Hodnoty A/D převodníku průběhy s přičteným a odečteným síťovým rušením      b) Průběh signálů (reset - žlutý, výstup - červený)

Obrázek 17 Měření stability integrátoru

### 7.2.2 Měření rychlosti nabíjení kondenzátoru

V této konfiguraci zapojení byl změřen průběh přechodového děje nabíjení kondenzátoru. Signál byl vzorkován s periodou  $3 \mu\text{s}$ . Průběh je zobrazen na obrázku 18, kde v části 18a a 18b je zobrazen pouze výřez prvních 22 hodnot změřených dat. Na obrázku z osciloskopu odpovídá červený průběh výstupu integrátoru a žlutý průběh vzorkování A/D převodníku. Špičky na výstupu signálu při změně hodnot řídicího signálu jsou způsobeny špatnou izolací signálu mezi kanály osciloskopu a v měřeném signálu ve skutečnosti nejsou. Z průběhu signálu je patrné, že ustálení signálu integrátoru pod rozlišení A/D převodníku nastane až  $60 \mu\text{s}$  po vypnutí resetovacího signálu. Data z měření jsou uvedena příložená na CD v souboru „data.xlsx“.



- a) Hodnoty A/D převodů - výřez přechodového jevu      b) Průběh signálů (výstup a vzorkování)

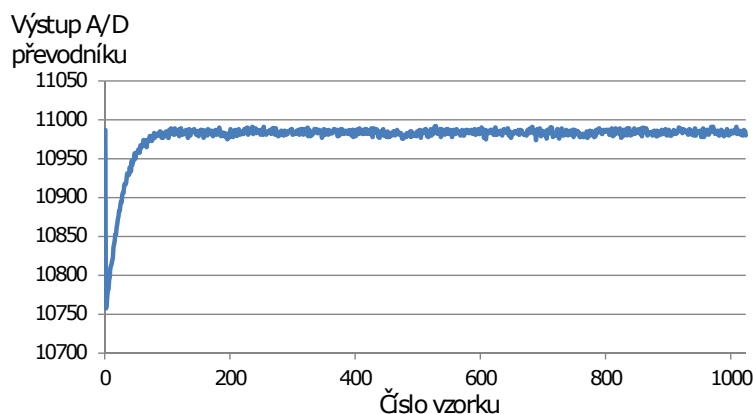
Obrázek 18 Měření nabíjení integrátoru

### 7.2.3 Měření šumu elektroniky bez optického senzoru

Při měření šumu elektroniky bez optického senzoru byl analyzován i vliv propojení jednotlivých částí měřícího zařízení se zemním potenciálem na výstupní hodnoty. Bylo změřeno, že na výstupní šum má zásadní vliv čistota napájecího zdroje analogové elektroniky.

#### 7.2.3.1 Výsledky plně galvanicky odděleného měření při napájení z baterie

Na obrázku 19 je výstup měření při napájení analogové elektroniky, digitální elektroniky i připojeného počítače z baterií. Prvních 150 hodnot je ovlivněno náběhem měření po dlouhém resetu (zdůvodnění uvedeno v závěru). Tato vlastnost je systematická pro všechna měření a ve všech případech má stejnou velikost, proto není při hodnocení rozptylu a směrodatné odchylky prvních 150 hodnot zahrnuto do výpočtu, protože při měření by byl stejný posun změřen při měření temného proudu senzoru a od měřených hodnot odečten. Po zanedbání prvních 150 měřených hodnot vychází pro toto měření rozdíl mezi maximální a minimální měřenou hodnotou 18 hodnot. Směrodatná odchylka měřených hodnot je 2,97.



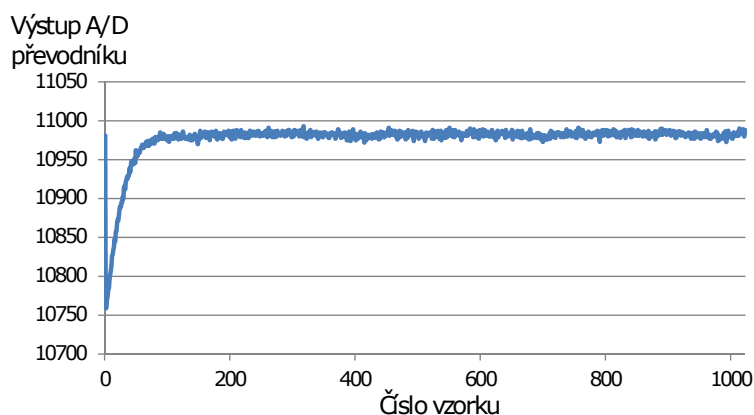
Obrázek 19 Průběh šumu bateriově napájené elektroniky bez senzoru

#### 7.2.3.2 Výsledky měření při napájení z baterie a spojení digitální části se zemí

Průběh z měření s analogovou částí napájenou z baterie a digitální částí a počítačem napájenou přes síťový zdroj je zobrazen na obrázku 20. Po zanedbání prvních 150 měřených hodnot vychází pro toto měření rozdíl mezi maximální a minimální měřenou hodnotou 21 hodnot A/D převodníku. Směrodatná odchylka měřených hodnot je 3,25. Z vypočtených hodnot je patrné, že uzemnění digitální části a její napájení ze spínaného zdroje (zdroj k notebooku Lenovo E540) má negativní vliv na výsledky měření proti hodnotám získaným z napájení všech částí z baterií.

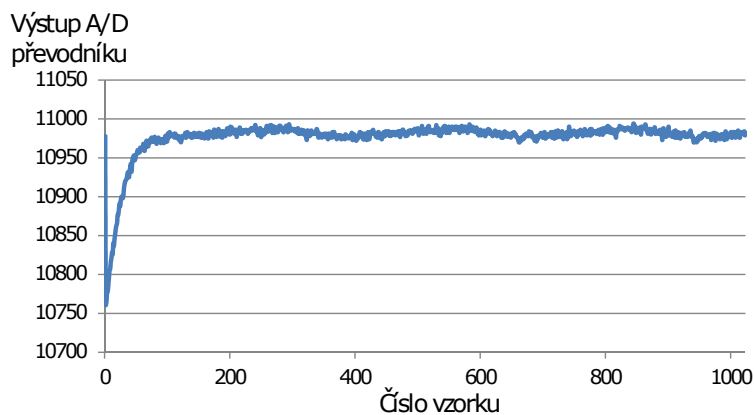
#### 7.2.3.3 Výsledky plně galvanicky odděleného měření při napájení z laboratorního zdroje

Výstup měření při připojení analogové elektroniky k laboratornímu zdroji KORAD KD3005D a napájení počítače a digitální části z baterie je zobrazen na obrázku 21. Na zobrazeném průběhu je vidět pronikání síťového rušení přes laboratorní zdroj do



**Obrázek 20** Průběh šumu při napájení analogové části z baterie a digitální části ze síťového zdroje

měřených výsledků. Po zanedbání prvních 150 měřených hodnot vychází pro toto měření rozdíl mezi maximální a minimální měřenou hodnotou 24. Směrodatná odchylka měřených hodnot je 4,41.



**Obrázek 21** Průběh šumu elektroniky bez senzoru napájené z laboratorního zdroje

#### 7.2.3.4 Shrnutí měření bez senzoru

V tabulce 9 jsou shrnuty výsledky měření šumu elektroniky při různých konfiguracích napájení. Z výsledků je patrné, že nejlepších výsledků bylo dosaženo při bateriovém napájení celé elektroniky se zhoršením při uzemnění digitální části a dalším zhoršením při napájení analogové části z laboratorního zdroje.

**Tabulka 9** Shrnutí měření elektroniky bez senzoru

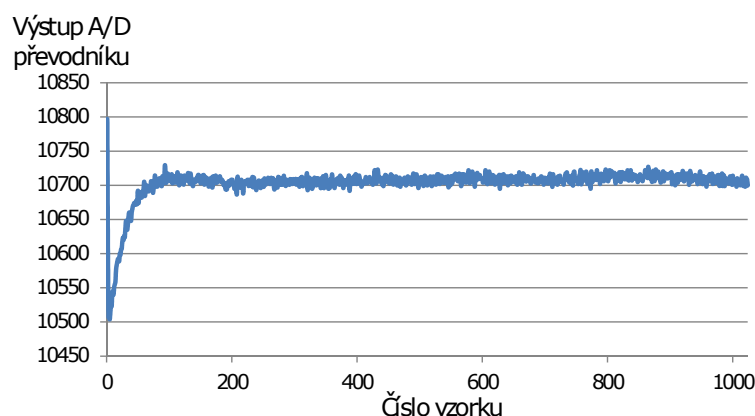
Napájení analogové části	Napájení digitální části	Rozdíl hodnot MAX - MIN	směrodatná odchylka
Baterie	Baterie	18	2,97
Baterie	Síťový zdroj	21	3,25
Laboratorní zdroj	Baterie	24	4,41

## 7.3 Měření šumu senzoru

Na základě výsledků měření elektroniky bez senzoru byl šum elektroniky připojené k optickému senzoru fotospektrometru měřen v konfiguraci čistě bateriového napájení. Při měření byla vyzkoušena možnost vlivu uzemnění celého modulu spektrometru na výstupní šum.

### 7.3.1 Měření při plovoucím bateriovém napájení

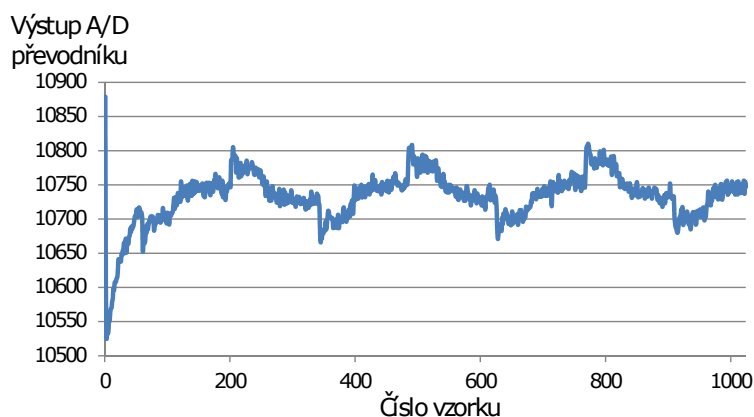
Výstup měření šumu s připojeným zastíněným optickým senzorem je zobrazen na obrázku 22. Na výsledku se opět projevuje systematická chyba spočívající v čtení nižší hodnoty prvních cca 150 vzorků. Po zanedbání prvních 150 měřených hodnot vychází pro toto měření rozdíl mezi maximální a minimální měřenou hodnotou 40. Směrodatná odchylka měřených hodnot je 5,85.



**Obrázek 22** Průběh šumu senzoru s bateriovým napájením

### 7.3.2 Měření uzemněného senzoru při bateriovém napájení

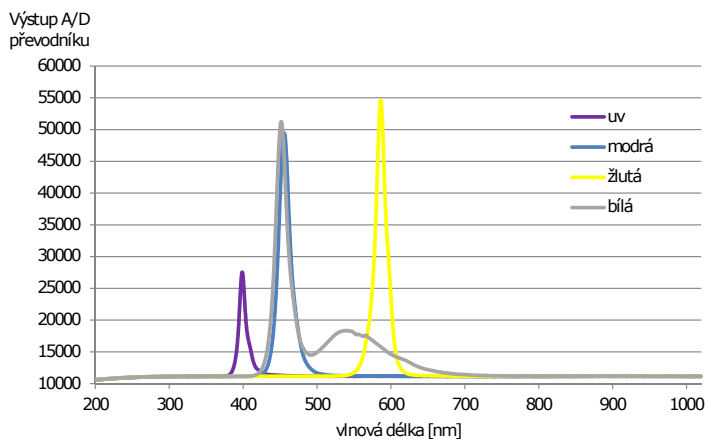
Při měření šumu s uzemněným spektrometrem byla zjištěna zvláštnost v chování měřicí elektroniky, kdy na výstupním signálu byl změřen superponovaný signál s nízkou frekvencí a velkou amplitudou, viz obrázek 23. Podezření na pronikání síťové frekvence 50 Hz se potvrdilo ověřením z naměřených dat, odkud při periodě vzorkování 70,6 ms a vzdálenosti vrcholů superponovaného signálu 283 vzorků vychází frekvence 50,05 Hz. Zajímavostí u vneseného signálu je, že má ve všech měřeních shodnou amplitudu, přestože frekvence měření není žádným způsobem vázaná na frekvenci sítě. Z důvodů vneseného signálu nebyl při tomto měření vyhodnocován rozdíl mezi minimální a maximální hodnotou, ani nebyl proveden výpočet směrodatné odchylky.



Obrázek 23 Průběh šumu senzoru s bateriovým napájením

## 7.4 Ověření spektrálního rozlišení senzoru

K ověření správné funkčnosti čtení senzoru byl vstup fotspektrometru osvětlován barevnými LED diodami a měřen výstup převodníku, kde byly porovnávány špičky intenzity průběhů s očekávanou hodnotou pro danou barvu. Graf ze zobrazenými průběhy měření všech LED diod je zobrazen na obrázku 24. Z použitých diod byla známá charakteristika UV diody, která měla dosahovat maximální intenzity na vlnové délce  $400 \pm 10$  nm. Maximální hodnota intenzity UV diody byla změřena na vlnové délce 398 nm, což odpovídá specifikacím.



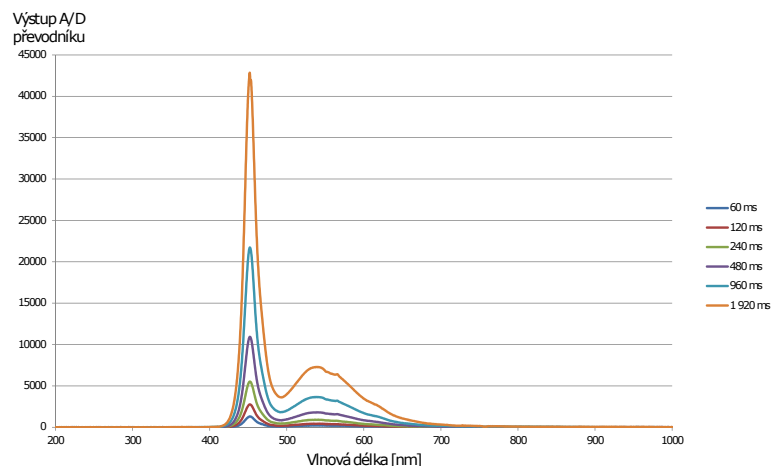
Obrázek 24 Spektrální charakteristiky měřených LED diod

## 7.5 Měření linearity senzoru

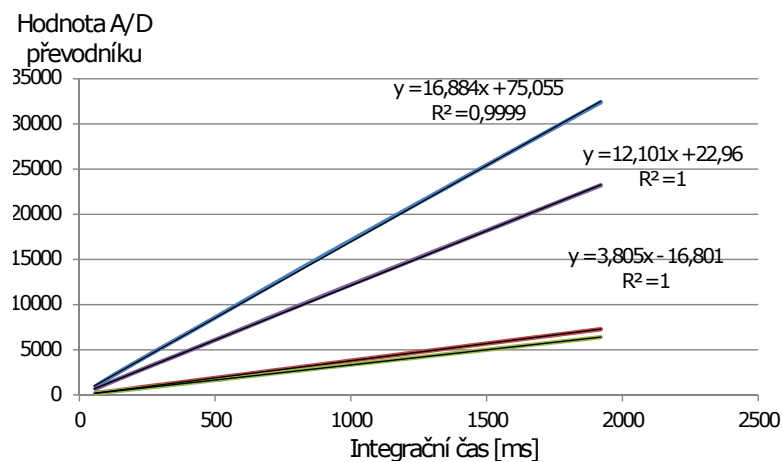
Měření linearity bylo provedeno s použitím bílé LED diody napájené z laboratorního zdroje nastavené na minimální jas a následným měřením na velkém rozsahu integračních časů. Po každém měření byl integrační čas zdvojnásoben a měření opakováno do doby, kdy další krok v integračním čase znamenal saturaci senzoru. Po provedení měření byla měření zopakována se zakrytým vstupem spektrofotometru pro změření temného proudu senzoru při daném integračním čase. Změřené signály byly od sebe odečteny a výsledná sada průběhů je zobrazena na obrázku 25. Data z měření jsou přiložena na

CD v souboru „data.xlsx“.

Ze získaných hodnot je vybráno několik vlnových délek (s měřitelnou intenzitou osvětlení), ze kterých jsou hodnoty zobrazeny do grafu v závislosti na integračním čase, viz obrázek 26. Ve vytvořeném grafu závislosti měřené hodnoty na integračním čase byly programem Microsoft Excel pro zobrazené závislosti spočítány lineární aproximace průběhů a hodnoty regrese, které označují, nakolik se blíží hodnota aproximace původnímu průběhu. Hodnoty regrese pro získané lineární aproximace se pohybovaly v hodnotách 0,999 a 1, což naznačuje dobrou linearitu senzoru i elektroniky.



**Obrázek 25** Měření jednoho světelného zdroje různými integračními časy



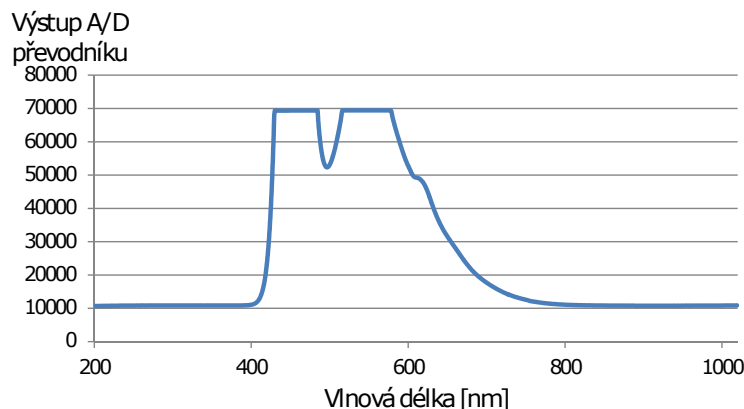
**Obrázek 26** Závislost výstupu senzoru na integračním čase

## 7.6 Chování senzoru při saturaci

Pro získání maximální hodnoty měřitelné A/D převodníkem byl senzor saturován intenzivním světlem bílé LED diody. Průběh změřeného signálu je znázorněn v grafu na obrázku 27. Při saturaci byla změřena maximální hodnota výstupu A/D převodníku 69 479, ale zlom k saturaci nastal už při hodnotě 69 345. Růst měřené hodnoty nad bod zlomu saturace může být způsoben pomalým odvodem nadbytečného náboje ze senzoru a rozdíly mezi nábojem jednotlivých buněk v saturaci. Na průběhu signálu použitého k saturování senzoru je vidět na poklesu křivky mezi saturovanými oblastmi senzoru, že

## 7 Výsledky měření

signál s nižší intenzitou na dané vlnové délce není degradovaný přeléváním náboje ze saturované oblasti.



Obrázek 27 Průběh výstupu senzoru při saturaci

### 7.7 Výsledky měření

Výsledkem měření samotné elektroniky je v nejlepším případě (napájení z baterie) šum maximálně  $\pm 9$  hodnot, což sníží rozlišení o hodnotu  $\log_2(18)$ , což je 4,17 bit. Výsledkem měření šumu elektroniky i se snímačem je při napájení z baterie šum maximálně  $\pm 40$  hodnot, čímž se pokles rozlišení zvýšen na 5,32 bit. Minimální hodnoty měřené při neosvětleném senzoru jsou přibližně 10 000 a maximální hodnoty při saturaci 69 345. Tento rozsah hodnot by při nulovém šumu poskytl rozlišení 15,86 bit. Po odečtení šumu elektroniky je rozlišení samotné elektroniky degradováno šumem na 11,69 bit a výsledné rozlišení dat ze senzoru na 10,54 bit.



## 8 Možné vhodnější platformy pro levnější variantu aplikace

Protože je všechna logika řízení implementovaná v FPGA, je možnost při opětovné realizaci projektu použít samostatnou desku s minimální konfigurací pro běh FPGA a doplnit ji o jakoukoli procesorovou platformu, která poskytuje požadovanou konektivitu. Základní desky obsahující FPGA, napěťové regulátory a oscilátory je možné zakoupit pře eBay za cenu od 31 USD, v přepočtu 765 Kč. Předpokládaná aplikace spektrofotometru na Fakultě strojní je jeho použití k měření vlastností vodních kapek kondenzující páry v turbíně. Jelikož samotný spektrofotometr bude při měření umístěn na turbíně, ale vyhodnocovací a ovládací počítač bude muset být umístěn minimálně 30 m od spektrofotometru, vzniká požadavek na přenos měřených dat na delší vzdálenost, což je nejlépe realizovatelné pomocí ethernetového rozhraní.

### 8.1 Raspberry Pi

Jedná se o velmi oblíbený mikropočítač/vývojový kit s velmi širokou komunitou vývojářů a snadnou dostupností. Nejlevnější varianta s ethernetovým rozhraním je model B+ nabízející procesor architektury ARM11, model Broadcom BCM2835 s 512 MB operační paměti. Mikropočítače Raspberry Pi neobsahují vnitřní paměť a je nutné pro jejich použití doplnit microSD paměťovou kartu. Cena modelu B+ byla v době tvorby této práce 599 Kč bez DPH v obchodě RS-Components [21].

### 8.2 BeagleBone

BeagleBone je mikropočítač/vývojový kit založený na ARM procesorech od Texas Instruments. Nejlevnější dostupná varianta je BeagleBone Black, která nabízí procesor ARM Cortex-A8 Sitara AM3358 a 512 MB operační paměti. Kromě microSD paměti obsahuje počítač také 4 GB flash paměti a není nutné k provozu systému na tomto počítači doplňovat paměťovou kartu. Cena BeagleBone Black byla v době tvorby této práce 1421 Kč bez DPH v obchodě RS-Components [22].

### 8.3 Soft procesor v FPGA

Nejjednodušší variantou z hlediska vzájemné komunikace mezi FPGA a procesorem je implementace procesorového jádra přímo v logice FPGA. V tomto řešení je možnost použití pouze levné vývojové desky pro FPGA a přidání ethernetového rozhraní pomocí vývojového kitu s obvodem pro obsluhu fyzické vrstvy ethernetu. V tomto řešení by bylo nutné zakoupení dostatečně výkonného FPGA pro běh soft procesoru a modul pro ethernet. Cenový rozdíl ve vývojových deskách pro FPGA je přibližně 200 Kč mezi nejlevnějšími a v tomto případě potřebnými výkonnějšími deskami. Nejlevnější Ethernetové moduly byly v době tvorby této práce dostupné na eBay [23] za 14,24 USD, v přepočtu 345 Kč.

## 8.4 Shrnutí možností

Možná řešení jsou shrnuta v tabulce 10. Kolonka cena obsahuje cenu bez DPH, kterou je pro dané řešení nutné přičíst k ceně základního FPGA pro danou variantu.

Na základě shrnutí vlastností v tabulce 10 je nejvýhodnější platformou pro pokračování vývoje Raspberry Pi s připojeným levným vývojovým modulem FPGA.

**Tabulka 10** Shrnutí možných platform pro levnější variantu aplikace

Varianta	Cena	Vlastnosti
Raspberry Pi B+	599 Kč	Mikropočítač s nejšířší komunitou vývojářů s dostatečným výkonem pro běh běžných OS
BeagleBone Black	1 421 Kč	Mikropočítač s dostatečným výkonem pro běh běžných OS a běh náročných aplikací
Soft procesor	545 Kč	Řešení nabízející pouze soft procesor s omezeným výkonem dostatečným pouze pro běh některých RTOS

## 9 Závěr

Cílem práce bylo vytvoření návrhu řízení optického senzoru Hamamatsu S3901-1024Q pomocí FPGA, vytvoření experimentálního hardware a otestování šumových vlastností senzoru s tímto hardware. Výsledkem práce je funkční program i experimentální hardware, který ale nesplňuje očekávané požadavky na rozlišení a rychlost stanovené v kapitole 4.1.

V práci je nejprve zdokumentováno rozhraní spektrofotometrického modulu Zeiss MCS FLEX PDA. Následně byl proveden teoretický rozbor možných zapojení pro vyčítání snímače a jeho řízení a vybrán návrh, který se jevil jako nejvhodnější. Tím je přímá integrace signálu ze snímače. Tento návrh zapojení byl poté fyzicky realizován.

Pro řízení byl na určené FPGA platformě vytvořen řídicí systém, který umožnil řízení časování vyčítací sekvence. Vytvořený obvodový návrh konfigurace FPGA umožňuje ovládání senzoru podle specifikací výrobce. Parametry časování i módů měření lze měnit zápisem do řídicích registrů programem v procesoru bez nutnosti upravovat kód v FPGA. Návrh doplňuje jednoduchý procesorový program, který umožňuje ovládání FPGA a čtení hodnot ze senzoru příkazy posílanými po sériové lince. V práci je zdokumentován celý proces výběru možných komponent, návrhu a následné ověření požadovaných vlastností elektroniky a celého systému. Nakonec jsou v práci navrženy další možné kombinace procesorových systémů pro efektivnější a ekonomickou aplikaci spektrofotometru s důrazem na možnou aplikaci pro výzkum nukleace vodních kapek v mokré páře prováděných na FS ČVUT.

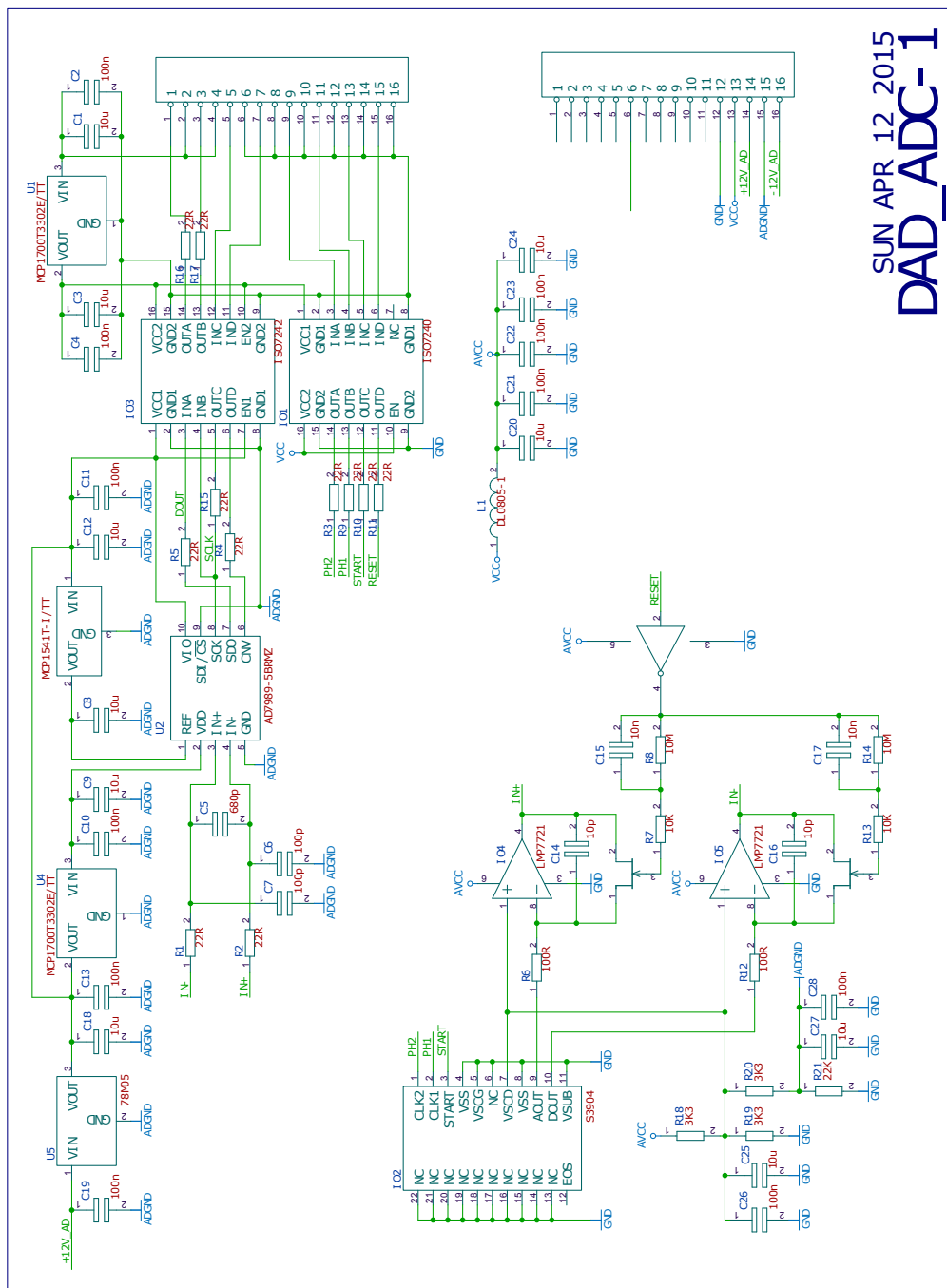
Navržený a vyrobený hardware umožňuje ovládání senzoru digitálními vstupy bez omezení. Analogová část čtení senzoru, experimentálního zařízení nesplnila očekávání a obsahovala řadu chyb, které se i po provedených úpravách projevují následujícími způsoby:

- integrace síťového napětí ve výstupním integračním kondenzátoru
- náběh signálu po delším resetu je ovlivněn delší dobou zavírání tranzistoru, což po jeho dlouhém otevření ovlivní 150 hodnot

Výsledná elektronika je stále zatížena šumem a zároveň se při měření silně projevilo přenesené rušení z okolního prostředí identifikované jako síťová frekvence 50 Hz. Jako nejlepší možnost se ukázalo měření se všemi zdroji lineárními napájenými z baterií a bez spojených zemí. Výsledné rozlišení celého systému bylo díky kompromisům nutným při návrhu a šumu systému 10,5 bitů z původních 18ti. Byla ověřena i běžná funkce fotospektrometru a linearita měřených hodnot, které se zdají jako bezproblémové.

# Příloha A

## Schéma analogové desky



SUN APR 12 2015  
DAD\_ADC-1

Obrázek 28 Schéma zapojení analogové desky

## Literatura

- [1] ZEISS. *MCS FLEX UV-NIR Multi channel spectrometer*. URL: [http://www.zeiss.com/microscopy/en\\_de/products/spectrometer-modules/multi-channel-spectrometer-with-metallic-housing-mcs-flex.html](http://www.zeiss.com/microscopy/en_de/products/spectrometer-modules/multi-channel-spectrometer-with-metallic-housing-mcs-flex.html) (cit. 09.05.2015).
- [2] PiKRON s.r.o. *CPU Boards LX CPU*. URL: [http://www.pikron.com/pages/products/cpu\\_boards/lx\\_cpu.html](http://www.pikron.com/pages/products/cpu_boards/lx_cpu.html) (cit. 09.05.2015).
- [3] Douglas A Skoog a Donald M West. *Principles of instrumental analysis*. Sv. 158. Saunders College Philadelphia, 1980.
- [4] Michal Kolovratník a Ondřej Bartoš. "CTU Optical probes for liquid phase detection in the 1000 MW steam turbine". In: *EPJ Web of Conferences*. Sv. 92. EDP Sciences. 2015, s. 02035.
- [5] HAMAMATSU. *Characteristic and use of NMOS linear image sensors*. URL: [http://www.hamamatsu.com/resources/pdf/ssd/nmos\\_techinfo\\_e.pdf](http://www.hamamatsu.com/resources/pdf/ssd/nmos_techinfo_e.pdf) (cit. 27.01.2015).
- [6] Pavel Píša. "MATEMATICKÉ A ELEKTRONICKÉ ZPRACOVÁNÍ SIGNÁLU KAPALINOVÉHO CHROMATOGRAFU". In: ().
- [7] sengpielaudio. *Calculation of Noise voltage*. URL: <http://www.sengpielaudio.com/calculator-noise.htm> (cit. 09.05.2015).
- [8] Texas Instruments. *Op Amp Noise Theory and Applications*. URL: <http://www.ti.com/lit/ml/sloa082/sloa082.pdf> (cit. 09.05.2015).
- [9] J-G Chern a AA Abidi. "An 11 bit, 50 kSample/s CMOS A/D converter cell using a multislope integration technique". In: *Custom Integrated Circuits Conference, 1989., Proceedings of the IEEE 1989*. IEEE. 1989, s. 6–2.
- [10] Maxim integrated. *12-Bit A/D Converter with 3-State Binary Outputs*. URL: <http://www.maximintegrated.com/en/products/analog/data-converters/analog-to-digital-converters/ICL7109.html#popuppdf> (cit. 09.05.2015).
- [11] Texas Instruments. *625 kSPS, 24 Bit Analog to Digital Converter*. URL: [www.ti.com.cn/cn/lit/ds/symlink/ads1672.pdf](http://www.ti.com.cn/cn/lit/ds/symlink/ads1672.pdf) (cit. 09.05.2015).
- [12] Texas Instruments. *Parametric search analog to digital converters*. URL: <http://www.ti.com/lit/ds/ti/data-converters/precision-adc-less-10msps-products.page#p84=18;32&p89=SAR> (cit. 09.05.2015).
- [13] ANALOG DEVICES. *Parametric search analog to digital converters*. URL: <http://www.analog.com/parametricsearch/en/10026?mtuid=dc960ffc5e904fe6/ad37931388040bcc#10026/p88=100000%7C10000000&p165=1&p7=18&p4364=SAR> (cit. 09.05.2015).
- [14] Maxim integrated. *Parametric search analog to digital converters*. URL: [http://para.maximintegrated.com/en/search.mvp?fam=prec\\_adc&129=18&1167=500&197=1000](http://para.maximintegrated.com/en/search.mvp?fam=prec_adc&129=18&1167=500&197=1000) (cit. 09.05.2015).
- [15] Linear Technology. *Parametric search analog to digital converters*. URL: [http://www.linear.com/parametric/Analog-to-Digital\\_Converters\\_\(ADC\)#!1030\\_1!1049\\_%3E=18!1097\\_%3E=200!inputs\\_1!resmin\\_18!resmax\\_!spmin\\_200!spmax\\_!interface\\_](http://www.linear.com/parametric/Analog-to-Digital_Converters_(ADC)#!1030_1!1049_%3E=18!1097_%3E=200!inputs_1!resmin_18!resmax_!spmin_200!spmax_!interface_) (cit. 09.05.2015).
- [16] Martin Meloun. "FPGA Based Robotic Motion Control System". In: (2014).

- [17] Linear Technology. *20-Bit, 500ksps, Low Power SAR ADC with 0.5ppm INL*. URL: <http://cds.linear.com/docs/en/datasheet/237720fa.pdf> (cit. 15.05.2015).
- [18] ANALOG DEVICES. *PulSAR ADCs in MSOP/LFCSP Data Sheet*. URL: [http://www.analog.com/media/en/technical-documentation/data-sheets/AD7989-1\\_7989-5.pdf](http://www.analog.com/media/en/technical-documentation/data-sheets/AD7989-1_7989-5.pdf) (cit. 09.05.2015).
- [19] Texas Instruments. *LMP7721 3-Femtoampere Input Bias Current Precision Amplifier*. URL: <http://www.ti.com/lit/ds/symlink/lmp7721.pdf> (cit. 15.05.2015).
- [20] Texas Instruments. *Quad Channel, 25Mbps, Digital Isolator*. URL: <http://www.ti.com/product/iso7240c> (cit. 15.05.2015).
- [21] *Raspberry Pi B+*. URL: <http://cz.rs-online.com/web/p/vyvojove-sady-pro-procesory-a-mikrokontrolery/8111284/> (cit. 15.05.2015).
- [22] *BeagleBone Black, Revision C*. URL: <http://cz.rs-online.com/web/p/vyvojove-sady-pro-procesory-a-mikrokontrolery/7753805/> (cit. 15.05.2015).
- [23] *DP83848 Ethernet Board RJ45 connector Physical Layer Transceiver PHY Module Kit*. URL: [http://www.ebay.com/itm/DP83848-Ethernet-Board-RJ45-connector-Physical-Layer-Transceiver-PHY-Module-Kit-/271443627520?pt=LH\\_DefaultDomain\\_0&hash=item3f334d0e00](http://www.ebay.com/itm/DP83848-Ethernet-Board-RJ45-connector-Physical-Layer-Transceiver-PHY-Module-Kit-/271443627520?pt=LH_DefaultDomain_0&hash=item3f334d0e00) (cit. 15.05.2015).