

ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE

Fakulta elektrotechnická

Katedra mikroelektroniky



Návrh fázového závěsu v Cadence
PLL Design in Cadence

květen 2014

Bakalant: Karel Fitz

Vedoucí práce: Ing. Vladimír Janíček, Ph.D.

České vysoké učení technické v Praze
Fakulta elektrotechnická

katedra mikroelektroniky

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

Student: **F I T Z Karel**

Studijní program: Komunikace, multimédia a elektronika
Obor: Aplikovaná elektronika

Název tématu: **Návrh fázového závěsu v Cadence**

Pokyny pro vypracování:

- 1) Prostudujte problematiku návrhu fázových závěsů (PLL).
- 2) Pro návrh využijte prostředí Cadence.
- 3) Navrhněte jednotlivé funkční bloky.
- 4) Ověřte simulací funkci jednotlivých bloků.
- 5) Vytvořte laboratorní manuál pro výuku.
- 6) Zhodnoťte dosažené výsledky.

Seznam odborné literatury:

- [1] Razavi B.-Design of Analog CMOS Integrated Circuits, ISBN 978-0072380323
[2] Gray P.R. et al-Meyer Analysis and Design of Analog Integrated Circuits, ISBN 978-0470245996

Vedoucí: **Ing. Vladimír Janíček, Ph.D.**

Platnost zadání: 31. 8. 2015

L.S.

Prof. Ing. Miroslav Husák, CSc.
vedoucí katedry

Prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 24. 2. 2014

Čestné prohlášení

Prohlašuji, že jsem zadanou bakalářskou práci zpracoval sám s přispěním vedoucího práce a konzultanta a používal jsem literaturu v práci uvedenou. Dále prohlašuji, že nemám námitek proti půjčování nebo zveřejňování mé bakalářské práce nebo její části se souhlasem katedry.

Datum: 19.5.2014

.....

podpis bakalanta

Anotace:

Tato bakalářská práce se zabývá návrhem fázového závěsu PLL pomocí návrhového systému pro návrh integrovaných obvodů Cadence. Hlavním zaměřením práce je návrh jednotlivých bloků fázového závěsu.

Klíčová slova:

fázový závěs

fázový detektor

fázově- frekvenční detektor

filtr

napětím řízený oscilátor

integrovaný obvod

technologie CMOS

nábojová pumpa

Summary:

This final Bachelor project deals with design of phase locked loop PLL in CAD system for integrated circuit design Cadence. The main focus of the work is the design of phase locked loop blocks.

Index terms:

phase locked loop

phase detector

phase- frequency detector

filter

voltage controled oscillator

integrated circuit

CMOS technology

charge pump

Obsah

1	Úvod.....	6
2	Teorie PLL fázového závěsu.....	7
2.1	Blokové schéma a funkce fázového závěsu.....	7
2.2	Terminologie.....	7
3	Teoretický rozbor funkčních bloků PLL.....	10
3.1	PD - fázový detektor.....	10
3.1.1	Analogový fázový detektor.....	10
3.1.2	Fázový detektor s hradlem XOR.....	11
3.1.3	Fázově/frekvenční detektor s nábojovou pumpou.....	12
3.2	Filtr.....	14
3.3	VCO - napětím řízený oscilátor.....	15
3.3.1	LC oscilátor.....	15
3.3.2	Multivibrátor.....	16
3.3.3	Kruhový oscilátor.....	16
4	Návrh obvodů PLL v CAD Cadence.....	17
4.1	PLL – funkční bloky.....	17
4.1.1	Fázový detektor.....	17
4.1.1.1	Fázový detektor XOR.....	17
4.1.1.2	Fázově frekvenční detektor s nábojovou pumpou.....	19
4.1.2	Filtr.....	24
4.1.3	Napětím řízený oscilátor VCO.....	25
4.1.3.1	Multivibrátor (relaxační oscilátor).....	25
4.2	PLL – celkové zapojení.....	28
4.2.1	PLL s fázovým detektorem XOR.....	28
4.2.2	PLL s fázově- frekvenčním detektorem PFD.....	29
5	Laboratorní manuál pro výuku.....	31
6	Závěr.....	38
7	Literatura.....	39
8	Seznam použitých zkratek a symbolů.....	40

1 Úvod

Fázový závěs (phase-locked loop - PLL), je zpětnovazební řídicí systém, který generuje výstupní signál, jehož fáze závisí na fázi signálu vstupního.

Fázový závěs je velmi rozšířeným systémem v mnoha oblastech elektroniky. Od dob, kdy lze celý fázový závěs realizovat jako jeden integrovaný obvod, je používán v širokém spektru moderních zařízení, s výstupní frekvencí od jednotek hertz až po mnoho gigahertz. Lze jej použít například pro frekvenční demodulaci nebo pro kmitočtovou syntézu, nebo pro distribuci hodinového impulsu v digitální technice.

Cílem této práce je návrh fázového závěsu v prostředí pro návrh integrovaných obvodů Cadence, to znamená obvodový návrh jednotlivých funkčních bloků a ověření jejich funkčnosti simulací. Cílem této práce je také vytvoření laboratorního manuálu pro výuku.

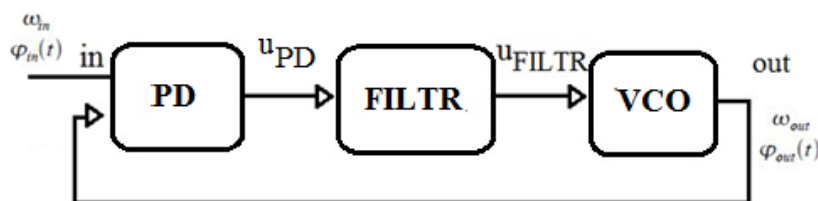
Po tomto úvodu pojednává druhá část práce o principu funkce celého systému s uvedením terminologie, používané v problematice fázového závěsu. Třetí část se zabývá teoretickým rozбором jednotlivých funkčních bloků, čtvrtá část pak vlastním návrhem obvodů fázového závěsu v prostředí pro návrh integrovaných obvodů Cadence. V páté části se pak práce zabývá laboratorním manuálem pro výuku.

2 Teorie PLL fázového závěsu

Jak již bylo řečeno v úvodu, je fázový závěs (phase-locked loop - PLL) zpětnovazební řídicí systém, který generuje výstupní signál, jehož fáze závisí na fázi signálu vstupního. Vzhledem k tomu, že frekvence je časovou derivací fáze, tak v případě udržování fáze výstupního signálu podle fáze signálu vstupního, bude výstupní frekvence stejná jako vstupní, případně bude jejím násobkem.

2.1 Blokové schéma a funkce fázového závěsu

Fázový závěs je složen z několika základních bloků (obr. 2.1), kterými jsou fázový detektor PD (phase detector), filtr (dolní propust) a napětím řízený oscilátor VCO (voltage controlled oscillator).



Obr. 2.1 PLL blokové schéma (PD – phase detector, VCO – voltage controlled oscillator)

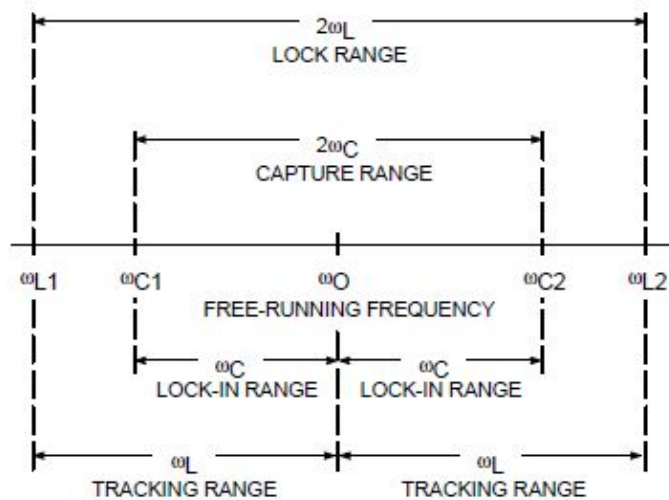
Fázový detektor porovnává fázový posuv a frekvenci vstupního signálu a signálu výstupního z VCO (přiveden zpětnou vazbou). Výstupní signál PD je úměrný fázové chybě, mezi jeho vstupy. Tento signál je filtrován filtrem s charakterem dolní propusti. Výsledným signálem (stejnoseměrné napětí) je řízena frekvence VCO. Výstupem ideálního VCO je pak lineární závislost vzhledem k řídicímu napětí u_{FILTR} . Pomocí zpětné vazby blok VCO doladuje automaticky frekvenci na hodnotu vstupního signálu.

2.2 Terminologie

Dále bude stručně vysvětlena terminologie používaná v problematice fázového závěsu, k tomu je potřeba podotknout, že tato terminologie není přesně ustálená. Lze se tak např. setkat v jednom zdroji s výrazem capture range, v jiném pak acquisition range, přitom je popisován stejný rozsah. Níže je proto často uvedeno více názvů pro jednotlivé technické termíny. Některé pojmy jsou také znázorněny graficky na obr. 2.2.

- **sledování (tracking)** – časová odezva výstupu fázového závěsu vzhledem ke změnám kmitočtu a fáze vstupního signálu ve počátku zavěšeném stavu,
- **zavěšování (aquisitioning)** – proces přechodu zpočátku nezavěšeného fázového závěsu do stavu zavěšení (lock),

- **volně běžící frekvence (free running frequency) nebo také středová frekvence (center frequency) ω_o, f_o** – výstupní frekvence oscilátoru, pokud je řídicí signál na polovině maxima. Jde o frekvenci, na které je smyčkou fázového závěsu PLL provozován napětím řízený oscillator VCO, v situaci, kdy smyčka fázového závěsu není zavěšena na vstupní signál,
- **rozsah lineárního zavěšení (lock range / synchronization range) $2\omega_L, 2f_L$** – frekvenční rozsah vstupních signálů, na kterém je smyčka fázového závěsu schopna zůstat zavěšena, byla-li původně zavěšena,



Obr. 2.2 Frekvenční rozsahy fázového závěsu PLL

- **rozsah statického sledování (tracking range / hold-in range)** - frekvenční rozsah vstupních signálů, po jehož překročení přestane být fázový závěs v režimu sledování,
- **rozsah zavěšování (capture range / acquisition range) $2f_C, 2\omega_C$** – frekvenční rozsah vstupních signálů, ve kterém se smyčka fázového závěsu dokáže zavěsit, byla-li předtím nezavěšena,
- **zavěšovací čas (lock-up time / acquisition time) t_L** – čas potřebný u volně běžící smyčky fázového závěsu k zavěšení. Tento čas je nepřímo úměrný šířce pásma filtru,
- **konverzní (převodní) zisk fázového detektoru K_{PD}** – převodní konstanta, vyjadřující vztah mezi výstupním napětím fázového detektoru a fázovou diferencí mezi vstupními signály fázového detektoru (vstupní neznámý signál a signál z napětím řízeného oscilátoru) v situaci, kdy je smyčka fázového závěsu zavěšena. Jednotkou K_{PD} je [V/rad],
- **konverzní (převodní) zisk napětím řízeného oscilátoru K_{VCO}** - převodní konstanta, vyjadřující vztah mezi změnou frekvence od f_o vzhledem k řídicímu, vstupnímu napětí. Jednotkou K_{VCO} je [rad/sec/V]. K_{VCO} je lineární funkcí f_o ,

- **zisk smyčky fázového závěsu (loop gain) K_V** – vzniká z K_{PD} , K_{VCO} a stejnosměrného zisku filtru. Jednotkou K_V je $[\text{sec}^{-1}]$,
- **zisk uzavřené smyčky fázového závěsu (closed loop gain) CLG** – lze vypočítat dle následujícího vzorce

$$CLG = K_V / (1 + K_V) \quad (2.1)$$

- **fázová chyba mezi vstupy fázového detektoru φ_e** – odpovídá fázovému rozdílu vstupních signálů

$$\varphi_e(t) = \varphi_{in}(t) - \varphi_{out}(t) \quad (2.2)$$

Je třeba rozlišovat mezi fázovou chybou $\varphi_e(t)$ a vzájemným fázovým posuvem $\Delta\varphi$ mezi vstupními signály. Příkladem může být fázový detektor s hradlem XOR, kde při zavěšeném fázovém závěsu je $\varphi_e(t) = 0$ při $\Delta\varphi = 90^\circ$.

- **průměrný výstup fázového detektoru u_{PD}** – je úměrný fázové chybě mezi jeho vstupy

$$u_{PD} = K_{PD} (\varphi_{in}(t) - \varphi_{out}(t)) = K_{PD} \varphi_e(t) \quad (2.3)$$

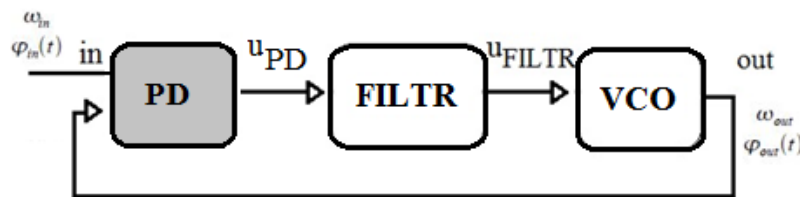
- **výstupní frekvence (ideálního) napětím řízeného oscilátoru ω_{out}**

$$\omega_{out} = \omega_o + K_{VCO} \cdot u_{FILTR} \quad (2.4)$$

3 Teoretický rozbor funkčních bloků PLL

3.1 PD - fázový detektor

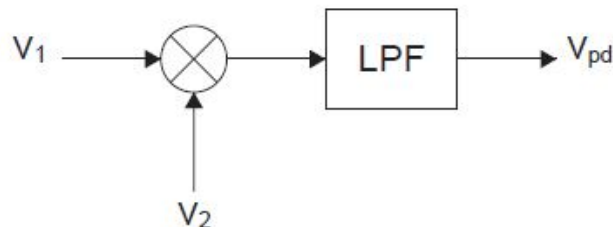
Fázový detektor PD (phase detector) je prvním blokem fázového závěsu (obr. 3.1). Fázový detektor porovnává fázový posuv a frekvenci mezi vstupními signály (vstupním signálem a signálem výstupním z VCO (přivedeného zpětnou vazbou)). Výstupní signál PD je úměrný fázové chybě mezi jeho vstupy. Dále budou uvedeny tři varianty fázového detektoru: analogový fázový detektor, fázový detektor s hradlem XOR a fázově-frekvenční detektor.



Obr. 3.1 Blokové schéma s označeným fázovým detektorem PD

3.1.1 Analogový fázový detektor

Analogový fázový detektor (obr. 3.2) je založen na analogové násobičce.



Obr. 3.2 Analogový fázový detektor (s dolní propustí LPF)

Mějme dva sinusové vstupní signály:

$$v_1(t) = A_1 \cos (\omega_1 t + \varphi_1) \tag{3.1}$$

a

$$v_2(t) = A_2 \cos (\omega_2 t + \varphi_2) \tag{3.2}$$

pak výstup za dolní propustí je

$$v_{pd}(t) = \frac{1}{2} A_1 A_2 \cos [(\omega_1 - \omega_2) t + (\varphi_1 - \varphi_2)] \tag{3.3}$$

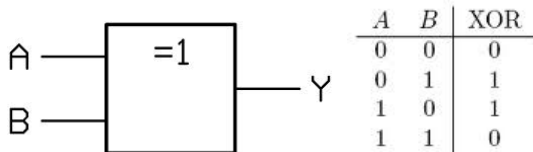
pokud je fázový závěs zavěšen, tzn. $\omega_1 = \omega_2$, je výstup (za DP) pak

$$v_{pd}(t) = \frac{1}{2} A_1 A_2 \cos (\varphi_1 - \varphi_2) \tag{3.4}$$

Analogová násobička má sinusovou převodní charakteristiku. Její výhodou je vysoká rychlost.

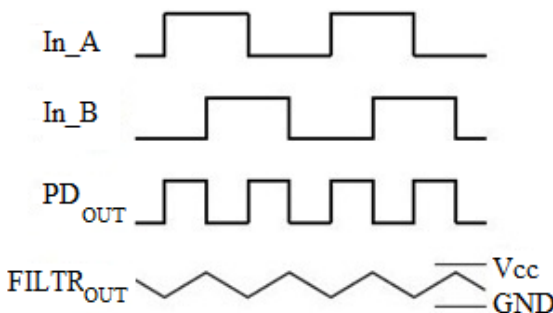
3.1.2 Fázový detektor s hradlem XOR

Tento fázový detektor je založen na hradle EXCLUSIVE-OR. Výstup hradla XOR je log. 1 tehdy a jen tehdy, pokud se hodnoty vstupů liší (obr. 3.3).



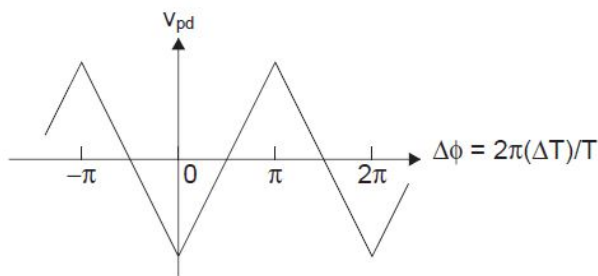
Obr. 3.3 Hradlo EXCLUSIVE-OR (symbol, pravdivostní tabulka)

Právě této vlastnosti je využito při implementaci fázového detektoru na bázi hradla XOR. Výstupní puls, resp. délka jeho trvání, takto realizovaného fázového detektoru, odpovídá době mezi hranami vstupních signálů. Výstupní informace je tedy obsažena v tzv. „duty-cycle“, tedy poměru šířky pulsu k periodě (obr. 3.4). Výstup je pak následně filtrován dolní propustí a takto vzniklé napětí odpovídá fázovému rozdílu vstupních signálů. Jeho průměrná hodnota při zavěšeném fázovém závěsu odpovídá 1/2 Vcc a fázový rozdíl vstupních signálů je po ustálení 90°.



Obr. 3.4 Fázový detektor s XOR, průběhy na vstupu (In_A, In_B) a výstupu XOR (PD_OUT) a za DP (FILTR_OUT)

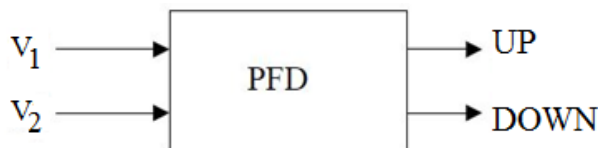
Rozsah zavěšování $2f_c$ zde závisí na charakteristice následné dolní propusti a může být navržen stejně velký jako rozsah zavěšení. Převodní charakteristika fázového detektoru s hradlem XOR je na obr. 3.5. Konfigurace fázového závěsu s fázovým detektorem na bázi hradla EXCLUSIVE OR zůstává zavěšena i s velmi zarušenými vstupními signály.



Obr. 3.5 Převodní charakteristika fázového detektoru XOR (s DP)

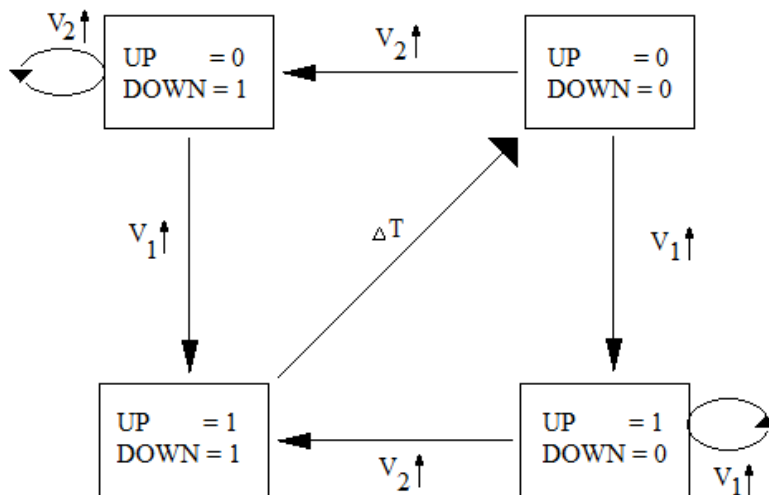
3.1.3 Fázově/frekvenční detektor s nábojovou pumpou

Nejčastější konfigurace fázově- frekvenčního detektoru PFD (phase/frequency detector) (obr. 3.6) sestává ze dvou bloků, vlastního fázově/frekvenčního detektoru PFD (nazývaného v této konfiguraci také někdy UP/DOWN counter), který je tvořen třístavovým sekvenčním logickým obvodem reagujícím na hranu vstupního signálu a nábojové pumpy CP (charge pump).



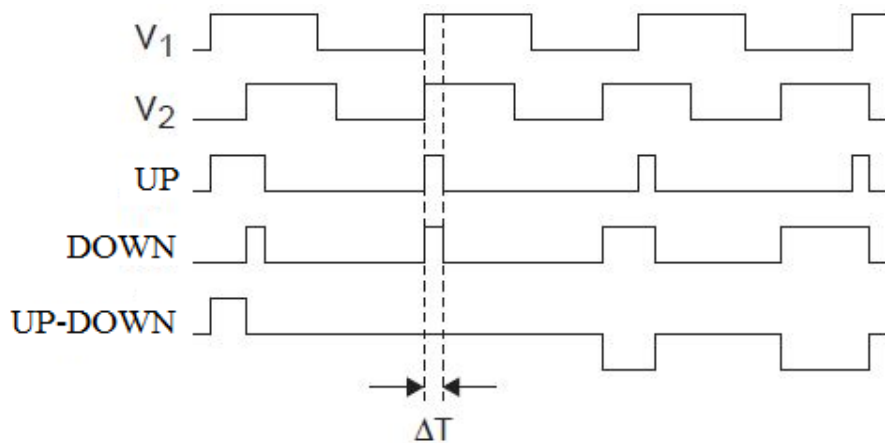
Obr. 3.6 Fázově- frekvenční detektor

Na obr. 3.7 je znázorněn stavový diagram ideálního fázově- frekvenčního detektoru. Z obrázku je vidět, že se ve stavovém diagramu vyskytují dvě stavové proměnné UP a DOWN. Stavový diagram obsahuje čtyři stavy. Všechny změny stavu závisí na náběžných hranách vstupních signálů. Náběžnou hranou signálu V_1 je nastavena stavová proměnná UP, náběžnou hranou signálu V_2 je nastavena stavová proměnná DOWN. Pokud se objeví obě náběžné hrany vstupních signálů zároveň, jsou obě stavové proměnné (UP/DOWN), po krátkém, účelově zavedeném zpoždění ΔT , resetovány.



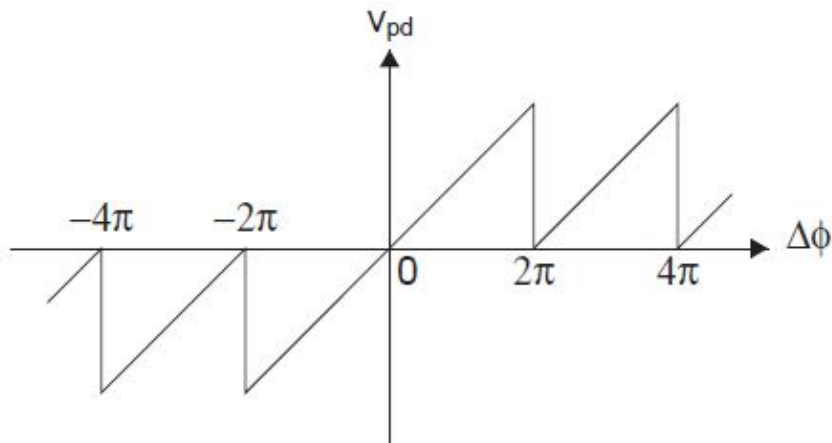
Obr. 3.7 Fázově- frekvenční detektor PFD – stavový diagram

Na obr. 3.8 jsou znázorněny ideální průběhy fázově- frekvenčního detektoru. Na základě tohoto obrázku lze názorněji vysvětlit jeho funkci. Předpokládá se, že v počátečním stavu jsou oba vstupní signály v log 0, přijde-li pak jako první náběžná hrana vstupního signálu V_1 , vede to u signálu UP k log1, který pak trvá tak dlouho až přijde náběžná hrana vstupního signálu V_2 . Obdobně, přijde-li jako první náběžná hrana vstupního signálu V_2 , vede to u signálu DOWN k log1, který pak trvá zase tak dlouho až přijde náběžná hrana vstupního signálu V_1 .



Obr. 3.8 Fázově- frekvenční detektor - ideální průběhy

Z obrázku je zřejmé, že výstupem fázově-frekvenčního detektoru s nábojovou pumpou bude rozdíl signálů UP-DOWN. Doba trvání výstupního signálu UP-DOWN je přímo úměrná rozdílu náběžných hran vstupních signálů. Polarita tohoto signálu v sobě nese informaci o tom, který ze vstupních signálů toho druhého právě předbíhá. Je tedy zřejmé, že převodní charakteristika bude lineární (obr. 3.9).



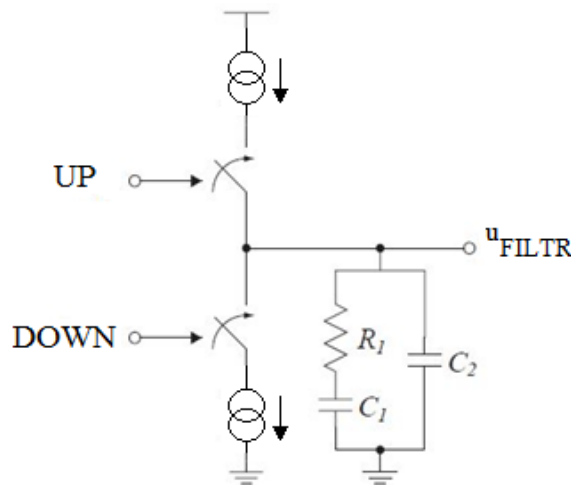
Obr. 3.9 PFD - převodní charakteristika

Problémem této konfigurace PFD je jev označovaný jako „deadzone“ nebo „backlash“. Tento jev nastává, pokud se obě náběžné hrany vstupních signálů objeví současně, což by v ideálním případě mělo za následek nekonečně úzký puls na jednom z výstupů (UP nebo DOWN). Vzhledem ke konečným dobám náběžných a vzestupných hran by se pak zisk fázového detektoru pohyboval v nelineární oblasti, což je nežádoucí. Řešením je zavést do zpětné vazby dostatečně velké zpoždění ΔT , tak aby mohlo dojít k bezpečnému vynulování signálů UP a DOWN. Zavedené zpoždění ΔT ovšem určuje maximální pracovní frekvenci fázově-frekvenčního detektoru:

$$f_{\max} = 1 / (2\Delta T) \tag{3.5}$$

• **Nábojová pumpa**

Princip nábojové pumpy je obecně založen na řízeném nabíjení a vybíjení kapacitoru. Nábojová pumpa sestává z proudových zdrojů a řízených spínačů. Její principiální schéma je uvedeno na obr. 3.10.

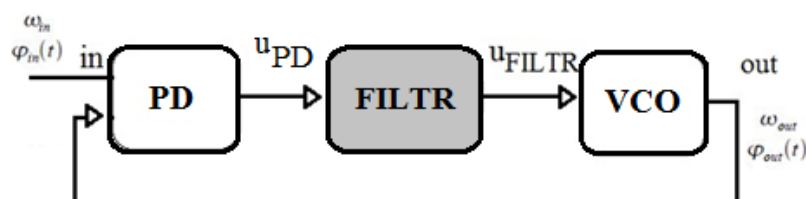


Obr. 3.10 Nábojová pumpa s filtrem - principiální schéma

Jde o třístavovou nábojovou pumpu, která je řízena signály UP a DOWN. Signál UP spíná horní proudový zdroj, signál DOWN spíná dolní proudový zdroj. Je-li sepnut pouze horní spínač, je kapacitor dobíjen konstantním proudem, je-li sepnut pouze dolní spínač, je kapacitor konstantním proudem vybíjen. Jsou-li sepnuty oba spínače, je celý (konstantní) proud dodáváný horním proudovým zdrojem (vřídlem) pojmut dolním proudovým zdrojem (norou), kapacitor tedy není ani nabíjen ani vybíjen. Převládá-li tedy právě řídicí impuls UP, tzn. šířka jeho impulsu je delší než řídicího impulsu DOWN, je kapacitor nabíjen, převládá-li právě řídicí impuls DOWN, kapacitor je vybíjen. Je tedy zřejmé, že výsledná střední hodnota proudu kapacitorem (resp. filtrem) bude úměrná rozdílu šířek řídicích impulsů. Protože je nabíjecí, resp. vybíjecí proud konstantní, dochází při nabíjení k lineárnímu (přímo úměrnému) nárůstu a při vybíjení k lineárnímu poklesu napětí na kapacitoru (resp. filtru). Není-li kapacitor ani nabíjen ani vybíjen, zůstává na něm napětí konstantní. Napětí na kapacitoru (resp. filtru) tedy, v konečném důsledku, odpovídá fázové diferenci vstupních signálů.

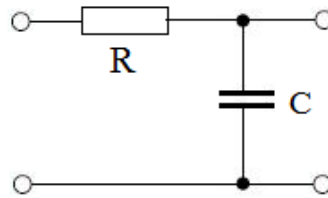
3.2 Filtr

Blok s filtrem je ve smyčce fázového závěsu zařazen mezi fázový detektor a napětím řízený oscilátor (obr. 3.11).



Obr. 3.11 Filtr ve smyčce fázového závěsu

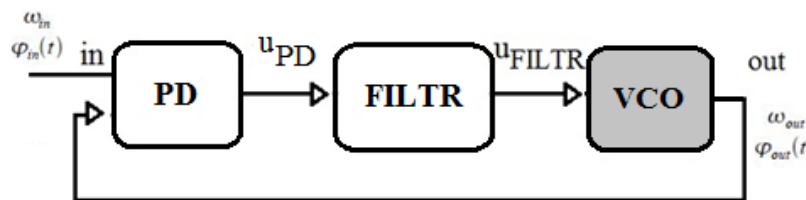
Výstupem fázového detektoru je dle typu fázového detektoru napětí s tvarem impulzů proměnné šířky. Tato šířka impulzů je dána fázovým rozdílem vstupních napětí. Filtr typu dolní propust (obr. 3.12) z těchto impulzů propustí jen stejnosměrnou (resp. nízkofrekvenční) složku. Filtrovaným napětím u_{FILTR} je pak řízen napětím řízený oscilátor VCO.



Obr. 3.12 Filtr typu dolní propust

3.3 VCO - napětím řízený oscilátor

Posledním blokem smyčky fázového závěsu je napětím řízený oscilátor VCO (obr. 3.13). Jde o typ oscilátoru, jehož výstupní frekvence je závislá na vstupním řídicím napětí.



Obr. 3.13 VCO (napětím řízený oscilátor) ve smyčce fázového závěsu PLL

Obecně musí oscilátor splňovat podmínky oscilací, které jsou následující:

1. Amplitudová - zisk otevřené zpětnovazební smyčky na oscilační frekvenci musí být větší nebo rovno 1
2. Fázová - zisk otevřené zpětnovazební smyčky na oscilační frekvenci musí být násobkem 360° , jde tedy o kladnou zpětnou vazbu

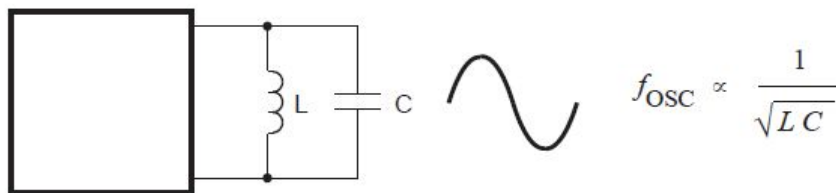
Důležitým hlediskem při posuzování oscilátorů je takzvaný jitter, což je kolísání parametrů oscilujícího signálu, zejména fáze a frekvence, ale i amplitudy.

Dále jsou uvedeny možné varianty napětím řízených oscilátorů.

3.3.1 LC oscilátor

Na obr. 3.14 je znázorněno principiální zapojení LC oscilátoru. Oscilační frekvence je zde dána především rezonanční frekvencí LC obvodu (nebo ekvivalentu ve formě krystalu). Vlastní LC obvod je doplněn aktivním blokem, který stabilizuje oscilační amplitudu a kompenzuje ztráty v kapacitoru a induktoru. Změna frekvence je docílena změnou velikosti prvku, většinou kapacitoru za pomoci napětím řízeného kapacitoru

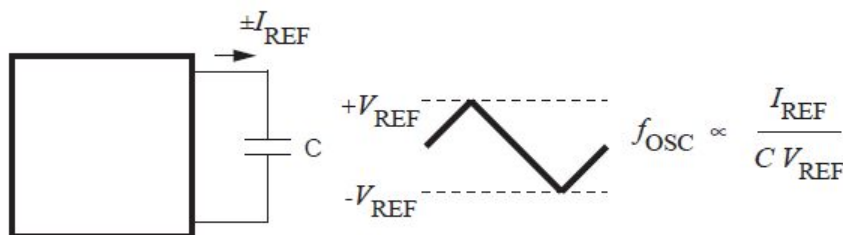
jako je např. varaktor nebo varikap. Napětím řízené oscilátory, založené na rezonančním obvodu (LC obvod, krystal), vynikají dobrými vlastnostmi z hlediska jitteru.



Obr. 3.14 Konceptní schéma LC oscilátoru

3.3.2 Multivibrátor

Na obr. 3.15 je znázorněno principiální zapojení oscilačního obvodu nazývaného multivibrátor nebo také relaxační oscilátor. Princip funkce je zde následující. Aktivní obvod monitoruje napětí na kapacitoru a spíná referenční proud I_{REF} pro nabíjení a vybíjení kapacitoru mezi referenčními napětími $+V_{REF}$, $-V_{REF}$. Oscilační frekvence je primárně dána referenčními, limitními napětími $+V_{REF}$, $-V_{REF}$, referenčním proudem I_{REF} a velikostí kapacity. Změnu frekvence lze docílit změnou velikosti těchto veličin, nejčastěji je proto využíván referenční proud I_{REF} .

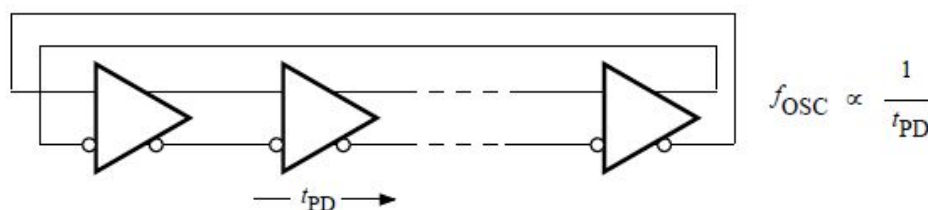


Obr. 3.15 Koncept multivibrátoru

Napětím řízený oscilátor založený na konceptu multivibrátoru lze plně integrovat, vykazuje výbornou linearitu, což je velmi důležité hledisko při nasazení napětím řízeného oscilátoru ve smyčce fázového závěsu PLL v některých aplikacích.

3.3.3 Kruhový oscilátor

Principiální zapojení kruhového oscilátoru je znázorněno na obr. 3.16. Oscilační frekvence je zde dána zpožděním každého stupně t_{PD} v kruhu, to znamená, že řízením tohoto zpoždění lze řídit frekvenci oscilátoru. Napětím řízený kruhový oscilátor je plně integrovatelný a vykazuje dobré vlastnosti s hlediska jitteru.



Obr. 3.16 Kruhový oscilátor

4 Návrh obvodů PLL v CAD Cadence

4.1 PLL – funkční bloky

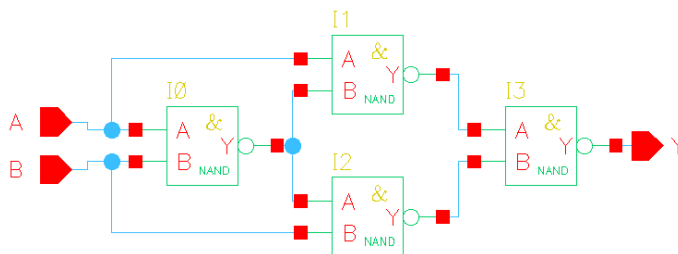
Dále bude diskutován návrh jednotlivých funkčních bloků fázového závěsu PLL.

4.1.1 Fázový detektor

Fázový detektor je navržen ve dvou variantách. Jednou variantou je fázový detektor s hradlem exclusive – OR, druhou variantou je fázově-frekvenční detektor PFD.

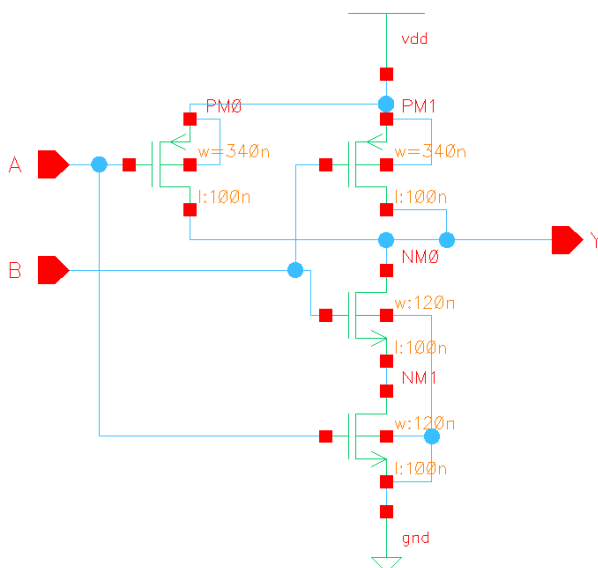
4.1.1.1 Fázový detektor XOR

Jak již bylo uvedeno v odstavci 3.1.2., tento fázový detektor je založen na hradle EXCLUSIVE-OR.



Obr. 4.1 Hradlo XOR sestavené z hradel NAND

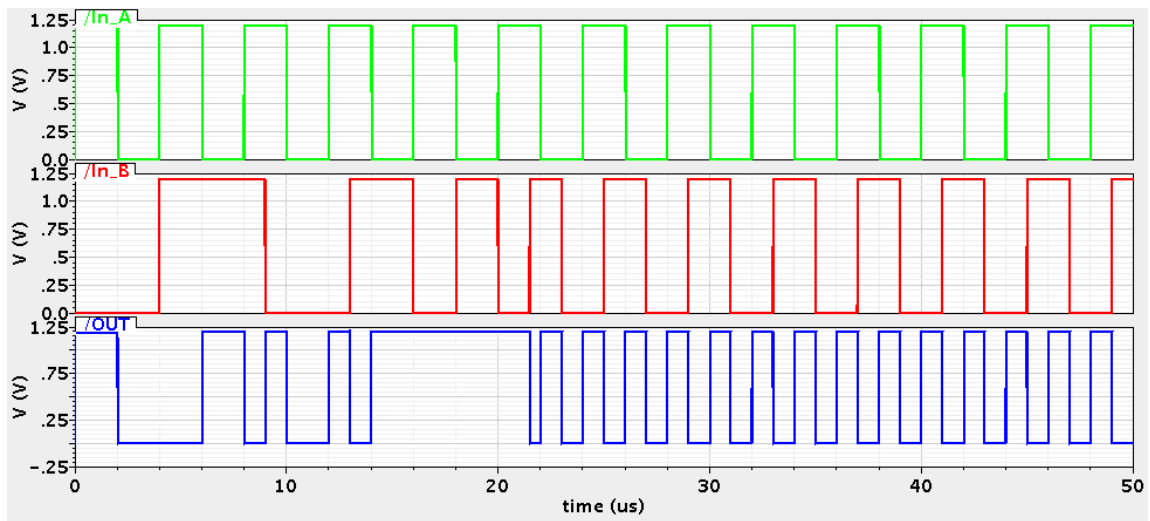
Na obr. 4.1 je znázorněna implementace hradla XOR pomocí hradel NAND, na obr. 4.2 pak realizace hradla NAND pomocí tzv. CMOS domino logiky.



Obr. 4.2 NAND v CMOS domino logice

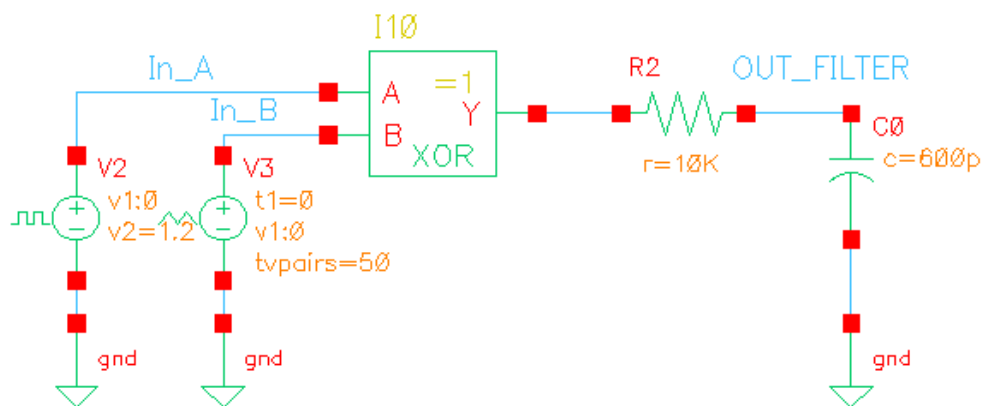
Na obr. 4.3 je ověření funkce takto implementovaného fázového detektoru XOR pomocí simulace v CAD Cadence. Výstupní puls, resp. délka jeho trvání, takto realizovaného

fázového detektoru, odpovídá době mezi hranami vstupních signálů. Výstupní informace je tedy obsažena v tzv. „duty-cycle“, tedy poměru šířky pulsu k periodě za situace, kdy se liší logické úrovně vstupů.



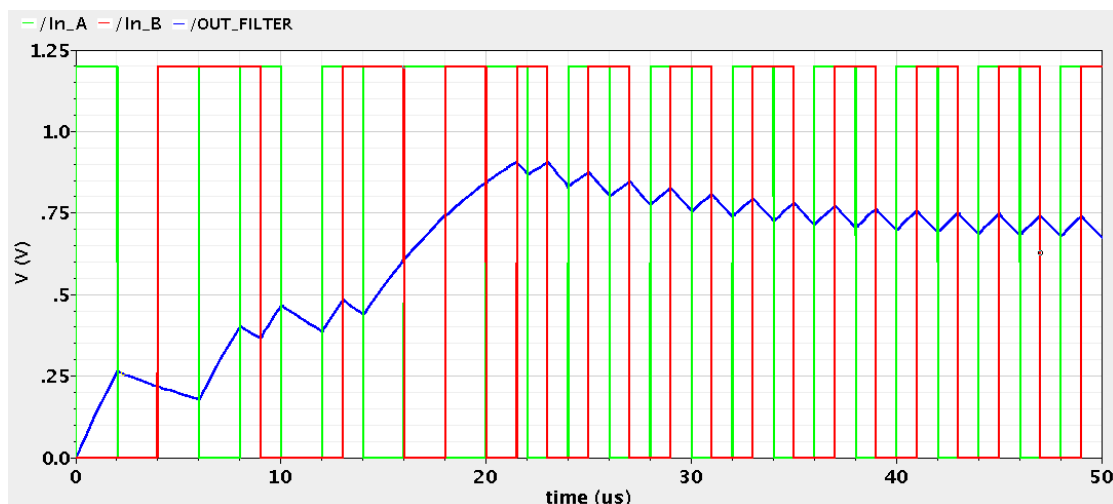
Obr. 4.3 Fázový detektor s XOR - ověření funkce simulací

Tato první simulace je bez připojeného filtru na výstupu, další simulace je provedena s připojeným filtrem dle obr. 4.4.



Obr. 4.4 Fázový detektor XOR s filtrem - ověření funkce simulací

Na obr. 4.5 jsou pak výsledky těchto simulací, na kterých je vidět i průběh napětí za filtrem, kde takto vzniklé napětí odpovídá fázovému rozdílu vstupních signálů.



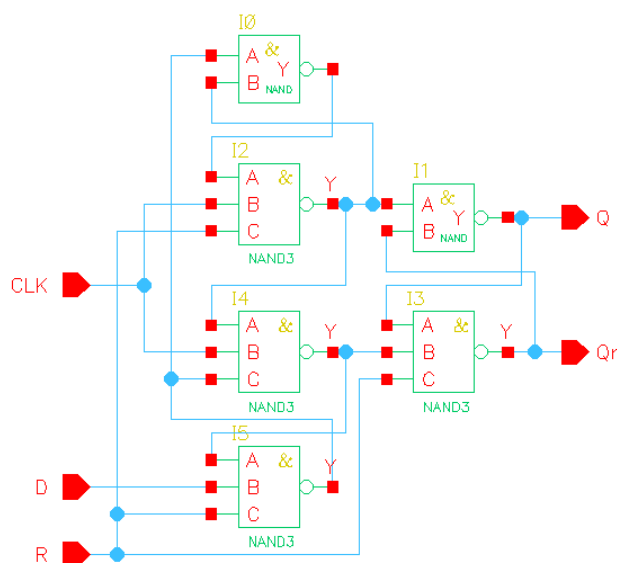
Obr. 4.5 Fázový detektor XOR s filtrem - simulace

4.1.1.2 Fázově frekvenční detektor s nábojovou pumpou

Fázově/frekvenční detektor PFD (Phase/Frequency Detector) je navržen v konfiguraci sestávající ze dvou bloků, kterými jsou vlastní fázově/frekvenční detektor PFD (nazývaný v této konfiguraci také někdy UP/DOWN counter) a nábojové pumpy CP (charge pump). Tento koncept je podrobně vysvětlen v kapitole 3.1.3.

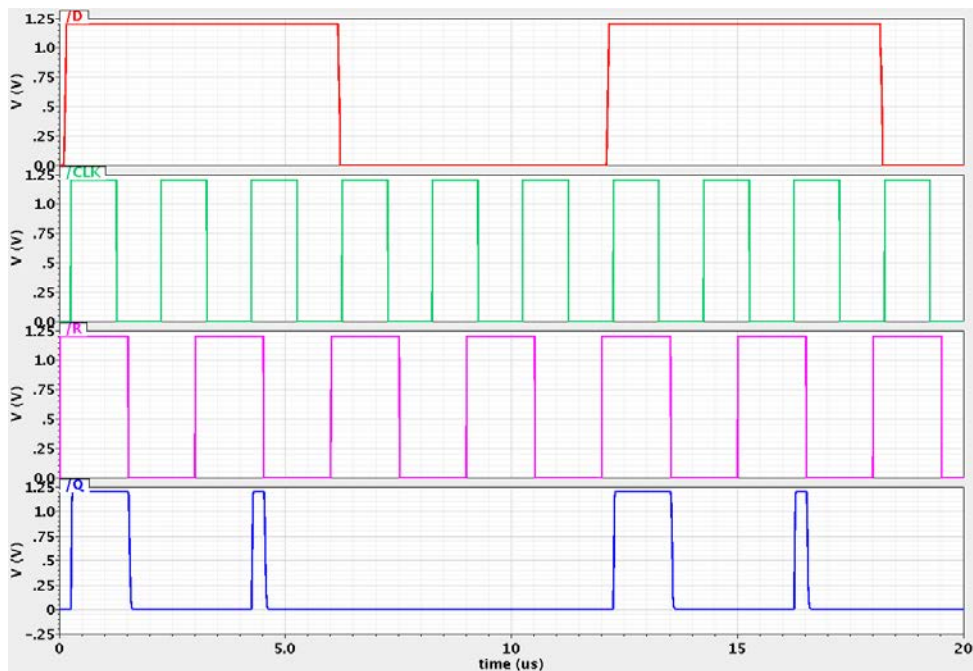
- **Fázově/frekvenční detektor PFD**

Fázově/frekvenční detektor PFD je realizován jako třístavový logický obvod reagující na hranu vstupního signálu. Je sestaven ze dvou resetovatelných klopných obvodů D reagujících na nástupní hranu signálu Clk (D Flip-Flop with Reset – DFF_R), logického hradla NAND a bloku zpoždění (Delay). Vnitřní struktura klopného obvodu D (DFF_R), realizovaná hradly NAND, je znázorněna na obr. 4.6, ověření funkce simulací pak na obr. 4.7.



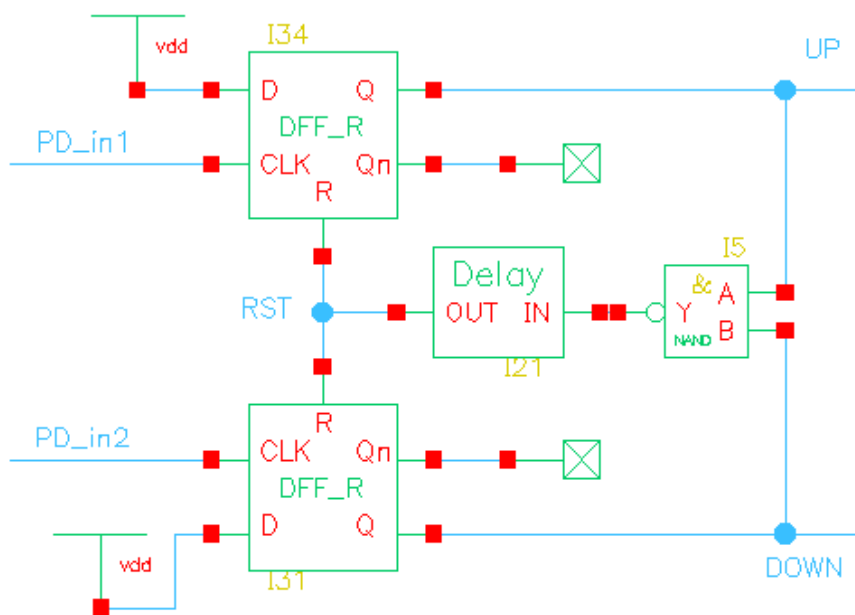
Obr. 4.6 DFF_R - klopný obvod D řízený nástupní hranou s Resetem - NAND implementace

Z výsledků simulací je vidět, že vstup D je přepisován na výstup Q, vždy když přichází náběžná hrana signálu CLK a zároveň není klopný obvod resetován signálem na vstupu R (Reset je zde aktivní v log 0).



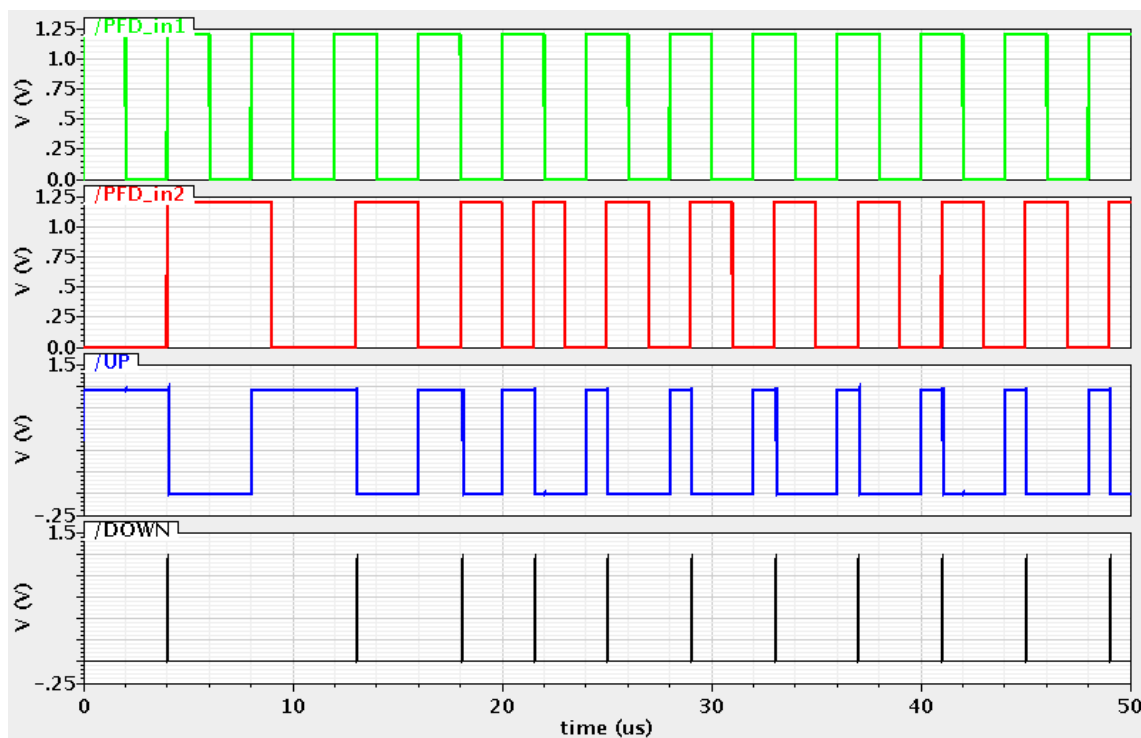
Obr. 4.7 DFF_R - klopný obvod D hranou řízený s RST - ověření funkce simulací

Obvodové schéma vlastního fázově/frekvenčního detektoru PFD je znázorněno na obr. 4.8.



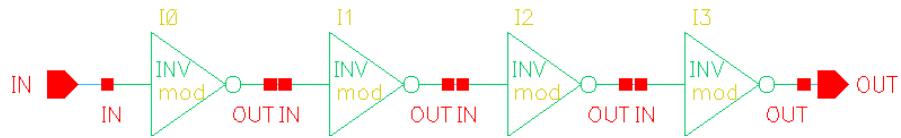
Obr. 4.8 Fázově/frekvenční detektor PFD – obvodová implementace

Vstupy D obou klopných obvodů jsou připojeny trvale na napájecí napětí, na vstupy Clk jsou přivedeny vstupní signály, určené pro fázově/frekvenční detekci. Na Q výstupy UP a DOWN je pak aplikována logická funkce NAND, jejíž výstup je pak veden přes zpožďovací blok (Delay) na vstupy R (\overline{RST}) obou klopných obvodů D. Funkčnost fázově/frekvenčního detektoru PFD je ověřena simulací v CAD Cadence, výsledek simulace je na obr. 4.9.



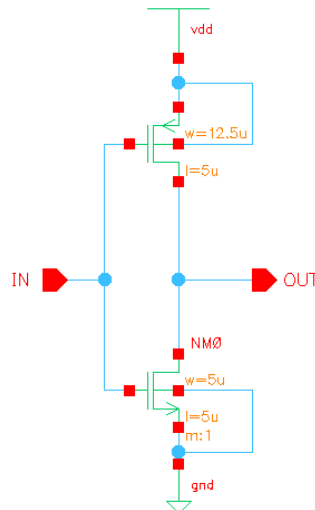
Obr. 4.9 Fázově/frekvenční detektor PFD - ověření funkce simulací

Z výsledků simulace lze vysledovat funkci obvodu. Přejde-li jako první náběžná hrana vstupního signálu PFD_in1 na vstupu CLK horního klopného obvodu D, vede to k přepisu vstupu, který je trvale připojen na napájecí napětí, tedy k log1, na výstup Q (UP). To znamená, že signál UP bude nyní v log1, který pak trvá tak dlouho, až přijde náběžná hrana vstupního signálu PFD_in2 na vstupu CLK dolního klopného obvodu D, vedoucí k přepisu vstupu, který je trvale připojen na napájecí napětí, tedy k log1, na výstup Q (DOWN). Signál DOWN bude nyní také v log1, spolu se signálem UP (nyní také v log1) jsou vstupními signály hradla NAND. Po aplikaci logické funkce NAND je tedy za hradlem NAND log 0, která je po průchodu blokem zpoždění přivedena na vstupy R klopných obvodů D. Tyto jsou aktivní v log 0, klopné obvody D jsou tedy resetovány. Obdobně, přijde-li jako první náběžná hrana vstupního signálu PFD_in2, vede to u signálu DOWN k log1, který pak trvá zase tak dlouho až přijde náběžná hrana vstupního signálu PFD_in1. Blok zpoždění je důležitým prvkem v zapojení fázově-frekvenčního detektoru PFD, jak již bylo vysvětleno v kapitole 3.1.3. Vnitřní uspořádání bloku zpoždění je uvedeno na obr. 4.10.



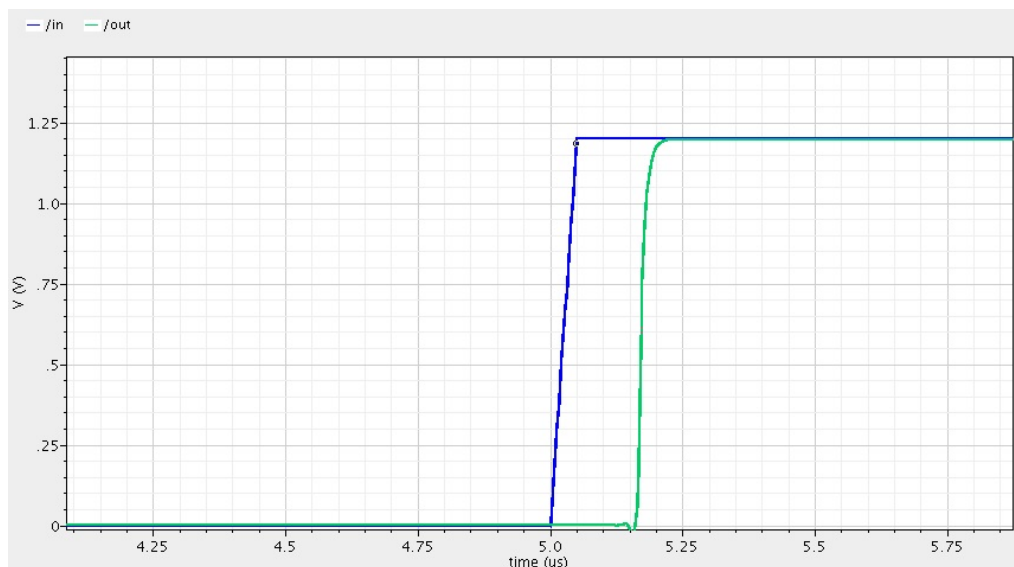
Obr. 4.10 Vnitřní schéma bloku zpoždění

Jak je vidět, je sestaven z kaskády invertorů, kde je pak pomocí úpravy délky L a šířky W MOS tranzistorů v invertoru (obr. 4.11) nastaveno zpoždění bloku.



Obr. 4.11 Invertor CMOS v bloku Delay (modifikované MOSy)

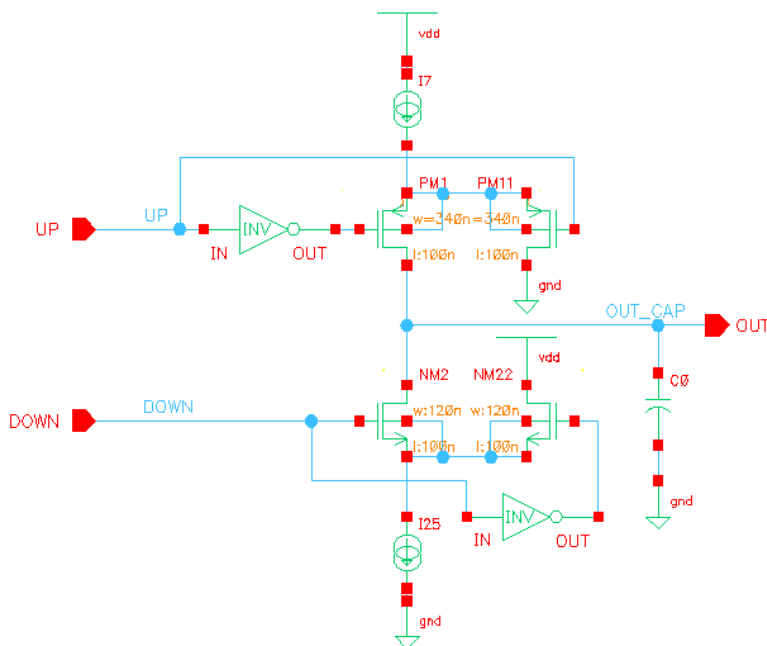
Výsledek simulace dokumentující zpoždění je znázorněn na obr. 4.12. Z obrázku je vidět, že zpoždění je nastaveno zhruba na 150 ns.



Obr. 4.12 Blok Delay - simulace

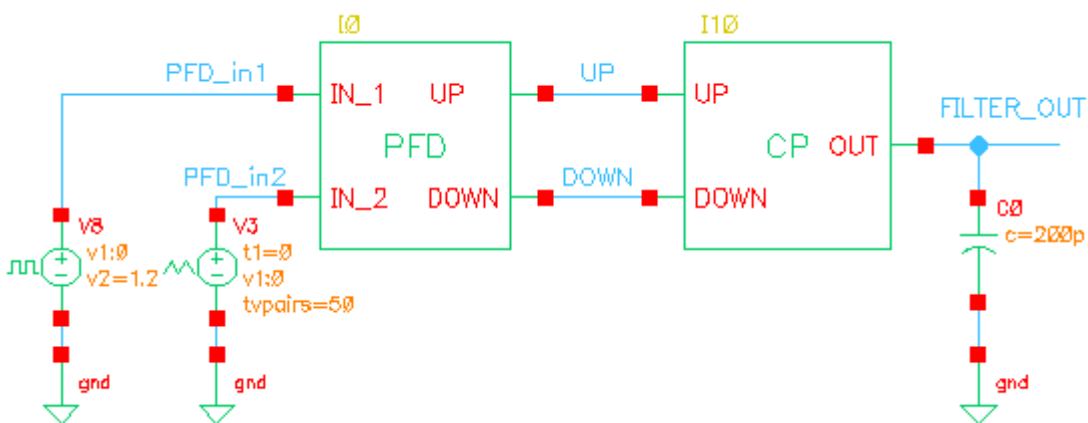
• **Nábojová pumpa**

Nábojová pumpa je druhým hlavním blokem fázově- frekvenčního detektoru, je realizována zapojením na obr. 4.13. Jde o třístavovou nábojovou pumpu, která je řízena signály UP a DOWN.

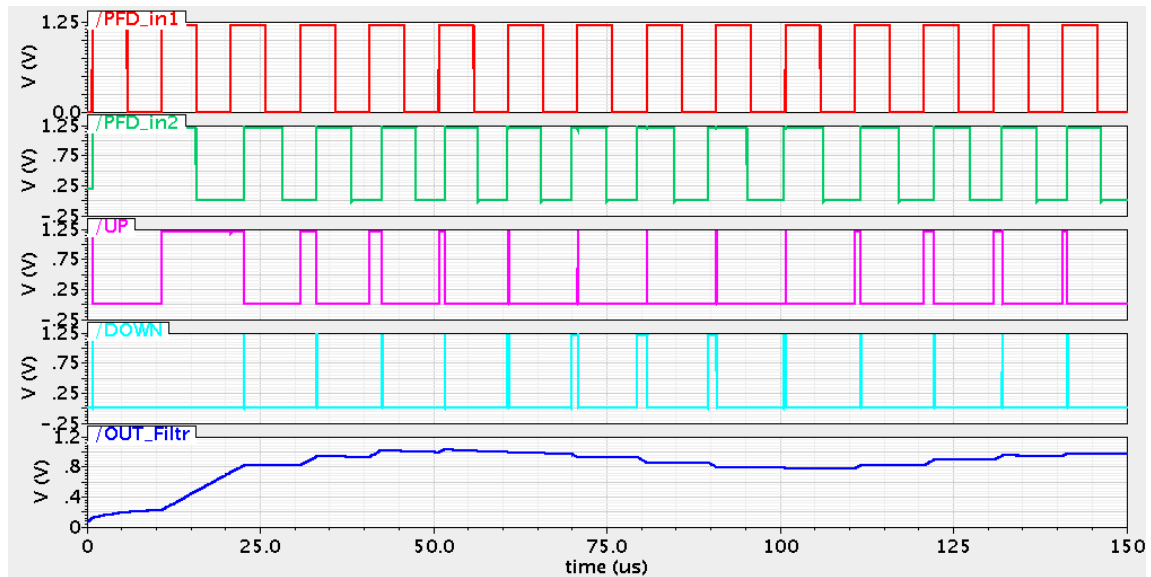


Obr. 4.13 Obvodová implementace nábojové pumpy CP s filtrem C

Signálem UP je spínán horní PMOS, přes který je připojen horní proudový zdroj ke kapacitoru, který je takto dobíjen konstantním proudem. Signálem DOWN je spínán dolní NMOS, přes který je kapacitor připojen k proudové noře, kterou je kapacitor vybíjen konstantním proudem. Funkce obvodu je ověřena simulací, simulační schéma je na obr. 4.14, výsledky simulací pak na obr. 4.15.



Obr. 4.14 Fázově/frekvenční detektor PFD s nábojovou pumpou CP - simulační schéma

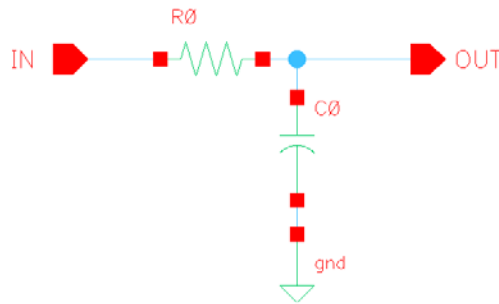


Obr. 4.15 Fázově/frekvenční detektor s nábojovou pumpou – simulace

Je-li sepnut horní spínač PMOS a dolní spínač NMOS současně, je celý (konstantní) proud, dodávaný horním proudovým zdrojem (vřídlem), pojmuto dolní proudovou norou, kapacitor tedy není ani nabíjen ani vybíjen. Převládá-li právě řídicí impuls UP, tzn. šířka jeho impulsu je delší než řídicího impulsu DOWN, je kapacitor nabíjen, převládá-li právě řídicí impuls DOWN, kapacitor je vybíjen. Je tedy zřejmé, že výsledná střední hodnota proudu kapacitorem (resp. filtrem) bude úměrná rozdílu šířek řídicích impulsů. Protože je nabíjecí, resp. vybíjecí proud konstantní, dochází při nabíjení k lineárnímu (přímo úměrnému) nárůstu a při vybíjení k lineárnímu poklesu napětí na kapacitoru (resp. filtru). Není-li kapacitor ani vybíjen ani nabíjen, zůstává na něm napětí konstantní. Napětí na kapacitoru (resp. filtru) tedy, v konečném důsledku, odpovídá fázové diferencii vstupních signálů. Pro lepší dynamické vlastnosti nábojové pumpy je kvazikomplementárně k hornímu PMOSu PM1 zapojen další PMOS PM11, který je buzen inverzně, stejně tak k dolnímu NMOSu NM2 je zapojen NMOS NM22, který je také buzen inverzně. Toto zapojení zajišťuje trvalý konstantní odběr z proudových zdrojů, protože pokud neteče proud právě skrze vlastní spínače pro nabíjení resp. vybíjení kapacitoru, teče právě těmito přídavnými tranzistory. Proudů z proudových zdrojů tak „nestartují od nuly“, což umožňuje nábojové pumpě rychlejší reakci na změnu signálů UP resp. DOWN.

4.1.2 Filtr

Druhým standartním blokem fázového závěsu je zpravidla filtr. Realizace filtru je do značné míry ovlivněna implementací prvního bloku, tedy fázového detektoru. Fázový detektor je realizován ve dvou variantách, v první variantě v provedení s hradlem XOR, ve druhé variantě jako fázově-frekvenční detektor. V první variantě je filtr realizovaný jako RC filtr typu dolní propust, znázorněný na obr. 4.16 s obvodovými prvky, vzeššími ze simulace postupnou optimalizací - $R = 10 \text{ kohm}$, $C = 200 \text{ pF}$.



Obr. 4.16 RC filtr typu dolní propust

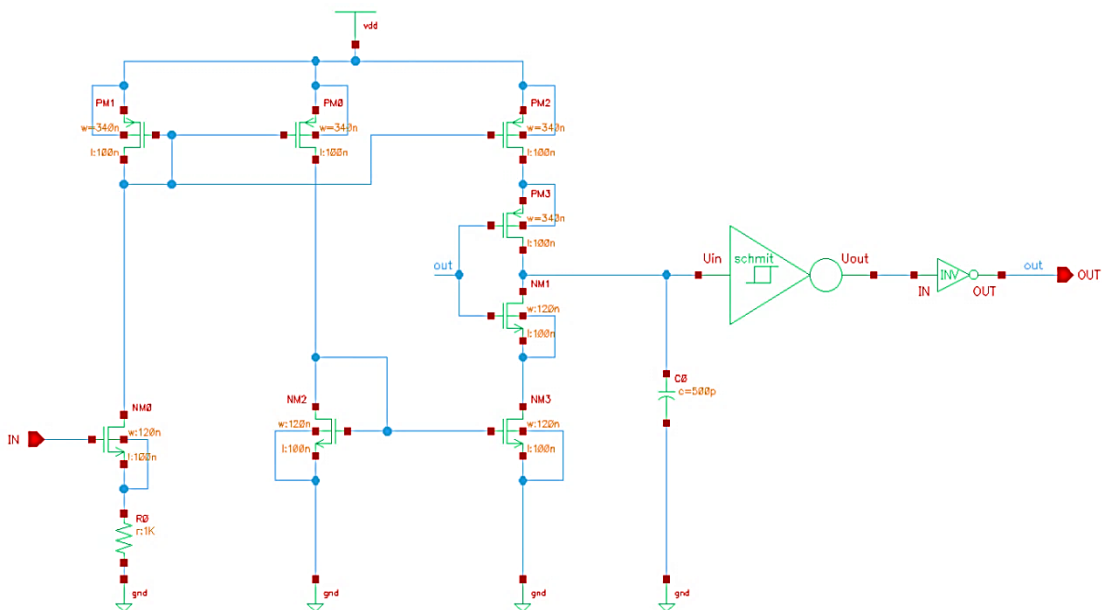
Ve druhé variantě je filtr realizován kondenzátorem, který je nabíjen a vybíjen nábojovou pumpou a jehož velikost vzešla ze simulace postupnou optimalizací na cca $C = 600$ pF.

V obou případech je filtr externí periferií integrovaného obvodu a není tedy implemetován na úrovni integrovaného obvodu. Důvodem je příliš velká plocha, kterou by kapacitor filtru zabíral na chipu. Velké kapacity, které by zabírali velkou plochu integrovaného obvodu se z ekonomických důvodů na úrovni chipu neimplementují. Nutnost, integrovat i filtr, by vedla pravděpodobně na návrh komplexních obvodů mající za cíl chovat se jako nahrazovaný kapacitor a při tom zabírat na chipu nesrovnatelně menší plochu. Jednou z variant těchto komplexních obvodů by mohl být obvod označovaný jako kapacitní násobič.

4.1.3 Napětím řízený oscilátor VCO

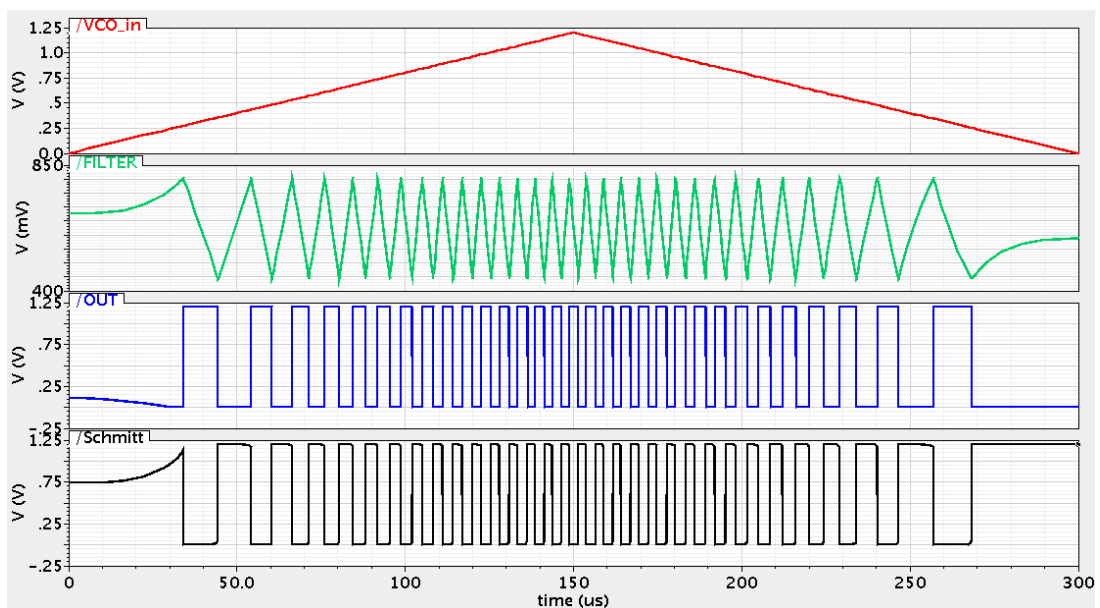
4.1.3.1 Multivibrátor (relaxační oscilátor)

Obvodové schéma napětím řízeného oscilátoru navrženého jako multivibrátor nebo-li relaxační oscilátor je uvedeno na obr. 4.17.



Obr. 4.17 Obvodová implementace VCO formou multivibrátoru (relaxačního oscilátoru)

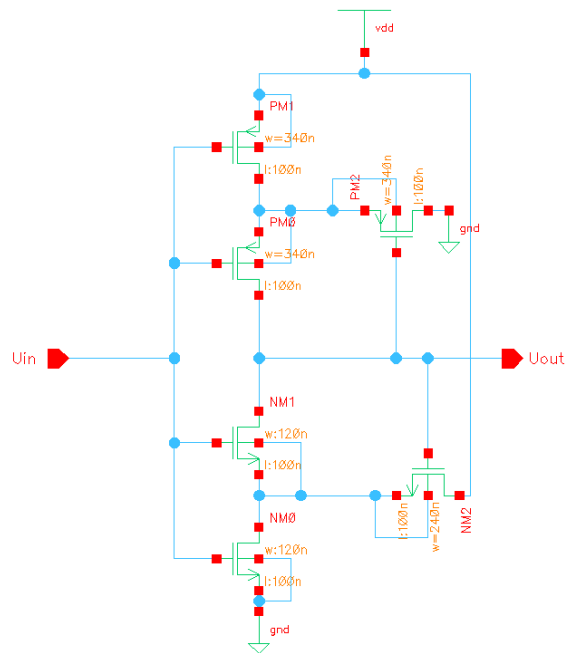
Princip funkce je následující. Vstupním napětím VCO řídíme vstupní tranzistor a tím i referenční proud matkou horního proudového zrcadla, který je následně zrcadlen a je takto vytvářen horní proudový zdroj pro nabíjení kapacitoru, druhým zrcadlením na matku dolního proudového zrcadla, je pak pomocí její dcery vytvořena proudová nora pro vybíjení kapacitoru. Takto vytvořený proudový zdroj, resp. proudová nora je připojována resp. odpojována od kapacitoru přes komplementární člen (NMOS/PMOS), který je řízen signálem VCOout. Limitní úrovně napětí na kapacitoru, nutné pro správnou funkci multivibrátoru, jsou realizovány Schmittovým klopným obvodem (popsaným níže). Jeli tedy výstupní napětí VCOout rovno nule, pak je PMOS v komplementárním členu otevřen (NMOS uzavřen) a dochází k nabíjení kondenzátoru C až je dosažena horní referenční úroveň napětí $+V_{REF}$, což způsobí překlopení Schmittova klopného obvodu, na jehož výstupu je signál ještě posílen a impedančně oddělen od dalšího bloku invertorem. Přes zpětnou vazbu dojde ke změně stavu spínacího komplementárního členu, tedy uzavření PMOSu a otevření NMOSu, čímž je ke kapacitoru připojena proudová nora a dochází k vybíjení kapacitoru C. Vstupní, řídicí napětí určuje tedy velikost nabíjecího resp. vybíjecího proudu kapacitorem a při Schmittovým klopným obvodem, pevně daných $+V_{REF}$, $-V_{REF}$ a konstantní hodnotě kapacitoru C, tak určuje výstupní frekvenci. Vzhledem k velikosti kapacitoru C (cca 500 pF) a tím související příliš velké plochy, kterou by v případě integrace zabíral na chipu, je kapacitor externí komponentou integrovaného obvodu. Výsledky simulací jsou znázorněny na obr. 4.18.



Obr. 4.18 VCO - multivibrátor (relaxační oscilátor) - simulace

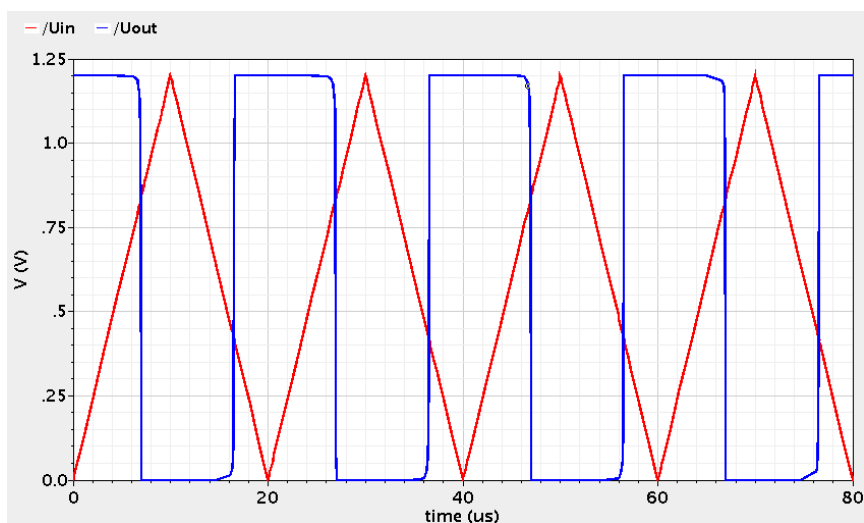
- **Schmittův klopný obvod**

Úkolem Schmittova klopného obvodu jako subbloku v napětím řízeném oscilátoru VCO je transformace trojúhelníkového průběhu na obdélníkový. Schéma Schmittova klopného obvodu v technologii CMOS je znázorněno na obr. 4.19. Základní vlastností Schmittova klopného obvodu je hystereze, to znamená, že jeho výstup je závislý nejen na hodnotě vstupu, ale i na jeho původním stavu. Rozhodovací úroveň lze nastavit parametry kanálů tranzistorů a to šířkou W a délkou L.



Obr. 4.19 Schmittův klopný obvod

Princip funkce uvedené implementace Schmittova klopného obvodu je následující, řekněme, že je na vstupu nulové napětí, tedy log 0, v důsledku toho jsou tranzistory NM1 a NM0 uzavřeny, PM0 a PM1 otevřeny, na výstupu je tedy zhruba napětí U_{DD} , tedy log 1. V důsledku toho je tranzistor NM2 otevřený a PM2 zavřený. Dále je provedena podrobnější analýza NMOS větve (NM0, NM1, NM2). Emitorové napětí tranzistoru NM2 je přibližně $U_{DD} - U_{th}$. Při rostoucím napětí U_{in} se začne otevírat tranzistor NM0, čímž klesá emitorové napětí tranzistoru NM2. Dalším zvyšováním napětí U_{in} dojde k otevření tranzistoru NM1 a tím dosažení horní rozhodovací úrovně. V důsledku otevření tranzistoru NM1 poklesne napětí na výstupu na log 0 a toto vede k uzavírání tranzistoru NM2. Tímto poklesne i emitorové napětí NM2, což vyvolá větší otevření tranzistoru NM1 a větší zavírání tranzistoru NM2 (zpětná vazba). Pro horní větev s PMOS tranzistory je funkce ekvivalentní. Funkce obvodu je ověřena simulací znázorněnou na obr. 4.20.



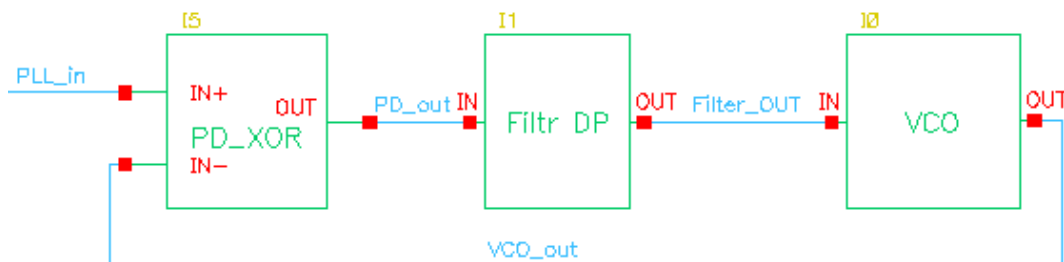
Obr. 4.20 Schmittův klopný obvod - výsledek simulace

4.2 PLL – celkové zapojení

V dalších odstavcích bude diskutován návrh celkového fázového závěsu PLL za použití výše popsaných bloků.

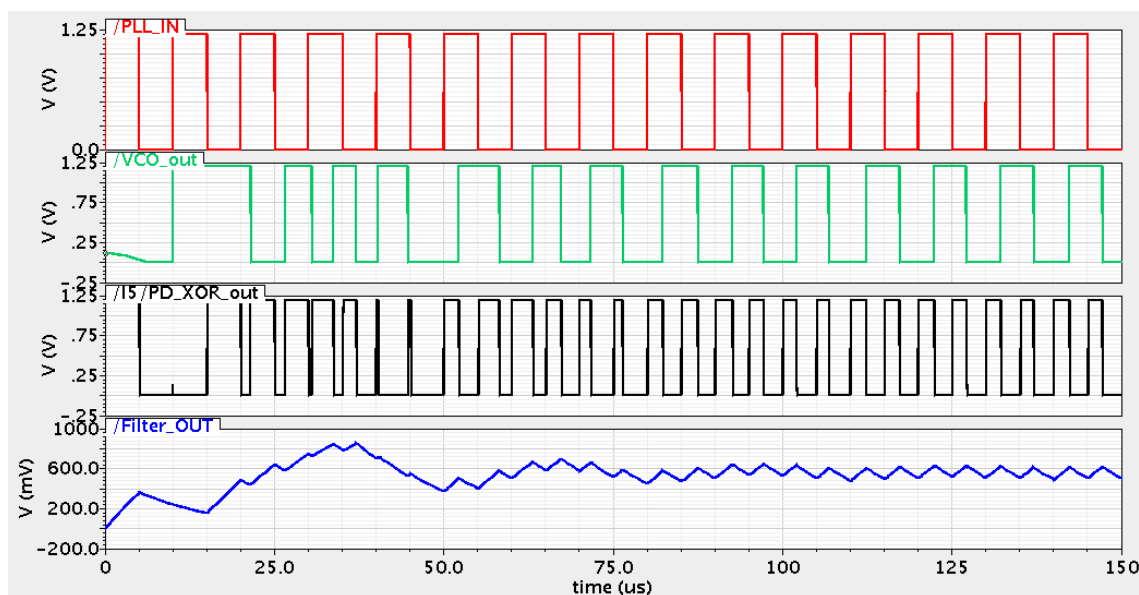
4.2.1 PLL s fázovým detektorem XOR

Celkové schéma fázového závěsu PLL s fázovým detektorem XOR, které obsahuje všechny bloky PLL, je uvedeno na obr. 4.21. Jako filtr je použita dolní propust RC, napětím řízený oscilátor VCO je zde multivibrátor (relaxační oscilátor) popsany v odstavci 4.1.3.1.



Obr. 4.21 PLL s fázovým detektorem XOR

Výsledky simulací celé PLL s fázovým detektorem XOR jsou znázorněny na obr. 4.22.

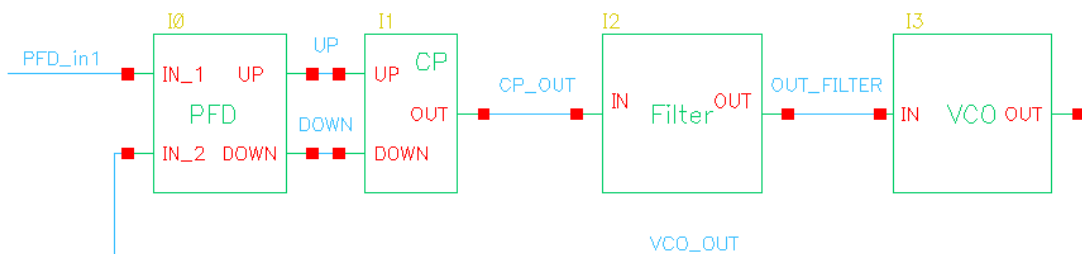


Obr. 4.22 PLL s fázovým detektorem XOR - výsledky simulací

Z výsledků simulace je vidět, že PLL reaguje na parametry (frekvenci a fázi) neznámého signálu na vstupu PLL_in postupnou úpravou výstupu VCO (VCO_out) dle stejnosměrného napětí z filtru (Filter_OUT), který filtruje signál s fázového detektoru XOR. Po určité době se frekvence a fáze výstupu VCO „doladí a zavěsí“ na vstupní „neznámý“ signál. Průměrná hodnota napětí na výstupu filtru při zavěšeném fázovém závěsu odpovídá $\frac{1}{2} V_{dd}$ a fázový rozdíl vstupních signálů je po ustálení 90° .

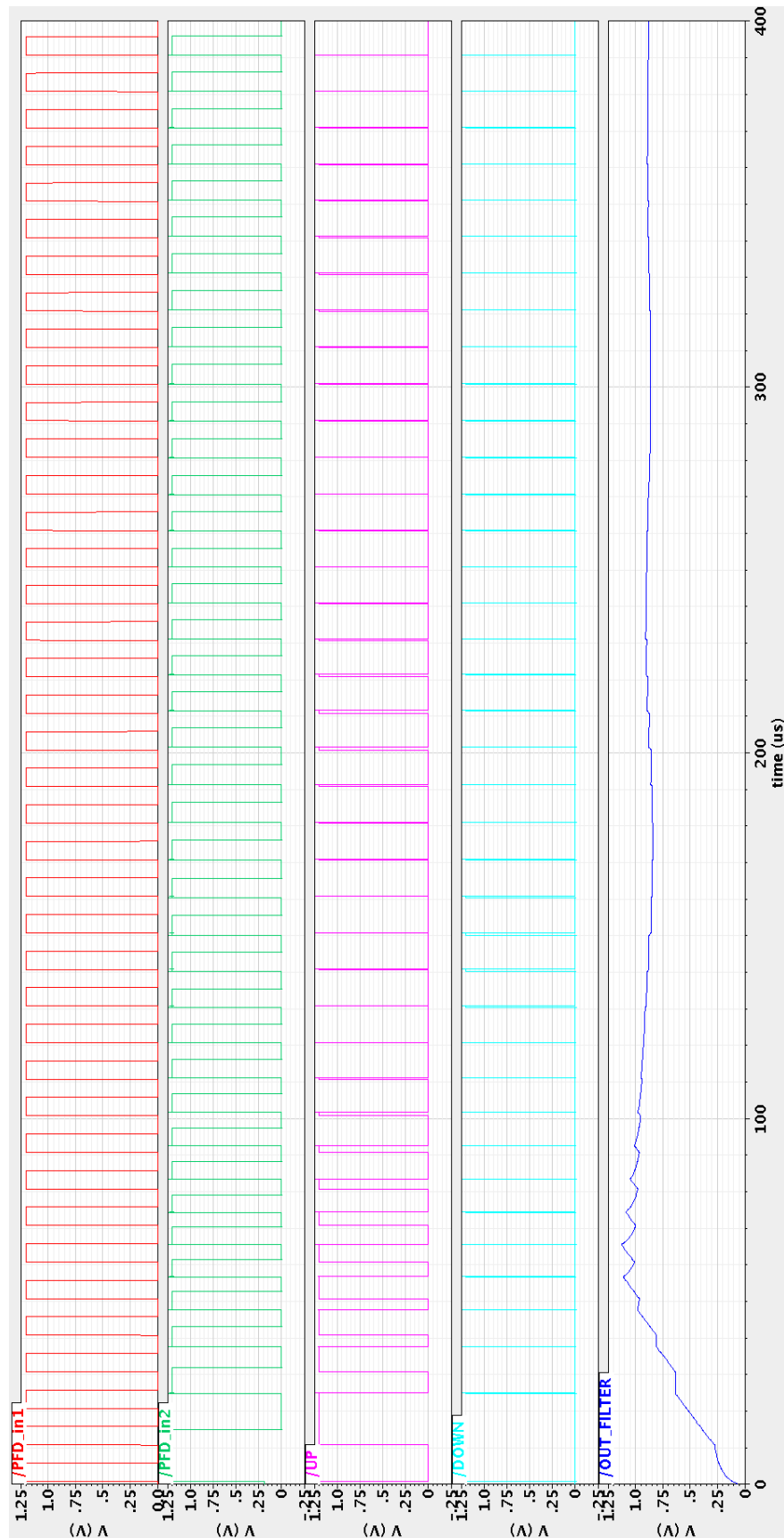
4.2.2 PLL s fázově- frekvenčním detektorem PFD

Celkové schéma fázového závěsu PLL s fázově- frekvenčním detektorem PFD s nábojovou pumpou CP, které obsahuje všechny bloky PLL, je uvedeno na obr. 4.23. Filtrem je zde kapacitor dobíjený a vybíjený nábojovou pumpou, napětím řízený oscilátor VCO je zde multivibrátor (relaxační oscilátor) popsaný v odstavci 4.1.3.1.



Obr. 4.23 PLL s fázově/frekvenčním detektorem PFD a nábojovou pumpou

Výsledky simulací celého fázového závěsu PLL s fázově/frekvenčním detektorem PFD s nábojovou pumpou jsou znázorněny na obr. 4.24. Z výsledků simulace je vidět, že PLL reaguje na parametry (fázi, frekvenci) neznámého signálu na vstupu PFD_in1 postupnou úpravou výstupu VCO (PFD_in2) dle stejnosměrného napětí z filtru (OUT_FILTER), které je generováno blokem PFD + CP. Ze simulace je také vidět souvislost mezi nárůstem, respektive poklesem napětí za filtrem ve vztahu k signálům UP a DOWN (během trvání pulsu UP dochází k nárůstu napětí, během trvání pulsu DOWN dochází k poklesu napětí). Po určité době se frekvence a fáze výstupu VCO „doladí a zavěsí“ na vstupní „neznámý“ signál. Jehlovité impulsy UP a DOWN po zavěšení PLL jsou způsobeny blokem Delay (který je nutný pro správný chod PFD).



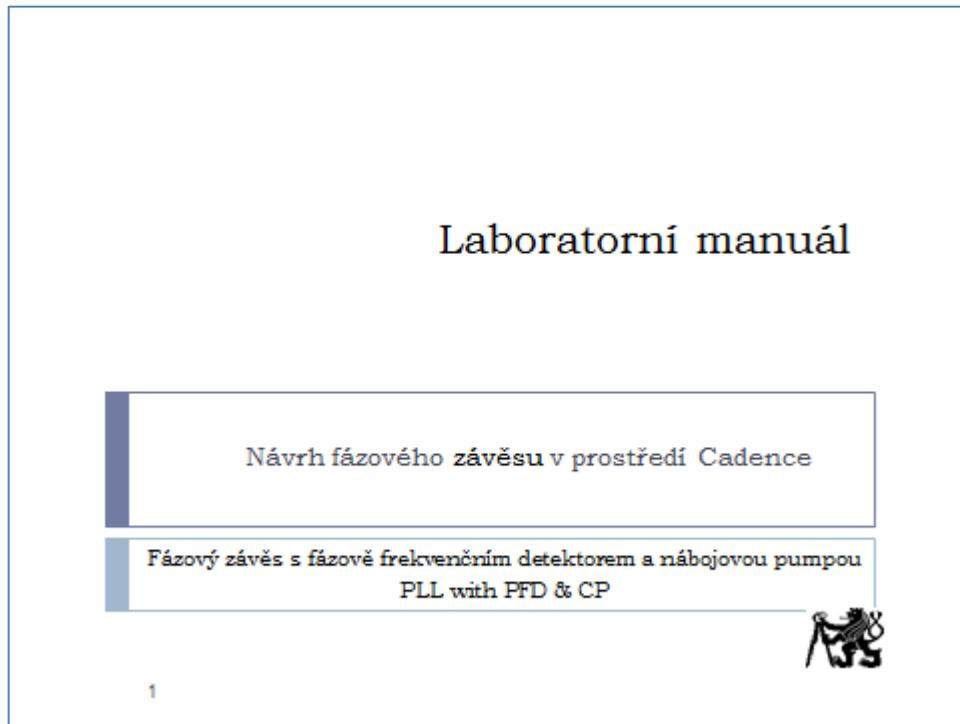
Obr. 4.24 PLL s fázově/frekvenčním detektorem PFD a nábojovou pumpou - výsledky simulací

5 Laboratorní manuál pro výuku

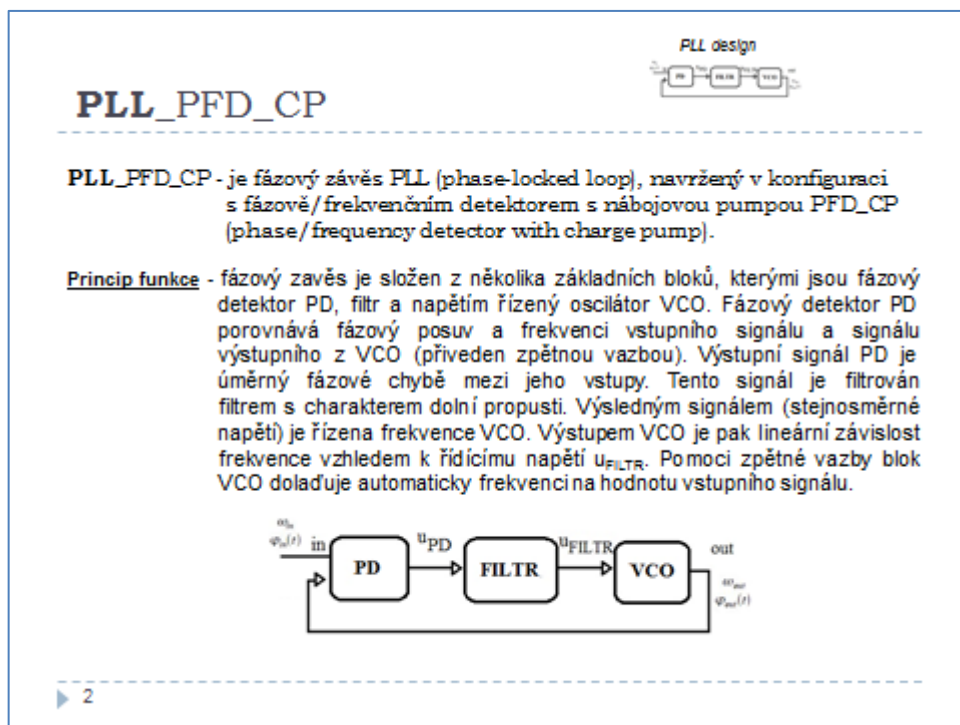
Tento odstavec bude věnován laboratornímu manuálu pro výuku. Vytvořit manuál pro výuku je dalším bodem zadání. Po konzultaci s vedoucím práce bylo přistoupeno k realizaci formou (PowerPoint) prezentace, ve které je krok za krokem vysvětlen postup návrhu. Pro každý blok (subblok) je vytvořena vždy jedna prezentace. Úroveň složitosti byla zvolena, po konzultaci s vedoucím práce, taková, aby na základě tohoto manuálu byl schopen sestavit a odsimulovat obvod student-začátečník, ale zároveň aby byl přínosem i pro zkušeného návrháře. Proto jsou vytvořeny dvě velmi podrobné prezentace k základním blokům (CMOS implementace hradla NAND a invertoru), kde je postupováno krok za krokem a kde je podrobně, za pomoci výřezů oken z návrhového systému Cadence vysvětlen a komentován každý krok týkající se jak vlastního návrhu obvodu, tak zejména návrhového systému Cadence.

Vlastní manuál (prezentace) ke každému bloku je členěna následujícím způsobem. Nejprve je vždy uveden princip funkce obvodu. Pak je ukázán postup sestavení schématu, následuje postup vytvoření symbolu ze schématu (pokud je tento pro daný blok potřeba). Další část se zabývá simulací obvodu, zde je nejprve ukázán postup vytvoření simulačního schématu, dále pak nastavení budících a napájecích zdrojů pro simulaci. Po dokončení simulačního schématu je přistoupeno k volbě simulátoru, dále je ukázán výběr druhu simulace, její nastavení, výběr zobrazovaných signálů (po simulaci) a spuštění simulace. Nakonec je provedena diskuse a analýza výsledných odsimulovaných průběhů.

Dále bude uvedena ukázka laboratorního manuálu k jednomu bloku, uvedení manuálů ke všem blokům (včetně všech subbloků) v tištěné formě práce by vedlo k značnému nárůstu jejího objemu, proto jsou všechny manuály ke všem blokům přiloženy v elektronické verzi na CD-ROM. Dále bude tedy uvedena ukázka laboratorního manuálu k jednomu bloku – funkční blok fázového závěsu s fázově frekvenčním detektorem a nábojovou pumpou PLL_PFD_CP (top- schematic).

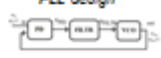


Obr. 5.1 Laboratorní manuál pro výuku - PLL (PFD s CP) - titulní strana



Obr. 5.2 Laboratorní manuál pro výuku - PLL (PFD s CP) - princip funkce

PLL design

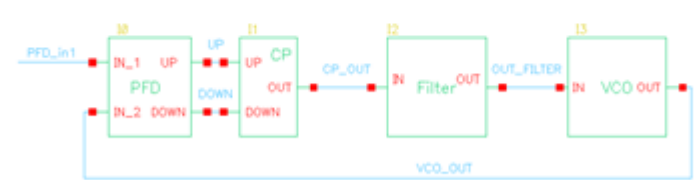


PLL_PFD_CP

Tvorba schématu (top- schematic):
 dle obrázku vytvoříme schéma PLL (PFD_CP)

- nástroj **I** („instance“) vložíme komponenty
- nástroj **W** („wire“) použijeme pro pospojování
- nástroj **P** („pin“) vložíme piny

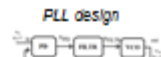
instance	knihovna	počet	komentář
PFD	cviceni	1	Phase Frequency Detector
CP	cviceni	1	Charge Pump
Filter	cviceni	1	Filter
VCO	cviceni	1	Voltage Controlled Oscillator



▶ 3

Obr. 5.3 Laboratorní manuál pro výuku - PLL (PFD s CP) - tvorba schématu

PLL design



PLL_PFD_CP

Simulace – ověření funkčnosti obvodu / vytvoření simulačního schématu

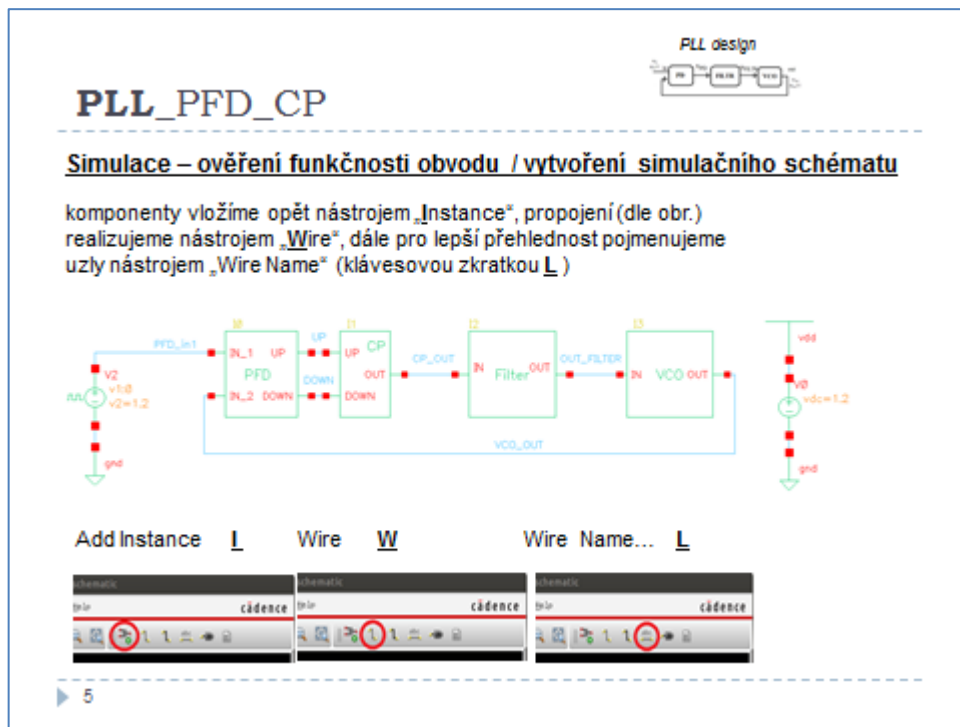
Dalším krokem je ověření správnosti funkce vytvořeného obvodu. K tomu slouží simulace. Pro simulaci je potřeba sestavit simulační schéma.

- ▶ vytvoříme si nové simulační schéma např. se jménem **PLL_PFD_CP_sim**.
- ▶ do ní vložíme vytvořené schéma **PLL_PFD_CP** a další důležité komponenty pro simulaci:

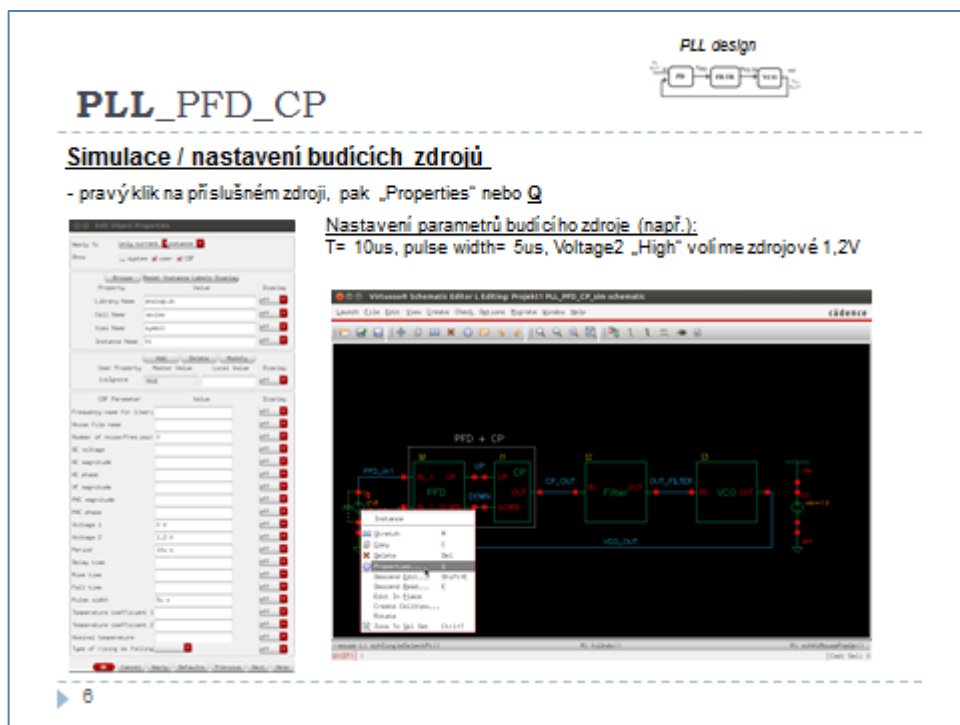
instance	knihovna	počet	komentář
vdc	analoglib	1	zdroj 1,2V
vdd	analoglib	1	napájení +
gnd	analoglib	2	společná svorka (zem)
vpulse	analoglib	1	budící zdroj pro PLL

▶ 4

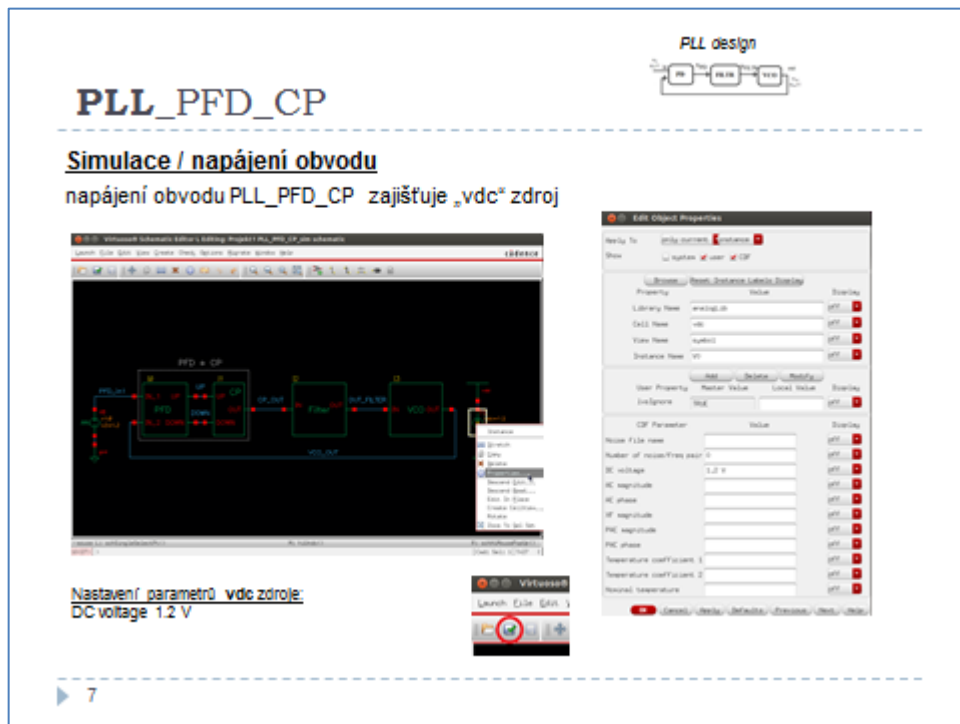
Obr. 5.4 Laboratorní manuál pro výuku - PLL (PFD s CP) – simulace



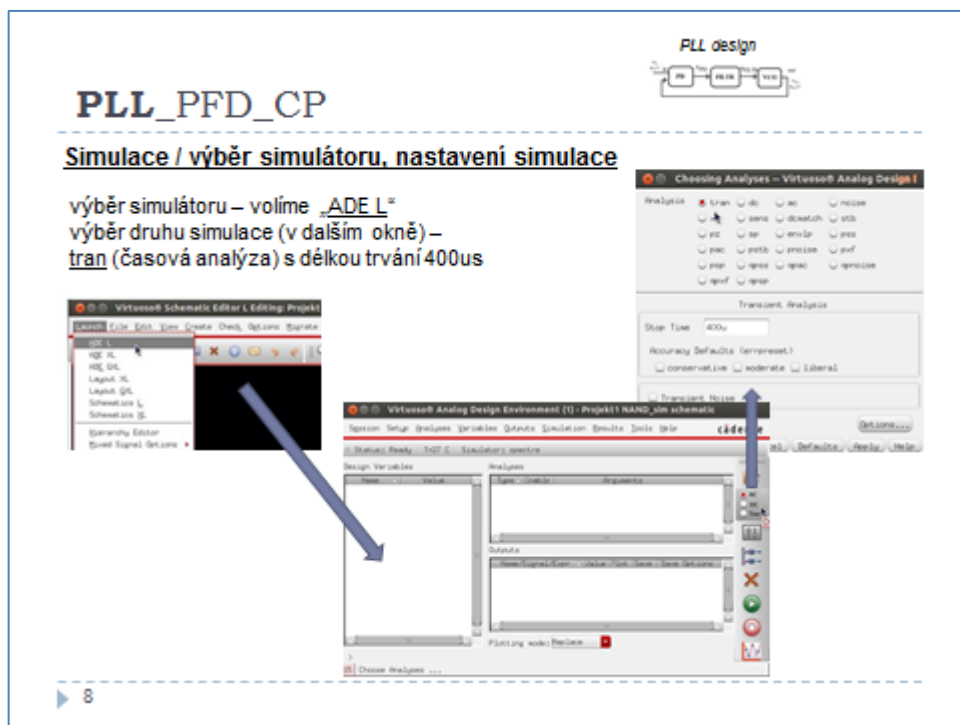
Obr. 5.5 Laboratorní manuál pro výuku - PLL (PFD s CP) – vytvoření simulačního schématu



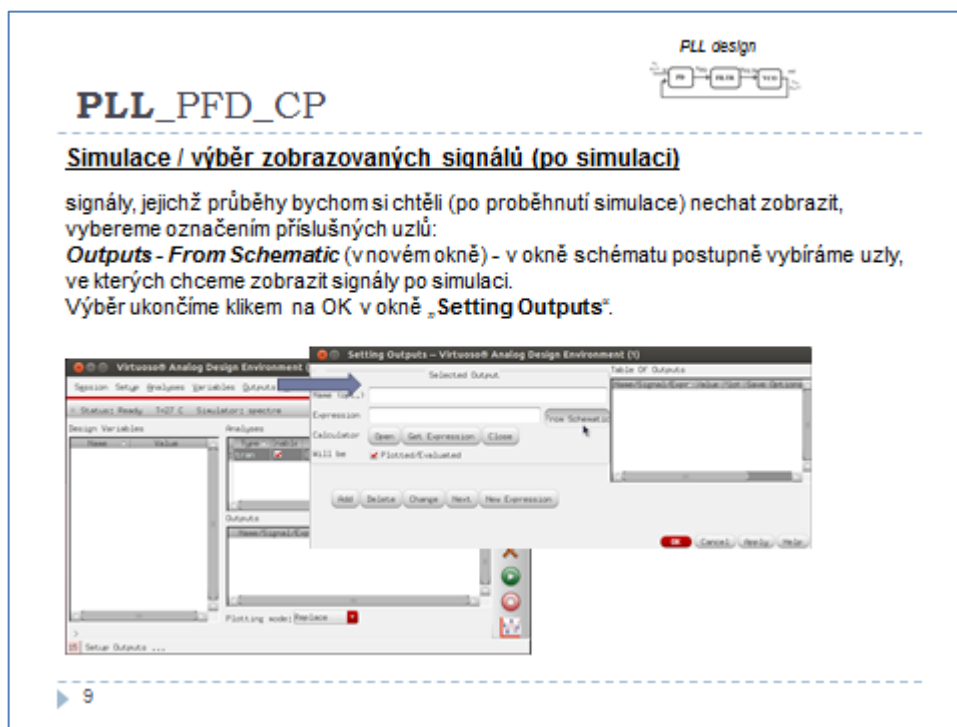
Obr. 5.6 Laboratorní manuál pro výuku - PLL (PFD s CP) – simulace/nastavení budících zdrojů



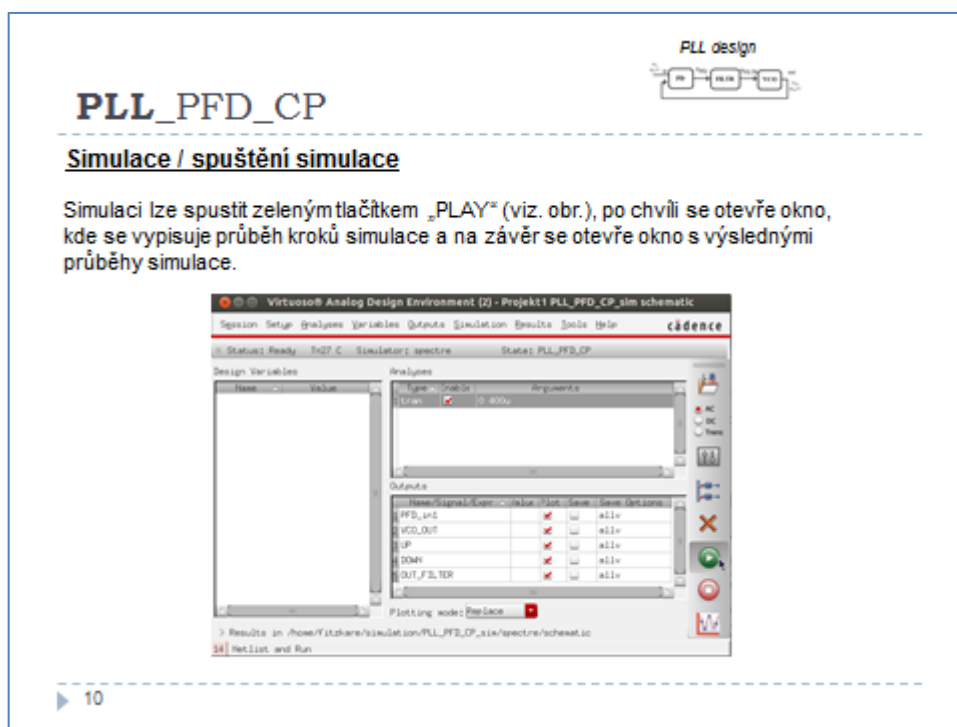
Obr. 5.7 Laboratorní manuál pro výuku - PLL (PFD s CP) – simulace/napájení obvodu



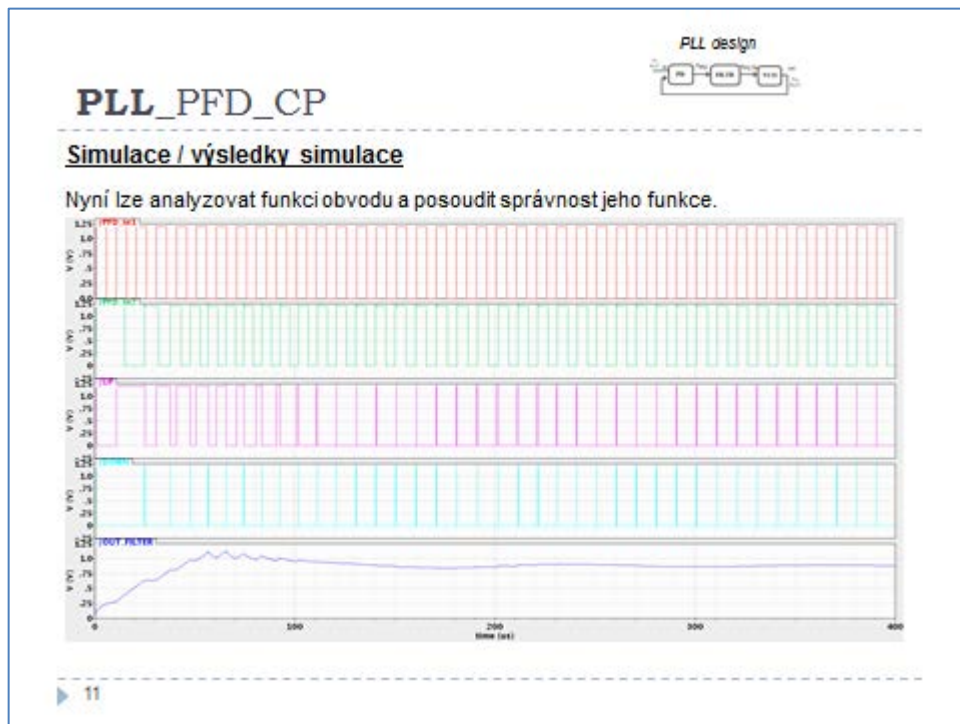
Obr. 5.8 Laboratorní manuál pro výuku - PLL (PFD s CP) – výběr simulátoru/nastavení simulace



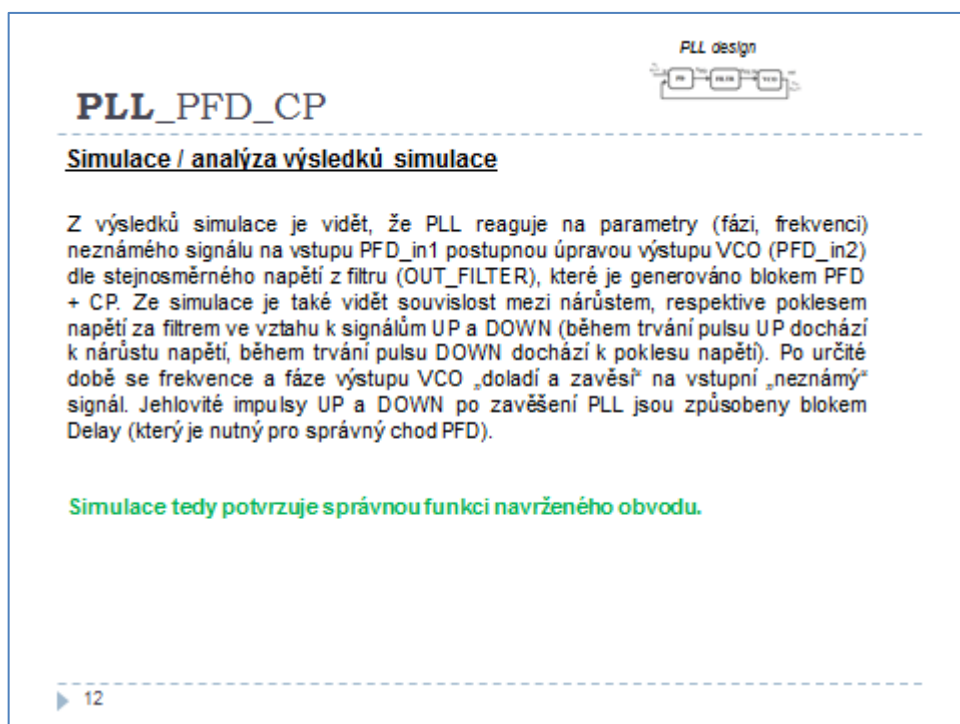
Obr. 5.9 Laboratorní manuál pro výuku - PLL (PFD s CP), výběr zobrazovaných signálů (po simulaci)



Obr. 5.10 Laboratorní manuál pro výuku - PLL (PFD s CP) – spuštění simulace



Obr. 5.11 Laboratorní manuál pro výuku - PLL (PFD s CP) – simulace/výsledky simulace



Obr. 5.12 Laboratorní manuál pro výuku - PLL (PFD s CP) – simulace/analýza výsledků simulace

6 Závěr

Cílem této práce bylo navrhnout zpětnovazební řídicí systém, označovaný jako fázový závěs PLL, v prostředí pro návrh integrovaných obvodů Cadence. To znamená navrhnout obvodová řešení jednotlivých funkčních bloků na úrovni tranzistorů a ověřit jejich funkčnost simulací. Cílem této práce bylo také vytvoření laboratorního manuálu pro výuku.

Po uvedení principu funkce celého systému fázového závěsu s uvedením terminologie, používané v problematice fázového závěsu (kapitola 2) je další část (kapitola 3) věnována teoretickému rozboru různých variant jednotlivých funkčních bloků fázového závěsu.

Čtvrtá část se pak zabývá vlastním návrhem obvodů fázového závěsu v prostředí pro návrh integrovaných obvodů Cadence. Nejprve je navržen první blok fázového závěsu, kterým je fázový detektor a to nejprve v jednodušší variantě s hradlem exclusive-OR a pak v mnohem komplexnější variantě ve formě fázově-frekvenčního detektoru PFD s nábojovou pumpou CP. V rámci návrhu fázově-frekvenčního detektoru s nábojovou pumpou je navržen blok fázově-frekvenčního detektoru označovaný také jako up/down čítač. Druhý standardní blok fázového závěsu, kterým je zpravidla filtr, zde není implementován na úrovni integrovaného obvodu a je tedy externí komponentou integrovaného obvodu. Důvodem je velikost kapacity filtru, která by zabírala příliš velkou plochu na chipu. Třetím blokem fázového závěsu je napětím řízený oscilátor VCO, který je navržen ve variantě multivibrátoru (relaxačního oscilátoru). Funkce jednotlivých bloků a jejich částí je vždy dokumentována simulací. Nakonec je realizováno celkové zapojení fázového závěsu PLL ve variantách s fázovým detektorem s hradlem XOR a s fázově-frekvenčním detektorem PFD. Funkčnost obou variant fázových závěsů je dokumentována takzvanou topsimulací, ze které je vidět, že zatímco fázový závěs ve variantě s fázovým detektorem s hradlem XOR není schopen být (ze své podstaty), při zavěšení, ve fázi se vstupním signálem (při zavěšení je zde fázový posuv 90°), tak fázový závěs s fázově-frekvenčním detektorem PFD s nábojovou pumpou CP se na vstupní signál zavěšuje se stejnou frekvencí i fází.

Práce obsahuje také část zabývající se manuálem pro výuku. Po konzultaci s vedoucím práce je realizována formou (PowerPoint) prezentace, ve které je krok za krokem vysvětlen postup návrhu. V práci je uvedena ukázka laboratorního manuálu k jednomu bloku, uvedení manuálů ke všem blokům (včetně všech subbloků) v tištěné formě práce by vedlo k značnému nárůstu jejího objemu, proto jsou všechny manuály ke všem blokům přiloženy v elektronické verzi na CD-ROM.

Na závěr bych zde chtěl poděkovat vedoucímu práce za cenné rady a připomínky.

7 Literatura

- [1] AN177 – An overview of the phase-locked loop (PLL), aplikační list Philips Semiconductors (NXP)
- [2] AN178 – Modeling the PLL, aplikační list Philips Semiconductors (NXP)
- [3] 74HCT9046A – PLL with bandgap controlled VCO, specifikace integrovaného obvodu, Philips Semiconductors (NXP)
- [4] MT-086 – Fundamentals of Phase Locked Loops (PLLs), aplikační zpáva Analog Devices
- [5] SWRA029 – Fractional/Integer-N PLL Basics, technická zpráva Texas Instruments
- [6] Razavi B.: Design of Analog CMOS Integrated Circuits, ISBN 9780072380323
- [7] Gray P.R., Hurst P. J., Lewis S. H., Meyer R. G.: Analysis and Design of Analog Integrated Circuits, ISBN 9780470245996
- [8] McNeill J. A., Ricketts D.S.: The Designer's Guide to Jitter in Ring Oscillators, Springer, 2009
- [9] Chien, G.: Low-Noise Local Oscillator Design Techniques using a DLL-based Frequency Multiplier for Wireless Applications,
cc.ee.nchu.edu.tw/~aiclab/public_htm/DLL/Theses/2000Chien.pdf
- [10] Yoong, Ch.P.: Designing on-chip PLL circuits, Centre for wireless communications,
http://www.rfdh.com/ez/system/db/pds_tn/upload/564/Designing_on_chip_PLL_circuit.pdf
- [11] Doan, Ch. H.: Design and Implementation of a Highly-Integrated Low-Power CMOS Frequency Synthesizer for an Indoor Wireless Wideband-CDMA Direct-Conversion Receiver,
http://www.researchgate.net/publication/242433099_Design_and_Implementation_of_a_Highly-Integrated_Low-Power_CMOS_Frequency_Synthesizer_for_an_Indoor_Wireless_Wideband-CDMA_Direct-Conversion_Receiver

8 Seznam použitých zkratek a symbolů

PLL	- (phase locked loop) smyčka fázového závěsu
PD	- (phase detektor) fázový detektor
PFD	- (phase/frequency detektor) fázově/frekvenční detektor
VCO	- (voltage controled oscilator) napětím řízený oscilátor
CP	- (charge pump) nábojová pumpa
DFF_R	- (edge triggered D Flip-Flop with Reset) klopný obvod D řízený nástupní hranou s Resetem
XOR	- (eXclusive OR) logické hradlo výhradní logický součet
LPF	- (low pass filter) filtr typu dolní propust
W	- šířka kanálu tranzistoru MOSFET
L	- délka kanálu tranzistoru MOSFET
f	- frekvence
ω_{in}	- úhlová frekvence vstupního signálu PLL
ω_{out}	- úhlová frekvence výstupního signálu PLL
φ_{in}	- fáze vstupního signálu PLL
φ_{out}	- fáze výstupního signálu PLL
ω_o, f_o	- (free running frequency) volně běžící frekvence nebo také středová frekvence (center frequency)
$2\omega_L, 2f_L$	- (lock range / synchronization range) rozsah lineárního zavěšení
$2f_C, 2\omega_C$	- (capture range / acquisition range) rozsah zavěšování
t_L	- (lock-up time / acquisition time) zavěšovací čas
K_{PD}	- konverzní (převodní) zisk fázového detektoru
K_{VCO}	- konverzní (převodní) zisk napětím řízeného oscilátoru
K_V	- zisk smyčky fázového závěsu (loop gain)
CLG	- (closed loop gain) zisk uzavřené smyčky fázového závěsu
$SIGN_{IN}$	- vstupní (neznámý) signál fázového detektoru
$COMP_{IN}$	- vstupní signál fázového detektoru (výstup VCO)
VCO_{IN}	- vstupní signál VCO
VCO_{OUT}	- výstupní signál VCO