

Diplomová práce

Merač čiastočných výbojov

Bc. Ján Tomlain



Máj 2014

vedúci práce: Ing. Radek Sedláček, PhD.

České vysoké učení technické v Praze
Fakulta elektrotechnická, Katedra merania

PodĎakovanie

Týmto by som chcel poĎakovať hlavne Ing. Radkovi Sedláčkovi, PhD. a doc. Ing. Josefovi Vedralovi, CSc. za pomoc, podporu a za získané cenné vedomosti pri riešení diplomovej práce.

Prehlásenie

Prehlasujem, že som predloženú prácu vypracoval samostatne a že som uviedol všetky použité informačné zdroje v súlade s Metodickým pokynom o dodrĎování etických princípů při přípravě vysokoškolských závěrečných prací.

V Prahe dĎa:

.....
podpis autora práce



ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Ján Tomlain**

Studijní program: **Kybernetika a robotika**
Obor: **Senzory a přístrojová technika**

Název tématu česky: **Měřič částečných výbojů**

Název tématu anglicky: **Partial Discharge Meter**

Pokyny pro vypracování:

Navrhněte a realizujte měřič částečných výbojů včetně oddělovacího členu, umožňující měřit částečné výboje vysokonapěťových elektrických strojů v rozsahu 100 pC až 100 nC s rozlišitelností lepší než 1 %. Přístroj koncipujte jako dvoukanálový se separátním měřením efektivní hodnoty nosného napětí a časových průběhů částečných výbojů s časovou rozlišitelností nejméně 10 ns, šířkou pásma 30 kHz až 2 MHz a kapacitou vestavěné paměti 128 MB pro ukládání vzorků signálu částečných výbojů. Pro přenos dat do řídicího počítače implementujte komunikační rozhraní Gigabit Ethernet. Přístroj bude napájen akumulátory.

Seznam odborné literatury:

- [1] IEC60270, High-voltage test techniques - Partial discharge measurements, CEI/IEC 60270:2000.
- [2] IEC/TS 60034-27-2 Rotating electrical machines – Part 27-2: On-line partial discharge measurements on the stator winding insulation of rotating electrical machines. 2012.
- [3] Kříž, M.: Optimalizace metod a systémů pro měření částečných výbojů. Disertační práce. ČVUT v Praze – FEL, 2009.

Vedoucí diplomové práce: Ing. Radek Sedláček, Ph.D.

Datum zadání diplomové práce: 10. listopadu 2012

Platnost zadání do¹: 31. srpna 2015

Prof. Ing. Vladimír Haasz, CSc.
vedoucí katedry



Prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 10. 11. 2012

¹ Platnost zadání je omezena na dobu tří následujících semestrů.

Abstrakt

Táto diplomová práca sa zaoberá komplexným návrhom merača čiastočných výbojov pre potreby diagnostiky vysoko-napäťových strojov. Výsledkom je ucelený merací systém, ktorý splňuje požadovanú funkcionálnosť. V práci je popísaná terminológia a teória diagnostiky vysoko-napäťových strojov na ktorú plynule nadväzuje HW návrh jednotlivých vyvinutých súčastí. Implementácia sa operia o použitie FPGA obvodov s využitím System-on-the chip technológie, ktorá umožňuje flexibilné a výkonné spracovanie signálov. V závere práce sú zhrnuté meracie metódy používané v testovacích ústavoch spolu s prezentáciou výsledkov, ktoré boli získané pri využívaní tohto merača čiastočných výbojov.

Abstract

This diploma thesis deals with the complex design of the partial discharge meter for high-voltage machines diagnostic. The result of the work is complete measurement system, which fulfills specified functionality. Terminology and theory of the high-voltage machines are described in the beginning of the work. Following text continues with the HW design of all developed sub-parts. Implementation relies on the FPGA with the advantage of System-on-the-chip technology. This solution enables flexible and powerful signal processing. Measurement principals and methods together with the test results are mentioned at the end of this work.

Obsah

1	Úvod	1
2	Čiastočný výboj a jeho meranie	2
2.1	Základne vlastnosti	2
2.2	Merané veličiny	2
2.3	Tvar impulzu	3
2.4	Merací reťazec	4
2.4.1	Meracie princípy	6
	Analogový merací kanál	6
	Hybridný merací kanál	6
	Digitálny merací kanál	7
2.4.2	Väzobný člen	7
3	Požiadavky na HW merača	10
3.1	Merací kanál impulzov ČV	10
3.2	Merací kanál nosného signálu	10
3.3	Spracovanie dát - kontrolér	11
3.3.1	Ukladanie dát	12
3.3.2	Posielanie dát, komunikácia	12
3.3.3	Napájanie	14
4	HW merača ČV	15
4.1	Digitizér	15
4.1.1	Meracie kanály	16
	Spoločné vlastnosti	16
	Vlastnosti meracieho kanálu ČV	18
	Vlastnosti meracieho kanálu testovacieho napätia	20
4.1.2	Pamäťový priestor	21
4.1.3	Komunikačné rozhranie Ethernet	22
4.1.4	Pripojenie externých periférnych zariadení	24
4.1.5	FPGA obvod	25
4.1.6	Napájacie bloky	27
4.1.7	Doska plošných spojov	27
4.2	Väzobný člen	29
4.2.1	Obvodové riešenie	29
4.2.2	Zmerané parametre	32
4.2.3	Doska plošného spoja	33
4.3	Akumulátorová doska	34
4.4	Výsledná forma merača ČV	38
5	Software	39
5.1	Programové možnosti FPGA	39
5.1.1	System-on-chip a soft-core	40
5.2	Merač ČV	41
5.2.1	System-on-chip a NIOS II	42
	NIOS II	45
5.2.2	VHDL bloky	46

5.2.3	Softvér pre NIOS	48
	RTOS Micrium uC/OS-II	49
5.2.4	Obslužná aplikácia merača ČV	50
5.2.5	Príkazy zariadenia	52
5.2.6	Obslužný program pre PC	55
6	Nábojový kalibrátor	56
7	Využívanie merača ČV	58
7.1	Metodika merania	58
7.1.1	Meranie šumových parametrov meracieho reťazca	58
7.1.2	Kalibrácia pomocou nábojového kalibrátora	59
7.1.3	Meranie pomocou testovacieho napätia	59
7.1.4	Vyhodnotenie merania	60
7.2	Meracie režimy zariadenia	61
7.2.1	Režim Full-Expert	61
7.2.2	Režim Real-Time	61
8	Výsledky merania	64
8.1	Nábojový kalibrátor	64
8.2	Merač ČV	67
8.3	Šumové vlastnosti	70
9	Záver	72
	Literatúra	73

Skratky

VN	Vysoké napätie
ČV	Čiastočný výboj
PD	=ČV (Partial Discharge)
DUT	Device-under-test (objekt podrobený testovaniu/diagnostike)
ADC	Analog to digital converter / Analógovo digitálny prevodník
MSPS	Mega samples per second
CPLD	Complex programmable logic device
FPGA	Field programmable gate array
DSP	Digital signal processor
RMS	Root mean square (efektívna hodnota)
LSB	Least significant bit (najmenšia rozlíšiteľná časť)
SoC	System-on-the-chip
LVDS	Low-voltage differential signaling
CMOS	Complementary Metal–Oxide–Semiconductor
PGA	Programmable gain amplifier
(R)MII	(Reduced) Media Independent Interface
(R)GMII	(Reduced) Gigabit Media Independent Interface
SGMII	Serial Gigabit Media Independent Interface
SFP	Small form-factor pluggable
PLL	Phase Locked Loop
ETH	Ethernet
LAN	Local Area Network
PHY	Typicky označenie pre najnižšiu, fyzickú vrstvu kom. zásobníka
MAC	Medium access control
UART	Universal asynchronous receiver/transmitter
SDRAM	Synchronous dynamic random-access memory
SPI	Serial peripheral interface
I2C	Inter-Integrated Circuit
EEPROM	Electrically Erasable Programmable Read-Only Memory
ALU	Arithmetic logic unit
DMA	Direct memory access
FIR	Finite impulse response
IIR	Infinite impulse response

Symboly

q	Zdanlivý náboj impulzu ČV, udávaný v c (coulomb)
f_s	Vzorkovacia frekvencia zariadenia typ. udávaná v $MSPS$
f_m	Najvyššia zastúpená frekvenčná zložka signálu, udávaná v MHz
t_{PD}	Časové trvanie impulzu ČV, udávané typ. v ns
U_T	Testovacie napätie, udávané typ. v kV
f_{U_T}	Frekvencia testovacieho napätia, udávaná typ. v Hz
MPD_{SIZE}	Veľkosť pamäte pre signál impulzov ČV, udávaný typ. v MB
BSR	Bit stream rate alebo aj šírka prenosového pásma, používané pre rýchlosť dátového toku typ. v $Mbps$
BW	Bandwidth, šírka aktívneho frekvenčného pásma zapojenia
ER	Efektívna rozlíšiteľnosť udávaná typ. bitoch

1 Úvod

Postupujúci trend zvyšovania spoľahlivosti a znižovania nákladov spojených s údržbou a servisom veľkých strojov v energetike prispieva k rozvoju technológií v obore ich diagnostiky a testovania. V segmente energetiky je možné pomocou správneho naplánovania servisných či údržbových intervalov predĺžiť životnosť a predchádzať nežiadúcim haváriám na prístrojoch, akými su práve vysoko napäťové generátory, motory, transformátory a iné stroje, na ktorých je závislá prevádzka elektrickej rozvodovej siete. Správne načasovanie a odhalenie nedostatkov spomínaných zariadení pomáha a zabraňuje nákladným a časovo náročným opravám, ktoré sú nevyhnutné pri žiadnej alebo nepostačujúcej diagnostike.

Na svete je známych niekoľko diagnostických metód pre jednofázové ale aj viacfázové VN stroje. K dispozícii su metódy deštruktívne ale aj nedeštruktívne metódy, ktoré sú účelnejšie a je ich vhodné použiť práve pri prístrojoch, ktoré sú zaradené v prevádzke. U točivých strojov ako u hlavnej skupiny VN strojov je najdôležitejšou vlastnosťou kvalita izolantu resp. izolačného média. Tento parameter je rovnako dôležitý aj pre VN transformátory apod. U rôznych izolantov sa vplyvom starnutia ale aj výrobných vád a nedodržania správnej údržby môžu prejaviť nedostatky v izolačnom médiu. Typickými izolačnými médiami je vzduch, olej, sľudový papier apod. Hlavnými diagnostickými metódami je priame elektrické testovanie a meranie rôznych parametrov. Jednou z hlavných metód je meranie kapacity a stratového činiteľa $tg\delta$. Ďalšou veľmi rozšírenou metódou je práve meranie čiastočných výbojov. Pomocou týchto základných dvoch metód je možné stanoviť kvalitu izolácie a jej starnutie. Pri oboch diagnostických meraniach sa odporúča sledovať trend a vývoj obidvoch parametrov daného stroja a pomocou týchto ukazovateľov odvodzovať závery.

Medzi ďalšie diagnostické metódy patria metódy neelektrické, kedy sa k stroju nepripája nominálne napätie ale je testované napríklad mechanicky či akusticky. Tieto testy odhaľujú skôr mechanické nedokonalosti stroja a prípadne starnutie mechanických pohyblivých častí. Podobne je možné využiť aj testy teplotné či chemické, ktoré skúmajú ohrev či napríklad prítomnosť ozónu v chladiacom vzduchu. Tieto metódy do istej miery dokážu odhaliť aj problémy v izolácii stroja, nakoľko napríklad pri výskyte čiastočných výbojov alebo prílišnom ohreve izolácie nastáva ionizácia okolitého vzduchu.

Pre elektrické merania sa v súčasnosti najviac využívajú analógové či digitálne merače čiastočných výbojov a merače stratového činiteľa $tg\delta$. Tieto prístroje, v závislosti na ich kvalite a rozsiahlosti, integrujú od jednofázového merania až po niekoľko fázové on-line merania pre potreby okamžitej a plynulej diagnostiky. Moderné prístroje využívajú namiesto analógového spracovania nameraných informácií digitálne algoritmy pre spracovanie signálov a taktiež pre vizualizáciu údajov sú použité namiesto analógových osciloskopov počítačové programy a embedded prístroje.

Profesionálne prístroje na meranie čiastočných výbojov, ktoré sú ponúkané na trhu sú nákladné a ich vlastnosti nie vždy naplňajú požiadavky testovacích laboratórií v Českej republike a na Slovensku. Táto diplomová práca sa venuje návrhu plne digitálneho merača čiastočných výbojov, ktorý je v súlade s aktuálnymi požiadavkami súkromného sektora akreditovaných testovacích laboratórií.

2 Čiastočný výboj a jeho meranie

Pred samotným opisom návrhu a koncepcie zariadenia je vhodné si najskôr priblížiť hlavné črty a vlastnosti samotných čiastočných výbojov spolu s vysvetlením a doplnením parametrov, ktoré je vhodné pri analýze a diagnostike stavu izolácie VN strojov pomocou merania čiastočných výbojov použiť. Nutné je poznamenať, že zariadenie, resp. merací reťazec, pre meranie čiastočných výbojov by mal byť v súlade s platnou legislatívou a danou normou, ktorá stanovuje vlastnosti takéhoto merača a vymedzuje termíny a pojmy. Pre Českú republiku je aktuálne platnou normou ČSN EN 60270 [1]. Viac detailne sa problému venuje norma [2], ktorá približuje problematiku práve VN točivých strojov.

2.1 Základne vlastnosti

Čiastočný výboj je lokalizovaný elektrický výboj, ktorý len čiastočne premoštuje izoláciu medzi vodičmi a ktorý sa môže alebo nemusí objaviť v okolí vodiča. [1]

Takto je definovaný čiastočný výboj v norme. V praxi sa skôr pracuje s pojmom **impulz čiastočného výboja**, v tomto prípade sa jedná o prúdový alebo napäťový impulz, ktorý vzniká ako výsledok prítomnosti čiastočného výboja v testovanom objekte (VN stroji). Časové trvanie impulzu je rádovo kratšie ako $10^{-6}s$ v extrémnych prípadoch je možné sledovať impulzy čiastočných výbojov ešte o 2 až 3 rády kratšie, čiže na úrovni $10^{-9}s$.

Frekvenčné pásmo (podľa [1]), ktoré obsahuje impulzy čiastočných výbojov je vymedzené nasledovne (platí pre merače čiastočných výbojov pracujúce v širokopásmovej oblasti):

$$30kHz < f_{cv} < 500kHz.$$

2.2 Merané veličiny

Pre meracie účely je nutné stanoviť niekoľko veličín, ktoré dostatočne dobre charakterizujú veľkosť, výskyt a povahu prítomnosti čiastočných výbojov (ďalej už len ČV) v meranom objekte. Pred vysvetlením niektorých pojmov je vhodné uviesť, že meranie čiastočných výbojov prebieha pri pripojenom striedavom vysokom napätí s frekvenciou danej rozvodnej siete (typicky 50Hz). Niektoré veličiny sú vzťahované na periódu sieťového kmitočtu alebo na iný definovaný časový úsek.

- **Zdanlivý náboj q impulzu ČV**

Základná veličina, ktorá určuje aký veľký unipolárny náboj by musel byť injektovaný vo veľmi krátkom čase medzi svorky testovaného objektu v meracom obvode aby merací prístroj signalizoval rovnakú hodnotu (výchylku) ako vlastný prúdový impulz ČV. Typicky je zdanlivý výkon udávaný v jednotkách pC.

- **Početnosť impulzov n**

Udáva pomer medzi celkovým počtom impulzov ČV zaznamenaných vo vybranom časovom intervale a dobou trvania tohto intervalu.

- **Fázový uhol ϕ_i a čas t_i výskytu impulzu ČV**

Určuje čas medzi predchádzajúcim prechodom skúšaného napätia nulou a miestom výskytu impulzu čiastočného výboja. Je udávaný v stupňoch.

$$\phi_i = 360 \left(\frac{t_i}{T} \right)$$

- **Stredná hodnota prúdu čiastočných výbojov I**

Udáva súčet absolútnych hodnôt jednotlivých úrovní zdanlivého náboju q za zvolený referenčný čas. Výsledkom je hodnota typicky v C/s .

$$I = \frac{1}{T_{ref}} (|q_1| + |q_2| + \dots + |q_n|),$$

kde T_{ref} je udaná ako perióda testovacieho napätia (referenčný časový interval).

- **Výkon čiastočných výbojov P**

Odvođená veličina, ktorá udáva strednú hodnotu výkonu impulzu dodávaného na svorky skúšaného prístroja, ktorý je spôsobený hodnotami zdanlivého náboja q_i za zvolený referenčný čas T_{ref} . Typicky vyjadrený vo wattoch (W).

$$P = \frac{1}{T_{ref}} (q_1 u_1 + q_2 u_2 + \dots + q_i u_i)$$

- **Stredný kvadratický súčet D**

Odvođená veličina, ktorá predstavuje súčet plôch jednotlivých úrovní zdanlivého náboja q_i behom zvoleného referenčného času T_{ref} . Typicky vyjadrená v C^2/s

$$D = \frac{1}{T_{ref}} (q_1^2 + q_2^2 + \dots + q_m^2)$$

Smerodajnými parametrami pri meraní pomocou merača ČV sú ešte dve hranice testovaného napätia a tieto sú definované nasledovne:

- **Počiatkové skúšobné napätie čiastočných výbojov**

Jedná sa o napätie pri ktorom sa začnú opakovane objavovať čiastočné výboje v meranom objekte. Ide o limit napätia, ktorý je zaznamenaný pri postupnom zvyšovaní testovacieho napätia.

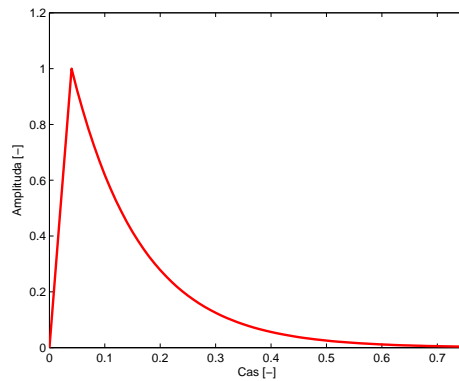
- **Zhášacie napätie čiastočných výbojov**

Naopak sa jedná o napätie pri ktorom sa prestanú čiastočné výboje vyskytovať. Ide o hranicu napätia, ktorá je zaznamenaná pri postupnom znižovaní testovacieho napätia.

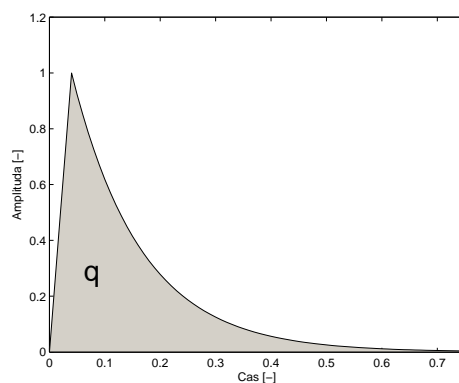
2.3 Tvar impulzu

Typický tvar impulzu ČV zobrazuje Obr. 1. Impulz má charakteristickú rýchlu nábežnú hranu (od zlomkov po desiatky ns) a exponenciálny zostup, ktorý je daný rýchlosťou ČV. Z priebehu je možné jednoducho zdefinovať aj zdanlivý náboj podľa 2.2, ktorý je tvorený práve integráciou plochy pod vyobrazenou krivkou. Názorne je možné vidieť na obr. 2, pričom na obr. 3 je znázornené frekvenčné spektrum pulzu čiastočného výboja podľa [3].

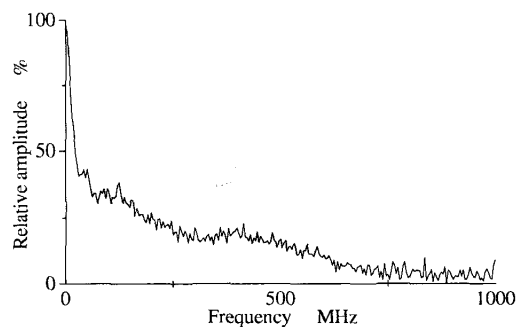
2 Čiastočný výboj a jeho meranie



Obr. 1 Tvar impulzu ČV



Obr. 2 Interpretácia zdanlivého náboja q

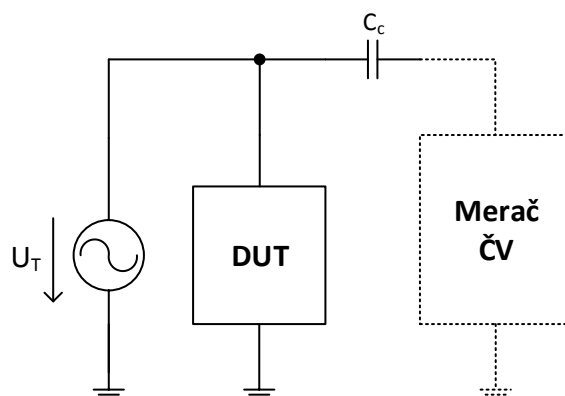


Obr. 3 Frekvenčné spektrum impulzu výboja ČV

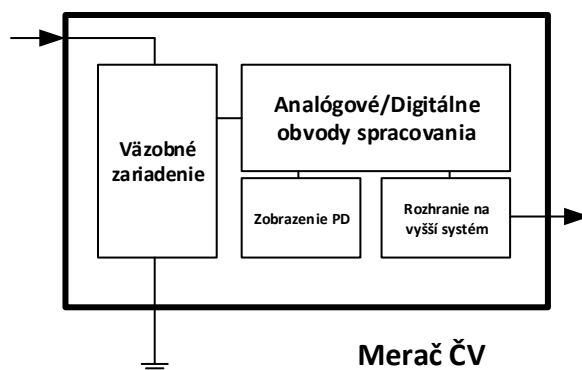
2.4 Merací reťazec

Základný merací reťazec je na obr. 4. Jedná sa o jednu z možných konfigurácií, ktorá bude využitá. Zvyšné možnosti pripojenia je možné nájsť v [1] a [2]. Na ľavej strane je zdroj testovacieho striedavého napätia, ktorý musí spĺňať požiadavku, aby sám neobsahoval čiastočné výboje ("pd free source"). Typické hodnoty tohto napätia sú jednotky až desiatky kV . Toto meracie napätie je pripojené na testovaný objekt **DUT** a cez väzobný kondenzátor C_v na samotný merač ČV.

Pri ďalšom priblížení je možné rozložiť blok merača ČV na viacero funkčných blokov (obr. 5), ktoré sú nevyhnutné pre správnu funkcionálnosť.



Obr. 4 Základné meracie zapojenie



Obr. 5 Bloková schéma merača ČV

Z blokovej schémy je možné vidieť 4 základné funkčné bloky:

- **Väzobné zariadenie**

Jedná sa o prvý blok merača ČV do ktorého je privádzaný meraný signál. Jeho hlavnou funkciou je prispôsobenie meracieho signálu pre potreby merania pomocou nízkonapäťovej elektroniky. Medzi dôležité funkcie tohto bloku patrí najmä filtrácia vstupného signálu a odstránenie rušivého spektra, ktoré môže byť zapríčinené najmä pripojeným testovacím nosným napätím apod. Väzobné zariadenie v rôznych aplikáciách merača ČV zastupuje aj ďalšie podporné funkcie, ktoré budú uvedené neskôr. Pre väzobné zariadenie bude ďalej použitý termín **väzobný člen**

- **Obvody spracovania**

Tento blok je podľa implementácie buď na úrovni analógového zapojenia, hybridne analógovo-digitálne alebo je tento blok do maximálnej miery digitalizovaný a samotné spracovanie je riešené SW blokmi.

- **Zobrazovacia jednotka**

Zobrazovacia jednotka má na starosti graficky vizualizovať namerané veličiny ČV. Interpretácie sú rôzne, najrozšírenejším grafickým výstupom je osciloskopická ob-

razovka, ale niektoré riešenie ponúkajú plne distribuované meranie bez samotnej vizualizácie na samotnom prístroji.

- **Rozhranie komunikácie**

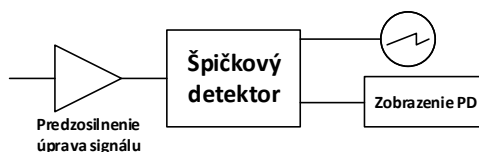
Komunikačný blok s nadradeným systémom, najčastejšie s pripojeným PC.

2.4.1 Meracie princípy

Pred opisom vlastností jednotlivých funkčných blokov je vhodné načrtnúť aké fundamentálne princípy je možné použiť pre spracovanie a implementáciu merania impulzov ČV. Niektoré z nižšie spomenutých patria skôr do prístrojov historicky používaných, no naopak niektoré meracie kanály sú využívané v moderných prístrojoch dnes.

Analógový merací kanál

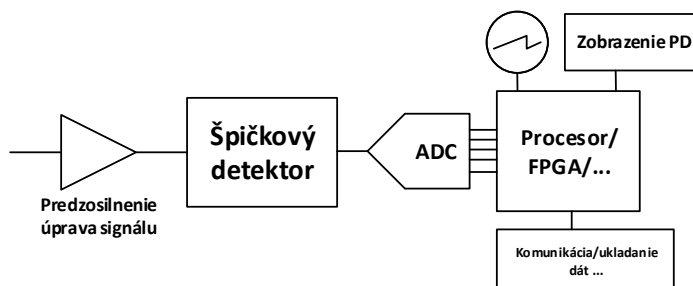
Základná schéma analógového meracieho kanálu pre meranie ČV je na obr. 6. Toto riešenie obsahuje rada starších prístrojov. Medzi hlavné výhody patrí najmä jednoduchosť a relatívne nízke náklady na konštrukciu takehoto zapojenia. Hlavnou nevýhodou je takmer žiadna vyššia inteligencia spracovania informácií a to či už to na úrovni PC alebo priamo na úrovni zariadenia. Takýto merač poskytuje len jednoduché rozhranie v podobe displeja či jednoduchej obrazovky, ktorá poskytuje informáciu štandardne len o najsilnejšom impulze ČV.



Obr. 6 Analógový merací kanál

Hybridný merací kanál

Schematické usporiadanie blokov v rámci hybridného meracieho kanálu je možné nájsť na obr. 7. Riešenie využíva v analógovej časti špičkový detektor rovnako ako v 2.4.1.



Obr. 7 Hybridný merací kanál

Miernym vylepšením je zaradenie ADC a spracujúceho mikrokontroléra do reťazca. Analógová veličina, najčastejšie napätie vystupujúce zo špičkového detektora je digitalizované prevodníkom a údaje v digitálnej forme spracúva mikroprocesor. Výhodou oproti riešeniu v 2.4.1 je skutočnosť, že časová konštanta špičkového detektora môže byť nižšia a tým je možné spracovať aj niekoľko impulzov čiastočného výboja, ktoré nasledujú v istom časovom intervale za sebou. Mikroprocesor potom ponúka vyššiu flexibilitu či už to zobrazenia údajov, ich ukladanie a posielanie do systémov nadradených. Výhodou zariadenia je stále ekonomická úspora a to najmä vo forme využitia pomalšieho ADC a taktiež jednoduchšieho kontroléra, nakoľko pomerne rýchle časového priebehu vstupného signálu spomaľuje a zachytáva špičkový detektor. Nevýhodou je tu opäť obmedzená časová schopnosť rozpoznať navzájom nesúvisiace po sebe idúce impulzy ČV.

Digitálny merací kanál

Najmodernejší prístup k meraniu impulzov ČV je vyobrazený na obr. 8. Riešenie eliminuje použitie analógového obvodu špičkového detektora, ktorý zastával hlavnú úlohu v dvoch riešeniach predošlých. Vstupný signál je digitalizovaný pomocou ADC hneď po predzosilnení a úprave signálu. Toto riešenie je najpoužívanejším riešením v aktuálne predávaných a ponúkaných prístrojoch. Hlavnou výhodou je vysoká časová rozlíšiteľnosť, ktorá je daná len hornou hranicou vzorkovacej frekvencie f_s . Digitalizované údaje o amplitúde vstupného signálu sú spracúvané mikroprocesorom alebo iným vhodným obvodom napríklad hradlovým polom typu CPLD či FPGA. Spomínané prednosti umožňujú zachytiť a analyzovať väčšie množstvo tesne po sebe idúcich impulzov ČV a nie len určiť ich maximálnu hodnotu ale aj pri cielenej analýze je možné skúmať priamo tvar toho ktorého impulzu ČV. Doteraz spomínané zariadenia s použitím špičkového detektora tuto možnosť neponúkajú. Technologicky sa pre tieto potreby používajú práve signálové procesory DSP a už spomínané FPGA obvody, ktoré svojou rýchlosťou a paralelizmom dokážu implementovať aj zložitejšie paralelné meracie úlohy.

Nevýhodami takejto zostavy je najmä nákladnosť riešenia a tiež vývoj relatívne výkonného algoritmu spracovania dát na úrovni kontrolného obvodu. Takéto riešenie v hlbšom priblížení zahrňuje využitie mikroprocesorov a obvodov FPGA s taktovacími frekvenciami, ktoré presahujú 100MHz a ktoré dokážu rýchly tok dát z ADC kanálu spracovať, vyhodnotiť a tiež uložiť.

Napriek tomu je toto riešenie v poslednom čase udávané ako jedno z najodporúčanejších, nakoľko je možné pri správnom implementovaní naplno splniť požiadavky vyplývajúce z normy ČSN EN 60270 ([1]).

2.4.2 Väzobný člen

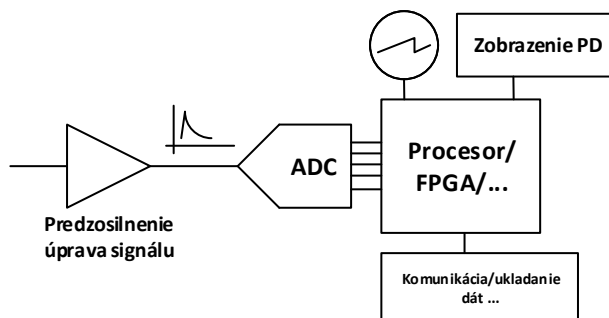
Jedná sa o prvý nevyhnutný blok zariadenia pre meranie ČV, ktorý je umiestnený v meracom reťazci podľa obr. 4 na ľavej strane. Pre lepšie znázornenie čo by mal obsahovať väzobný člen, je uvedená bloková schéma 9.

Pričom je vhodné si zhrnúť ešte parametre signálu, ktoré generuje zdroj testovacieho napätia:

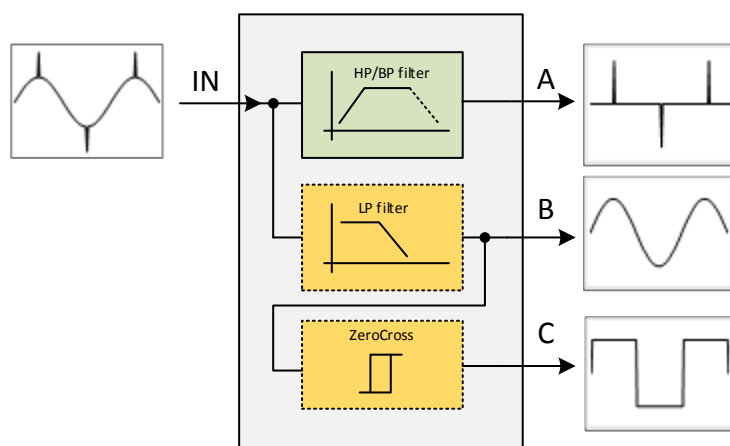
$$U_t \leq 100kV_{rms}$$

Typickou hodnotou kondenzátora podľa 4.

$$C_c = 1nF$$



Obr. 8 Digitálny merací kanál



Obr. 9 Základná bloková schéma väzobného členu

Napätie, na ktoré musí byť kondenzátor dimenzovaný musí dosahovať minimálne úroveň testovacieho napätia (pre diagnostiku VN točivých strojov typicky cca 25kV).

Prvou najdôležitejšou časťou je filter typu horná priepusť. Variabilne je možné použiť aj filter typu pásmová priepusť s dostatočnou hranicou hornej frekvencie. Filter by mal pracovať s frekvenciami, ktoré efektívne odstránia rušivé dolnofrekvenčné pásmo a na svojom výstupe prepustia len signál, ktorý je zastúpený vo vyššom pásme. Požiadavku na konkrétne frekvencie je možné aplikovať z kapitoly 2.1. Výstup tohto filtra je na obrázku značený písmenom **A**.

Druhý blok väzobného členu nie je pre samotné meranie prítomnosti a amplitúdy impulzov ČV nevyhnutný. Taktiež neprítomnosť týchto blokov nekladie prekážky pre merania zdanlivého náboja q . Avšak moderné prístroje, ktoré okrem zdanlivého náboja q určujú aj ďalšie parametre akými je napríklad ϕ_i podľa 2.2 a ostatné parametre, ktoré závisia na časovej polohe v rámci periódy testovacieho napätia implementujú aj ostatné súčasti. Pre potreby rozšíreného merania sa do väzobného členu integrujú bloky dolnopásmového filtra, ktorý narozdiel od filtra pre signál impulzov ČV produkuje na svojom výstupe len signál, ktorý zodpovedá vstupnému striedavému testovaciemu napätiu. Výstup tohto filtra je na obrázku značený písmenom **B**.

Posledným blokom, ktorý využívajú niektoré digitálne merače ČV je blok detekcie

priechodu signálu nulou. Tento blok produkuje na výstupe obdĺžnikový signál, ktorý je odvodený od vstupného sínusového napätia. Výstupom je teda logická úroveň, ktorá umožňuje rýchlu a presnú synchronizáciu nadväzujúcich meracích obvodov na začiatok periódy testovacieho napätia. Výstup tohto bloku je na obrázku značený písmenom **C**. Tento blok býva často nahradený programovým blokom v rámci riadiaceho kontroléra, pričom je využitý výstup z filtra dolná priepusť.

V praxi je možné rozdeliť väzobné členy na

- **pasívne** - filtračné riešenia sú na báze pasívnych súčiastok
- **aktívne** - filtračné riešenia sú na báze aktívnych súčiastok.

Pri pasívnom riešení odpadá nutnosť napájania samotného väzobného člena, avšak vlastnosti aplikácii pasívnych filtrov sú do značnej miery obmedzené či už to požadovanou strmou alebo komplexnosťou návrhu. Aktívne riešenie niektorých filtrov ponúka širšie možnosti nastavenia, avšak je potrebné väzobný člen napájať.

Väzobný člen upravuje aj amplitúdu signálov, ktoré je nutné pripojiť do nízkonapäťovej elektroniky. Väzobný člen vo všeobecnosti poskytuje rozhranie medzi vysokonapäťovým signálom a meracou elektronikou, ktorá spracúva samotné signály.

3 Požiadavky na HW merača

Táto kapitola sa venuje rozboru jednotlivých vlastností, ktoré je nutné aby vlastný merač ČV splňoval. Požiadavky budú postupne rozdelené na jednotlivé podčasti. Väčšina požiadaviek bude vyplývať najmä z kapitoly 2, avšak niektoré ďalšie boli došpecifikované súkromnými akreditovanými laboratóriami, ktoré sa priamo meraniam venujú.

3.1 Merací kanál impulzov ČV

Podľa rozčlenenia z 2.4.1 je samozrejme najuniverzálnejším meracím kanálom ten, ktorý používa plné digitalizovanie dát už na úrovni meraného signálu. Merač ČV výbojov teda bude implementovať digitálny merací kanál, ktorý musí podľa požiadaviek na frekvenčné pásmo impulzov ČV dokázať jednotlivé impulzy spoľahlivo digitalizovať.

Pre analýzu rýchlosti je vhodné zobrať do úvahy maximálnu frekvenciu, ktorú určuje norma [1]. Špecifikované frekvenčné pásmo je nasledovné:

$$30kHz < f_{cv} < 500kHz$$

Tento frekvenčný rozsah by kládol pri zachovaní vzorkovacieho teorému $f_s > 2f_m$, nasledovný požiadavok:

$$f_s = 1MSPs$$

Pokiaľ však vezmeme reálnu dobu trvania impulzov ČV, ktoré je možné zachytiť ostatne komerčne dostupnými meračmi ČV, kde sa táto doba pohybuje rádovo

$$t_{PD} = < 100ns$$

je nutné tento požiadavok stanoviť o niečo kritickejšie. Minimálne by bolo vhodné teda vzorkovať rýchlosťou

$$f_s = 2 \frac{1}{t_{PD}} = 20MSPs$$

Pokiaľ by šírka impulzu ČV bola 100ns zaznamenaná vzorkovacou frekvenciou 20MSPs boli by k dispozícii práve 2 vzorky na impulz. Nakoľko má impulz charakter exponenciály podľa 1 je samotné aplikovanie vzorkovacieho teorému nepostačujúce. Vhodné je získať na najkratší priebeh minimálne dvojnásobný počet vzoriek, čiže viac ako 4 vzorky. Vhodnou vzorkovacou frekvenciou sa teda javí

$$f_s = > 50MSPs$$

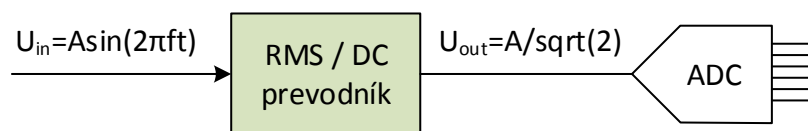
3.2 Merací kanál nosného signálu

Inteligentný merač ČV, ktorý určí pri svojej prevádzke väčšinu meracích veličín musí implementovať aj spojité meranie nosného testovacieho napätia. Tento merací kanál

musí spĺňať základnú požiadavku a to takú, že k zmeranému zdanlivému náboju q_i v časovom okamžiku t_i priradí okamžitú hodnotu testovacieho napätia u_i .

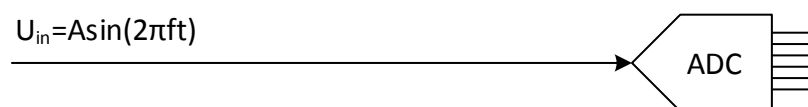
Možnosti merania nosného signálu v zmysle požiadavok sú nasledovné:

- Meranie efektívnej hodnoty striedavého napätia U_T a jej digitalizácia na obr. 10
- Spojité vzorkovanie napätia U_T na obr. 11



Obr. 10 Využitie RMS/DC prevodníka

Prvý režim merania je použiteľný vtedy ak má priebeh testovacieho napätia sínusový priebeh čiže je možné v akomkoľvek časovom okamžiku dopočítať okamžitú hodnotu nosného napätia čisto zo známej efektívnej hodnoty. Pri použití true-RMS prevodníka je možné získať správnu efektívnu hodnotu aj pre nesínusový priebeh, avšak algoritmus spracovania nedokáže eliminovať skreslenie vstupného priebehu. Vo väčšine prípadov je však možné použiť aj tento merací princíp. Rovnako je nutné hodnotu signálu digitalizovať a následne prepočítavať. Problémom môže byť tiež nelinearita a chyba, ktorú do merania zanesie samotný (T)RMS/DC prevodník.



Obr. 11 Priame vzorkovanie testovacieho napätia

Druhým spôsobom ako získať kompletnú informáciu o testovacom napätí je jeho spojité vzorkovanie. Táto aplikácia umožňuje aplikovať softvérový výpočet true-RMS hodnoty priamo z nameraných vzoriek a prípadný prepočet okamžitej hodnoty napätia zo známej efektívnej hodnoty.

$$U_{rms} = \sqrt{\frac{1}{n} (u_1^2 + u_2^2 + \dots + u_n^2)}$$

Navyše je možné použiť aj paralelné vzorkovanie kedy je možné k zdanlivému náboju priradiť okamžité hodnoty testovacieho napätia. V tomto prípade je však nutné využiť rovnako výkonný ADC prevodník ako v meracom kanály pre signál obsahujúci impulzy ČV.

3.3 Spracovanie dát - kontrolér

Z meracích kanálov popísaných v kapitolách 3.1 a 3.2 prichádzajú v digitalizovanej forme údaje ktorých dátový tok, pri predpoklade vzoriek o veľkosti 14 až 16bitov je nasledovný:

$$BSR = 50MSPs \cdot 2B = 100MB/s$$

Tento objem dát, ktorý je navyše zdvojnásobený pri využití oboch meracích kanálov je potrebné spoľahlivo predspracovať a uložiť pre potreby analýzy. Okrem toho je nutné aby samotný kontrolér poskytoval množstvo periférii, ktoré budú nápomocné pri samotnom spracovaní, posielaní a interpretácii dát. Ideálnym riešením pre zaistenie paralelizmu, vysokej rýchlosti a maximálnej nožnej flexibility je použitie obvodu hradlového poľa FPGA. Medzi hlavné prednosti FPGA obvodov, ktoré je možné zhrnúť a ktoré sú nevyhnutné pre funkcionality merača ČV sú najmä.

- Paralelizmus úloh
- Rýchlosť synchronných operácií - stovky MHz
- Veľké množstvo IO vývodov
- Vstavená podpora pre komunikačné, pamäťové a iné rozhrania
- Možnosť vytvárania vlastných sekvenčných/kombinačných funkčných blokov
- Možnosť implementácii výkonných procesorov priamo v rámci jedného obvodu
- mnohé ďalšie, ktoré vyplývajú z konštrukcie

Konkrétny výber obvodu FPGA spolu s odôvodnením je popísaný v kapitole 4.1.5.

3.3.1 Ukladanie dát

Pred určením aký typ pamäte je nutné použiť, je vhodné si stanoviť o aký objem dát sa jedná. Minimálna rýchlosť, ktorú musí dátové úložisko podporovať je určená maximálnym dátovým tokom čiže $100MB/s/kanál$. Objem dát je možné určiť vzhľadom na periódu testovacieho napätia. Dá sa predpokladať že nosná frekvencia resp. perióda je na území Európy sa rovná:

$$f_{U_T} = 50Hz \quad T_{U_T} = 20ms$$

Podľa stanovenej minimálnej vzorkovacej frekvencie $50MSPs$ je možné získať objem dát za periódu nasledovne:

$$N = \frac{f_s}{f_{U_T}} = \frac{50MHz}{50Hz} = 1 \cdot 10^6 \text{ vzoriek} = 2 \cdot 10^6 B$$

Minimálne je teda nutné implementovať úložisko dát, ktoré dokáže danou rýchlosťou uložiť aspoň $2MB$ dát. Niektoré algoritmy, ktoré budú popísané v neskorších kapitolách však pre svoje správne fungovanie predpokladajú navzorkovanie niekoľko za sebou idúcich periód. Typicky sa jedná o 8 či 16 periód. Požiadavku je teda vhodné upraviť a minimálna pamäť pre vzorky by malo obsahovať:

$$MPD_{SIZE} = 32MB$$

3.3.2 Posielanie dát, komunikácia

Komunikácia prístroja je dôležitým aspektom návrhu a na tento funkčný blok sú kladené výrazné výkonnostné ale aj funkčné požiadavky. Hlavnými črtami, ktoré musí pripojenie spĺňať sú najmä:

- Galvanická izolácia
- Vysoká prenosová kapacita
- Možnosť pripojenia viacerých meračov ČV naraz
- Dlhé komunikačné úseky

- Vysoká odolnosť voči vonkajšiemu rušeniu

Najnutnejšou požiadavkou je galvanická izolácia, nakoľko pri meraní ČV je dôležité aby ovládací PC a pracovník, ktorý meranie vykonáva bol maximálne možné chránený od vysokého testovacieho napätia, ktoré je prítomné na svorkách merača ČV. Týmto je opodstatnený aj požiadavok pre dlhé komunikačné úseky rádovo $> 10m$. Vysoká prenosová kapacita je žiadaná najmä kvôli rýchlosti prenosu jednotlivých dátových blokov. Možnosť pripojenia viacerých zariadení ČV je vhodná najmä v prípade ak sa jedná o **viac fázové meranie** a samotný merač ČV poskytuje len jednofázové meranie.

Vhodné je si stanoviť časovú latenciu, v rámci ktorej je ešte prijateľné preniesť istý dátový objem dát. Pokiaľ je prenášaný blokom dát práve informácia o priebehu signálu impulzov ČV v rámci jednej meracej periódy balík dát je rovný 2MB. Ideálne je tento balík dát preniesť simultánne s meraním, čo by však kládlo nasledujúci požiadavok:

$$BSR_{com} = 100MBps = 800Mbps$$

Táto prenosová rýchlosť je v dnešnej dobe implementovateľná, avšak by kládla extrémne požiadavky nie len na HW merača ČV, ale aj na samotný riadiaci PC, jeho HW a programové súčasti. V praxi však nie je potrebné prenášať každú periódu a v reálnom čase ju zobrazovať na PC. Prenos celej periódy sa využíva len ako pomocný nástroj pre zobrazenie kompletných dát. Oveľa častejšie sa algoritmy priamo v merači ČV starajú o predspracovanie údajov a tým znižujú počet reálne prenášaných dát na zlomok maximálneho toku dát z meracích kanálov. Únosným časom, za ktorý by bolo postačujúce preniesť celú kompletnú periódu dát je 1 sekunda. Požiadavok na rýchlosť pripojenia by značne klesol a bol by z oboch strán lepšie implementovateľný.

$$BSR_{com} = 2MBps = 16Mbps$$

V tabuľke 1 sú uvedené rôzne možnosti komunikačných rozhraní.

Tabuľka 1 Prehľad niektorých komunikačných rozhraní

Pripojenie	RS232	RS485	USB 1.1/2.0	100Base	1000BASE
Rýchlosť fyz.vrstvy [Mb/s]	0.9	2	12/480	100	1000
Možnosť multi-pripojenia	nie	áno	áno	áno	áno
Natívne galvanické izolovanie	nie	nie	nie	áno	áno
Max. dĺžka segmentu [m]	15	50	5	100	250+
Podporné vrstvy zásobníka	nie	nie	áno	áno	áno

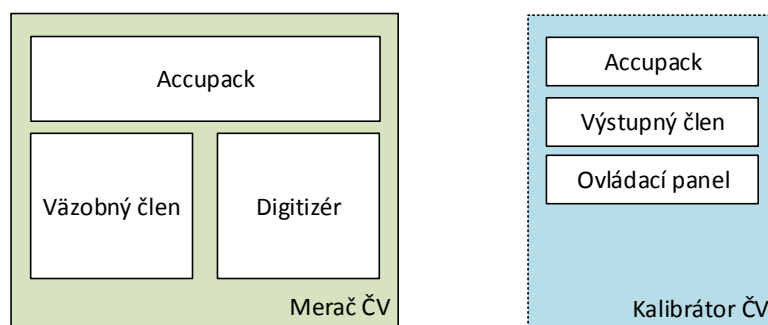
Podľa požiadaviek, ktoré boli stanovené vyššie je zrejmé, že pripojenie pomocou RS232 či RS485 je nevyhovujúce v celej svojej špecifikácii. Pripojenie pomocou USB spĺňa požiadavku na rýchlosť, avšak nepodporuje natívne galvanické oddelenie a taktiež dĺžka segmentu je nízka. Navyše je nutné zdôrazniť, že USB pripojenie je primárne určené na pripojenie PC periférii a použitia v špecializovanom systéme môže priniesť ťažkosti. Najlepšie pripojenie je v podobe drôtového (Ethernet 100/1000 BASE TX) či optického Ethernetu (1000 BASE FX). Výhodou je prítomnosť galvanického oddelenia, ktoré v spojení s optickou komunikačnou cestou zabezpečuje maximálnu bezpečnosť. Navyše posledné 2 štandardy pri spojení s protokolovým zásobníkom TCP/IP ponúkajú najflexibilnejšie riešenie, ktoré je dnes bežne rozšírené a HW sieťové prvky dosahujú výborného pomeru cena/výkon. Pre merač ČV je aplikovaný teda **štandard Ethernet vo verzii s podporou 1000Mbps**.

3.3.3 Napájanie

Napájanie zariadenia je dôležitou vlastnosťou celej konštrukcie. Podľa požiadaviek, ktoré boli stanovené vyššie je nutné aby zvolené napájanie bolo dostatočne výkonné a hlavne nebránilo a netvorilo problém pri galvanickej izolácii samotného zariadenia. Navyše merač ČV je koncipovaný ako prenosné meracie zariadenie, ideálne je teda zvoliť napájanie pomocou akumulátorov, ktoré poskytnú zariadeniu dostatok energie pre niekoľkohodinové meranie a principiálne nenarušia izolovanú prevádzku. Konkrétny návrh spolu s výpočtom a odôvodnením aký napájací blok a prečo bol použitý je popísaný v kapitole 4.3.

4 HW merača ČV

V tejto časti textu bude popísaný kompletný HW návrh jednotlivých častí merača ČV od koncepcie blokových schém cez návrh obvodového riešenia až po návrh plošných spojov a mechanickú časť. Systém pre meranie ČV ako taký sa skladá z 3 hlavných častí (umiestnených v jednom celku blízko seba) a jednej časti prídavnej, externej podľa obr. 12. Poznamenať je nutné aj metodiku merania, ktorá pozostáva najskôr z kalibrácie celého meracieho reťazca s pripojeným DUT pomocou nábojového kalibrátora a až následné pripojenie testovacieho napätia namiesto nábojového kalibrátora a samotné meranie vlastných ČV pomocou merača ČV. Príslušenstvu vo forme kalibrátora bude venovaná kapitola 6. Postupne budú popísané časti tak ako boli chronologicky vyvíjané a tak ako sú mechanicky samostatne vyhotovené.

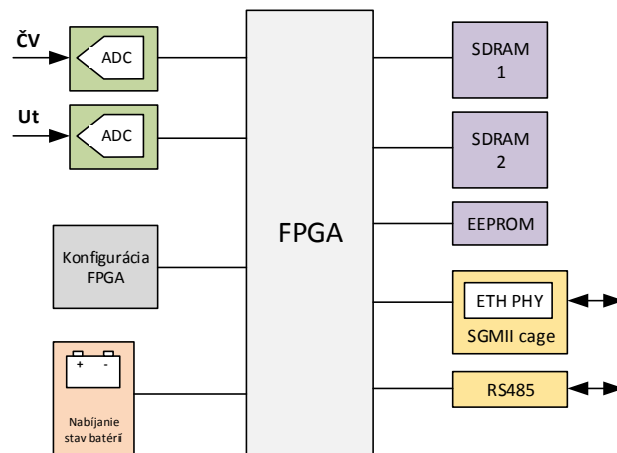


Obr. 12 Základné blokové rozčlenenie meracieho systému (merača ČV a kalibrátora)

4.1 Digitizér

Hlavnou jednotkou merača ČV je práve digitizér resp. tiež hlavná riadiaca doska. Vo všeobecnosti sa jedná o srdce celého merača, ktoré zastáva všetky najdôležitejšie funkcie. Požiadavky na funkčné bloky digitizéra vychádzajú z kapitoly 3, kde sú uvedené niektoré hlavné bloky spolu s ich minimálnou alebo odporúčanou špecifikáciou. Koncepciu hlavnej riadiacej jednotky je možné si všimnúť na blokovej schéme na obr. 13.

V centrálnej časti blokovej schémy je možné nájsť riadiaci kontrolér a to hradlové pole typu FPGA. Blok FPGA bude popísaný ďalej v texte. Na ľavej strane je možné vidieť pripojené dva meracie kanály. V zmysle princípu merania čiastočných výbojov je jeden vstup využitý na snímanie samotných impulzov ČV a druhý potom na meranie priebehu testovacieho napätia. V pravej časti sa nachádzajú pamäťové priestory typu SDRAM. K dispozícii sú dva oddelené, nezávislé dátové priestory a to kvôli simultánnemu prístupu k obidvom zónam. Nižšie je vidieť EEPROM pamäť pre uchovanie nastavovacích parametrov a údajov, ktoré je nutné aby si zariadenie uchovalo aj pri jeho vypnutí. V pravej časti dole sú žltou farbou zvýraznené komunikačné rozhrania modulu



Obr. 13 Blokové usporiadanie digitizéra

a to v pohode fyzickej vrstvy Ethernet pripojenia a pomocného rozhrania RS485, pre pripojenie periférnych zariadení akými je napríklad kalibrátor apod. V ľavej časti v strede je potom blok konfigurácie obvodu FPGA, ktorý obsahuje zapojenie nevyhnutné pre správne načítanie programového vybavenia modulu FPGA. Poslednou súčasťou je potom napájací blok, ktorý okrem samotného napájania celého zariadenia spravuje aj meranie stavu batérií a ich nabíjania.

4.1.1 Meracie kanály

Spoločné vlastnosti

Po stanovení požiadavok na meracie kanály v kapitole 3 je vhodné pristúpiť k analýze samotného HW týchto kanálov. V prvom priblížení budú opísané spoločné vlastnosti kanálov a text ďalej sa bude venovať odlišným vlastnostiam jednotlivých kanálov.

Z požiadaviek je stanovená vzorkovacia frekvencia kanálov na minimálnu hodnotu:

$$f_s \Rightarrow 50 \text{MSPS}$$

a efektívnu rozlíšiteľnosť aspoň:

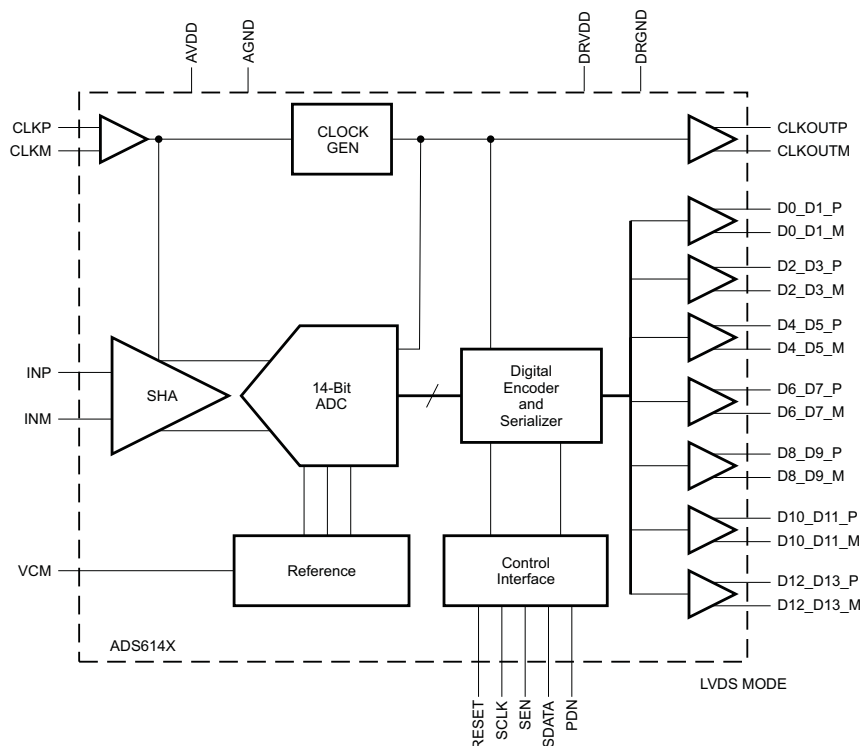
$$ER = 11 \text{bit}$$

Túto hodnotu poskytuje väčšina prevodníkov pracujúcich s rozlíšením lepším ako 14 bitov. Vybraný obvod ADC teda musí splňovať požiadavku na minimálnu vzorkovaciu frekvenciu a minimálny počet 14 bitov. Rozhodujúcim parametrom je aj komunikačné rozhranie medzi kontrolérom a samotným obvodom ADC. Vhodnými obvodmi sa javili nasledujúce dva typy uvedené v tab. 2:

Tabuľka 2 Prehľad vhodných AD prevodníkov

Obvod	N[bit]	Fs[MSPS]	Rozhranie	Púzdro	Ucc
AD9255	14bit	80-125	LVDS Par / CMOS	LFCSP 48	1,8V
ADS6143	14bit	80-125	LVDS Par / CMOS	QFN 32	3,3V

V tabulke 2 sú uvedené prevodníky, ktoré splňujú požiadavky. Výrobcovia poskytujú aj ďalšie obvody avšak ponúkajú buď vysokorýchlostné sériové rozhranie alebo komplikovanosťou zapojenia nespĺňujú požiadavku na jednoduchosť a spoľahlivosť zapojenia. Vyššie uvedené prevodníky poskytujú diferenciálne rozhranie LVDS alebo rozhranie štandardné, paralelné CMOS. Pre meracie kanály merača ČV bol vybratý obvod od Texas Instruments ADS6145, ktorý je najrýchlejšou variantou modelu uvedeného v tabulke 2. Vzorkovacia frekvencia tohto obvodu je maximálne 125MSPs . Jeho vnútorná bloková schéma je na obrázku 14



Obr. 14 Blokové usporiadanie prevodníka AD6145 [4]

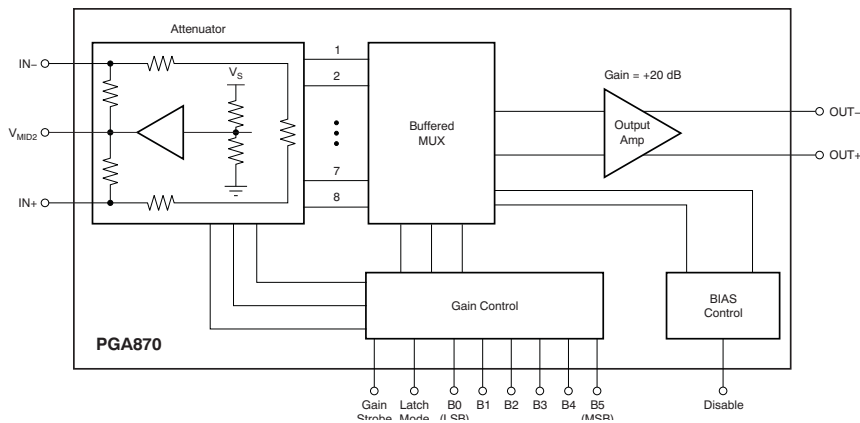
Z blokovej schémy je možné vidieť, že obvod pracuje s diferenciálnym vstupným signálom, čo kladie požiadavky najmä na pred-zosilňovaciu časť. Nespornou výhodou diferenciálneho vstupu je však odolnosť voči súhlasnému rušeniu. Obvod ďalej poskytuje vstup diferenciálnych hodín, komunikačné rozhranie a napájacie svorky. Výhodou je teda jednoduchosť zapojenia bez nutnosti externých referenčných obvodov a ďalších súčastí.

Z požiadavok na paralelné meranie testovacieho napätia U_T a signálu impulzov ČV sú obidva meracie kanály vybavené práve spomínaným prevodníkom.

Prevodník pracuje so vstupným signálom v rozsahu:

$$fullscale = 2V_{pp}$$

Tomuto požiadavku je nutné prispôbiť aj samotný predzosilňovací článok. Ideálnym riešením samotného zosilňovača je využitie plne programovateľného diferenciálneho zosilňovača (PGA), ktorý svojou univerzálnosťou poskytuje omnoho viac výhod ako klasické prepínateľné fixné zosilňovacie články. Pre obvod prevodníka ADS6145 je odporúčaný najmä pre vysokú šírku pásma (450MHz) obvod zosilnenia PGA870 rovnako od Texas Instruments. Jeho bloková štruktúra je na obr. 15.



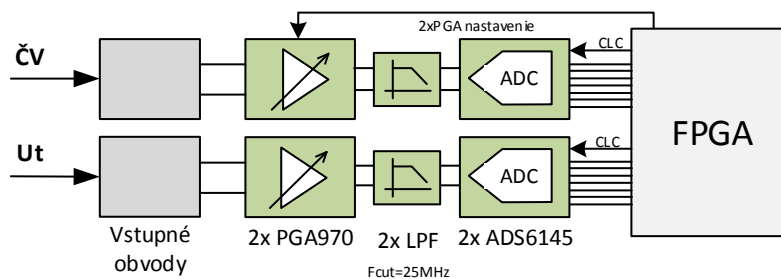
Obr. 15 Blokové usporiadanie zosilňovača PGA870 [5]

Výhodou tohto obvodu je priamo digitálne nastavenie požadovaného zosilnenia v rozsahu a s krokom:

$$A_{\min} = -11,5dB \quad A_{\max} = 20dB \quad A_{step} = 0,5dB$$

Takéto jemné nastavenie poskytuje ideálny prvok pre prípadné kalibrovanie a elimináciu útlmu celkovej cesty analógových signálov, ale aj zosilnenie amplitúdovo slabých signálov pre potreby lepšieho rozkmitu signálu pre AD prevodník.

Týmto je možné uzavrieť spoločné vlastnosti oboch meracích kanálov a je možné ich zhrnúť v blokovej schéme a to nasledovne na obr. 16



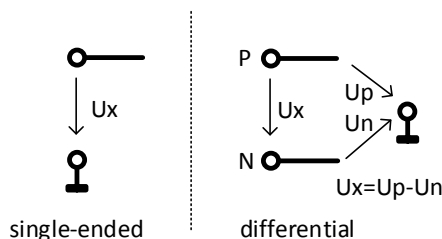
Obr. 16 Spoločné usporiadanie vzorkovacích kanálov

Na ľavej strane obrázku je možné vidieť bloky vstupných obvodov, ktoré sú pre každý kanál odlišné a budú popísané v nasledujúcom texte. Na schéme je možné si všimnúť tiež riadiace signály PGA obvodov a individuálne budenie hodinových vstupov prevodníkov za pomoci výstupných vývodov FPGA.

Vlastnosti meracieho kanálu ČV

Merací kanál čiastočný výbojov je podľa predchádzajúcich špecifikácii kanál, ktorého merací frekvenčný rozsah je v rozsahu od $30kHz$. Hlavnou požiadavkou na vstupné obvody meracieho kanálu je konverzia signálu typu **single-ended**, inými slovami signálu, ktorého amplitúda je vztiahnutá voči nulovému potenciálu na signál **differential**, rozdielový. Amplitúda takéhoto signálu je určená len rozdielom potenciálov medzi dvojicou

vodičov typ. značenými ako N (negative) a P(positive). Pre lepšiu predstavu je uvedený obrázok 17.



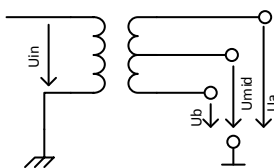
Obr. 17 Rozdiel medzi single-ended a differential

Tento prevod je možné urobiť niekoľkými analógovými zapojeniami. Typicky sa konverzia dosahuje pomocou zapojenia operačného zosilňovača s diferenciálnym výstupom prípadne inou operačnou sieťou. V tomto prípade je však použitie aktívnej konverzie nemožné nakoľko jedným z dôležitých parametrov vstupného kanálu ČV má byť samotná galvanická izolácia kanálu ako takého. Aktívna konverzia pomocou operačného zosilňovača by vyžadovala oddelený napájací zdroj pre túto časť a vhodný výber izolačného zosilňovača, čo pre prípad maximálnej užitočnej frekvencie:

$$f_{\max} \Rightarrow 10MHz$$

je ekonomicky nákladná varianta návrhu.

Vhodné galvanické oddelenie, ktoré je možné použiť s výhodou najmä pre vyššie frekvencie je využitie vysokofrekvenčného oddelovacieho transformátora. Tento krok poskytne nie len galvanické oddelenie, ale pri vhodnom zapojení aj priamu konverziu single-ended signálu na signál rozdielový. Dôležitým parametrom transformátora je najmä jeho frekvenčná prenosová charakteristika. Ideové zapojenie vhodné pre konverziu je na obr. 18

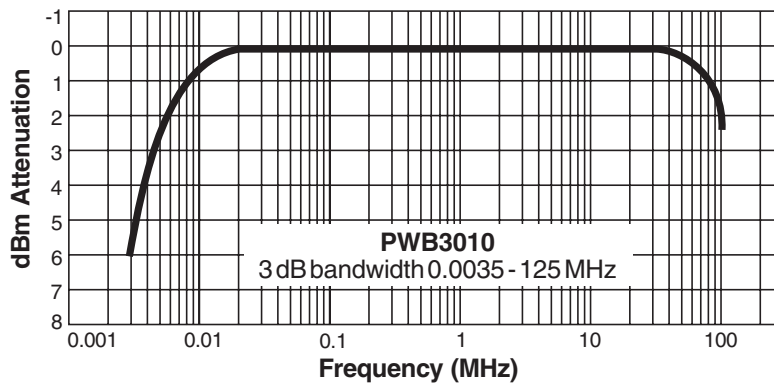


Obr. 18 Zapojenie VF transformátora

Výstupné napätie je dané ako:

$$U_{out} = (U_a + U_{mid}) - (U_b + U_{mid}) = U_a - U_b$$

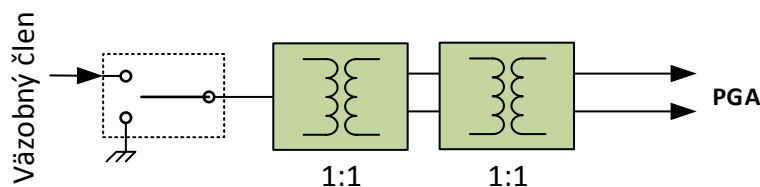
Pričom napätie U_{mid} predstavuje stredné referenčné napätie rozdielového signálu. Transformátor, ktorý spĺňa požiadavky bol vybraný od spoločnosti CoilCraft typ: PWB3010L. Jeho frekvenčná charakteristika je na obr. 19. Z obrázku je vidno, že zosilnenie $0dB$ je v rozmedzí od



Obr. 19 Frekvenčná charakteristika PWB3010L [6]

$$f_{0dB} = 20kHz \rightarrow 20MHz$$

čo plne splňuje požiadavky udávané normami pre meranie ČV. Blok vstupných obvodov pre merací kanál ČV sa tým zjednodušuje na využitie zapojenia transformátora podľa obr. 18. Výsledný merací kanál v rámci digitizéru je zobrazený na nasledujúcom obrázku 20.



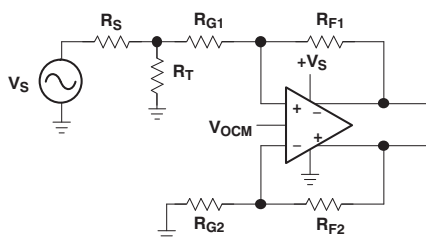
Obr. 20 Výsledná konfigurácia meracieho kanálu ČV

Zapojenie obsahuje dva VF transformátory pre zvýšenie izolačných vlastností zariadenia a navyše blok vstupného uzemnenia pre potreby kalibrácie a prípadného merania šumových vlastností vstupného kanálu ako celku.

Vlastnosti meracieho kanálu testovacieho napätia

Vstupný kanál musí splňovať rovnakú požiadavku na konverziu signálu single-ended na diferenciálny avšak v inom frekvenčnom rozsahu typicky je meraná frekvencia nosného testovacieho napätia $50Hz$. Tento požiadavok vylučuje použité podobného riešenia pomocou VF transformátora, ako tomu bolo pri meracom kanáli ČV. Využitie transformátora s vyvedeným stredom sekundárneho vinutia sice je aplikovateľné avšak rozmery takého transformátora sú neprijateľné. Avšak spomínané riešenie pomocou aktívnej konverzie za pomoci operačného zosilňovača s diferenciálnym výstupom je s výhodou aplikovateľné pre tento vstupný kanál. Operačným zosilňovačom, ktorý je na tieto účely vhodný je napr. operačný zosilňovač od firmy Texas Instruments THS4051. Pre tieto účely je znázornené základné zapojenie podľa obr. 21.

Dôležitou vlastnosťou je prítomnosť napätia U_{mid} často značené ako V_{OCM} jedná sa o napätie, ktoré určuje napätie signálov $OUT+$ a $OUT-$ voči nulovému potenciálu pri



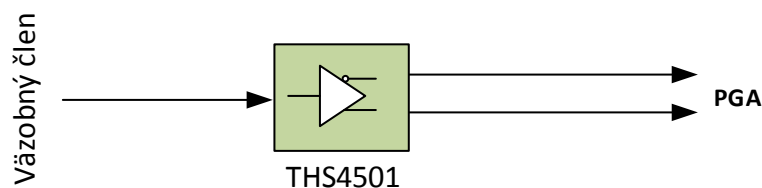
Obr. 21 Základné zapojenie THS4501 [7]

nulovom vstupnom budení. Tento signál je dôležitý pre správne pripojenie vstupných obvodov k obvodu PGA. PGA obvod je totiž napájaný unipolárne a preto očakáva, že rozkmit všetkých signálov k nemu pripojených je v rozmedzí $< 0, U_{cc} >$. Negatívne vstupné signály sú reprezentované teda čisto len záporným rozdielom signálov podľa:

$$U_{out} = (U_a + U_{mid}) - (U_b + U_{mid}) = U_a - U_b$$

Pričom je dobré si uvedomiť, že žiadny so signálov U_a a U_b nemá zápornú hodnotu voči nulovému potenciálu.

Izolácii testovacieho napätia bude venovaná časť textu prislúchajúcu väzobnému členu, nakoľko blok galvanickej izolácie je blokovo umiestený práve na doske väzobného členu. Výsledná štruktúra meracieho kanálu pre meranie testovacieho napätia je na obr. 22.



Obr. 22 Výsledná konfigurácia meracieho kanálu testovacieho napätia

4.1.2 Pamäťový priestor

Táto podkapitola zhrnie postup návrhu pamäťového priestoru pre potreby merača ČV. Podľa požiadaviek spomenutých v 3.3.1 je zrejma minimálna veľkosť pamäťového priestoru a do istej miery aj jej organizácia. Využitie FPGA ako riadiaceho bloku neobmedzuje využitie akéhokoľvek typu pamäťových obvodov. Pre lepšiu predstavu uvádzame porovnanie bežne dostupných pamäťových obvodov spolu s dôležitými parametrami pre merač ČV.

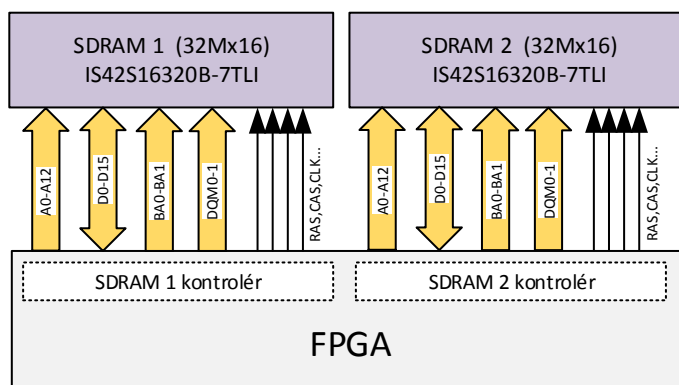
Pamäte typu SRAM sú pre aplikáciu rýchleho vzorkovania takmer nepoužiteľné a to hlavne kvôli nízkej rýchlosti transferu dát ale hlavne kvôli nízkej kapacite a vysokej cene. Omnoho vhodnejšie je použitie dynamických pamätí vo forme SDRAM alebo SDRAM DDR, pričom hlavným rozdielom je vyššia prenosová rýchlosť pri použití pamäte typu SDRAM DDR. Avšak pre vyžadované parametre je postačujúca verzia SDRAM a to najmä kvôli menšiemu puzdru a nižšiemu počtu riadiacich vodičov.

Okrem samotného pamäťového priestoru pre ukladanie a spracovanie vzoriek z meracieho kanálu je nutné pripraviť pamäťový priestor aj pre ostatné potreby FPGA

Tabuľka 3 Prehľad základných pamätí

	Vyžadovaná	SRAM	SDRAM	SDRAM DDR
Kapacita [MB]:	32MB	<=8	<=64	<=128
Rýchlosť transferu [MB/s]:	100	rôzne	266	800
Organizácia	x16	x8,x16,x32	x4,x8,x16	x4,x8,x16
Napájanie	2V5/3V3	rôzne	3V3	2V5
Podpora zo strany FPGA	áno	áno	áno	áno
Puzdro	-	rôzne	TSOP-54	TSOP-66

obvodu. Predovšetkým sa jedná o integrované periférie, akými je soft-core procesor s RTOS operačným systémom pre obsluhu Ethernet vrstvy apod. v rámci SoC (System on the chip) architektúry (bude opísané v kapitole 5.2). Je nutné aby obidva pamäťové priestory boli striktne oddelené a poskytovali možnosť súčasného zápisu alebo čítanie odôvodnenie je možné nájsť v kap. 5.2. Obvodovo je toto riešené osadením dvoch nezávislých obvodov typu SDRAM s najväčšou možnou kapacitou na trhu 512Mbit v organizácii 32MBx16. Požiadavka x16 je zrejme najmä zo šírky slova, ktorá je k dispozícii z prevodníka ADS6145. Blokovo je pamäťový priestor riešený nasledovne na obr. 23:

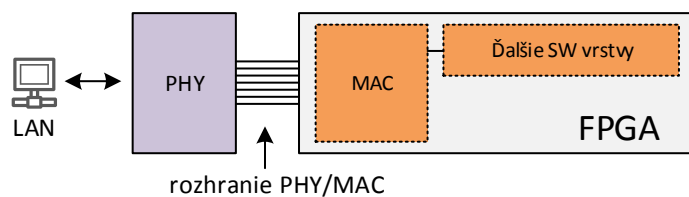
**Obr. 23** Pamäťový priestor SDRAM

Pričom obidva pamäťové obvody su napájané z $U_{cc} = 3,3V$ a majú všetky riadiace signály vrátane hodinové vstupu oddelené. V súčte je teda k dispozícii až:

$$MEMSIZE = 128MB \quad 64M \times 16$$

4.1.3 Komunikačné rozhranie Ethernet

Jedným z najdôležitejších prvkov celkovej konštrukcie je komunikačné rozhranie pre vysokorýchlostné pripojenie merača ČV k nadradenému systému. Podľa tabuľky 1 bolo vybrané komunikačné rozhranie Ethernet. Jednou z požiadaviek na tento typ rozhrania bola možnosť použitia drôtovej varianty alebo varianty s komunikačným médiom vo forme optického vlákna. Pre priblíženie jednotlivých podvrstiev Ethernetového pripojenia je priložený obr. 24.



Obr. 24 Skladba vrstiev PHY + MAC v rámci FPGA aplikácií

Kľúčovým pre návrh zariadenia je najmä správny výber obvodu PHY (fyzickej vrstvy), ktorý poskytne dostatočnú flexibilitu a vlastnosti, ktoré sú požadované. Rôzne obvody PHY poskytujú niekoľko rôznych pripojených rozhraní medzi PHY a stranou kontroléra kde býva implementovaný MAC (Media Access Control). Základné používané rozhrania sú uvedené v tab. 4:

Tabuľka 4 Rozhrania pripojenia PHY/MAC

Rozhranie	MII	RMII	GMII	RGMII	SGMII
Max. rýchlosť [Mbps]	100	100	1000	1000	1000
Počet vodičov	16	8	24	12	4 (2 dif. páry)

S prihliadnutím na požiadavku minimálne gigabitového pripojenia je možné usúdiť, že je nutné využiť rozhranie GMII/RGMII alebo SGMII. Pre vysoké nároky na počet ovládacích vývodov pamätí a ADC kanálov je najlepšie využiť rozhranie SGMII. Toto rozhranie pracuje s využitím podpory LVDS pre kódovanie logických úrovní a prenosová rýchlosť plne-duplexnej dvojice diferenciálnych signálov môže byť až $1,25\text{Gbps}$. Rozhranie je možné využiť pre pripojenie externých PHY obvodov ako je napríklad **Marvell 88E1111**, ktorý poskytuje pripojenie drôtovej varianty až do štandardu 1000-Base-Tx pomocou externého RJ45 transformátora. Oveľa flexibilnejšou možnosťou je pripojenie pomocou SFP (tiež mini-GBIC), ktoré pracujú s rozhraním SGMII a je možné ich variabilne meniť podľa konkrétnych požiadavok na fyzickú vrstvu. Pre lepšiu predstavu je uvedený obrázok 25.



(a) PHY pre drôtové médium

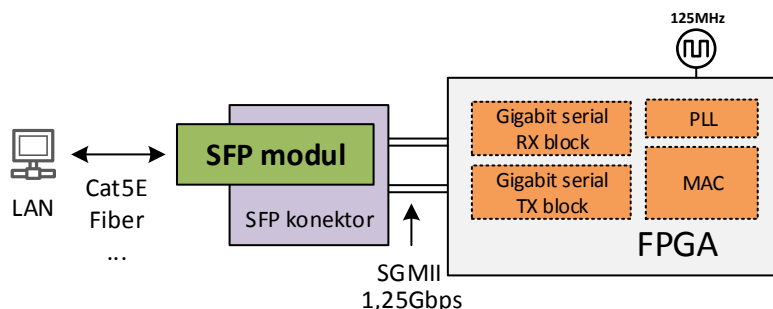


(b) PHY pre optické vlákno (LC)

Obr. 25 SFP PHY moduly

Z obrázku je možné vidieť, že obidva konektory poskytujú rovnaký, unifikovaný rozmer a pracujú na rovnakom SGMII komunikačnom rozhraní medzi MAC a PHY. Vo

výsledku je teda volené riešenie, ktoré vyžaduje najmenší počet externých súčastí a je možné ho flexibilne prispôbovať.



Obr. 26 Koncová koncepcia Ethernet rozhrania

Bloková schéma usporiadania etherentovej komunikácie je na obr. 26. Na pravej strane je znázornené riadiace FPGA, pričom je vnútri implementovaný v prvom rade softvérový blok vrstvy MAC a druhom rade potom podporné HW bloky, ktoré sprostredkujú serializáciu a deserializáciu dát z rozhrania SGMII. Toto rozhranie je ďalej vedené dvojicou diferenciálnych párov a je privedené na SFP konektor. Do tohto konektora je možné priamo vkladať SFP moduly akými sú napr. tie vyobrazené na obr. 25. Jednoduchou výmenou je teda možné zmeniť fyzické komunikačné médium. Vhodné je ešte poznamenať, že v tomto režime použitia vyžadujú vnútorné bloky obvodu FPGA buď frekvenciou 125MHz. Táto frekvencia je následne interne privedená do fázového závesu (PLL), ktorý generuje potrebný riadiaci referenčný takt s frekvenciou 1,25GHz pre rozhrania SGMII.

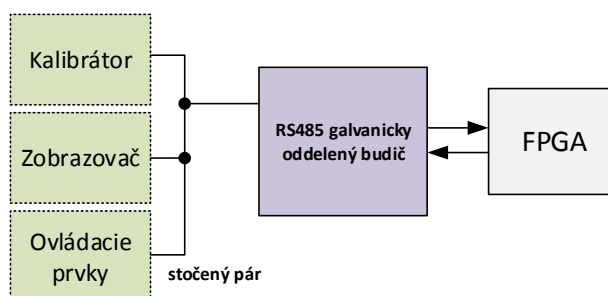
4.1.4 Pripojenie externých periférnych zariadení

Merač ČV je možné prevádzkovať aj s niektorými prípojnými zariadeniami akými je najčastejšie kalibrátor ČV. Pre potreby pripojenia rôznych externých zariadení bolo potrebné navrhnuť komunikačné a napájacie rozhranie, ktoré v dostatočnej miere poskytne spoľahlivý prepoj riadiacich blokov merača ČV a funkcií takejto periférie. Nakoľko samotná norma [1] neudáva a ani nijako nešpecifikuje detaily návrhu takéhoto rozhrania, je možné toto rozhranie navrhnuť podľa vlastných potrieb a najmä zohľadniť možné prípojné zariadenia. Najbežnejšie zariadenia, ktoré k meraču čiastočných výbojov môžu byť pripájané sú napr:

- Kalibrátor ČV - zariadenie určené na kalibráciu meracích rozsahov zariadenia
- Zobrazovače - typicky jednoduchšie monochromatické displeje
- Ovládacie periférie - pri prevádzke bez PC, klávesnice,
- ...iné

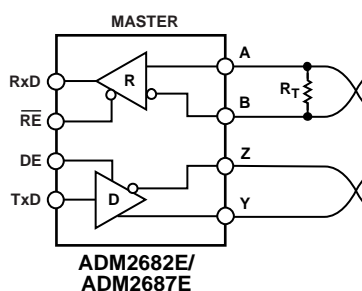
Je teda nanajvýš vhodné, aby toto rozhranie mohlo sprostredkovať nie len pripojenie jedného jediného zariadenia ale malo možnosť aj zbernicového pripojenia viacerých zariadení bez nutnosti ďalších, externých rozbočovacích prvkov. Rýchlosť prenosu dát v rámci tohto rozhrania je relatívne nízka nakoľko sa jedná väčšinou o príkazovo orientované správy s krátkou dĺžkou a nízkymi požiadavkami na latenciu odpovede apod. Rozhranie musí spĺňať podmienku galvanickej izolácie, nakoľko s väčšinou spomenutých periférií prichádza do styku priamo personál. Podľa tabuľky 1 je možné si všimnúť, že ideálnym rozhraním so zbernicovou topológiou je RS485. Podporuje rýchlosti v ráddoch

jednotiek Mbit a je možné ju variabilne galvanicky izolovať. Jej fyzická vrstva funguje na báze stočeného páru s diferenciálnou signalizáciou logických úrovní, čo zabezpečuje nízku náchylnosť na okolité rušivé vplyvy.



Obr. 27 Konceptia externého komunikačného rozhrania

Medzi FPGA obvodom a periférnymi modulmi je vložený RS485 galvanicky oddelený budič od Analog Devices s označením **ADM2682E**, ktorý poskytuje možnosť polo alebo plne duplexnej prevádzky na strane RS485. Merač ČV má vyvedenú plne duplexnú variantu podľa obr. 28, ktorá zabezpečuje najvyššiu flexibilitu a najširšie možnosti zapojenia.



Obr. 28 Zapojenie budiča RS485

Rozhranie slúži najmä ako doplnkové v prípade, kedy nie je možné využiť ethernetové pripojenie resp. je požadované pripojenie ďalšieho jednoduchšieho zariadenie. Toto zariadenie typicky ethernetovým portom nedisponuje čo znamená, že ho nie je možné zaradiť do siete typu LAN.

4.1.5 FPGA obvod

Po zhrnutí jednotlivých koncepčných blokov v predošlom texte je možné pristúpiť k výberu obvodu FPGA spolu s popisom jeho nutných periférnych obvodových súčastí. V prvom rade je niekoľko limitujúcich kritérií, ktoré musí samotný obvod FPGA splňovať. Jednotlivé kritéria a hodnoty sú uvedené v tabuľke nižšie. Na trhu s FPGA obvody je možné vyberať od rôznych výrobcov, pričom najväčšími sú spoločnosti ALTERA, XILINX, Lattice Semiconductor. Tabuľka kritérií (tab. 5) zhrňuje jednotlivé periférne bloky spolu s počtom radiacií vývodov. V tabuľke je možné nájsť aj odhadovanú spotrebu jednotlivých blokov, pričom tento parameter bude využitý pri návrhu napájacích blokov.

Z tabuľky je možné vidieť, že počet minimálne vyžadovaných vývodov je 146. Pričom je nutné poznamenať, že obvod FPGA musí podporovať natívne aj špeciálne budiče

Tabuľka 5 Prehľad periférnych blokov

Periférny blok	IO	Spotreba [mW]	Napätie [V]	Prúd [A]
Merací kanál ČV ADC	16	400	3.3	0.121
Merací kanál ČV PGA	8	750	5	0.150
Merací kanál Ut ADC	16	400	3.3	0.121
Merací kanál Ut PGA	8	750	5	0.150
SDRAM 1	39	460	3.3	0.139
SDRAM 2	39	460	3.3	0.139
RS485 komunikácia	3	500	3.3	0.152
SFP SGMII Ethernet	4	1000	3.3	0.303
Nabíjanie status	2	0	3.3	0.000
EEPROM + meranie batérií	5	15	3.3	0.005
Indikácia LED	4	15	3.3	0.005
Ladiaci UART	2	0	3.3	0.00
Celkom:	146	4750	-	-

komunikačných liniek modulu SFP pre štandard SGMII. Ďalšou požiadavkou je aj samotné mechanické vyhotovenie obvodu FPGA, pričom na trhu je väčšina týchto obvodov v púzdre typu BGA. Implementácia BGA púzdra priamo ovplyvňuje počet signálových a napájacích vrstiev, ktoré musí samotný plošný spoj obsahovať. Z ekonomického hľadiska bolo stanovené, že najvyšší počet vrstiev signálových či napájacích vrstiev môže byť 6. Týmto je priamo kladená aj ďalšia limitujúca požiadavka na veľkosť samotného BGA púzdra. Z výrobcov, ktoré boli vyššie uvedené bola vybraná ALTERA a to hlavne kvôli prechádzajúcim skúsenostiam a možnosti využiť vývojové kity, ktoré boli k dispozícii. Čo sa týka samotnej kapacity hradlového poľa, z experimentálneho overenia a predošlých skúseností s vývojom FPGA návrhov bol určený spodný limit na 25000 LEs (logických elementov). Z ekonomického hľadiska bol teda vyhladaný najlacnejší FPGA obvod s najmenším púzdrom, s dostatkom IO vývodov a danou kapacitou a s prítomnosťou giga-bitových budičov. Vybraný obvod má označenie **EP4CGX30CF19** z rodiny Cyclone 4 GX v púzdre FBGA 324. Tabuľka 6 nižšie uvádza hlavné parametre.

Tabuľka 6 Parametre vybraného FPGA - EP4CGX30F19C8N

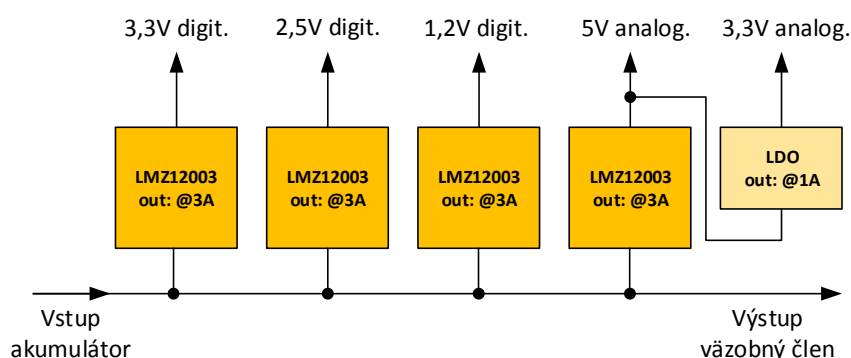
Počet IO	150
Počet LE (progr. elementov)	29440
Vnútna pamäť [kB]	135
1,25Gbps budiče	4
Počet PLL blokov	4
Cena (Q1/2014) [USD]	75
Napájanie jadra	1.2V
Napájanie IO	1.2V - 3.3V
Puzdro	19x19 FBGA324

4.1.6 Napájacie bloky

Zo stanovených a zhrnutých požiadavok na napájacie bloky podľa 4.1.5 je možné vytvoriť možnosti rozvrhnutia napájacích častí celého merača ČV. Na doske digitizéra musia byť zastúpené nasledujúce napájacie napätia:

- 3,3V digitálne - napájanie digitálnych obvodov
- 2,5V digitálne - napájanie vnútorných blokov FPGA (PLL,SGMII)
- 1,2V digitálne - napájanie jadra FPGA
- 5V analógových - napájanie PGA a front-end meracích kanálov
- 3,3V analógových - napájanie ADC prevodníkov

Pričom celková spotreba dosky digitizéra bez obvodu FPGA je vyčíslená na cca 4,8W podľa 5. S ohľadom na funkcionality a použité periférie bola stanovená pomocou nástroja Altera Power Estimator tool ¹ na hodnotu 750mW. Výsledná spotreba bez pripojeného väzobného člena činí 5,55W. Podľa požiadaviek sa musí jednať o batériovú prevádzku, pričom samotné akumulátory nie sú obsiahnuté na doske digitizéra. S prihliadnutím na relatívne vysoké hodnoty výstupných prúdov jednotlivých napájacích napätí je vhodné pre napájanie zvoliť spínané zdroje. V rámci odľahčenia samotného návrhu dosky plošných spojov je vhodné využitie integrovaných hybridných obvodov, ktoré dosahujú vysokej efektívnosti pri udržaní malého púzdra a vysokého výstupného prúdu. Pričom je dobré poznamenať, že nie je nutné galvanické izolovanie vstupu od výstupu. Konceptia napájacej vetvy je na obr. 29.



Obr. 29 Usporiadanie napájacej časti

Konceptia je zvolená s privedením jednej napájacej vetvy z bloku akumulátorov, ktorá je následne použitá ako vstup pre jednotlivé napájacie podčasti a súčasne pokračuje na druhý plošný spoj väzobného člena, ktorý implementuje vlastné napájacie časti.

4.1.7 Doska plošných spojov

Návrh dosky plošných spojov spolu s celkovou mechanickou stránkou merača ČV je jednou z najrozsiahlejších prác, ktorá bola v rámci návrhu merača ČV uskutočnená. V tomto texte žiaľ nie je dostatok priestoru na komplexný opis a priblíženie jednotlivých fáz návrhu zariadenia a dôraz bude kladený teda skôr na výstup tejto práce spolu s krátkym odôvodneným umiestnenia a návrhu jednotlivých častí.

Ako už bolo spomínané v kapitole 4.1.5, plošný spoj pre digitizér bol navrhovaný ako 6 vrstvová doska s prihliadnutím na veľkosť púzdra BGA, ale aj na množstvo napájacích

¹www.altera.com - Power estimation tool

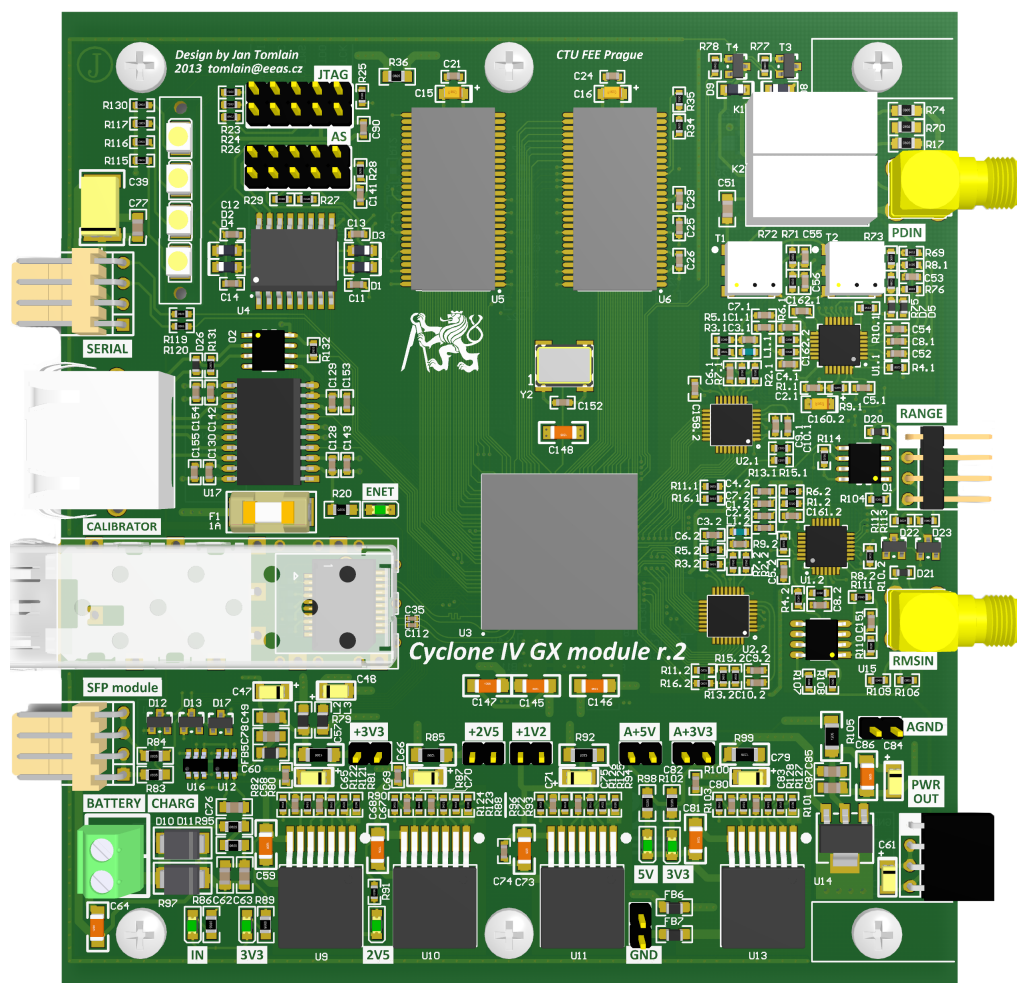
napätí, ktoré je nutné v rámci zariadenia vyviešť. Prvou najdôležitejšou časťou je výber skladby vrstiev, ktoré budú pri návrhu používané. Podľa materiálov [8] je možné vidieť, že pre 6 vrstvové dosky je možné radiť vrstvy podľa obr. 30.

2	S1+P	G
4	S1 G	P S2
6	S1 G S2	S3 P S4
6	S1 S2 G	P S3 S4
6	S1 G S2	<u>P G</u> S3
8	S1 S2 G S3	S4 P S5 S6
8	S1 G S2 G	P S3 G S4
10	S1 G S2 S3 G	P S4 S5 G S6

Obr. 30 Radenie vrstiev pre viacvrstvové DPS

Z obr. 30 plynie, že pri kombinácii 4 vrstvy signálové a 2 vrstvy napájacie je možné využiť len jedinú kombináciu, nakoľko je nutné zachovať pravidlo, že každá vrstva signálová musí susediť s vrstvou napájajúcou, ktorá by mala byť implementovaná vo forme vyliatej medenej plochy. Existujú aj iné možnosti radenia vrstiev, tie však obsahujú väčšie množstvo vrstiev napájacích na úkor počtu signálových.

Plošný spoj a celé obvodové riešenie bolo navrhované v Altium Designer 13 s plnou podporou 3D návrhu, ktorý bol nápomocný najmä pri verifikácii mechanickej montáže. Výsledný návrh je možné vidieť na obr. 31, pričom fotografia spolu s priblížením mechanickej montáže je zachytená na konci tejto kapitoly.



Obr. 31 3D náhľad návrhu digitizéru merača ČV

4.2 Väzobný člen

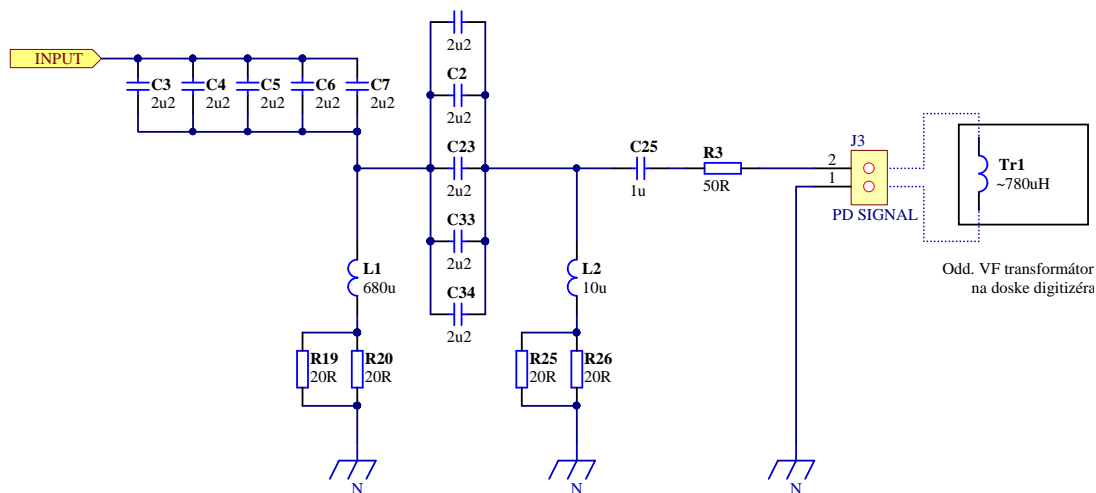
4.2.1 Obvodové riešenie

Druhou súčasťou zariadenia je podčasť väzobného člena. Jedná sa v podstate o implementáciu popísaného HW bloku, ktorý je možné nájsť v kapitole 2.4.2. Hlavnou funkciou je sprostredkovanie meraných vysokonapäťových signálov do podoby, ktorú je možné doskou digitizéra spoľahlivo spracovať.

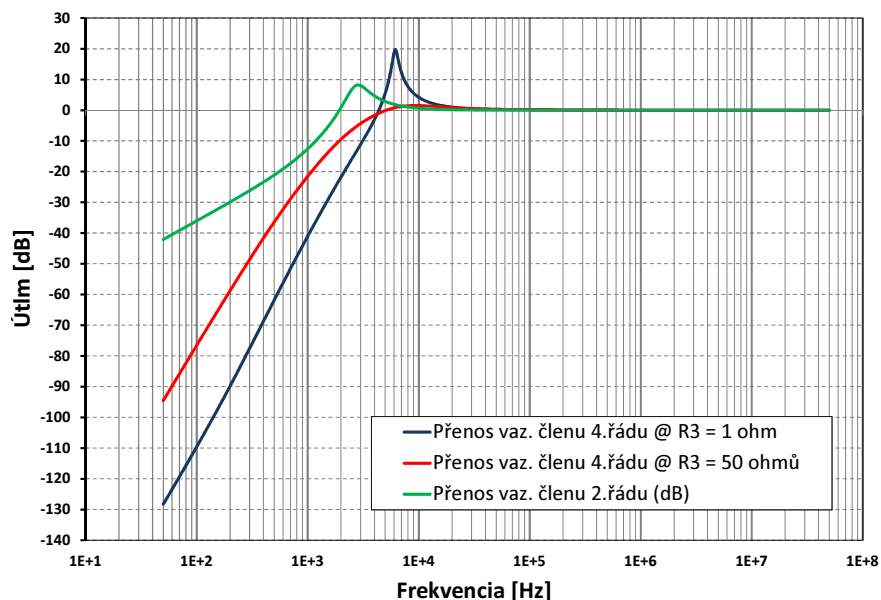
Prvá časť väzobného člena sa stará o filtráciu a napäťové prispôbenie signálu ČV. Pre tieto potreby bolo odsimulovaných niekoľko rôznych zapojení pričom požiadavky vyplývajú z uvedenej kapitoly 2.4.2. Výsledný tvar bloku pre pripojenie signálu ČV je na obr. 32

Frekvenčná charakteristika bola pred samotným návrhom experimentálne overená pomocou simulačných nástrojov softvéru NI MultiSim. Toto riešenie bolo zvolené najmä preto, že sa jedná o dva impedančné neoddelené LC filtre a priamy výpočet dvoch blokov LC filtra za sebou by nepriniesol korektné výsledky. Na nasledujúcich obrázkoch (obr. 33 a obr. 34) je možné si všimnúť amplitúdovú aj fázovú charakteristiku zvoleného riešenia. Z grafov je zrejmé, že v pracovnom rozsahu od

$$f \geq 30kHz$$

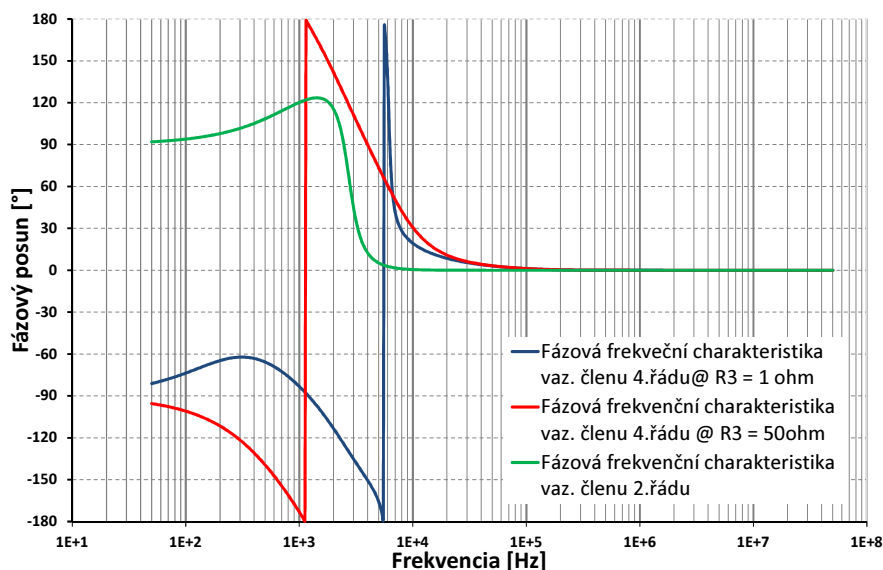


Obr. 32 Výsledné zapojenie väzobnej časti pre meranie ČV



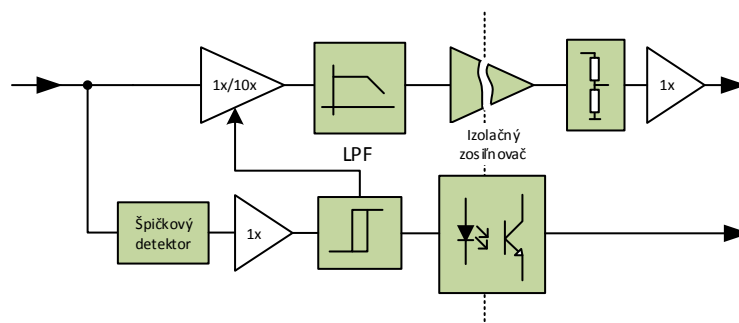
Obr. 33 Výsledok simulácie pre rôzne zaťažovacie odpory (amplit. char.)

je amplitúdová charakteristika konštantná a vykazuje zosilnenie **0dB** a fázová charakteristika **neposúva** fázu signálu. Výsledná konfigurácia filtra 4. rádu podľa obr. 32 bola zvolená nakoľko podľa obr. 33 bol požadovaný útlm aspoň -20dB/dek vo výslednom zapojení. Túto požiadavku však filter LC rádu 2 (zelený priebeh) nespĺňoval. Rád filtra bol teda zvýšený pridaním ďalšieho bloku LC pre získanie vyššej strmosti (modrý priebeh). Výstup väzobného člena však budí oddeľovací transformátor VF na doske digitizéra a preto je nutné brať do úvahy aj rezonančnú frekvenciu kombinácie C25 a indukčnosti Tr1 podľa obr. 32. Kondenzátor C25 striedavo oddeľuje signál väzobného člena, pričom sériový odpor R3 pracuje ako odpor tlmiaci pre možné rezonančné navýšenie kombinácie C25 a Tr1. Toto navýšenie je možné sledovať na modrom priebehu signálu kedy je odpor R3 volený na hodnote 1Ω . Výsledný tvar frekvenčnej charakteristiky je znázornený červeným priebehom, kedy je odpor R3 zvolený 50Ω .



Obr. 34 Výsledok simulácie pre rôzne zatažovacie odpory (fázová char.)

Druhou vetvou, ktorú zabezpečuje elektronika väzobného člena je merací reťazec testovacieho napätia. Jeho blokové usporiadanie je na obr. 35.



Obr. 35 Usporiadanie blokov v meracom kanále testovacieho napätia

Na ľavej strane je možné vidieť vstup signálu z väzobného kondenzátora podľa obr. 4 a v zmysle schémy podľa obr. 9. Signál ďalej pokračuje do dvoch nadväzujúcich častí. Prvou je merací reťazec, ktorý zabezpečuje galvanickú izoláciu meraného signálu, jeho prispôbenie a predovšetkým filtráciu. Vstupný rozsah napätia, ktorý je možné k zariadeniu pripájať je určený podľa špecifikácie v kapitole 2.4.2. Pre zopakovanie sa jedná o napätie $U_t \leq 100kV_{rms}$, pripojené cez väzobnú kapacitu $C_c = 1nF$.

Uvažujme, že vstupný rozsah analógových obvodov chceme aby bol

$$U_{inrms} = 10V_{rms}$$

Podľa zvolenej kapacity vo forme kondenzátorov C3 až C7 na schéme podľa obr. 32 je možné určiť deliaci pomer pre striedavé signály, pričom je uvažovaná kapacita pri paralelnej kombinácii C3 až C7 ako kapacita C_i :

$$U_{out} = U_{in} \frac{C_c}{C_c + C_i} \cong U_{in} \cdot 9,09 \cdot 10^{-5}$$

čiže pre napätie na výstupe platí potom:

$$U_{in} = 100kV_{rms} \quad U_{out} = 9,09V_{rms}$$

Blok **variabilného zosilnenia 1x / 10x** je prítomný pre prípad kedy je testovacie napätie nízke typicky pre prípad:

$$U_{in} < 1kV_{rms} \quad U_{out} < 90mV_{rms}$$

Výstupné napätie by malo v tomto prípade príliš malý rozkmit pre presné spracovanie meracím kanálom digitizéra. Pre tieto účely je v tejto vetve zaradený druhý reťazec, ktorý implementuje špičkový detektor, ktorý merá amplitúdu vstupného signálu a podľa jej veľkosti je ovládaný vstup tohto prepínateľného zosilňovača. Dôležité je samozrejme aj informovanie hlavnej dosky digitizéra o tomto nastavení, aby bolo možné správne určiť veľkosť vstupné napätia. Tento výstup je oddelený pomocou optočlenu.

Hranica prepínania tohto **auto-range** bloku je nastavená na úroveň vstupného napätia (v zmysle testovacieho napätia pred C_c):

$$U_{margin} = 1kV_{rms}$$

4.2.2 Zmerané parametre

Nasledujúca časť dokumentuje zmerané parametre samotného väzobného člena jednak pre kanál ČV a taktiež pre merací kanál testovacieho napätia.

Tabuľky 7 a 8 dokumentujú prevodnú charakteristiku meracieho reťazca testovacieho napätia od vstupných svoriek väzobného člena až po digitálny výstup prepočítaného napätia z prevodníku v rámci ovládacieho SW. Prvá tabuľka dokumentuje napätia nízke, pri zapnutom zosilňovacom bloku podľa 35 a druhá potom pri zosilnení vstupných blokov 1x. V oboch prípadoch je možné si všimnúť, že chyba meranie vzťahnutá na merací rozsah je menšia ako 0,25%, príp. lepšia ako 0,1%.

Na obrázku 36 je možné si všimnúť výslednú amplitúdovú frekvenčnú charakteristiku kanálu pre meranie ČV v aktívnom pásme od

$$f \geq 10kHz$$

Je možné si všimnúť, že v pracovnom rozsahu podľa normy je prenos väzobného člena blízky hodnote 0dB. Mierne zvlnenie charakteristiky je pravdepodobne dané metódou merania efektívnej hodnoty napätia za pomoci funkcií osciloskopu.

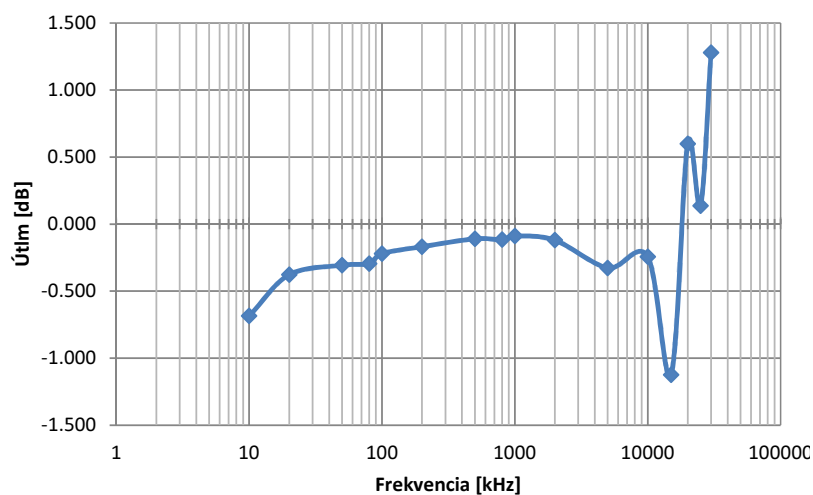
Graf na obr. 37 potom znázorňuje kompletnú amplitúdovú frekvenčnú charakteristiku od vstupu väzobného člena až ku napätiu na vstupe AD prevodníka, ktorý je radený za filtrom anti-aliasing, ktorý je prítomný za blokom PGA podľa obr. 16.

Tabuľka 7 Prevodná charakteristika testovacieho napätia pri rozsahu do 1kVRms

U _{in} [mVrms]	Uzmerane [mVrms]	Chyba z rozsahu [%]
95.790	95.600	-0.01
190.700	190.600	-0.01
285.900	286.000	0.01
381.000	380.700	-0.02
476.200	476.000	-0.02
571.000	571.100	0.01
666.700	666.900	0.02
761.800	762.200	0.03
856.900	857.500	0.05
952.300	953.500	0.09
1048.000	1050.000	0.15
1143.000	1146.000	0.23

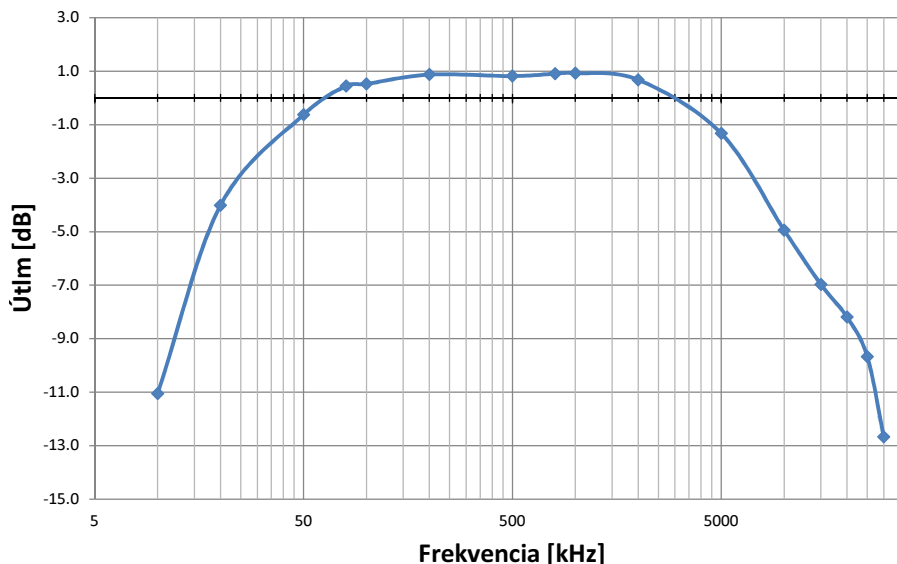
Tabuľka 8 Prevodná charakteristika testovacieho napätia pri rozsahu od 1kVRms do 10kVRms

U _{in} [Vrms]	Uzmerane [Vrms]	Chyba z rozsahu [%]
1.902	1.902	0.00%
2.854	2.854	0.00%
3.805	3.808	0.03%
4.758	4.764	0.07%
5.710	5.718	0.09%
6.662	6.670	0.09%

**Obr. 36** Výsledná charakteristika väzobného člena v pracovnom rozsahu merača

4.2.3 Doska plošného spoja

Plošný spoj pre väzobný člen je komplexnosťou o niečo jednoduchší, no bolo nutné brať do úvahy hlavne izolačné vlastnosti, ktoré museli jednotlivé bloky spĺňať. Plošný spoj je navrhovaný ako dvoj vrstvový s rozmermi a usporiadaním komponent, tak aby korešpondovalo so vstupnými blokmi dosky digitizéra. Jeho 3D model je vyobrazený na obr. 38.



Obr. 37 Výsledná charakteristika celého meracieho reťazca ČV v pracovnom rozsahu merača

Pričom vo vrchnej časti plošného spoja sa nachádza reťazec pre spracovanie signálu pre potreby analýzy ČV a v časti spodnej je potom reťazec pre úpravu signálu testovacieho napätia. Prívod signálu je vpravo hore a výstupné budiace časti potom v ľavej časti. Napájanie a ovládanie je privedené priamo z dosky digitizéra na ľavej hrane plošného spoja.

4.3 Akumulátorová doska

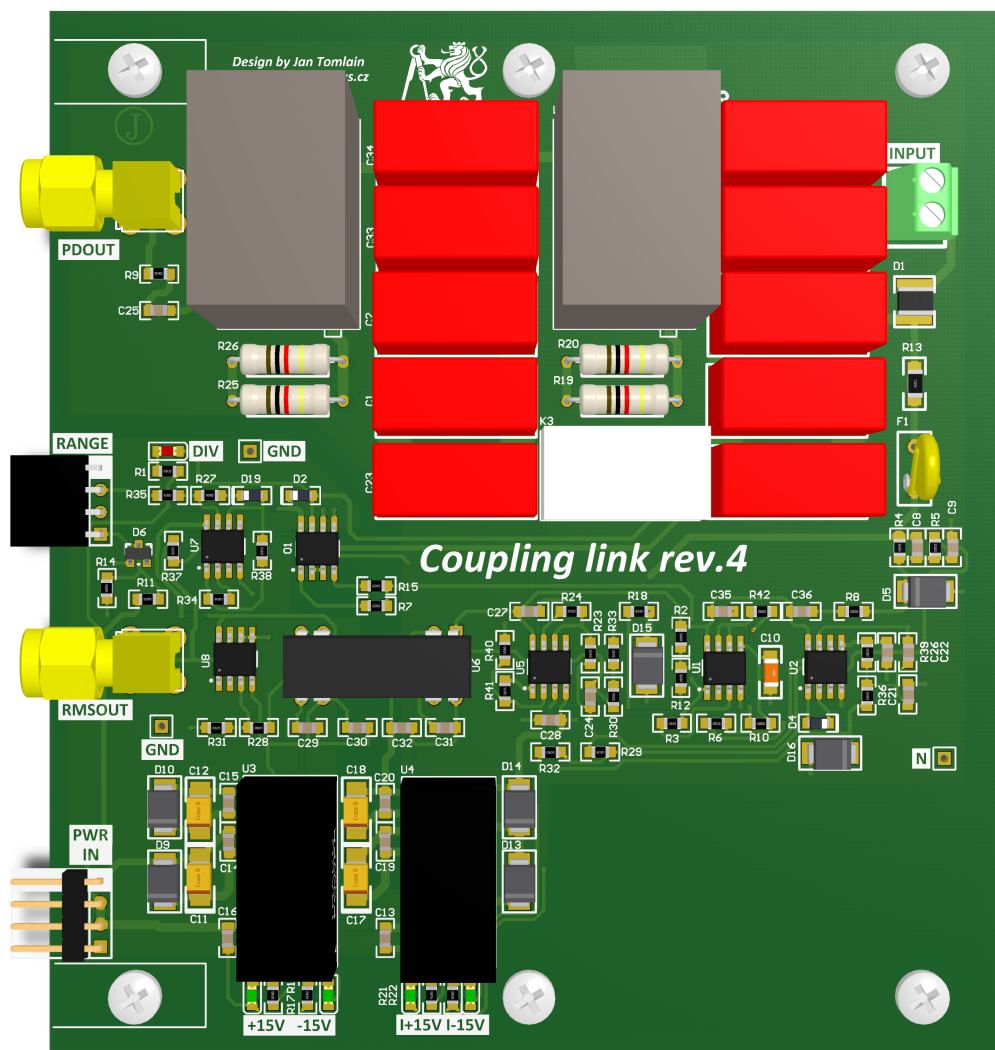
Podľa zhrnutých vlastností napájacej časti digitizéra bolo zvolené riešenie s použitím článkov typu Li-Ion. Li-Ion akumulátory sú v poslednej dobe jedným z najpoužívanejších zdrojov energie pre mobilné aplikácie a zariadenia. K hlavným výhodám patrí najmä

- výborný pomer veľkosti / kapacita
- veľký počet nabíjacích / vybíjacích cyklov
- takmer bez pamäťového efektu
- dnes už relatívne nízka cena

No hlavnou z nevýhod je nutnosť implementácie špeciálnych nabíjacích obvodov spolu s nutnosťou dohliadnutia na prílišné vybitie batérie pri prevádzke. Pri výbere článkov pre merač ČV bolo nutné najmä dosiahnuť čo najväčšiu kapacitu, pričom samozrejme boli kladené isté veľkostné limity, aby bolo možné články spolu s doskou digitizéra umiestniť priamo do krabičky nad dosku digitizéra. Najlepšou voľbou sú články veľkosti 18650, ktoré sa do požadovaného priestoru zmestia až štyri. Výstupné napätie akumulátorov musí spĺňať podmienku:

$$U_{acc} \geq 7V$$

a to najmä kvôli tomu, že najvyššie výstupné napätie spínaných regulátorov na doske digitizéra je práve 5V a použitý obvod LMZ12003 vyžaduje minimálny rozdiel $U_{out} - U_{in} = \min 2V$. Pre vybrané Li-Ion články **PANASONIC NCR18650B** je nominálne výstupné napätie 3,7V a kapacita článku až 3400mAh. Pri zohľadnení, že doska napájania môže niesť až 4 články pripadajú do úvahy 2 konfigurácie a to:



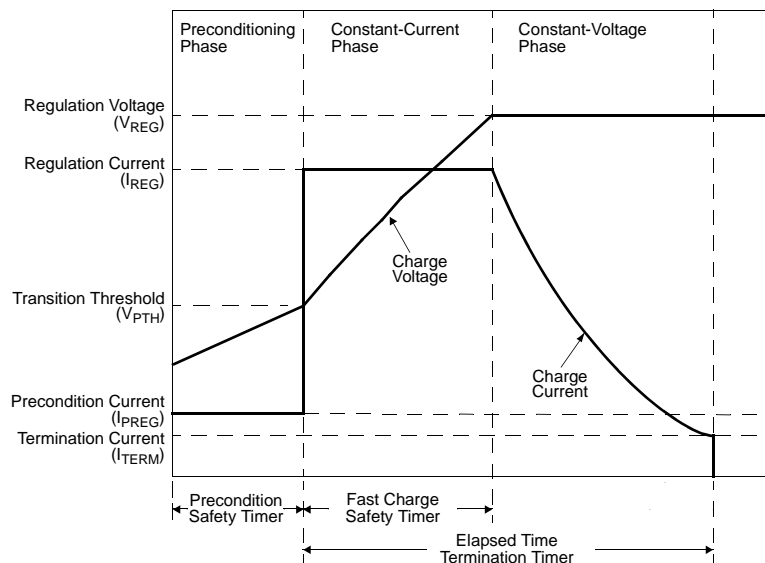
Obr. 38 3D náhľad návrhu väzobného členu

- 4s (sériovo) $U_{out} = 14,8V$ $U_{nabite} = 16,8V$ 3400mAh
- 2s2p (sérioparalelne) $U_{out} = 7,4V$ $U_{nabite} = 8,4V$ 6800mAh

S výhodou vyššej kapacity je použité zapojenie 2s2p pričom je vhodné implementovať na samotnú dosku aj nabíjaciú časť Li-Ion akumulátorov. Táto cesta je vhodnejšia najmä pre zabezpečenie dlhšej životnosti keďže užívateľ zariadenia nemusí dbať na použitie správneho nabíjacieho zariadenia.

Proces nabíjania Li-Ion článkov sa typicky skladá z dvoch fáz. Prvou je nabíjanie konštantným nastaveným prúdom. Po dosiahnutí napätia, ktoré zodpovedá nabitému stavu daného článku sa musí nabíjací obvod prepnúť do režimu nabíjania pomocou konštantného napätia, pričom tento proces končí v okamžiku (typicky), kedy prúd **klesne pod 1/10 nabíjacieho prúdu** I_{chrg} , ktorý bol použitý v predchodzom režime. Detailnejšie proces ilustruje obrázok 39 podľa [9].

Komplikáciou nabíjania takto vysokých kapacít (6,4Ah) je nutnosť implementácie nabíjačky, ktorá dokáže poskytnúť dostatočne veľký prúd, aby proces nabíjania trval únosne dlhú dobu. Navyše je nutné si uvedomiť, že veľkokapacitné články aj v stave kedy sú naplno nabité a sú pripojené k vstupnému napätiu o veľkosti ich nabitého



Obr. 39 Proces nabíjania Li-Ion

stavu (typ. 4,2V) spotrebovávajú prúd, ktorý môže byť vyšší ako desatina nabíjacieho prúdu. Pokiaľ je teda tento prúd zvolený na príliš nízku úroveň nabíjací proces sa stane "nekonečným". Ideálnym I_{chrg} pre Li-Ion články je podľa niekoľkých zdrojov (napr. [10]) prúd v rozsahu $0,3C - 0,7C$, pričom C sa rozumie nominálna kapacita článku. V našom prípade by sa mal prúd pohybovať:

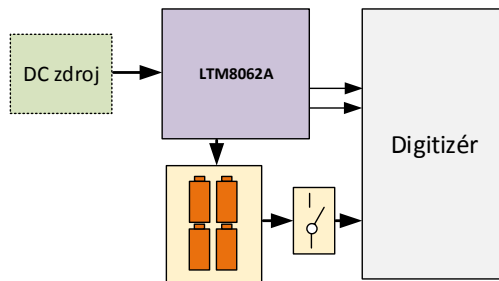
$$1A < I_{chrg} < 2,38A$$

Vhodným obvodom, ktorý integruje kompletný nabíjací proces vrátane signalizácie jeho stavu smerom k riadiacemu kontroléru je obvod LTM8062A od Linear Technologies. Maximálny nabíjací prúd je $I_{chrg} = 2A$. Jedná sa o integrovanú nabíjačku Li-Ion akumulátorov s nastaviteľným napäťovým limitom pre nabité články. Veľkou výhodou je, že sa jedná o spínanú nabíjačku s účinnosťou lepšou ako 85%. Nie je potrebné sa teda obávať o veľkú tepelnú stratu, ktorá by vznikla pri použití lineárneho riešenie nabíjania. Pre dokreslenie je uvedené porovnanie, pri zapojení úplne vybitých článkov na nabíjací prúd 2A:

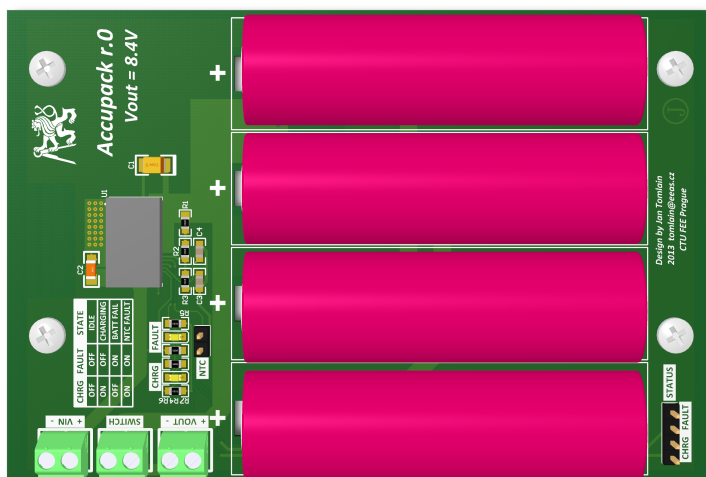
$$\begin{aligned} U_{in} &= 12V & U_{bat} &= 7,4V & \Delta U &= 4,6V \\ P_{diss_linear} &= \Delta U \cdot I_{chrg} = 9,2W!! \\ P_{diss_switched} &= \Delta U \cdot I_{chrg} \cdot (1 - \eta) = 1,38W \end{aligned}$$

Výsledná koncepcia akumulátorovej dosky je nasledovná na obr. 40.

Plošný spoj samotnej časti ja navrhnutý ako dvojvrstvový s priamou montážou Li-Ion článkov a jeho 3D model je na obr. 41.

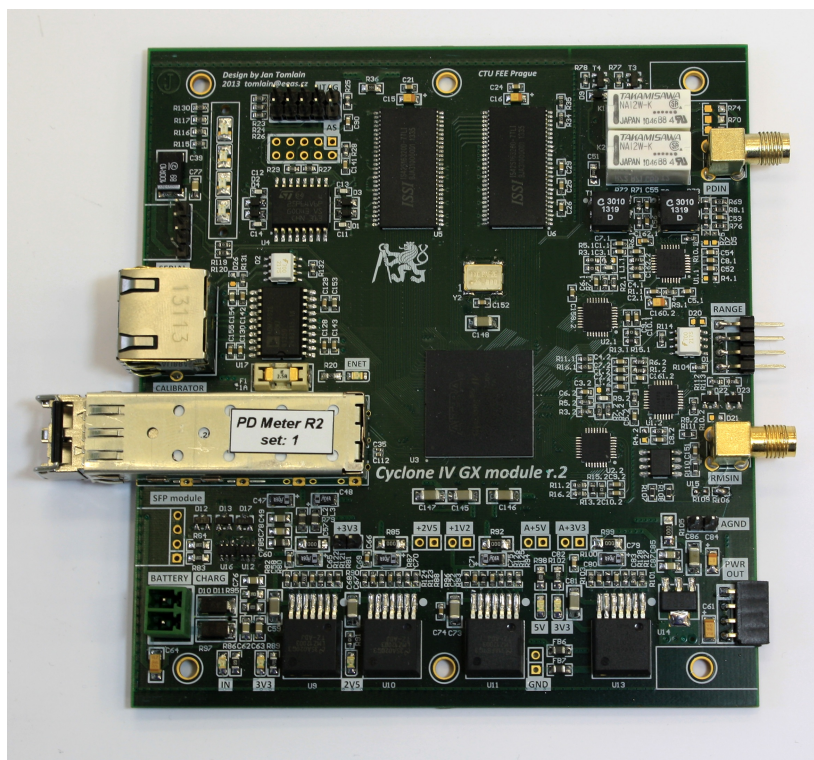


Obr. 40 Usporiadanie napájacej časti

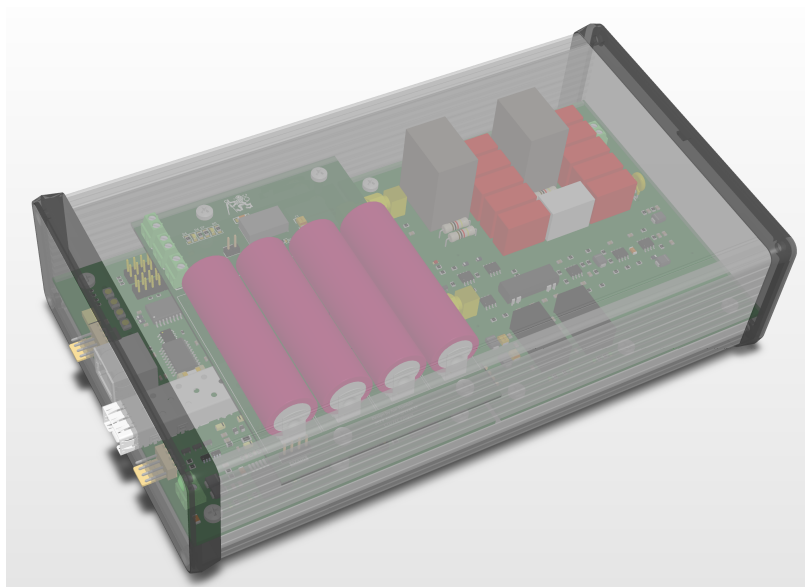


Obr. 41 3D náhľad návrhu akumulátorovej dosky

4.4 Výsledná forma merača ČV



Obr. 42 Hotová doska digitizéru



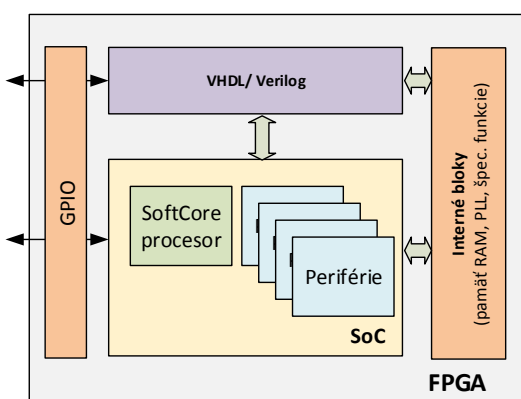
Obr. 43 Vizualizácia zostavy v krabičke

5.1.1 System-on-chip a soft-core

Ešte pred samotným popisom konkrétneho softvérového vybavenia merača ČV je dobré sa pristiaviť pri technológii SoC (System on chip) resp. tzv. soft-core. V obidvoch prípadoch sa jedná o čisto softvérové produkty a bloky, ktoré je možné pomocou aplikácii od výrobcov obvodov FPGA implementovať priamo na obvod. Tým je možné využívať už predpripravené elementy (predprogramované v jazykoch Verilog či VHDL) a pomocou týchto blokov doslova stavať komplikovanejšie systémy ideálne pre tú, ktorú aplikáciu. Pri uvažovaní SoC systému je ideálnym kandidátom implementácia vlastného mikroprocesorového systému priamo pomocou HW elementov na obvod FPGA. Toto riešenie je jedno z najčastejšie používaných nakoľko samotná sekvenčná či kombináčnā logika nie je vždy postačujúca na celkovú funkcionálnu zariadenia. Iste, je možné väčšinu riadiacich aplikácii postaviť priamo z logických elementov avšak pokiaľ je potrebné využívať už sofistikovanejšie algoritmy pre implementáciu napríklad komunikačných vrstiev priemyselných protokolov je na mieste použiť klasický prístup, kde do hry vstupuje práve mikroprocesor so striktnou sekvenčným princípom. Nehovoriac o tom, že väčšina softvérových balíkov je písaných v jazykoch ako je C/C++.

Využitie SoC v podobe mikroprocesorového systému sa javí ako ideálny medzistupeň, ktorý poskytuje na jednej strane výborné podmienky pre implementáciu časovo náročných, paralelných úloh, ktoré môžu byť implementované priamo v jazyku VHDL na obvode FPGA. No na druhej strane časovo menej kritické no komplikovanejšie úlohy je vhodné zapísať v klasickom programovacom jazyku pre procesorové jadro. Fyzicky je však stále využitý jediný obvod a celkové obvodové riešenie je stále konzistentné.

Softcore je názov používaný pre procesorové platformy, ktoré sú používané v rámci SoC pri programovaní FPGA. Ide vlastne o softvérový produkt, ktorý v sebe nesie kompletný popis jadra procesorovej jednotky typ. vrátane hlavných stavebných blokov akými sú dátová či inštrukčná zbernica, prerušovací systém, ALU jednotka a podobne. Programátor SoC systému si teda môže vybrať aký softcore procesor použije vo svojej aplikácii a to s ohľadom na výkonnosť vybraného jadra, funkcie či prípadne iné špecifické možnosti. Typicky je možné nájsť od jednotlivých výrobcov FPGA obvodov ich vlastný odporúčaný softcore procesor, ktorý pre svoje aplikácie odporúčajú. Na trhu je však možné zakúpiť aj procesorové jadrá od tretích strán, ktoré sú použiteľné univerzálne (typ. jadrá ARM Cortex či jadro x8051). Blokovo je možné vidieť abstrakciu na obr. 44.

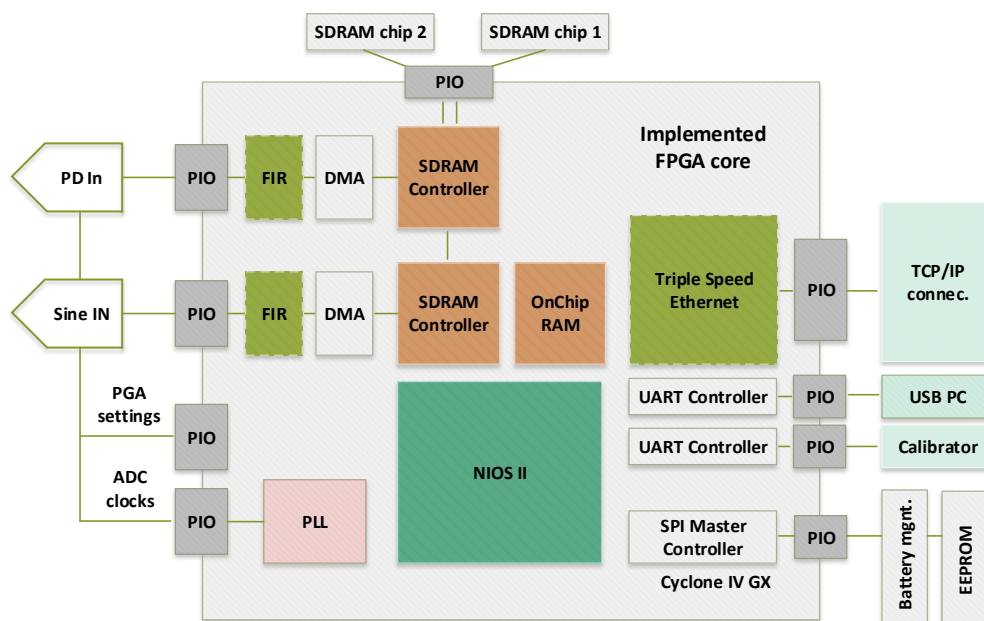


Obr. 44 SoC a Softcore v architektúre FPGA

5.2 Merač ČV

Softvérové vybavenie merača ČV výbojov využíva práve technológie SoC a softcore, ktoré boli popísané v predošlom texte. Na úvod je vhodné si stanoviť základné funkcie, ktoré má softvér v rámci merača ČV zastávať.

Jednou z najhlavnejších úloh je zabezpečenie vzorkovania dát obidvoch meracích kanálov, ich uloženie a priebežné spracovanie. S touto úlohou súvisí aj ovládanie PGA blokov obidvoch meracích kanálov a hodinové budenie prevodníkov. S úlohou ukladania súvisí využitie SDRAM pamätí pre uloženie navzorkovaných dát. Druhou úlohou, ktorá je nemenej dôležitá je implementácia Ethernetového pripojenia, ktoré kladie požiadavky na samotné softvérové vybavenie FPGA obvodu. Menej komplikovanými úlohami je potom snímanie stavu batérií zariadenia a stavu nabíjania, komunikácia s perifériami pomocou RS485 apod. Pre celkový náhľad čo merač ČV obsahuje v rámci obvodu FPGA je priložený obrázok 45:



Obr. 45 Základné usporiadanie softvérových blokov v rámci FPGA

V centrálnej časti blokovej schémy je možné vidieť softcore procesorové jadro **NIOS II F**, ktoré priamo poskytuje spoločnosť Altera ku svojim obvodom FPGA. Jedná sa o 32 bitové mikroprocesorové jadro s maximálnou rýchlosťou až 181 MIPS¹ v prípade jeho implementácie na hradlovom poli typu Cyclone IV GX. V ľavej časti je možné si všimnúť ovládanie meracích kanálov. Hodinové budenie je zabezpečené pomocou bloku PLL, ktorý zo vstupného hodinového signálu **25MHz** generuje výstupný budiaci signál o frekvencii **50MHz**, čo prislúcha vzorkovacej rýchlosti obidvoch kanálov **50MSPs**. V tejto časti sa nachádzajú aj nastavovacie výstupy pre PGA obvody. Signály vychádzajú z implementovaného SoC pomocou PIO (Parallel Input/Output), pričom sa jedná vlastne o vstupno/výstupné brány podobné tým pri mikroprocesoroch. Pre rýchle a paralelné vzorkovanie sú implementované bloky DMA (Direct-Memory-Adress), ktorých hlavnou úlohou je preniesť vstupné dáta z prevodníkov v presnom takte do pamäte

¹nios II speed altera

typu SDRAM. Pričom sú využité dostupné bloky SDRAM radičov, ktoré je možné v rámci SoC systémov s výhodou používať. V časti pravej sú potom naznačené komunikačné vlastnosti samotného zariadenia. Ústredným blokom je komunikačný blok **Triple-Speed-Ethernet** pričom sa opäť jedná o softvérové jadro, ktoré zabezpečuje komunikáciu na vrstve MAC (Media Access Control) v rámci ethernetových pripojení **10/100/1000Mbps**. V časti vpravo dole sú umiestnené spomínané podporné periférie, medzi ktoré patrí radič sériovej linky UART, ktorý je použitý pre RS485 komunikačné rozhranie a radič zbernice SPI pre komunikáciu s obvody, ktoré majú na starosti stav batérií a ich nabíjanie.

5.2.1 System-on-chip a NIOS II

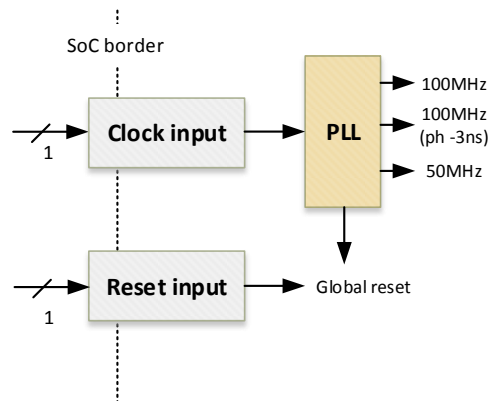
Táto podkapitola sa venuje implementácii SoC architektúry v konkrétnom zapojení pre potreby merača ČV. Pre návrh SoC v rámci FPGA obvodov Altera bol použitý vývojový nástroj Quartus II vo verzii 13.1. Toto prostredie integruje okrem samotného návrhu logických blokov v jazyku VHDL alebo Verilog aj návrhový subsystém QSys, pomocou ktorého je možné navrhovať práve vlastný systém SoC. Obrázok 46, ktorý zachytáva periférie, ktoré sú aktuálne implementované v SoC pre merač ČV.

Use	C...	Name	Description	E...	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> clk_125	Clock Source		<i>exported</i>			
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> pll_100	Avalon ALTPLL		clk_125	0x0800_24b0	0x0800_24bF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> cpu	Nios II Processor		pll_100_c0	0x0800_1800	0x0800_1FFF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> sdram	SDRAM Controller		pll_100_c0	0x0400_0000	0x07FF_FFFF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> sysid	System ID Peripheral		pll_100_c0	0x0800_24c8	0x0800_24cF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> jtag_uart	JTAG UART		pll_100_c0	0x0800_24c0	0x0800_24c7	0
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> out_clock	Clock Bridge		pll_100_c1			
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> descriptor_memory	On-Chip Memory (RAM or ROM)		pll_100_c0	0x0800_0000	0x0800_0FFF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> timer	Interval Timer		pll_100_c0	0x0800_2480	0x0800_249F	1
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> tse_mac	Triple-Speed Ethernet		<i>multiple</i>	0x0800_2000	0x0800_23FF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> sgdma_tx	Scatter-Gather DMA Controller		pll_100_c0	0x0800_2440	0x0800_247F	2
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> sgdma_rx	Scatter-Gather DMA Controller		pll_100_c0	0x0800_2400	0x0800_243F	3
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> led	PIO (Parallel I/O)		pll_100_c0	0x0800_24a0	0x0800_24aF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> spi_0	SPI (3 Wire Serial)		pll_100_c0	0x0000_0000	0x0000_001F	4
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> CS_PIO	PIO (Parallel I/O)		pll_100_c0	0x0000_0020	0x0000_002F	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> RMS_D	PIO (Parallel I/O)		pll_100_c0	0x0000_0050	0x0000_005F	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> PD_D	PIO (Parallel I/O)		pll_100_c0	0x0000_0040	0x0000_004F	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> ZC_IN	PIO (Parallel I/O)		pll_100_c0	0x0000_0030	0x0000_003F	5
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> clock_bridge_0	Clock Bridge		pll_100_c2			
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> sdram_1	SDRAM Controller		pll_100_c0	0x0c00_0000	0x0FFF_FFFF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> RMS_Memory	On-Chip Memory (RAM or ROM)		pll_100_c0	0x0000_0400	0x0000_07FF	
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> dma_0	DMA Controller		pll_100_c0	0x0000_0060	0x0000_007F	6
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> dma_1	DMA Controller		pll_100_c3	0x0000_0080	0x0000_009F	6
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> gpio_in	PIO (Parallel I/O)		pll_100_c0	0x0000_00a0	0x0000_00aF	7
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> epcs_flash_controller_0	EPCS/EPCQx1 Serial Flash Controller		pll_100_c0	0x0000_1000	0x0000_17FF	8
<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/> led_pio	PIO (Parallel I/O)		pll_100_c0	0x0000_00b0	0x0000_00bF	

Obr. 46 Systém Qsys s použitými blokmi

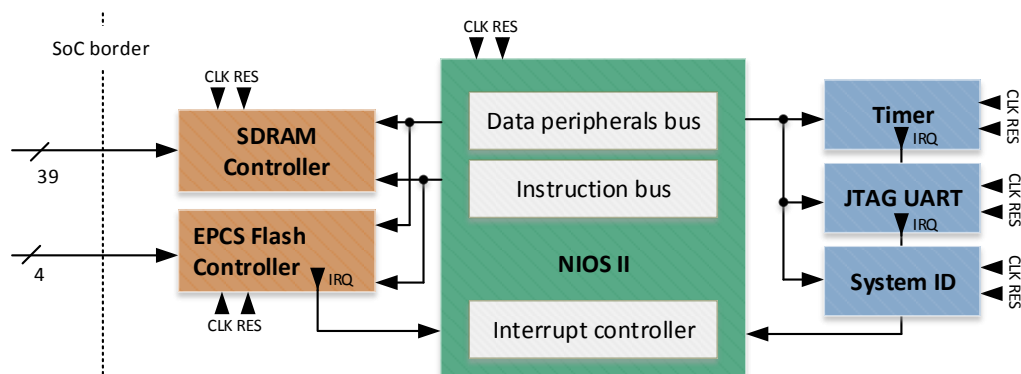
V ľavej časti programu je možné po rozbalení jednotlivých blokov spravovať riadiace a dátové prepojenia jednotlivých blokov. V texte nie je možné z grafických dôvodov uviesť celkové zapojenie systému SoC formou jedného obrázku. Preto jednotlivé funkčné fragmenty budú priblížené samostatne.

Na obr. 47 je možné vidieť spracovanie hodinového vstupu pre potreby celého systému SoC. V rámci SoC je generované pomocou prítomnej PLL frekvencia 100MHz, ktorá slúži ako hlavná taktovacia frekvencia pre procesor a jednotlivé ďalšie bloky. Následne potom frekvencia 100MHz, ktorá vykazuje fázový posun $-3ns$ oproti hlavnej taktovacej frekvencii 100MHz. Tento fázový posun zabezpečuje správne vyhodnotenie platnosti dát pre prípojné SDRAM obvody. Poslednou generovanou frekvenciou je 50MHz, ktorá je používaná na budenie ADC kanálov. Dôležitým blokom je ešte reset, ktorý zdru-



Obr. 47 Hodinové bloky SoC a reset

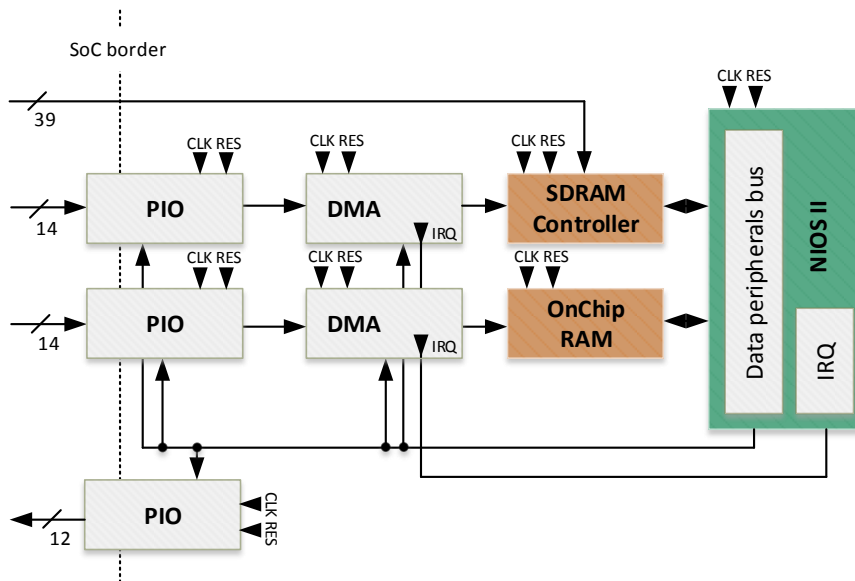
žuje niekoľko signálov, ktoré môžu vygenerovať reset celého SoC, typicky sa jedná o resetovací vstup a chybové stavy PLL.



Obr. 48 Procesor NIOS a jeho okolie

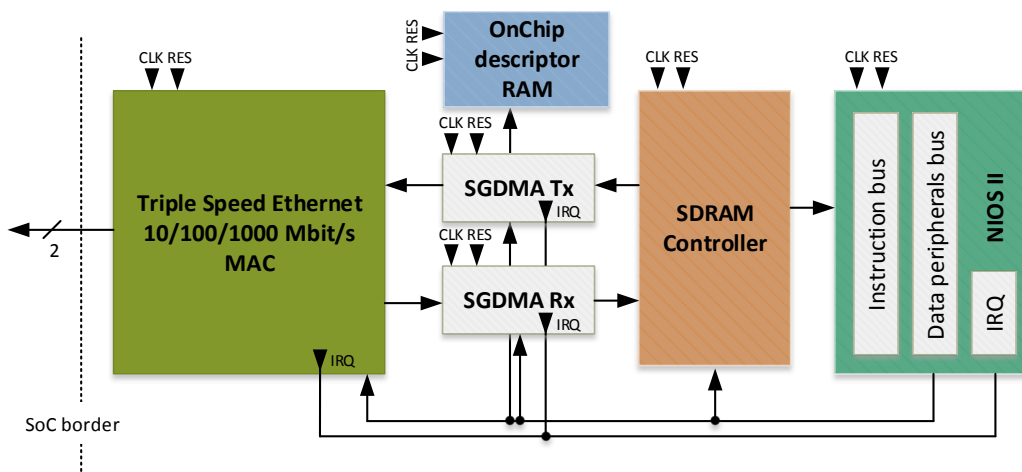
Procesorové jadro je vyobrazené na obr. 48. V strede je umiestnený soft-core procesor NIOS II, ktorého pamäť inštrukcií je pripojená na SDRAM radič, ktorý spravuje pripojenie obvodu SDRAM a súčasne je pripojená aj na EPCS Flash radič, ktorý sprostredkováva štartovací proces z externej pamäte typu FLASH. Dátová zbernica procesora je ďalej pripojená opäť na SDRAM a externú FLASH pamäť a následne na periférie, ktoré je možné vidieť v ľavej časti. Periféria System ID, slúži na jednoznačnú identifikáciu konkrétneho SoC systému v prípade, že by boli v FPGA obvode integrované viaceré SoC bloky. JTAG UART je pomocné komunikačné rozhranie, ktoré sa používa pri ladení aplikácie pre procesor NIOS. Pomocou tohto rozhrania je možné ladiť samotnú aplikáciu pre procesor. Timer zastupuje úlohu klasického časovača, ktorý periodicky generuje prerušenie v nastavenom intervale. Je možné si všimnúť aj prítomnosť prerušovacej zbernice NIOS II procesora, ktorú je možné pripojiť na rôzne periférie, ktoré vyžadujú obsluhu pomocou prerušovacieho signálu.

Štruktúra meracích kanálov je zobrazená na obr. 49. Na ľavej strane sú prítomné 3 nezávislé brány IO (Parallel In/Out). Prvé 2 sú pripojené na výstup AD prevodníkov a sú nimi prenášané samotné paralelné dáta. Posledná PIO brána potom ovláda PGA zo-



Obr. 49 Meracie kanály

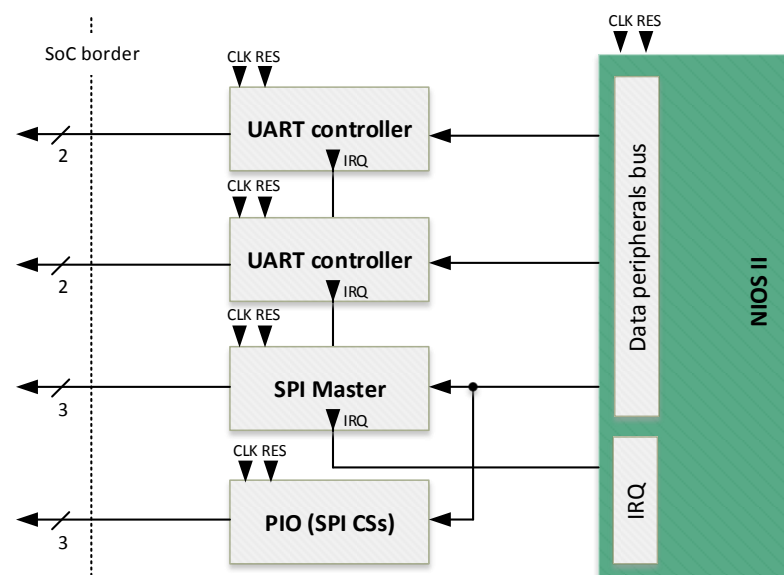
silnenie. Za dátovými PIO sú radené 2 identické bloky DMA kanálov, ktoré fungujú na rýchly prenos údajov z brány PIO priamo do pamäte typu SDRAM v prípade meracieho kanálu ČV a v prípade meracieho kanálu pre testovacie napätie sú tieto dáta vkladané priamo do vnútornej pamäte typu RAM. Pamäťové priestory sú oddelené kvôli možnému vzniku kolízií pri vzájomnom prístupe do jedného pamäťového priestoru. Obidva DMA kanály poskytujú výstup, ktorý informuje o kompletности dátového prenosu či prípadnej chybe a je zapojený do prerušovacieho reťazca procesora NIOS.



Obr. 50 Komunikačné rozhranie Ethernet

Jedným z najkomplikovanejších ale aj najdôležitejších súčastí je práve Ethernet rozhranie. Hlavným blokom je v tomto prípade softvérový blok Triple-Speed-Ethernet MAC vrstvy (licencia zakúpená od výrobcu FPGA), ktorý poskytuje samotné funkčné

pripojenie rozhrania PHY (fyzickej vrstvy, externe pripojenej pomocou SFP a SGMII) a ďalších vyšších softvérových vrstiev protokolového zásobníka pre komunikáciu pomocou Ethernetu. Blokové usporiadanie je zrejmé z obr. 50, ktoré vychádza z [11]. Tento blok pracuje s dátovými obojsmernými prenosmi, ktoré obsluhuje dvojica SGDMA (Scatter-Gather DMA kanál). Tento typ DMA kanálov sa líši oproti klasickému DMA kanálu, ktorý je použitý v prípade meracích kanálov tým, že používa ešte ďalší pamäťový priestor, v tomto prípade OnChip RAM pamäť pre tzv. descriptors (popisovače) transferov dát. Každý popisovač transferu obsahuje presné informácie koľko dát, odkiaľ kam má presunúť, ale hlavne obsahuje odkaz na pamäťový priestor, kde sa nachádza ďalší popisovač transferu. Ide vlastne o DMA kanál, ktorý neobsahuje priamo kontrolné registre pre transfer dát, ale používa spojový zoznam popisovačov, ktoré sú programované zvlášť do iného pamäťového priestoru. V prípade implementácie Triple-Speed-Ethernet (ďalej už len TSE) SGDMA kanály presúvajú dáta medzi perifériou a SDRAM pamäťou, ku ktorej pristupuje samotný procesor.



Obr. 51 Komunikačné rozhrania UART/SPI

Na obr. 51 sú znázornené ostatné podporné bloky, ktoré sú v rámci SoC aplikované. Jedná sa o dvojicu radičov sériovej linky UART pre potreby RS485 pripojenia periférnych zariadení pričom druhý z nich zastupuje rezervu pre budúcu funkcionality či prípadný inteligentný displej. V spodnej časti je SPI radič v režime Master, ktorý zabezpečuje ovládanie prevodníka, ktorý sníma stav batérie a tiež spravuje externú pamäť EEPROM podľa obr. 45. Pre viacero SPI obvodov, ktoré sú pripojené na jednej zbernici je prítomná aj PIO jednotka, ktorá spravuje ovládanie Chip Select vývodov jednotlivých obvodov.

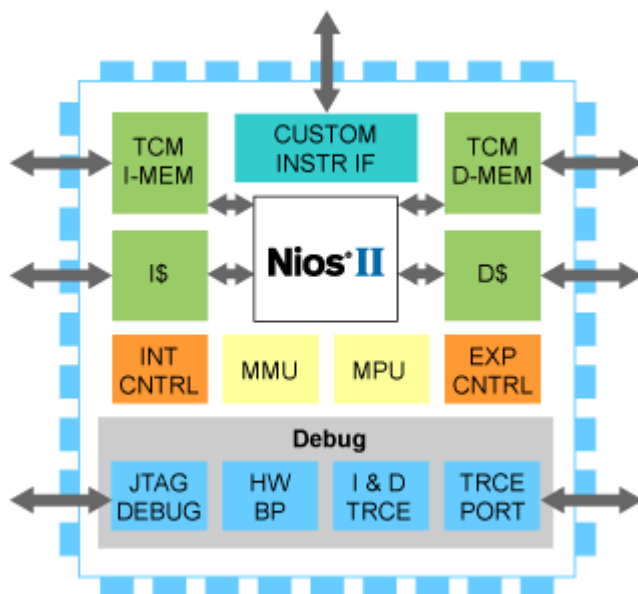
NIOS II

V krátkosti budú priblížené aj hlavné črty použitého soft-core procesora NIOS II podľa [12]. Jedná sa o 32bitové procesorové jadro, ktoré je ponúkané v 3 variantách:

- Economy
- Standard

- Fast

V prípade merača ČV je použité najrýchlejšie jadro Fast, ktoré poskytuje pri použití (podľa [13]) Cyclone IV GX až 181MIPS (Mega instruction per second), pričom pomer MIPS/MHz je stanovený na úroveň 1,13. Pri taktovaní 100MHz je teda možné dostať výkon procesora rádovo 115MIPS. Čo sa týka vybavenosti samotného jadra. K dispozícii sú dve pamäťové rozhrania pre dáta a pre kód procesora, pričom obidve poskytujú funkciu cache pre urýchlenie práce s jednotlivými pamäťovými priestormi. Procesor môže využívať vnútorné HW násobiace bloky, čo poskytuje vyšší výpočtový výkon pri matematických operáciach. Jadro Fast poskytuje použitie interného radiča prerušení alebo je možné využiť externý radič prerušení, ktorý musí byť implementovaný v SoC ako zvláštny blok. Z funkcií signal-processingu sú implementované funkcie ako barrel shifter apod. Adresný priestor môže mať veľkosť až 2GB bez využitia externých rozširujúcich prvkov. Pričom pamäťové periférie jadro neobsahuje a sú implementované ako externé bloky v rámci SoC. Celkovo jadro podporuje niekoľko možností pre ladenie aplikácií pomocou pripojeného JTAG rozhrania, pričom sú podporované breakpoints, dátové spúšťače a iné vyspelé technológie pre ladenie. Výhodou je možnosť využitia vlastných inštrukcií. Pričom v tomto prípade sa jedná o implementáciu HW bloku, ktorý zastáva žiadanú funkciu a v rámci aplikácie procesora je zastupovaný vlastnou inštrukciou. Podobným štýlom je možné pomocou jazykov VHDL implementovať aj HW akcelerátory pre výpočet a iné komplikované operácie. Blokový pohľad na jadro je na obr. 52.

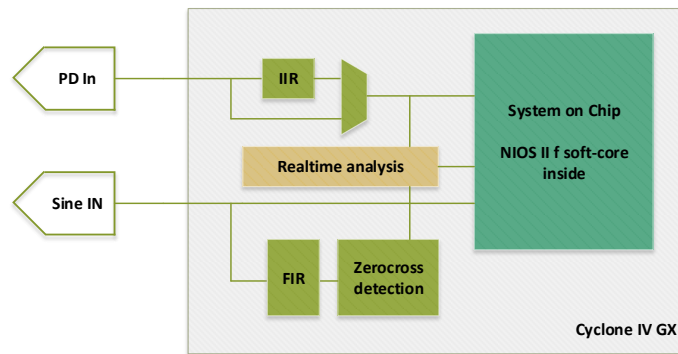


Obr. 52 Blokové usporiadanie NIOS II [14]

5.2.2 VHDL bloky

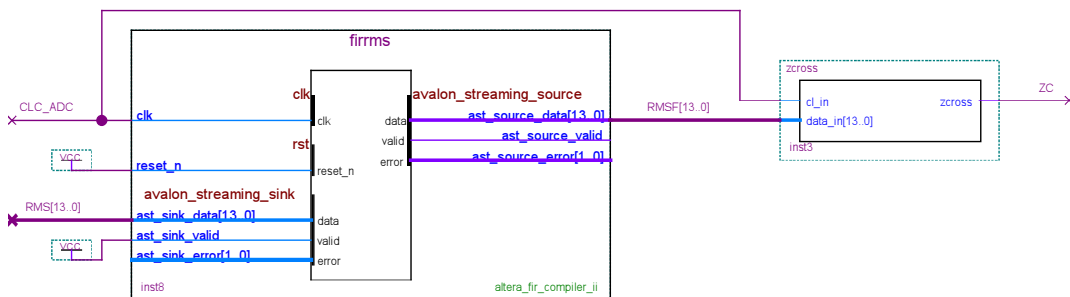
Ako bolo spomínané vyššie, FPGA obvody prinášajú výhodu kombinovania návrhu HW logických entít spolu so softvérovými produktmi v podobe soft-core a SoC. Merač ČV implementuje aj niekoľko blokov priamo na HW vrstve a to formou VHDL blokov. Pričom tieto bloky komunikujú s SoC merača ČV a priamo interagujú s externými perifériami mimo obvod FPGA. Blokovo je možné tieto časti vidieť na obr. 53.

Implementovanými VHDL blokmi je digitálny filter typu FIR, ktorý zabezpečuje



Obr. 53 HW bloky v rámci FPGA

zniženie obsahu vyšších frekvencií v rámci signálu testovacieho napätia a to najmä pre samotný blok ZeroCross detection. Spojenie obidvoch blokov je možné vidieť na obr. 54.

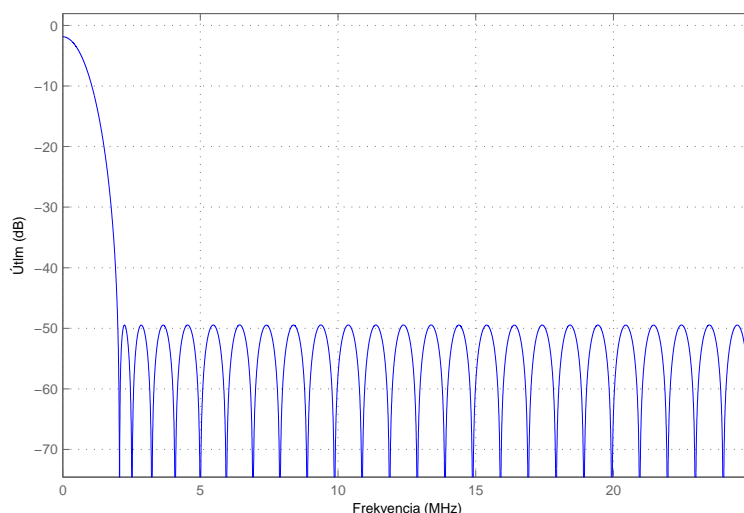


Obr. 54 FIR filter v spojení zo zerocross blokom

FIR filter je implementovaný ako samostatný VHDL blok, ktorý je vygenerovaný za pomoci nástrojov MATLAB a s pomocou vstavaného Mega Wizard Plug-in nástroja, ktorý ponúka istú paletu predpripravených blokov. Blok FIR filtra obsahuje na vstupe priamo dáta z prevodníka vo forme 14 bitového binárneho slova (13 + 1 znamienko) a na výstupe produkuje v rovnakom formáte filtrovaný výstup. Frekvenčná charakteristika filtra je zobrazená obr. 55. Výstup tohto filtra je vedený na vlastný blok zerocross, ktorý na svojom výstupe produkuje 1 bitový binárny výstup, ktorý určuje či je daný signál kladný alebo záporný. Softvérovo je v bloku integrovaná hysteréza, ktorá obmedzuje vplyv šumu vstupných dát na správnosť výstupu. Tento výstup je ďalej vedený ako referenčný pre potreby SoC a ostatných blokov.

Ďalším blokom, ktorý naopak súvisí s meracím kanálom pre meranie ČV sú filtre typu IIR, ktoré umožňujú obmedziť frekvenčné pásmo signálov ČV podobne ako zaradenie klasického dolnopásmového filtra na rôznych frekvenciách. Poloha týchto frekvencií je otvorená a samotné stanovenie bude dané pilotnou prevádzkou a otestovaním vlastností (predpripravené hodnoty medznej frekvencie sú 120kHz, 300kHz, 450kHz, 1MHz). Výstupy jednotlivých typov IIR filtra je možné prepínať pomocou multiplexera a tým využiť požadovaný vstup do SoC.

Žltou farbou je naznačený blok analýzy v reálnom čase, ktorý združuje skupiny algoritmov, ktoré sú využívané pri spracovaní udalostí meraných na vstupe čiastočných výbojov. Niektoré z algoritmov, ktoré sú používané pri spracovaní týchto údajov sú vy-



Obr. 55 Frekvenčná charakteristika FIR filtra

svetlené v kapitole 7.1.4.

5.2.3 Softvér pre NIOS

V tejto časti je uvedený popis softvérovej časti merača ČV, ktorý je implementovaný v rámci procesorového jadra NIOS II. Aplikačný kód je písaný v jazyku C/C++ a pri jeho vývoji bolo používané prostredie NIOS II EDS, ktoré je k dispozícii priamo od producenta Altera ako producenta soft-core NIOS II. V rámci softvérových blokov je nutné si uvedomiť, že samotné algoritmy aplikácie merača ČV zastávajú menšinovú časť softvéru, ktorý nutne musí aplikácia spustená v procesore implementovať. Predovšetkým sa jedná o obsluhu Ethernetového pripojenia, ktoré vyžaduje pomerne veľkú softvérovú obsluhu, nakoľko na vrstve HW je implementovaná v podobe TSE vrstva MAC, ale samotné vyššie vrstvy sú plne ponechané na softvérovú implementáciu. Podľa požiadavok, ktoré boli na zariadenie vznesené je nutné implementovať rozhranie, ktoré bude podporovať pripojenie pomocou protokolového zásobníka TCP/IP, pričom bude využitá transportná vrstva v podobe TCP pripojenia. Samotná implementácia IP zásobníka je softvérovo komplexná úloha, pričom je úzko spätá aj so správnou interakciou s vrstvou MAC. Protokolový zásobník, ktorý Altera vo svojich produktoch odporúča využiť je **NicheStack** od spoločnosti **InterNiche**². Navyše sa jedná o súčasť, ktorú užívateľ získa pri kúpe TSE licencie. NicheStack je protokolový zásobník, ktorý je zapísaný v jazyku ANSI C a tým pádom je použiteľný aj pre iné procesorové jednotky. NicheStack je striktno určený pre použitie v spojení s real-time operačným systémom **RTOS** nakoľko jeho obsluha a využitie je podmienená aplikáciou procesových vlákien a implementáciou komunikačných front ako prostriedkov pre interkomunikáciu medzi rôznymi úlohami.

Altera poskytuje programátorom SoC systémom niekoľko príkladov, ktoré uľahčujú vývoj aplikácií s použitím už spomenutého NicheStack vrátane aplikácie RTOS systému. Príklady, ktoré demonštrujú prácu sieťových aplikácií pre NIOS II sú postavené na operačnom systéme **Micrium uC/OS-II**³. Priblíženie architektúry tohto a iných

²www.iniche.com

³www.micrium.com/rtos/ucosii/overview/

RTOS je prítomné v nasledujúcom texte.

RTOS Micrium uC/OS-II

Pred samotným popisom vlastností konkrétneho operačného systému Micrium je vhodné si najprv uvedomiť v čom je rozdiel medzi bežne písanou aplikáciou vo vyššom jazyku pre mikroprocesor a čo prináša využitie implementácia RTOS systému. Bežná aplikácia obsahuje len jeden aktívny beh kódu, pričom sú vykonávané jednotlivé operácie za sebou a jediné čo tento beh istým spôsobom ovplyvňuje je spracovanie prerušení. V tomto prípade sa beh hlavnej aplikácie preruší, spustí sa beh prerušovacej rutiny a po jej skončení sa pokračuje v pôvodnom behu hlavnej aplikácie. Pre väčšinu jednoduchších riadiacich aplikácií je tento prístup postačujúci.

Aplikácia, ktorá však využíva operačné systémy v reálnom čase tzv. RTOS poskytuje užívateľovi **multitasking**, čiže je možné spustiť na jednom procesore viacero úloh, ktoré sú vykonávané paralelne. Fyzicky samozrejme procesor nedokáže vykonávať viac ako jednu operáciu súčasne. Paralelizmus úloh v tomto režime však funguje za pomoci interných funkcií RTOS. Jednotlivé úlohy, ktoré sú spustené sa dostávajú k vykonávaniu svojich operácií v procesore pomocou plánovacieho mechanizmu, ktorý prideluje systémový (procesorový) čas jednotlivým úlohám podľa ich priority, časovej kritickosti apod. Termín reálny čas je v tomto prípade chápaný tak, že operačný systém RTOS garantuje do akého najdlhšieho (v zmysle najkritickejšieho) času bude tá, ktorá úloha naplánovaná a vykonaná. Tento paralelizmus úloh si nachádza opodstatnenie najmä pri implementácii softvérového náročných celkov, ktoré musia byť obsluhované periodicky so striktnou udanou časovou nadväznosťou apod. Mnohokrát samotný kontrolér zastáva niekoľko izolovaných funkcií, ktoré musia fungovať neustále a medzi sebou si vymieňajú len minimum údajov. V tomto prípade je použitie RTOS ideálnou voľbou.

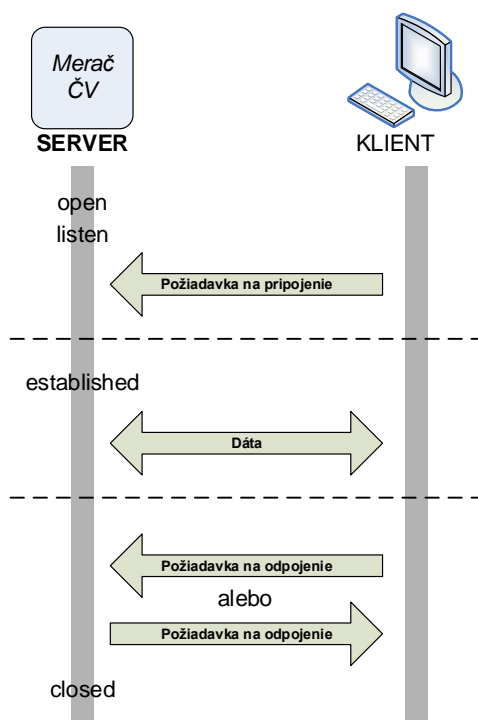
Hlavné črty Micrium uC/OS-II:

- Preemptívne plánovanie úloh
- Zapracovanie synchronizačných nástrojov pre multitasking - semaforey
- Definovanie čakacích intervalov v rámci synchronizácie úloh
- Podpora až 254 paralelných úloh
- Flexibilná pamäťová náročnosť pre kontext úloh
- Podpora komunikačných front / udalostí

5.2.4 Obslužná aplikácia merača ČV

Obslužná a riadiaca aplikácia, ktorá bola vyvinutá pre merač ČV sa opiera o poznatky, ktoré boli uvedené v podkapitolách o soft-core NIOS a o využití MAC Triple-Speed-Ethernet. Celkovo bola aplikácia tvorená v jazyku ANSI C s využitím RTOS systému Micrium uC/OS-II. Aplikácia vznikla z predpripravených príkladov od spoločnosti Altera pre implementáciu sieťového rozhrania v rámci NIOS II architektúry.

Zariadenie vo svojej podstate figuruje po zapnutí v sieti LAN ako TCP server. To znamená, že zariadenie má pridelenú svoju vlastnú MAC adresu a taktiež vlastnú adresu IPv4. Pričom na úrovni transportného protokolu implementuje TCP protokol. Okrem samotnej adresy IP má priradený aj komunikačný port, cez ktorý je možné samotné pripojenie pomocou TCP prevádzkovať.

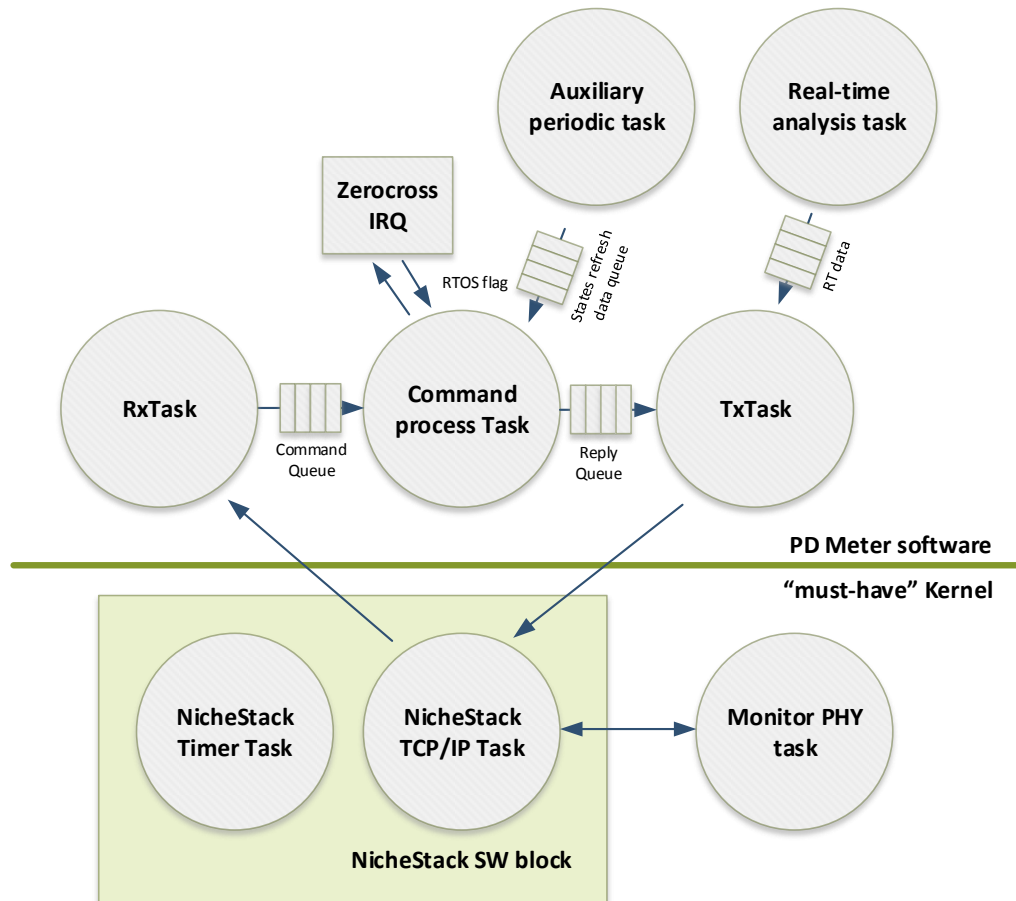


Obr. 56 TCP priebeh spojenia v režime server

Priebeh komunikácie na úrovni TCP je znázornený na obr. 56. Merač ČV uvedie sieťovú vrstvu do stavu **open** a následne **listen**. V tomto bode je zariadenie už plne viditeľné v rámci siete LAN a je možné iniciovať pripojenie zo strany nadradeného zariadenia. Po nadviazaní spojenia sa zariadenie dostáva do stavu **established**, v ktorom naďalej zotrúva až pokiaľ jedno zo strán nepožiadá o ukončenie tohto spojenia. V rámci tohto stavu sú prenášané dátové pakety. Zariadenie sa po ukončení spojenia dostane automaticky do stavu **closed**, kedy obslužná aplikácia iniciuje opäť stav **listen**, aby bolo možné nadviazať nové spojenie so zariadením.

V rámci aplikácie, ktorá je spustená v procesore NIOS je nutné si uvedomiť, že samotná časť, ktorá sa venuje užívateľskej obsluhu a implementuje konkrétne funkcie merača ČV, musí byť podporená softvérovými balíkmi, ktoré pomocou spomínaného *NicheStack* spravujú sieťové rozhranie, komunikujú na úrovni bežných podporných správ LAN sietí ako sú napríklad ICMP správy (napr. príkaz ping v OS Windows ai.). Všetky tieto úlohy je nutné vykonávať na pozadí hlavnej funkcionality zariadenia. Preto je im-

plementovaný práve RT operačný systém, ktorý pomocou možnosti spúšťania paralelných úloh implementuje niektoré služby. Na nasledujúcom obr. 57 je možné si všimnúť aké úlohy (tasks) v rámci aplikácie pre merač ČV sú spustené a ako medzi sebou interagujú.



Obr. 57 Štruktúra úloh v rámci softwaru merača ČV

V spodnej časti je možné si všimnúť bloky, ktoré sú nevyhnutné pre celkovú prevádzku akejkoľvek sieťovej aplikácie. V pravej časti je úloha **Monitor PHY task**, ktorá sníma podnety, ktoré prichádzajú do SW z HW časti TSE. Tieto podnety ďalej sprostredkováva softvérovému balíku NicheStack, konkrétnej úlohe **NicheStack TCP/IP Task**. Táto úloha spravuje ako prvá dáta, ktoré sú po Ethernet sieti doručené. Pokiaľ sa jedná o dáta, ktoré nepatria samotnému zariadeniu alebo sú implementované na nižších vrstvách ako je TCP tak tieto dáta sú spracované priamo v rámci tohto bloku a samotná aplikácia (nad zelenou čiarou hore) nerieši obsluhu týchto udalostí vôbec. Podporným blokom je **NicheStack Timer Task**, ktorý poskytuje časovanie úloh.

V rámci aplikácie merača ČV je zatiaľ implementovaných 5 úloh. Prvou úlohou je **RxTask**, ktorá dostáva dáta, ktoré prijal NicheStack už v rámci TCP pripojenia k meraču ČV. RxTask ďalej dáta parsuje a posielajú ich pomocou dátovej štruktúry typu **FIFO fronta**. K tejto fronte má prístup úloha **Command process Task**, ktorá jednotlivé príkazy interpretuje a vykonáva, pričom táto úloha rieši aj meracie úlohy. Pre tieto účely potrebuje získať informáciu z asynchrónneho prerušenia od zerocross bloku

VHDL (obr. 54). Na tieto účely je využitá dátová štruktúra **flag** (príznak). Na oddelenie niektorých príkaz / odpoveď správ je integrovaná úloha **Auxiliary periodic task**, ktorá vykonáva periodické, časovo nekritické operácie. Sníma napríklad stav batérie, stav nabíjania a tieto údaje ukladá do fronty, ktorú číta opäť **Command process Task**. Po spracovaní príkazu je formovaná odpoveď, ktorá je odoslaná frontou **Reply Queue** do úlohy **TxTask**. Úloha, ktorá má na starosti zber údajov z blokov VHDL, ktoré pracujú v rámci real-time algoritmov je spustená stále - **Realtime analysis task** vid 7.1.4. Úloha TxTask formuje samotný sieťový paket a posieľa ho naspäť do bloku NicheStack, ktorý ho potom spracuje a odošle ďalej do nižších vrstiev.

5.2.5 Príkazy zariadenia

Ako bolo spomenuté v odstavci vyššie aplikácia vykonáva jednotlivé príkazy, ktoré dostane v rámci TCP komunikácie. Tieto príkazy vykonáva a formuje odpoveď. Formát príkazov, spolu s odpoveďou je vyobrazený v tabuľke 9.

Tabuľka 9 Tabuľka príkazov

Command type	Command syntax	Reply syntax
Device state	RDY?\n	OK\n
Battery voltage	BAT?\n	%.2f\n
Set PGA gain	SPGA=%d,%d	OK\n
Read RMS voltage of Ut	MRMS\n	%.4f,%d\n
Start measuring		
- <i>without trigger immediate</i>	MEAS=%d\n	OK\n
- <i>zero-cross trigger of input</i>	MZCT=%d\n	OK\n / TRGF\n
- <i>calibrator trigger input</i>	MCAT=%d\n	OK\n / TRGF\n
Data readout		
- <i>PD measure input</i>	DPDM\n	Binary samples
- <i>RMS measure input</i>	DRMS\n	Binary samples
- <i>RMS measure input small</i>	DFRM\n	Binary samples
Set filter cutoff frequency	FCUT=%d\n	OK\n
Set and start RT mode	REAL=%d,%d\n	Binary data form
Start PA analysis	STPA\n	Binary data form
Stop RT mode or PA analysis	STOP\n	

Device state

Príkaz testuje prítomnosť a aktívny režim merača ČV. Merač ČV odpovedá **OK**.

Battery voltage

Príkaz slúži na zmeranie aktuálneho napätia akumulátorov. Hodnota je vracaná ako desatinné číslo formátované *.2f*.

Set PGA gain

Nastavenie zosilnenia PGA blokov obidvoch kanálov. Príkaz preberá dva celočíselné parametre, pričom dovolený rozsah je:

$$A_{\min} = -11,5dB = 0dec \quad A_{\max} = 20dB = 63dec$$

Prvý parameter platí pre kanál ČV, druhý potom pre kanál testovacieho napätia U_t .

Read RMS voltage of U_t

Zariadenie vykoná odmer jednej periódy testovacieho napätia a následne vypočíta zo vzoriek ich efektívnu hodnotu. Hodnota, ktorá je vračaná vo formáte $.4f$ je napätie vo voltoch na vstupne väzobného členu. Pre dopočet efektívnej hodnoty testovacieho napätia je nutné aplikovať deliaci/násobiaci pomer kapacitného deliča tvoreného kapacitou C_c a kapacitou väzobného členu.

Druhý celočíselný výstupný parameter určuje stav násobiaceho bloku väzobného členu (podľa obr. 35). Pričom platí pre 0 je zosilnenie 1x, 1 potom signalizuje zosilnenie 10x.

Start measuring

Príkaz je možné poslať v troch tvaroch. Jediným parametrom je počet periód, ktoré majú byť za sebou snímané. Rozsah je 1 až 16. Príkaz **MEAS** iniciuje okamžité meranie režimom Full-Expert (viď. 7.2). Ukončenie vzorkovania je signalizované **OK**. Príkaz **MZCT** spúšťa meranie až po spustení od obvodu zero-cross. Naopak príkaz **MCAT** čaká na spustenie od nábojového kalibrátora (viď. 6). Úspešné zmeranie je signalizované odpoveďou **OK**, v prípade neprítomnosti spúšťačích signálov je potom odpoveď **TRGF**.

Data readout

Príkazy su platné len pre spustenie merania pomocou **Start measuring**. Po prijatí tohto príkazu meračom ČV je spustený transfer binárnych dát smerom do PC. Objem dát je definovaný počtom periód, ktoré boli definované v danom spustení merania. Dáta sú prenášané ako 16 bitové neznamienkové čísla (uint16) za sebou vo formáte Big-endian (najskôr je prenesený byte obsahujúci bity 15-8). Prijaté čísla musia byť v nadradenej aplikácii rekonštruované na formát pôvodných znamienkových dát z prevodníka (int14). Pre rekonštrukciu je možné sa inšpirovať nasledujúcim kódom v jazyku C.

Listing 5.1 Konverzia binárnych dát na celočíselnú reprezentáciu vzoriek v LSB

```
int16_t sample;
sample=(uint8_t) DataBuffer[i];
sample<<=8;
sample|=(uint8_t) DataBuffer[i+1];

if(sample>=8192)
{
    sample=sample-16384;
}
```

Rovnaký princíp aký platí pre dáta z kanálu ČV platí aj pre kanál testovacieho napätia U_t . Množstvo dát na **jednu periódu** v prípade kanála ČV je $1 \cdot 10^6$ vzoriek čiže $2 \cdot 10^6 B$. V prípade druhého meracieho kanálu to je potom 500 vzoriek na periódu ($1000B$).

Set filter cutoff frequency

Príkaz slúži na nastavenie číslicových filtračných blokov radených v ceste signálu z kanálu ČV. Príkaz preberá jeden parameter, ktorí vyberá zo 4 možných nastavení (tab. 10).

Tabuľka 10 Zlomové frekvencie filtrov podľa parametra príkazu

Parameter	Zlomová frekvencia
0	filter vypnutý
1	120kHz
2	300kHz
3	450kHz
4	1000kHz

Set and start RT mode

Príkaz nastavuje a iniciuje Real-Time mód. RT mód je popísaný v kapitole 7.2.2. Príkaz obsahuje dva celočíselné parametre. Prvý parameter nastavuje komparačnú úroveň a nasledujúci parameter potom časovú necitlivosť. Komparačná úroveň je udávaná v LSB pričom necitlivosť je udávaná v násobkoch $k \cdot 1ms$, kde k je hodnota parametru.

Po inicializovaní RT módu sú lokalizované vzruchy prenášané v nasledujúcom formáte

Časová značka [ms]	Hodnota maxima/minima
2B Big Endian (int16)	2B Big Endian (int16)

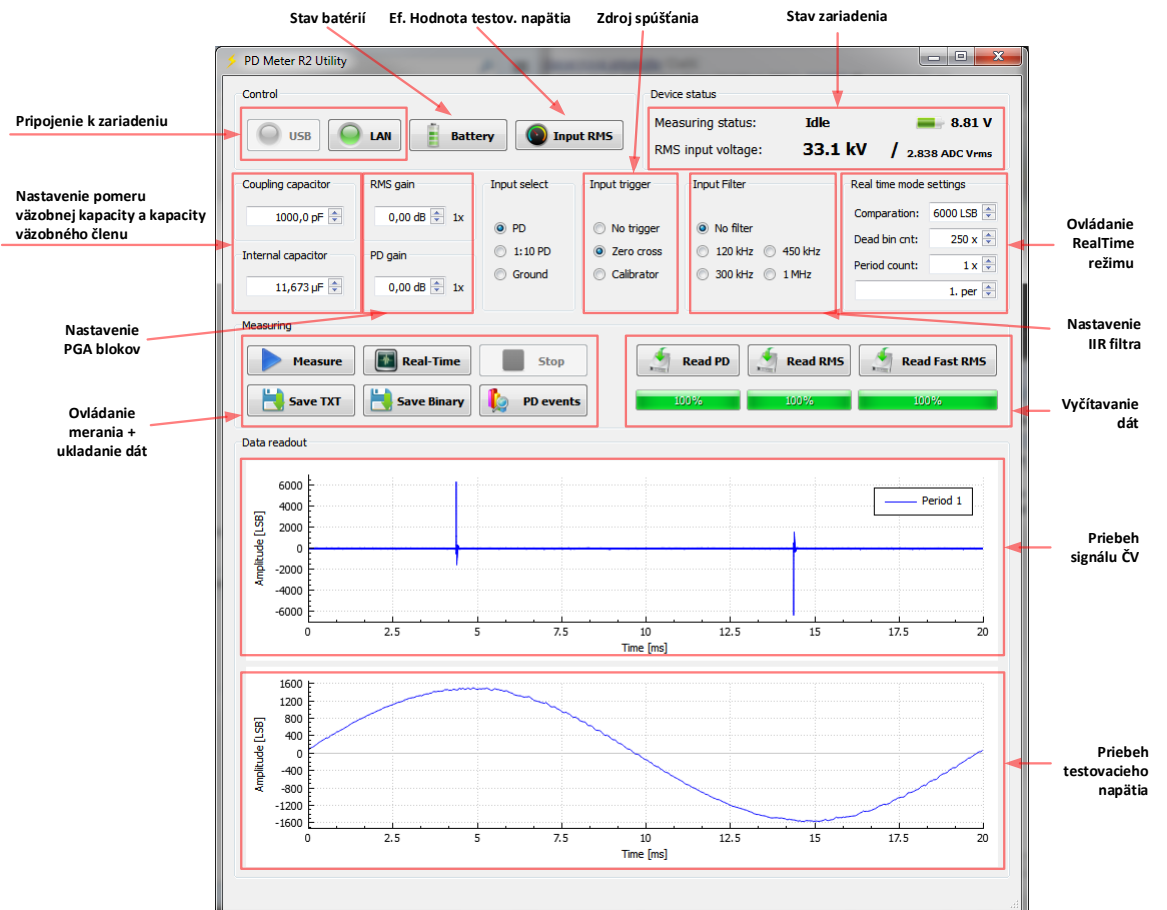
Pričom hodnotu maxima / minima je nutné konvertovať pomocou obdobného algoritmu ako v Listing. 5.1

Stop RT mode

Príkaz deaktivuje mód RT analýzy pričom po jeho prijatí meračom ČV zariadenie zastaví posielanie binárnych dát.

5.2.6 Obslužný program pre PC

Pre prototypové využívanie merača ČV bol počas vývoja SW blokov v rámci FPGA tvorený aj ovládací SW pre nadradený počítač, pomocou ktorého je možné vykonávať všetky popisované príkazy spolu so samotným meraním ČV v režimoch popísaných v kap. 7.2. Aplikácie je napísaná v prostredí Qt 5.1 v jazyku C++. Jej hlavné okno spolu s popisom prvkov je na obr. 58.



Obr. 58 Popis hlavného okna ovládacieho SW pre nadradený PC

6 Nábojový kalibrátor

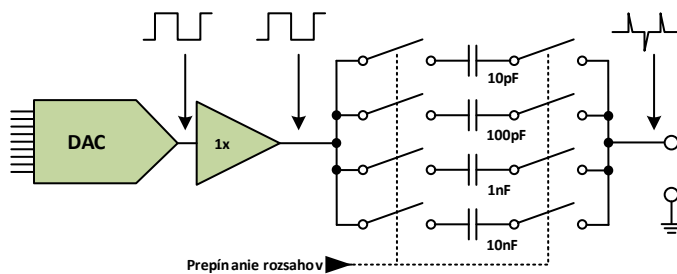
Nábojový kalibrátor patrí medzi nevyhnutné súčasti celej meracej zostavy. Hlavnou funkciou je kalibrácia samotného merača ČV, ale hlavne celého meracieho reťazca, ktorý sa skladá z testovaného objektu, kábeláže, väzobného kondenzátora a samotného digitizéra. Blokovo je možné zapojenie nájsť v kapitole 7.1.2.

Hlavnou požiadavkou na funkcionalitu je generovanie simulovaných čiastočných výbojov, ktoré je možné snímať a vyhodnotiť samotným meračom ČV. Elektricky je teda nutné, aby kalibrátor zastával funkciu generátora náboju Q . Následne je vhodné aby bolo možné meniť množstvo náboja v rámci nastavenia samotného zariadenia.

Dôležitým aspektom celého návrhu takéhoto kalibrátora je koncový výstupný výkonový člen, ktorý zabezpečuje samotné generovania náboja. Fundamentálne je náboj definovaný ako:

$$Q = \int_{t_1}^{t_2} I dt$$

Pri dodržaní zvoleného náboja Q teda hrá dôležitú úlohu najmä výstupný prúd I . Nábojový kalibrátor, ktorý vznikol počas vývoja merača ČV implementuje blokovo nasledujúci výstupný člen (obr. 59).

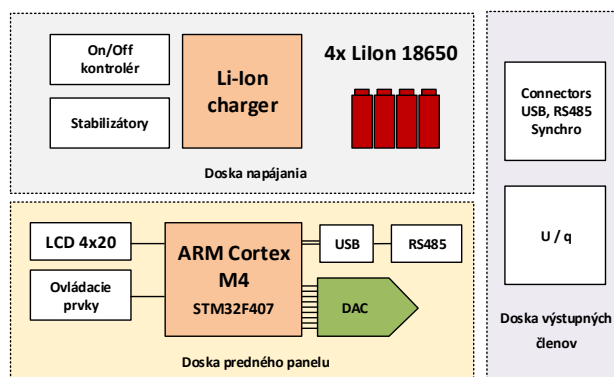


Obr. 59 Blokové usporiadanie výstupného člena kalibrátora

Proces generovania výstupného signálu začína vygenerovaním pravouhlého signálu, ktorého výstup je produkovaný DAC prevodníkom. Signál je ďalej vedený na blok napätového sledovača, ktorého výstup je privedený na jeden zo štvorice aktuálne aktívovaných kondenzátorov. Kondenzátor spolu s pripojenou záťažou funguje ako derivačný článok a preto sa priebeh výstupného signálu približuje ideálnemu priebehu impulzu ČV. Dôležitým aspektom samotného zapojenia sú vlastnosti bloku napätového sledovača. Sledovač musí produkovať na svojom výstupe dostatočne veľký prúd, aby pokryl rýchle nabíjanie kondenzátora, ktoré plynie z pravouhlého priebehu vstupného signálu. Okrem vysokého výstupného prúdu je teda nutné, aby sledovač bol aj dostatočne rýchly. Po analýze parametrov je blok sledovača postavený z ôsmich operačných zosilňovačov THS3062. Dôležité parametre pre výber boli podľa [15]:

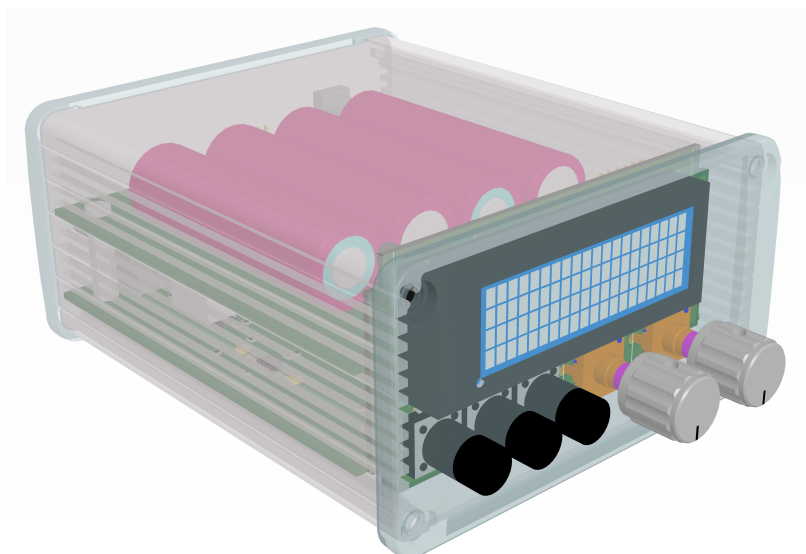
- Výstupný prúd: $\pm 145\text{mA}$
- Slew rate: $7000\text{V}/\mu\text{s}$

Bloková schéma celého kalibrátora zariadenia je zobrazená na obr. 60



Obr. 60 Blokové usporiadanie kalibrátora

Zariadenie sa skladá z troch plošných spojov, pričom v rámci predného panelu zariadenia je implementované zobrazovanie a nastavovanie zariadenia. Tento plošný spoj slúži aj ako nosič DAC prevodníka spolu s procesorom ARM, ktorý celý kalibrátor ovláda. Napájanie zariadenia je riešené pomocou štyroch článkov Li-Ion, ktoré vytvárajú bipolárne napájacie napätie $\pm 8,4\text{V}$. Nabíjanie a správa batérií je riešená podobne ako v prípade akumulátorovej dosky merača ČV vid. 4.3. Poslednou súčasťou je doska samotného výstupného člena, na ktorej je navrhnutá elektronika podľa 59. Mechanicky je možné si predstaviť kalibrátor podľa obr. 61. Jednotlivé plošné spoje sú mechanicky upevnené v hliníkových vodiacich lištách a napájacie či dátové spojenia sú riešené pomocou konektorov v jednotlivých PCB.



Obr. 61 3D náhľad návrhu kalibrátora

7 Využívanie merača ČV

Táto časť textu sa bude venovať popisu implementovaných meracích režimov zariadenia a to z pohľadu interpretácie dát, ich prenosu do nadradeného systému, ale tiež bude priblížená celková metodika samotného merania a vyhodnotenia dát počas celého procesu diagnostiky.

7.1 Metodika merania

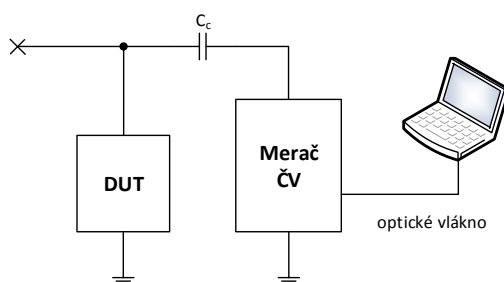
V predošlých kapitolách boli popísané všetky funkčné celky systému merača ČV od jeho HW častí až po softvérové bloky. Tento text si dáva za cieľ oboznámiť o samotnom meraní čiastočných výbojov v diagnostickej praxi priamo pri meraniach, ktoré sú na strojoch VN pravidelne vykonávané akreditovanými laboratóriami. Meranie sa skladá z niekoľkých krokov, ktoré je nutné dodržať a svedomito sa postaviť k interpretácii jednotlivých nameraných veličín.

Vo všeobecnosti je možné samotný merací proces rozdeliť na nasledujúce fázy:

- Meranie šumových parametrov meracieho reťazca
- Kalibrácia meracieho reťazca pomocou nábojového kalibrátora
- Meranie čiastočných výbojov VN stroja pomocou testovacieho napätia
- Vyhodnotenie merania, stanovenie záverov

7.1.1 Meranie šumových parametrov meracieho reťazca

Prvým krokom, ktorý je nutné urobiť pred samotným meraním čiastočných výbojov je určenie šumových vlastností meracieho reťazca. Pri tomto meraní sa jednotlivé zariadenia zapoja podľa obr. 62

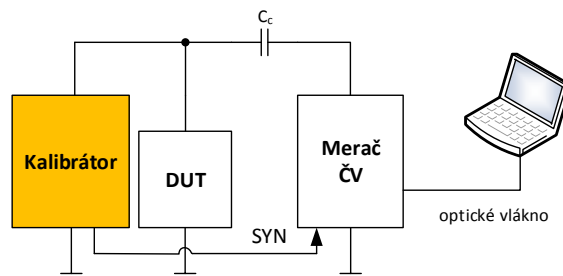


Obr. 62 Meranie šumových parametrov

Pomocou riadiaceho softvéru na počítači sa odmerá úroveň signálu v rámci meracieho kanálu ČV a určí sa šumové pásmo. Pričom sa predpokladá, že v takejto konfigurácii, kedy DUT nie je budený testovacím napätím, nie sú prítomné žiadne čiastočné výboje a signál, ktorý je nameraný zodpovedá rušivým vplyvom okolia. Rozsah tohto signálu je zaznačený a v ďalšom postupe merania sa predpokladá, že signál, ktorý neprekročí toto pásmo je považovaný za šum a nie je vyhodnotený pre potreby diagnostiky.

7.1.2 Kalibrácia pomocou nábojového kalibrátora

Tento krok je jedným z najdôležitejších a na jeho správnosti závisí výsledok a správna reprezentácia dát po celom meraní. Zapojenie v tejto časti merania je zobrazené na obr. 63.



Obr. 63 Kalibrácia reťazca

Nábojový kalibrátor je pripojený na mieste prípojného bodu testovacieho napätia. Pričom si je nutné uvedomiť, že samotné zariadenie DUT je stále pripojené v samotnom reťazci. Nábojový kalibrátor v tomto prípade simuluje prítomnosť zdroja čiastočných výbojov, ktorý je pri lepšej predstavivosti prítomný "vnútri" samotného DUT. Dôležitou súčasťou samotného zapojenia je prítomnosť synchronizácie, ktorá v tomto prípade nahrádza synchronizáciu od periódy testovacieho napätia. Kalibrátor totiž na svojom výstupe negeneruje žiadne nízkofrekvenčné nosné napätie.

Nábojový kalibrátor poskytuje podľa kapitoly 6 generovanie presného množstva náboju Q , ktorému je možné nastaviť nielen posun v rámci referenčnej časovej meracej periódy, ale aj samotné množstvo náboju.

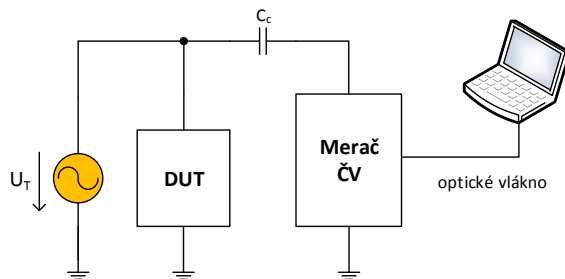
Proces kalibrácie je možné zhrnúť v nasledujúcich bodoch:

1. Nastavenie výstupného náboja Q na minimálnu hodnotu kalibrátora
2. Vyčítanie nameraných údajov do PC
3. Nájdenie prítomnosti špičky v meranom priebehu
4. Ak špička nevystupuje zo šumového pásma, zvýšenie náboja a opakovanie bodov 2 a 3
5. Zaznamenanie digitalizovanej hodnoty merača ČV je daný náboj Q
6. Zvýšenie náboja na dvojnásobok a opakovanie bodu 5
7. Ukončenie kalibrácie pri dosiahnutí maximálnych hodnôt meracieho rozsahu kalibrátora / merača

Týmto postupom je možné určiť pre daný náboj Q , danú meraciu zostavu a dané pripojenie aká je výstupná hodnota signálu, ktorá je zaznamenaná. Pomocou ďalšieho postupného zvyšovania produkovaného náboja kalibrátorom je overená linearita meracieho reťazca, ale aj samotného merača ČV. Zmerané hodnoty slúžia na absolútne určenie veľkosti čiastočných výbojov v rámci hlavného merania za prítomnosti testovacieho napätia.

7.1.3 Meranie pomocou testovacieho napätia

Po úspešnom nakalibrovaní samotného reťazca je možné pristúpiť k vlastnému meraniu. V tomto režime je konfigurácia zapojenia totožná s meracím reťazcom podľa obr. 64



Obr. 64 Vlastné meranie pomocou testovacieho napätia

Namiesto kalibrátora je pripojený vysokonapäťový zdroj testovacieho napätie U_t , ktorý ako bolo už spomínané nesmie sám o seba produkovať čiastočné výboje, resp. ich úroveň musí byť zanedbateľná. Typickým meracím rozsahom, ktorý je pri diagnostike používaný je rozsah testovacieho napätia:

$$0kV < U_t < 100kV$$

Meranie sa začína pri nastavenom napätí $0kV$ a overia sa opäť šumové vlastnosti kanálu. Pokiaľ je VN zdroj v poriadku šumové pásmo by sa nemalo oproti tomu nameranému pri odpojenom vstupe nijako významne obmeniť. Metodika merania je nasledovná:

1. Stanoví sa merací rozsah (úroveň testovacieho napätia) podľa normy pre dané DUT
2. Merací interval (napäťový rozsah) sa rozdelí do vhodného počtu krokov
3. Nastaví sa prvá nenulová úroveň U_t
4. Digitalizovaný signál sa vyčíta
5. Podľa charakteru sa môže pristúpiť k real-time analýze (podľa 7.2.2)
6. Zvýši sa úroveň U_t a opakujú sa kroky 4 a 5
7. Meranie je ukončené pri dosiahnutí maximálnej úrovne U_t

Merací rozsah U_t je normovaný podľa konkrétnej špecifikácie samotného DUT (VN stroja). Táto špecifikácia nie len že určuje aké prevádzkové napätie je pre VN stroj nominálne, ale aj aká je maximálna prijateľná úroveň čiastočných výbojov pre tú ktorú úroveň testovacieho napätia. Kvantovanie meraných čiastočných výbojov je určené podľa predošlej kalibrácie.

7.1.4 Vyhodnotenie merania

V záverečnej časti je generovaný protokol daného akreditovaného meracieho laboratória, kde sú uvedené všetky namerané údaje vrátane výsledkov pri kalibrácii a taktiež jednotlivých meracích krokoch v rámci merania pomocou testovacieho napätia.

7.2 Meracie režimy zariadenia

Pre správnu reprezentáciu meraných dát je implementovaných niekoľko meracích režimov, pomocou ktorých sú obsluhu diagnostického merania poskytované buď to kompletné namerané dáta, alebo dáta už pred-spracované, ktoré urýchlia prácu pri celkovej reprezentácii výsledkov.

7.2.1 Režim Full-Expert

V rámci režimu **Full-Expert** je vyvodenie samotných záverov merania ponechané na obsluhu zariadenia. Tento režim neimplementuje žiadny režim pred-spracovania údajov a všetky zmerané údaje na oboch kanáloch digitizéra sú v plnom rozsahu prenesené do nadradeného PC. Užívateľ tak dostane komplexný pohľad na charakter signálu, ktorý nie je nijakým spôsobom digitálne či inak analógovo predspracovaný. Tento režim podporuje nasledujúce nastavenia:

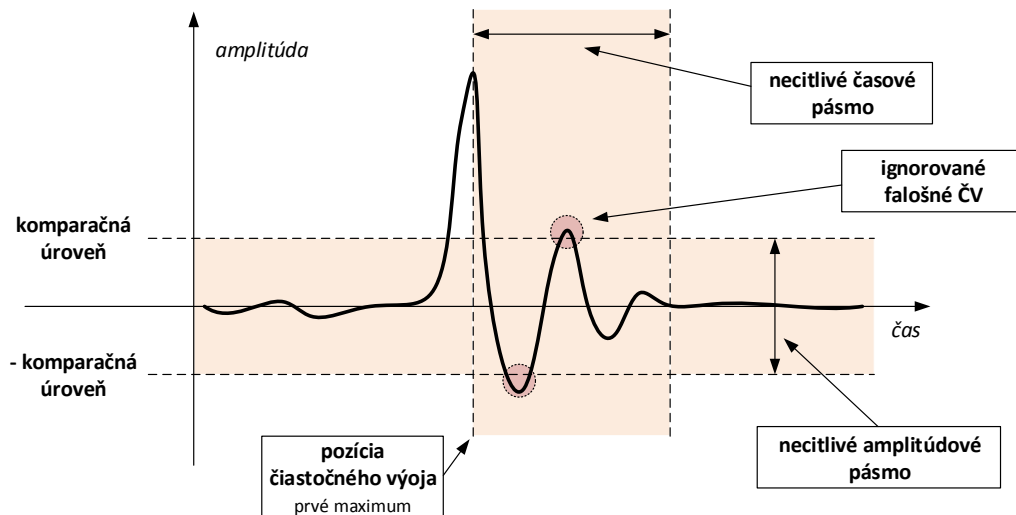
- Nastavenie zdroja spúšťania signálu
- Meranie efektívnej hodnoty nosného napätia
- Meranie 1 až 16 periód idúcich za sebou (platí pre 50/60Hz)
- Plné meranie nosného napätia v rámci daného počtu periód
- Vyčítanie dát až po meraní

Hlavnou nevýhodou tohto režimu je veľký objem dát, ktorý je prenášaný v rámci jedného merania. Režim je preto vhodný len na niektoré časti samotného meracieho postupu. Typicky je tento režim vhodný na meranie šumového pásma meracieho reťazca a pre úvodné merania pri kalibrácii na zistenie správneho umiestnenia kalibračných špičiek a ich amplitúd. Vhodný je tiež na overenie správneho sínusového priebehu testovacieho napätia, nakoľko ako jediný režim implementuje aj detailné meranie nosného napätia U_t . Režim je časovo náročný pre postupné meranie rôznych úrovní testovacieho napätia, kde je nutné obsluhu merania poskytovať len relevantné údaje o samotných čiastočných výbojoch. V týchto prípadoch je možné využívať nasledujúce režimy merania. Režim full-expert však ako jediný umožňuje ukladanie kompletných výsledných dát pre budúci analýzu v rámci rôznych iných softvérových nástrojov pre spravovanie signálu.

7.2.2 Režim Real-Time

Režim **Real-Time** implementuje algoritmus, ktorý bol vytvorený v rámci kooperácie s akreditovaným meracím ústavom ako výsledok analýzy dát, ktoré boli namerané pomocou režimu **Full-Expert** na reálnych objektoch, ktoré vykazovali istú úroveň čiastočných výbojov. Režim merania v reálnom čase spočíva v maximálnych možnostiach predspracovania meraného signálu priamo, v rámci obvodu FPGA. Tento spôsob významne redukuje objem dát a tým pádom je možné meranie urýchliť a vhodnou implementáciou počítačového SW aj v reálnom čase zaznamenať priebeh meraných čiastočných výbojov. Odpadá tým nutnosť vyčítavania veľkého objemu dát s čím sú spojené časové prestoje, ktoré neumožňujú merať kontinuálne v rámci dlhšieho časového intervalu (niekoľko desiatok sekúnd až minút). Pre lepšie pochopenie redukcie dát je znázornený obr. 65.

Na obrázku je znázornený fragment typicky zmeraného signálu ČV. Od ideálneho tvaru derivačnej špičky je zaťažený najmä kmitavým charakterom, ktorý do istej miery obmedzuje absolútny výpočet plochy pod krivkou signálu tak ako bolo uvedené v kapitole 2.3. Po experimentálnych meraniach bol stanovený postup, pomocou ktorého je



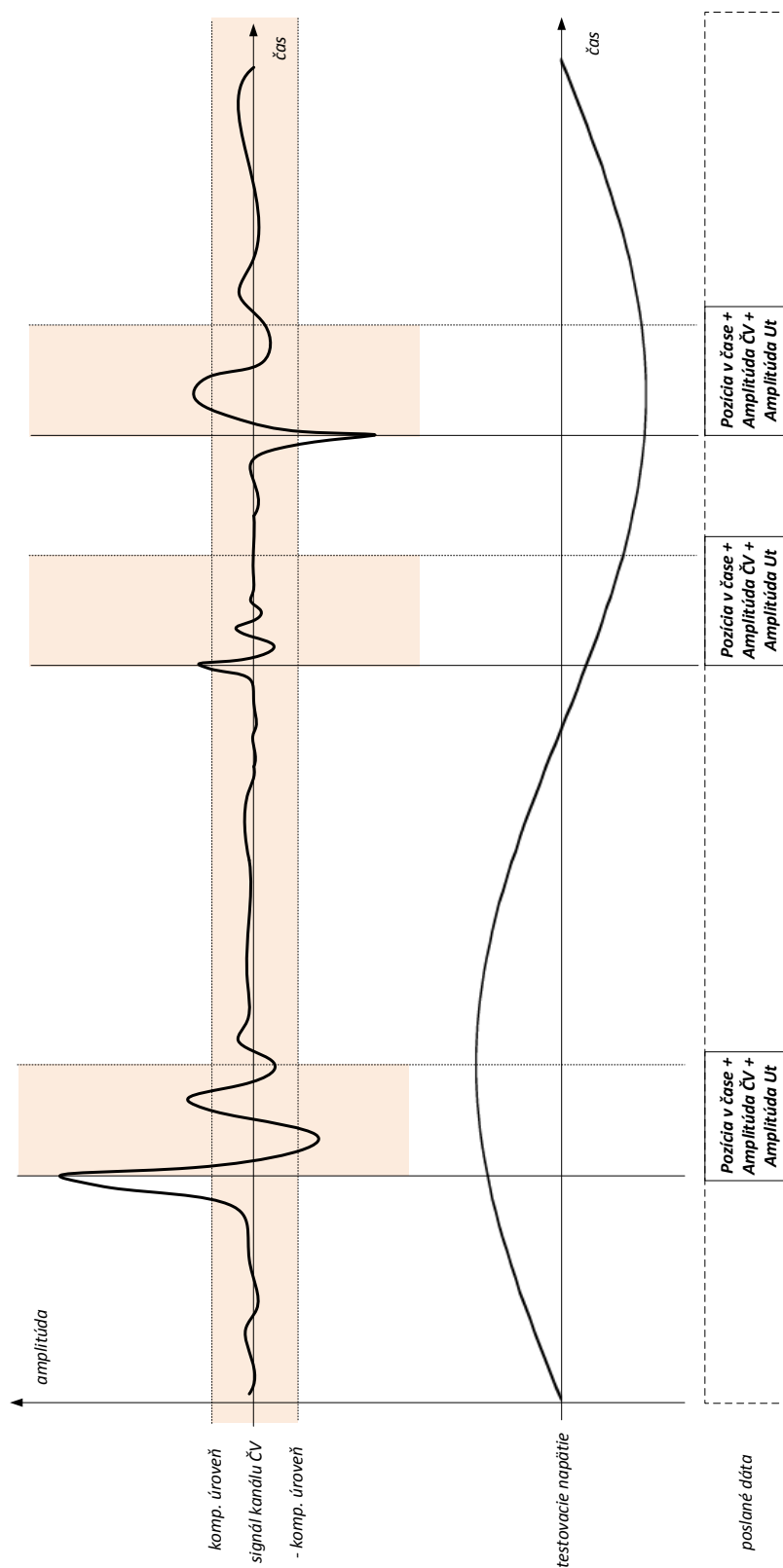
Obr. 65 Základná funkcionálna real-time módu

možné efektívne odstrániť problémy spojené s kmitavým odznievaním signálu, ktorý nesie informáciu o ČV. Po analýze nameraných testovacích dát sa zistilo, že úlohu **obtiažne definovanej integrácie** je možné zjednodušiť predradeným filtračným bloku typu dolná priepuť (implementované číslicovo pomocou IIR), ktorá figuruje ako integračný článok podľa 5.2.2. Po integrácii je teda možné sa **sústrediť len na lokálne extrémny** signálu tak ako je implementované v rámci tohto režimu.

Prvým krokom je stanovenie amplitúdového pásma necitlivosti. Týmto krokom sa jednoducho eliminuje hlavne vplyv šumového pásma a merač sa stane citlivým len na signál, ktorý prekračuje stanovenú úroveň.

Druhým nastaviteľným parametrom je potom časová necitlivosť. Implementácia tohto režimu je výhodná najmä pre utlmujúci kmitavý charakter signálu. Po detekcii vrcholu je aktualizovaná hodnota necitlivého pásma. Počas tohto časového úseku sú všetky vzorky signálu ignorované.

Obidva parametre je možné dynamicky nastaviť pomocou komunikačného protokolu, ktorý je popísaný v kapitole 5.2.5. Pre lepšie pochopenie je pripojený obrázok 66 znázorňujúci algoritmus real-time pri analýze dlhšieho časového úseku. Na priebehu fiktívneho signálu je možné vidieť tri úseky, ktoré reprezentujú čiastočný vývoj. V spodnej časti je ukázaný časový priebeh testovacieho napätia. Po implementácii algoritmu real-time je na spodnej osi, ktorá znázorňuje dátový prenos možné vidieť tri oddelené dátové balíčky, ktoré obsahujú len nevyhnutné údaje, ktoré sú zaslané do nadradeného PC. Týmto spôsobom je možné efektívne monitorovať každú periódu testovacieho napätia spolu s okamžitým vykresľovaním údajov v grafickej či tabuľkovej forme priamo na PC.



Obr. 66 Základná funkcionálna real-time módu

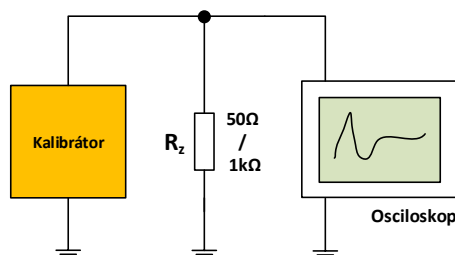
8 Výsledky merania

Overenie meracích parametrov merača ČV bolo uskutočnené za pomoci vytvoreného nábojového kalibrátora podľa kapitoly 6. Nábojový kalibrátor poskytuje v prototypovej verzii nasledujúce hodnoty generovaného náboja:

- 100pC
- 1nC
- 10nC
- 1000nC

8.1 Nábojový kalibrátor

Keďže sa jedná o kalibračné množstvá náboju, bolo nutné overiť aj samotnú činnosť kalibrátora. Podľa popisu v kapitole 6 je zrejmé, že výstup takéhoto zariadenia sa musí chovať ako zdroj prúdu, pričom by mal byť nezávislý na pripojenej záťaži. Zapojenie, ktoré bolo použité na verifikáciu nábojového kalibrátora je na obr. 67.



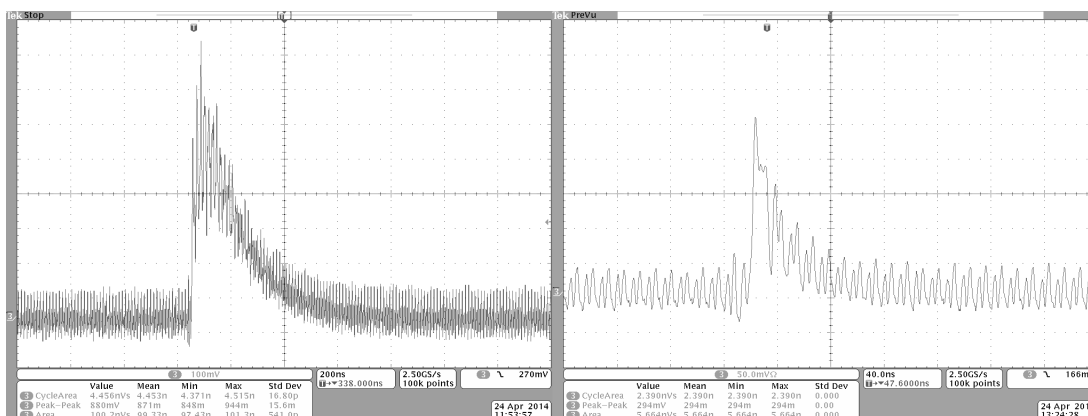
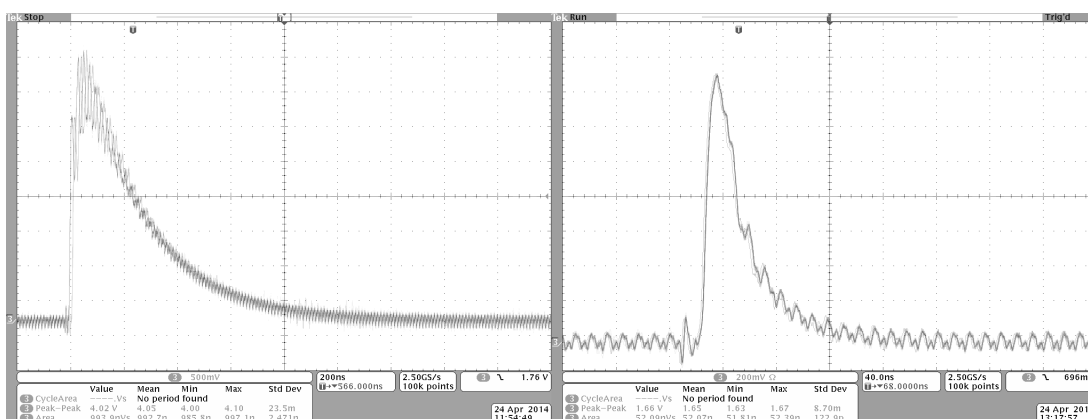
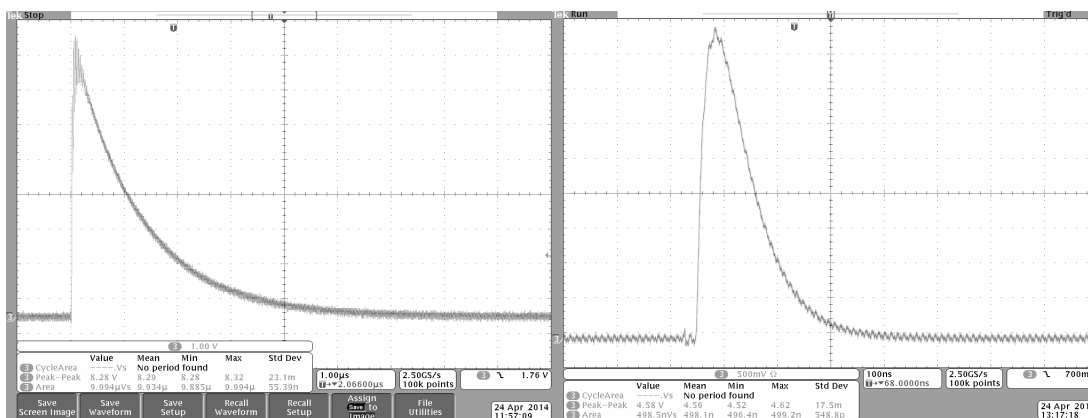
Obr. 67 Zapojenie kalibrátora pri jeho verifikácii

Na digitálnom osciloskope bola použitá funkcia výpočtu plochy pod krivkou (*Area measurement*), pomocou ktorej je možné určiť náboj, ktorý pretiekol z kalibrátora do záťaže. Pričom v prípade záťaže $R_z = 1000\Omega$ je nutné zohľadniť vstupnú impedanciu osciloskopu $R_z = 1M\Omega$. Tento vplyv zatiaľ nebol v rámci nameraných hodnôt plochy a prepočtu na náboj zohľadnený.

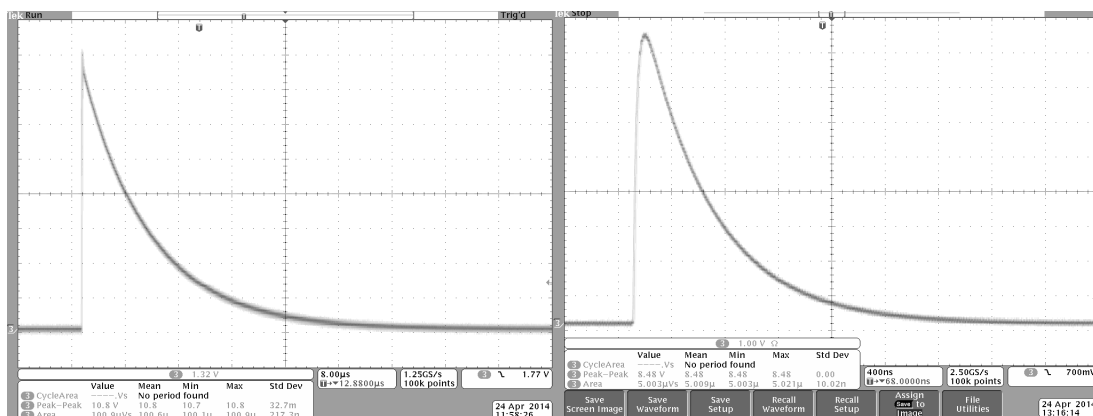
Tabuľka 11 Kalibračný pulz 10nC

Kalibračný pulz 10nC	$R_z = 1000\Omega$	$R_z = 50\Omega$
Plocha pod krivkou [$\mu V s$]	9.994	0.4985
Prepočet na náboj [nC]	9.994	9.97

Z nameraných údajov je možné usúdiť, že výstup kalibrátora sa správa ako zdroj prúdu a že plocha pod jednotlivými krivkami odpovedá náboju nastaveného kalibrač-

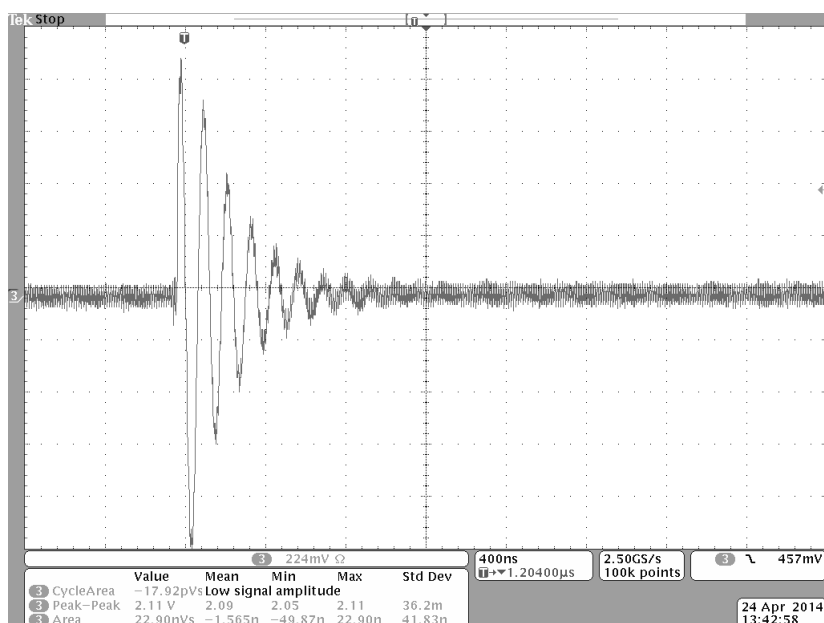
Obr. 68 Kalibračný pulz 100pC, $R_z = 1000\Omega$ vľavo a $R_z = 50\Omega$ vpravoObr. 69 Kalibračný pulz 1nC, $R_z = 1000\Omega$ vľavo a $R_z = 50\Omega$ vpravoObr. 70 Kalibračný pulz 10nC, $R_z = 1000\Omega$ vľavo a $R_z = 50\Omega$ vpravo

nému pulzu. Pre doloženie kalibračný pulz 10nC je uvedená tab. 11, ktorá zachytáva prepočet údajov o ploche na množstvo náboja.



Obr. 71 Kalibračný pulz 100nC, $R_z = 1000\Omega$ vľavo a $R_z = 50\Omega$ vpravo

Pokiaľ je namiesto snímacieho odporu R_z zaradená kapacitná záťaž C_z je získaný priebeh pomocou osciloskopu pre náboj $Q = 10nC$ zobrazený na obr. 72. Meraný signál



Obr. 72 Kalibračný pulz 10nC, $Z = 1\mu F || 50\Omega$

má značne kmitavý charakter a tým pádom, je obtiažne generovaný náboj popísať integráciou plochy pod krivkou priebehu. Tento jav podporuje aj dôvody implementácie režimu Real-Time podľa 7.2.2. Kmitavý charakter signálu je pravdepodobne spôsobený prítomnosťou kábla o dĺžke niekoľko desiatok metrov medzi väzobnou kapacitou a väzobným členom. Taktiež prepojenie väzobnej kapacity a zdroja testovacieho napätia je kritickým. Obidva káble pri svojej dĺžke vykazujú vlastnosti vedenia. Problém môže spôsobiť aj nekorektné ukončené vedenie spolu s nedefinovanou výstupnou impedanciou zdroja testovacieho napätia. Podľa normy [1] by jednotlivé segmenty káblových spojení mali byť čo možno najkratšie.

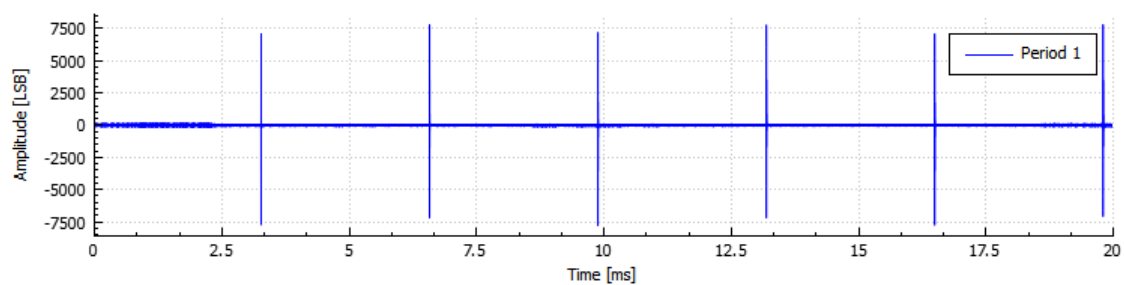
8.2 Merač ČV

Kalibračné pulzy boli privedené na vstup kalibrátora podľa schémy v kapitole 7.1.2. Meranie bolo ovládané pomocou PC aplikácie, ktorá je popísaná v rámci 5.2.6. Kalibrátor bol nastavený na generovanie impulzov s parametrami uvedenými v tab 12.

Tabuľka 12 Nastavenie kalibračných impulzov

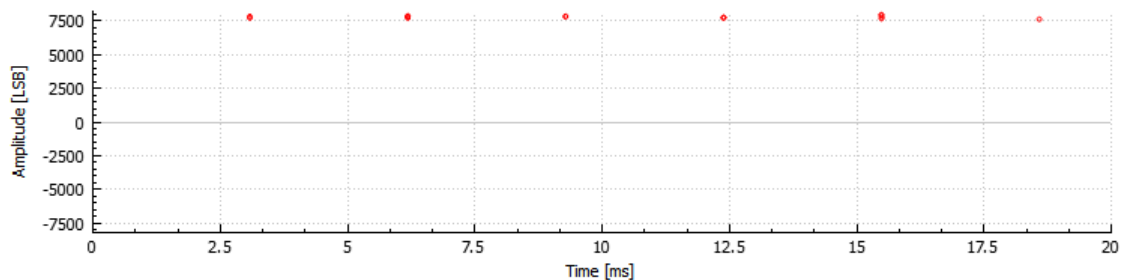
Počet pulzov N	Periódna [ms]	Rozostup imp. [ms]	Čas 1. imp. [ms]
6	20	3.33	3.33

Výsledný nameraný priebeh v režime Full-Expert podľa kap. 7.2.1 s nastavením snímania pre jednu periódu je znázornený na obr. 73



Obr. 73 Záznam full-expert módu pre kalibračné impulzy 10nC

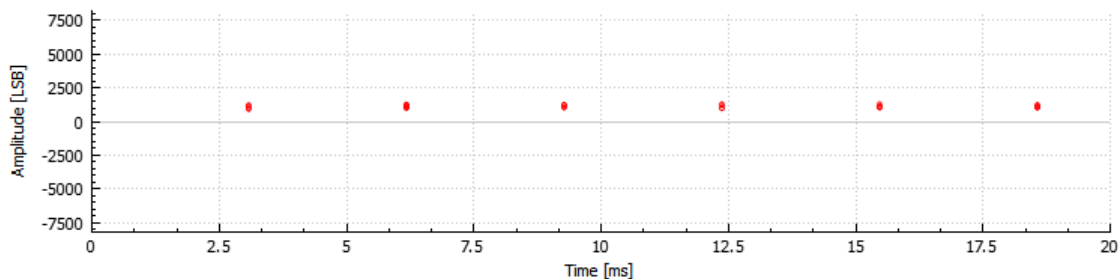
Po aplikovaní režimu Real-time podľa kap. 7.2.2 sú výsledné dáta, ktoré reprezentujú čiastočné výboje udané len amplitúdami jednotlivých lokálnych maxím s použitím predložej integrácie v rámci blokov IIR. Výstup ovládacieho SW je na obr. 74. Maximálna



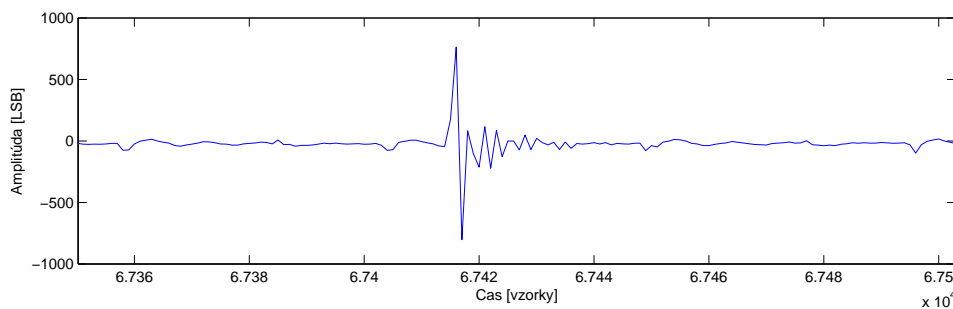
Obr. 74 Záznam real-time módu pre kalibračné impulzy 10nC

amplitúda vyhodnotených výbojov je v prípade **10nC výbojov na úrovni 7900 LSB**. Naopak amplitúda vyhodnotených výbojov je v prípade **1nC výbojov na úrovni 785 LSB**. Týmto je možné podložiť správnosť operácie real-time módu tak ako je popísaná v rámci kap. 7.2.2. Aj napriek kmitavému priebehu (viď obr. 76) je po aplikácii algoritmu a pred-integrácii zaručená linearita vyhodnotenia čiastočných výbojov. Pri správnej kalibrácii podľa kap. 7.1.2 je možné teda aplikovať princípy pomerového merania pri pripojenom DUT.

Testovanie správnosti merania bolo overované za pomoci signálového generátora, kde bol v rámci režimu *arbitrary* namodelovaný sínusový priebeh obsahujúci dva čiastočné výboje. Pomocou sínusového budenia boli overené vlastnosti výpočtu efektívnej hodnoty

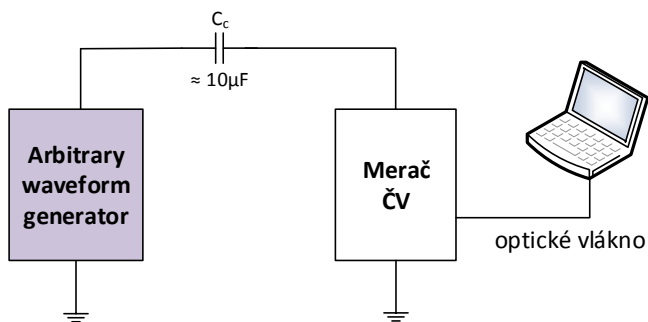


Obr. 75 Záznam real-time módu pre kalibračné impulzy **1nC**



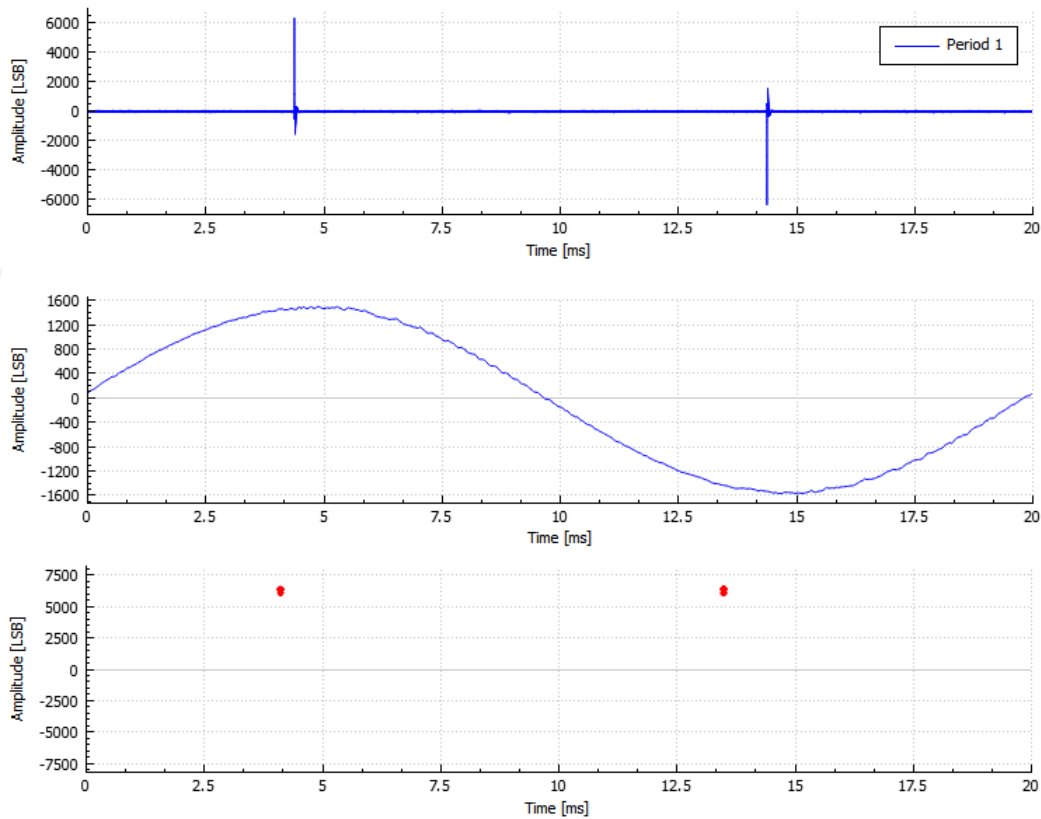
Obr. 76 Detail impulzu ČV v rámci full-expert módu pre **1nC**

testovacieho napätia, ktoré je možno detailne nájsť aj v kapitole 4.2.2 venujúcej sa návrhu väzobného člena. Zapojenie pri tomto teste je zobrazený na obr. 77. Výsledný



Obr. 77 Zapojenie kalibrátora pri jeho verifikácií

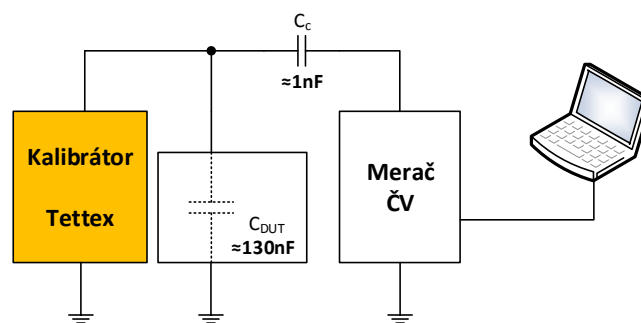
priebeh, ktorý je možné zachytiť v rámci režimu full-expert a RT módu je na obr. 78



Obr. 78 Meranie testovacieho priebehu pomocou Full-Expert módu hore a RT módu dole

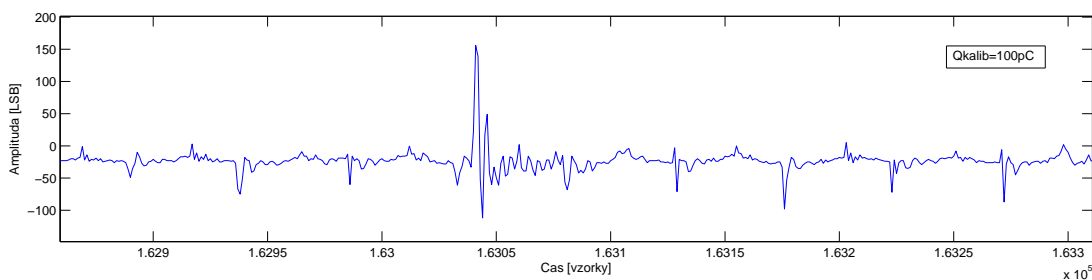
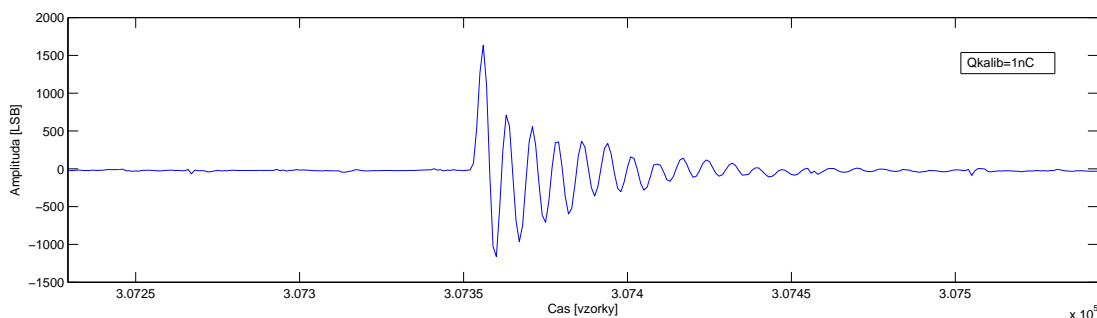
Nábojový kalibrátor Tettex

V rámci testovacích meraní v akreditovanom ústave pre diagnostiku VN strojov v Prahe boli pomocou kalibrátora Tettex generované náboje o hodnote **100pC** a **1nC**. Zapojenie pri testovaní je na obr. 79



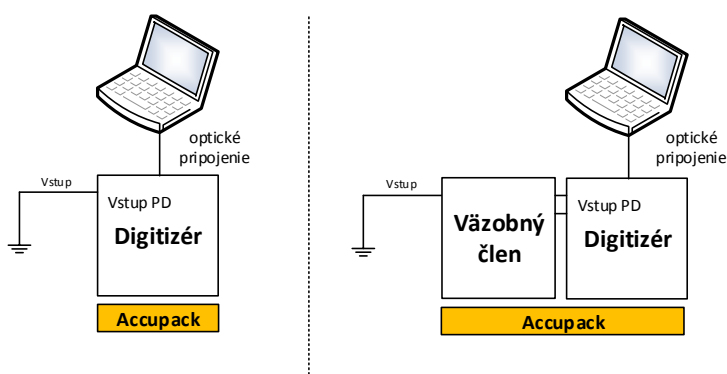
Obr. 79 Zapojenie kalibrátora Tettex

Na obr. 80 a ref 81 sú detailne vyobrazené kalibračné impulzy pre kalibračný náboj **100pC** a **1nC**. Pričom hodnota maximálnej amplitúdy pre **100pC** je na úrovni **160LSB** a pri náboji **1nC** potom **1635LSB**. Tento výsledok podporuje aj výsledky namerané vlastne navrhnutým kalibrátorom a dokumentuje možnosť využitia linearitu v rámci merania real-time modom

Obr. 80 Nameraný priebeh pre impulz $Q=100\text{pC}$ Obr. 81 Nameraný priebeh pre impulz $Q=1\text{nC}$

8.3 Šumové vlastnosti

Zariadenie merača ČV bolo podrobené analýze šumových vlastností v podobe určenia **efektívnej rozlíšiteľnosti** meracieho kanála ČV. Meranie bolo vykonané v dvoch konfiguráciách. Zapojenie je zobrazené na obr. 82. V oboch prípadoch bol signál di-

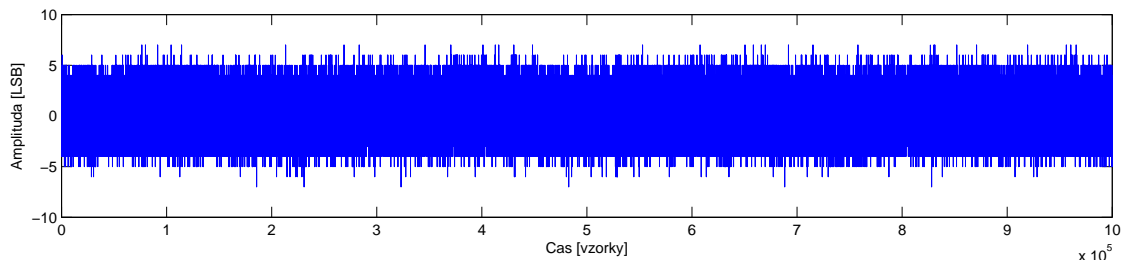


Obr. 82 Meranie šumových vlastností (s a bez väzobného členu)

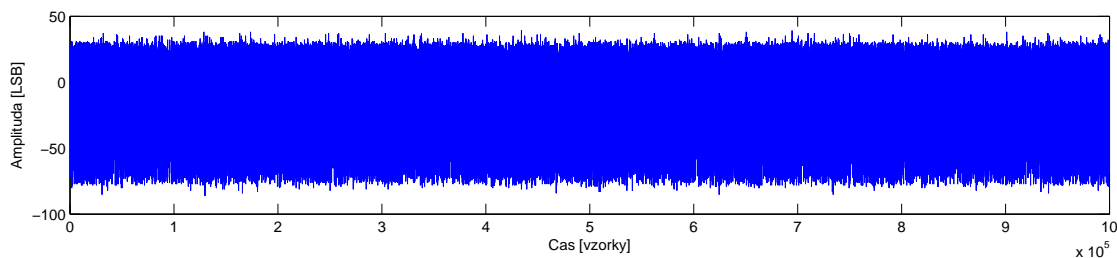
gitalizovaný režimom Full-Expert podľa 7.2.1. Zmerané dáta sú na zobrazené na obr. 83 a 84.

Pre výpočet efektívnej rozlíšiteľnosti bol použitý nasledujúci vzťah podľa [16]:

$$ER = \log_2 \left(\frac{FullScale}{RmsAdcNoise} \right),$$



Obr. 83 Nameraný priebeh pre uzemnený vstup digitizéra



Obr. 84 Nameraný priebeh pre uzemnený vstup väzobného členu

kde FullScale predstavuje počet LSB, ktoré definujú plný vstupný napätový rozsah ADC. $RmsAdcNoise$ je potom efektívna hodnota šumu v LSB vypočítaná z dostatočne veľkého počtu vzoriek. Z nameraných priebehov boli získané nasledovné hodnoty $RmsAdcNoise$:

Tabuľka 13 Vypočítané hodnoty $RmsAdcNoise$ pre obidve zapojenia

FullScale (LSB)	RMS noise digitizér (LSB)	RMS noise digitizér + väz. čl.(LSB)
16384	1.5765	9.8562

Podľa uvedeného vzťahu bola efektívna rozlíšiteľnosť určená pre samotnú dosku digitizéra:

$$ER = \log_2 \left(\frac{16384}{1,5765} \right) = 13,343bit$$

a pre kombináciou s pripojeným väzobným členom potom:

$$ER = \log_2 \left(\frac{16384}{9,8562} \right) = 10,699bit$$

Zvýšenie šumového prahu spôsobujú obvody spínaných zdrojov, ktoré sú umiestnené na doske väzobného členu. Tieto meniče napájajú obvody, ktorých funkciou je auto-range a zero-cross podrobnejšie popísané v kap. 4.2.1. V neposlednom rade je treba spomenúť, že tieto spínané zdroje sú izolované a preto umožňujú plné galvanické oddelenie meraného obvodu od dosky digitizéra. V prípade, že je potrebné šumové parametre znížiť, je možné využiť pasívne riešenie väzobného členu avšak samozrejme zanikne galvanické oddelenie. Pričom riadiaci počítač je pre bezpečnosť oddelený pri každom meraní pomocou optického kábla (v rámci Ethernetového pripojenia).

9 Záver

Cieľom tejto diplomovej práce bolo vytvorenie uceleného meracieho systému pre potreby diagnostiky vysoko-napäťových točivých a netočivých strojov v energetickom segmente. Systematické testovanie a údržba týchto strojov umožňuje predĺženie ich životnosti a zníženie celkových prevádzkových nákladov na opravy.

Práca sa venuje nedeštruktívnemu testovaniu strojov využitím metódy merania čiastočných výbojov, ktoré vznikajú v izolantoch spomínaných strojov pri ich opotrebovaní resp. starnutí. Dôkladná analýza meracích princípov a parametrov, vyplývajúcich zo svetových aplikovaných noriem zaoberajúcich sa danou problematikou, stanovila v úvode teoretickej časti požiadavky, ktoré boli kladené na vyvíjané zariadenia merača ČV.

V kapitolách návrhu HW bolo postupne popísané celkové obvodové riešenie spolu s odôvodnením vybratých súčastí. Systém merania ČV bol rozdelený na dve oddelené jednotky, pričom prvá jednotka digitizér bola navrhnutá ako rýchly paralelný dvojkanálový digitizér s rozlíšením 14 bitov na každý kanál a rýchlosťou vzorkovania 50MSPs. Obvodovo sa digitizér opiera o využitie moderných technológií obvodov FPGA Altera v spojení s trendom postupnej integrácie inteligencie do systémov System-on-the-chip. Pripojenie k nadradenému systému bolo implementované s využitím univerzálnych prípojných modulov SFP a to najmä pre požiadavku možnosti optického pripojenia pomocou sietí LAN. V rámci SW výbavy tejto jednotky je využívaný soft-core procesor integrovaný priamo v obvode FPGA s operačným systémom Micrium uCOS-II. Pre potreby signálovej analýzy a predspracovania dát boli vytvorené VHDL funkčné bloky, ktoré v podstatnej miere urýchľujú samotnú analýzu, dátový prenos a umožňujú využitie paralelizmu v rámci vykonávania operácií.

Druhou HW súčasťou je väzobný člen, ktorý bol navrhovaný ako jednotka úpravy vstupných signálov pre potreby pripojenia k digitizéru. Okrem napäťovej úpravy bola aplikovaná aj frekvenčná filtrácia vstupných signálov, ktorá je rozdelená na dva meracie reťazce. Nízkofrekvenčný rozsah slúži na meranie úrovne testovacieho napätia zatiaľ, čo potom pre samotný priebeh signálu čiastočných výbojov.

Zásadnou časťou, ktorá bola riešená v rámci práce je aj kalibrácia systému a s tým spojený vývoj doplnkovej HW jednotky vo forme nábojového kalibrátora. Toto zariadenie slúži na generovanie presne kvantovaných výstupných nábojov, pomocou ktorých je následne kalibrovaný samotný merač ČV.

Záverom boli jednotlivé HW jednotky testované a boli vyhodnotené ich vlastnosti a to najmä s použitím kalibračných impulzov z nábojového kalibrátora. Výsledky meraní poukazujú na správnu funkcionálnu obidvoch jednotiek merača ČV a súčasne aj nábojového kalibrátora, ktorý bol vyvinutý pre potreby kalibrácie. Úspešne boli s meračom ČV vykonané aj testovacie merania na vodnej elektrárni Orlík.

Medzi možné vylepšenia systému patrí najmä zvýšenie vzorkovacej frekvencie obidvoch kanálov, čo by však podmieňovalo použitie výkonnejších obvodov FPGA. Ďalšou možnosťou je nasadenie systému v rámci on-line merania čiastočných výbojov, pričom v tomto prípade sa jedná o nepretržité monitorovanie stavu izolácie VN strojov.

Literatúra

- [1] ČSN EN 60270. *Technika zkoušek vysokým napětím - Měření částečných výbojů*. Dec. 2001.
- [2] ČSN CLC/TS 60034-27. *Offline měření částečných výbojů na izolaci statorových vinutí točivých elektrických strojů*. Nov. 2012.
- [3] Fauser E. Brosche T. Hiller W. “Novel Characterization of PD Signals by real-time measurement”. In: *IEEE Transactions on Dielectrics and Electrical Insulation* (Feb. 1999).
- [4] Texas Instruments. *ADS6145 14-BITS, 125/105/80/65 MSPS ADC WITH DDR LVDS/CMOS OUTPUTS*. 2008. URL: <http://www.ti.com/lit/ds/symlink/ads6145.pdf> (visited on 06/02/2014).
- [5] Texas Instruments. *PGA870 High-Speed, Fully Differential, Programmable-Gain Amplifier*. 2011. URL: <http://www.ti.com/lit/ds/symlink/pga870.pdf> (visited on 02/02/2014).
- [6] Coilcraft. *Surface Mount Wideband RF Transformers*. 2011. URL: <http://www.coilcraft.com/pdfs/pwb.pdf> (visited on 31/01/2014).
- [7] Texas Instruments. *THS4501 WIDEBAND, LOW-DISTORTION, FULLY DIFFERENTIAL AMPLIFIERS*. 2011. URL: <http://www.ti.com/lit/ds/symlink/ths4501.pdf> (visited on 02/02/2014).
- [8] Vít Záhlava. *Návrh a konstrukce desek plošných spojů – Principy a pravidla praktického návrhu*. 1. vyd. BEN-Technická literatura, 2011. ISBN: 978-80-7300-2.
- [9] Microchip. *MCP73841/2/3/4 Advanced Single or Dual Cell Lithium-Ion/ Lithium-Polymer Charge Management Controllers*. 2013. URL: <http://ww1.microchip.com/downloads/en/DeviceDoc/21823D.pdf> (visited on 06/04/2014).
- [10] Battery University. *Charging Lithium-ion*. 2014. URL: http://batteryuniversity.com/learn/article/charging_lithium_ion_batteries (visited on 06/04/2014).
- [11] Altera. *Triple-Speed Ethernet MegaCore Function User Guide*. 2014. URL: http://www.altera.com/literature/ug/ug_ethernet.pdf (visited on 20/03/2014).
- [12] Altera. *Nios II Processor Reference Handbook*. 2014. URL: http://www.altera.com/literature/hb/nios2/n2cpu_nii5v1.pdf (visited on 05/01/2014).
- [13] Altera. *Nios II Performance Benchmarks*. 2014. URL: http://www.altera.com/literature/ds/ds_nios2_perf.pdf (visited on 06/01/2014).
- [14] Altera. *Nios II Processor*. 2014. URL: <http://www.altera.com/devices/processor/nios2/ni2-index.html> (visited on 05/04/2014).
- [15] Texas Instruments. *LOW-DISTORTION, HIGH SLEW RATE, CURRENT-FEEDBACK AMPLIFIERS*. 2009. URL: <http://www.ti.com/lit/ds/symlink/ths3061.pdf> (visited on 10/04/2014).
- [16] Analog Devices. *Practical design techniques for sensor signal conditioning*. 1. vyd. Norwood, Mass, 1999. ISBN: 09-165-5020-6.