

ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE

FAKULTA ELEKTROTECHNICKÁ

KATEDRA MERANIA



**NÍZKOFREKVENČNÝ PRECÍZNY VIACKANÁLOVÝ
GENERÁTOR**

DIPLOMOVÁ PRÁCA

AUTOR PRÁCE
VEDÚCI PRÁCE

JAKUB KOVÁČ
ING. JAN KUČERA, PH.D.

PRAHA 2014



ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Jakub Kováč**

Studijní program: **Kybernetika a robotika**
Obor: **Senzory a přístrojová technika**

Název tématu česky: **Nízkofrekvenční precizní vícekanálový generátor**

Název tématu anglicky: **Low-frequency Precision Multichannel Generator**

Pokyny pro vypracování:

Navrhněte a realizujte 6-kanálový modulární generátor harmonického sinusového napětí do kmitočtu 20 kHz s amplitudou 10 V. Generátor řešte formou dvoukanálových modulů s tím, že každý modul bude obsahovat vnitřní napěťovou referenci a vnitřní hodinový signál. Moduly mají umožňovat i řízení vnější napěťovou referencí 10 V a vnějším hodinovým signálem 10 MHz. Z důvodu snížení přeslechu mezi jednotlivými moduly generátoru je požadováno optické oddělení komunikace s jednotlivými moduly a možnost napájet samostatně z baterií.

Předpokládané parametry:

- krátkodobá stabilita poměru výstupního napětí dvou kanálů v rámci jednoho modulu jednotky $\mu\text{V/V}$,
- přeslech menší než -130 dB,
- činitel SFDR vyšší než 80 dB při frekvenci 1 kHz.


Seznam odborné literatury:

- [1] Vankka, J, Halonen, K.: Direct Digital Synthesizers: Theory, Design and Applications, Kluwer Academic, Boston, 2001, ISBN 0-7923-7366-9
- [2] Vedral, J., Fischer, J.: Elektronické obvody pro měřicí techniku, ČVUT, Praha, 2004, ISBN 80-01-02966-2
- [3] Boháček, J.: Metrologie, ČVUT, Praha, 2011, ISBN 978-80-01-04839-9


Vedoucí diplomové práce: Ing. Jan Kučera, Ph.D.

Datum zadání diplomové práce: 1. října 2013

Platnost zadání do¹: 23. ledna 2015


Prof. Ing. Vladimír Haasz, CSc.
vedoucí katedry




Prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 1. 10. 2013

¹ Platnost zadání je omezena na dobu tří následujících semestrů.

ABSTRAKT

Diplomová práca sa zaoberá návrhom a realizáciou nízko-frekvenčného 6-kanálového precízneho modulárneho generátora harmonického sínusového napätia do 20 kHz pre použitie v striedavom koaxiálnom mostíku. Generátor sa skladá z dvojkanálových modulov, pričom jednotlivý modul disponuje vnútornou referenciou napätia a vnútorným zdrojom hodín s možnosťou pripojenia vonkajšej referencie napätia a vonkajším zdrojom hodín. Modul je batériovo napájaný a komunikácia je opticky oddelená z dôvodu zníženia presluchu medzi jednotlivými modulmi.

KLÚČOVÉ SLOVÁ

Generátor, DDS, FPGA, DAC, optická komunikácia, koaxiálny mostík, metrológia

ABSTRACT

This work describes the design and the implementation of a low-frequency multichannel precision generator of harmonic sine voltage up to 20 kHz applicable in the alternating coaxial bridge. The generator consists of a dual-channel modules, each module includes an internal voltage reference and an internal clock with a connection capability of the external 10 V voltage reference and the external 10 MHz clock. The module is self-powered by batteries and communication is optically isolated from the control unit to reduce a crosstalk between modules.

KEYWORDS

Generator, DDS, FPGA, DAC, optical communication, coaxial bridge, metrology

POĎAKOVANIE

Týmto by som sa chcel poďakovať vedúcemu mojej diplomovej práce, pánovi Ing. Kučerovi, Ph.D., za jeho prívetivý prístup a za jeho drahocenný čas, ktorý strávil pri konzultácii tejto práce. Taktiež by som sa chcel poďakovať celej svojej rodine za podporu.

ČESTNÉ PREHLÁSENIE

Čestne prehlasujem, že som predloženú diplomovú prácu vypracoval samostatne a že som uviedol všetky použité informačné zdroje v súlade s Metodickým pokynom o dodržaní etických princípov pri príprave vysokoškolských záverečných prác.

V Prahe dňa

.....

podpis autora práce

OBSAH

Úvod	5
1 Rozbor zadania	8
1.1 Technické požiadavky	9
1.2 Priama digitálna syntéza a čistota frekvenčného spektra	10
2 Navrhnuté riešenie	14
2.1 Zdroj referenčného napätia	14
2.2 Generovanie sínusu	16
2.3 Koncový zosilňovač.....	20
2.4 Komunikácia s riadiacou jednotkou	21
2.5 Referenčné hodiny	22
2.6 Napájanie	23
2.7 FPGA a pamäť look-up tabuľky	24
2.8 Plošný spoj.....	25
2.9 Mechanická konštrukcia	27
2.10 Firmware pre FPGA	30
2.10.1 Blok <i>clockGenerator</i>	31
2.10.2 Blok <i>fiberopticCOM</i>	31
2.10.3 Bloky <i>AD5791COM</i> , <i>LTC2752COM</i> , <i>LTC2756COM</i>	32
2.10.4 Blok <i>M29D256</i>	32
2.10.5 Blok <i>powerManagement</i>	32
2.10.6 Blok <i>controller</i>	33
2.10.7 Blok <i>sineGenerator</i>	33
2.11 Nastavenie hodnôt generátora	34
3 Oživenie a overenie vlastností generátora	37
3.1 Oživenie modulu generátora	37
3.2 Činiteľ SFDR	38
3.3 Stabilita napätia na výstupe generátora.....	40
3.4 Stabilita pomeru výstupného napätia dvoch kanálov	42
3.5 Presluch kanálov generátora.....	43

4	Záver	44
	Použitá literatúra	46
	Zoznam príloh.....	48
A	Komunikácia.....	49
A.1	Zoznam registrov	49
A.2	Kontrolná správa	49
A.3	Správa o stave generátora	50
A.4	Zoznam spúšťacích správ	50
B	Obsah priloženého CD.....	51

ZOZNAM OBRÁZKOV

Obrázok 1: principiálne zapojenie striedavého štvorpárového koaxiálneho mostíka	6
Obrázok 1.1: bloková schéma priamej digitálnej syntézy	10
Obrázok 1.2: frekvenčné spektrum sínusového signálu na výstupe	12
Obrázok 2.1: bloková schéma zapojenia modulu generátora	14
Obrázok 2.2: schéma zapojenia obvodu referenčného napätia	15
Obrázok 2.3: schéma zapojenia obvodu pre jemné upravenie kladného referenčného napätia	17
Obrázok 2.4: schéma zapojenia prevodníka AD5791 a filtra dolnej priepuste	18
Obrázok 2.5: schéma zapojenia prevodníka LTC2756 pre úpravu výstupnej amplitúdy	19
Obrázok 2.6: schéma zapojenia koncového zosilňovača	21
Obrázok 2.7: schéma zapojenia optického prijímača (vľavo) a vysielača (vpravo)	21
Obrázok 2.8: schéma zapojenia prevodníka referenčných hodín	22
Obrázok 2.9: bloková schéma obvodu Bq77PL900. Prevzaté z [17] ©Texas Instruments, Inc.	23
Obrázok 2.10: osadenie dosky plošného spoja modulu generátora	25
Obrázok 2.11: osadená doska plošného spoja modulu generátora	26
Obrázok 2.12: osadenie dosky plošného spoja koncového zosilňovača	27
Obrázok 2.13: predný pohľad na modul generátora	28
Obrázok 2.14: zadný pohľad na modul generátora	28
Obrázok 2.15: spodný pohľad na modul generátora	29
Obrázok 2.16: bočný rez modulu generátora so znázorneným prúdením vzduchu	30
Obrázok 2.17: bloková schéma firmwaru pre FPGA	30
Obrázok 3.1: spektrum signálu na výstupe kanálu A modulu 001 pri frekvencii 97,65 Hz	39
Obrázok 3.2: spektrum signálu na výstupe kanálu A modulu 001 pri frekvencii 976,56 Hz	40
Obrázok 3.3: napätie na výstupe kanálu B modulu 002 po zapnutí pri frekvencia 976,56 Hz	41
Obrázok 3.4: stabilita napätia na výstupe kanálu A modulu 002 pri frekvencia 976,56 Hz	41
Obrázok 3.5: schéma zapojenia merania stability pomeru výstupného napätia jedného modulu	42
Obrázok 3.6: stabilita pomeru výstupného napätia dvoch kanálov v rámci jedného modulu	43

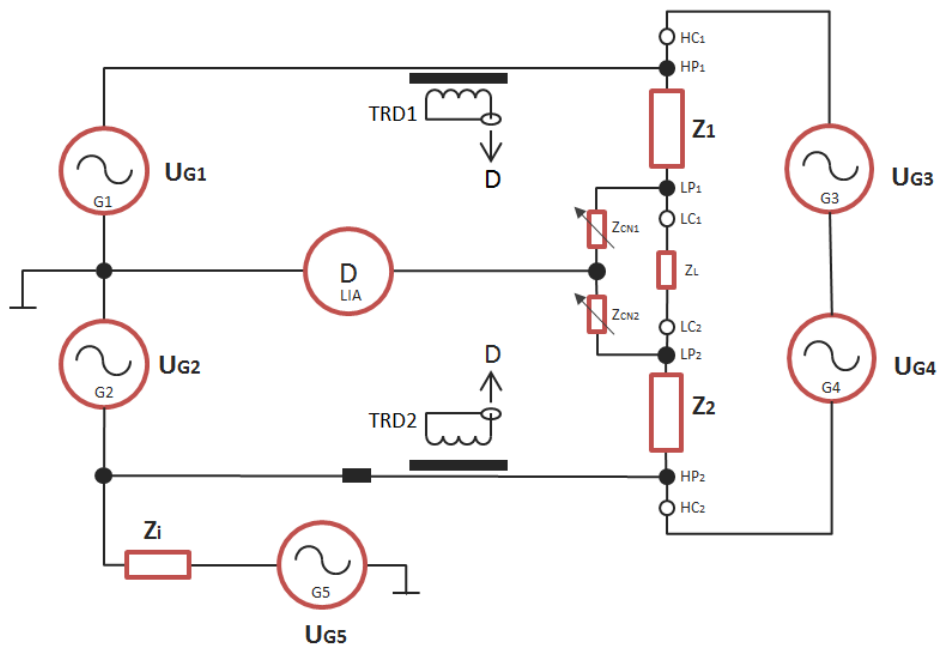
ZOZNAM TABULIEK

Tabuľka 1: porovnanie zdrojov referenčného napätia [8][9][10].....	15
Tabuľka 2: typické parametre DAC prevodníka AD5791 [13]	18
Tabuľka 3: farebný kód signalizačnej LED diódy stavu hodín	31
Tabuľka 4: komunikačný protokol.....	32
Tabuľka 5: popis signalizačných LED diód.....	33

ÚVOD

Kalibrácia elektrickej impedancie v oblasti kHz kmitočtov na najvyššej metrologickej úrovni sa vykonáva obvykle pomocou striedavého štvorpárového plne koaxiálneho mostíka. Jedná sa o pomerové meranie neznámej impedancie ku známej impedancii (etalónu), kde deliaci pomer sa nastavuje napríklad pomocou indukčných deličov napätia v prípade napäťových mostíkov. Pri meraní mostíkom je nutné dovažovať hlavné a vedľajšie podmienky rovnováhy pomocou radu dovažovacích prvkov, kde nulovým detektorom sa kontroluje stav rovnováhy [1] [2]. Proces kalibrácie elektrickej impedancie pomocou koaxiálneho mostíka je pomerne zdĺhavý, umožňuje obvykle vykonávať porovnanie iba impedancií rovnakého druhu (R-R, C-C alebo L-L), prípadne na vybraných frekvenciách porovnanie impedancií rôzneho druhu. Pre zautomatizovanie merania a umožnenie kalibrácie impedancií ľubovoľného druhu v celej komplexnej rovine je možné využiť generátory striedavého napätia.

Príklad zapojenia striedavého štvorpárového koaxiálneho mostíka využívajúceho generátory je zobrazený na obrázku 1. Mostík je napájaný generátormi $G3$ a $G4$ pripojenými k prúdovým ramenám impedancií Z_1 a Z_2 . Napäťové ramená sú pripojené na generátory $G1$ a $G2$. Ak je pomer napätí generátorov $U_{G1}:U_{G2}$ rovný pomeru impedancií $Z_1:Z_2$, hlavná podmienka rovnováhy mostíka je splnená a rozdiel napätia medzi stredom generátorov $G1$ a $G2$ a impedancií Z_1 a Z_2 bude rovný nule. Rozdiel napätí, a teda stav rovnováhy je sledovaný nulovým detektorom D pripojeným na pomocné impedancie Z_{CN1} a Z_{CN2} . Nulový detektor D sa ďalej pripája na detekčné transformátory $TRD1$ a $TRD2$ pre snímanie prúdu tečúceho napäťovými ramenami, ktorý musí byť nulový pre zamedzenie úbytku napätia na vedení vplyvom nenulového odporu vedenia. K prepínaniu meraných signálov nulovým detektorom je možné použiť koaxiálny multiplexer. Wagnerova zem sa dovažuje pomocou generátora $G5$. Detaily funkcie rôznych typov koaxiálnych mostíkov sú uvedené napríklad v literatúre [2].



Obrázok 1: principiálne zapojenie striedavého štvorpárového koaxiálneho mostíka

Presnosť kalibrácie elektrickej impedancie pomocou koaxiálneho mostíka zobrazenom na obrázku 1 závisí najmä na presnosti a stabilite použitých generátorov v zapojení. Na trhu je len obmedzená dostupnosť presných generátorov vhodných pre metrologické účely. Jeden z najlepších špecifikácií má napríklad *Aivon Oy DualDAC* alebo *National Instruments PXI 4461*. Generátor *DualDAC* sa vyznačuje vysokou stabilitou pomeru dvoch kanálov v jednotkách $\mu\text{V/V}$, avšak rozlíšenie výstupnej amplitúdy je iba 16 bitov, maximálna výstupná amplitúda je obmedzená maximálnym vonkajším referenčným napätím na hodnotu $8 V_{\text{P-P}}$, maximálny výstupný prúd v základnej konfigurácii je 20 mA a generátor verzie 2013 nedisponuje vstavaným referenčným napätím, čo znemožňuje galvanicky oddeliť viacej generátorov od seba pri použití jedného referenčného napätia bez použitia oddeľovacích transformátorov [3]. Generátor *PXI 4461* sa naopak vyznačuje vysokým rozlíšením výstupnej amplitúdy až 24 bitov, no šum na výstupe nepresiahne úroveň -73 dB pri vzorkovacej frekvencii 204,8 ksp/s. Výrobcom udávaná dlhodobá stabilita výstupnej amplitúdy je lepšia ako 4000 ppm, krátkodobá stabilita výstupnej amplitúdy je dosiahnuteľná v desiatkach ppm a maximálny výstupný prúd je 16 mA [4]. Spomenuté generátory sú pre ich limity nepostačujúce pre kalibráciu impedancií na najvyššej metrologickej úrovni, čo je motiváciou pre skonštruovanie vhodného generátora.

Cieľom tejto diplomovej práce je navrhnúť a skonštruovať precízny generátor harmonického sínusového napätia použiteľný pre kalibráciu elektrickej impedancie na najvyššej metrologickej úrovni do frekvencie 20 kHz. Generátor sa bude skladať

z dvojkanálových modulov s vlastným batériovým napájaním a opticky oddelenou komunikáciou pre zníženie presluchu medzi modulmi. Najdôležitejšími parametrami navrhovaného generátora sú krátkodobá stabilita pomeru napätí na výstupe v rámci jedného modulu, činiteľ SFDR¹ a presluch medzi kanálmi.

V prvej kapitole je čitateľ oboznámený s detailnými technickými požiadavkami generátora a s metódou priamej digitálnej syntézy pre generovanie signálu na výstupe generátora. Druhá kapitola je venovaná podrobnému opisu navrhnutého modulu generátora. Keďže v zadaní tejto diplomovej práce bolo aj skonštruovať navrhnutý modul generátora, v poslednej kapitole sú overené vlastnosti zhotoveného modulu.

¹ Činiteľ SFDR udáva pomer medzi amplitúdou základnej harmonickej a amplitúdou najvyššej rušivej zložky spektra, udáva sa v dB.

1 ROZBOR ZADANIA

Ako už bolo spomenuté v úvode, cieľom tejto práce je navrhnuť a zhotoviť precízny generátor harmonického sínusového napätia použiteľného pre kalibráciu elektrickej impedancie na najvyššej metrologickej úrovni. Generátor sa skladá z dvojkanálových modulov, ktoré sú batériovo napájané a komunikácia je opticky oddelená pre zníženie presluchu medzi modulmi.

Generovanie sínusového priebehu je založené na metóde priamej digitálnej syntézy. Metóde je venovaná kapitola 1.2, pozostávajúca z digitálnej a analógovej časti. Digitálna časť je implementovaná v hradlovom poli (ďalej len FPGA), ktoré ďalej zabezpečuje komunikáciu s nadradeným systémom (kontrolnou jednotkou). Analógová časť je tvorená digitálne analógovým prevodníkom a filtrom dolnej priepusti. Aby spektrum výstupného signálu z generátora bolo čo najčistejšie, výstupná amplitúda sa nastavuje pomocou podporného obvodu a nie priamo pomocou digitálne analógového prevodníka generujúceho sínusový priebeh. Signál s upravenou amplitúdou je prúdovo posilnený koncovým zosilňovačom, aby bolo možné použiť generátor pre napájanie mostíka. Keďže predpokladanou záťažou je obecná elektrická impedancia, generátor musí byť schopný pracovať s odporovou, kapacitnou a indukčnou záťažou.

Keďže generátor bude primárne používaný v pomerovom meraní, veľmi dôležitým parametrom generátora je stabilita pomeru výstupného napätia dvoch kanálov. K dosiahnutiu čo najväčšej stability pomeru, každý modul generátora obsahuje dva identické kanály pripojené na jedno referenčné napätie. Úvaha vychádza z predpokladu, že parametre použitých súčiastok, najmä digitálne analógových prevodníkov, sú si podobné a pri vhodnom návrhu usporiadania súčiastok je možné dosiahnuť malého rozdielu driftu jednotlivých kanálov. Pre prípad, že stabilita zabudovaného referenčného napätia nepostačuje užívateľovi, generátor umožňuje pripojiť vonkajšie referenčné napätie.

Taktiež fázová a frekvenčná stabilita výstupného signálu sú nie menej dôležitými parametrami, tie však úzko súvisia so stabilitou referenčných hodín použitých pre priamu digitálnu syntézu. Preto je modul generátora vybavený optickým vstupom pre pripojenie vonkajších referenčných hodín. Modul generátora je navyše vybavený vnútornými hodinami, ktoré sú automaticky pripojené pri nepripojení vonkajších hodín.

K dosiahnutiu čo najmenšieho presluchu medzi modulmi je komunikácia s nadradeným systémom opticky oddelená a moduly sú batériovo napájané. Vďaka tomu sú moduly

galvanicky oddelené a ich výstupy môžu byť zapojené v obvode s rôznym potenciálom, samozrejme pri použití zabudovaného referenčného napätia. Riešenie ďalej pomáha k eliminácii zemniacich smyčiek v zapojenom obvode. Batériové napájanie využíva Li-Ion články, ktoré sú pri nesprávnom používaní nebezpečné, preto je modul vybavený správou napájania. Napájanie analógovej časti generátora zabezpečujú nízkošumové stabilizátory napätia pre zmenšenie šumu na výstupe generátora.

Modul generátora je osadený na doske plošného spoja a zabudovaný spolu s batériami do hliníkovej škatuľky, ktorá slúži ako elektromagnetické a elektrostatické tienenie. Návrh dosky plošného spoja je kritický k dosiahnutiu čo najlepších výsledkov. Rozmer škatuľky je normalizovaný, čím je možné zasunúť moduly do 19" racku vedľa seba.

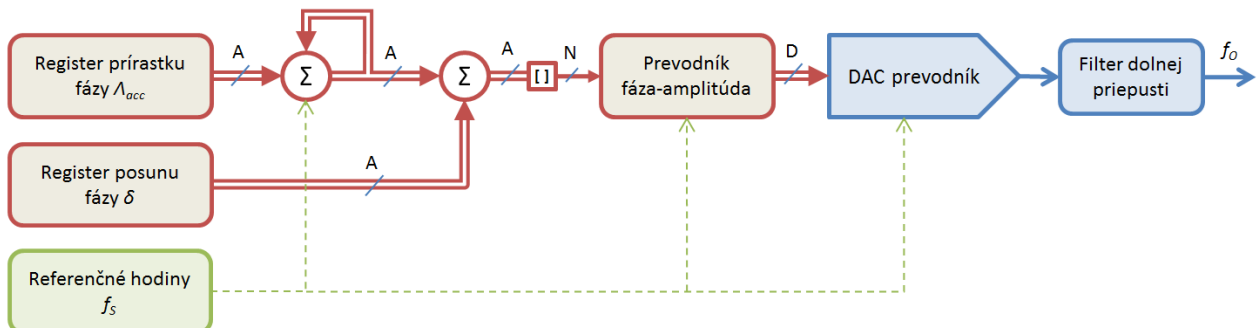
1.1 Technické požiadavky

Generátor musí spĺňať určité technické predpoklady, aby mohol byť použitý pre kalibráciu elektrickej impedancie v koaxiálnom mostíku na najvyššej metrologickej úrovni. Pred začiatkom riešenia tejto diplomovej práce boli stanovené technické parametre generátora. Cieľom je dosiahnuť lepších parametrov ako u komerčne dostupných generátorov, a navyše vybaviť generátor o funkcie prispievajúce k zvýšeniu presnosti kalibrácie. Všetky technické požiadavky sú uvedené nižšie:

- Dva kanály v rámci jedného modulu generátora
- Výstupná amplitúda 20 V_{P-P}, offset pod 1 mV
- Rozlíšenie výstupnej amplitúdy v jednotkách ppm
- Výstupná frekvencia v rozmedzí 1 Hz až 20 kHz
- Fázové rozlíšenie lepšie ako jednotky μ rad
- Krátkodobá stabilita pomeru výstupného napätia dvoch kanálov v rámci jedného modulu v jednotkách μ V/V
- Presluch dvoch kanálov menší ako -130 dB
- Činiteľ SFDR a útlm druhej harmonickej vyšší ako 80 dB pri výstupnej frekvencii 1 kHz
- Výstupný prúd jedného kanálu väčší ako 100 mA, výstup odolný voči skratu
- Výstup generátora možné zaťažiť odporovou, kapacitnou a indukčnou záťažou
- Každý modul vybavený interným referenčným napätím a internými hodinami
- Možnosť pripojiť externé referenčné napätie 10 V
- Možnosť pripojiť externé opticky oddelené referenčné hodiny s frekvenciou
- Komunikácia s kontrolnou jednotkou opticky oddelená, moduly batériovo napájané

1.2 Priama digitálna syntéza a čistota frekvenčného spektra

Jednou z možností frekvenčnej syntézy je priama digitálna syntéza (ďalej len DDS). Ide o metódu pre generovanie frekvenčne a fázovo preladiteľného signálu odvodeného z referenčných hodín. Zmena frekvencie a fázy je nastavovaná diskkrétne, takže stabilita výstupnej frekvencie je závislá na stabilite referenčných hodín. DDS pozostáva z akumulátora fázy, prevodníka fáza-amplitúda, digitálne analógového prevodníka a rekonštrukčného filtra typu dolná priepusť. Na obrázku 1.1 je znázornená bloková schéma DDS. Pri frekvencii referenčných hodín f_s je hodnota aktuálnej fázy zväčšovaná o hodnotu registra prírastku fázy Λ_{acc} , šírka obidvoch registrov je A bitov. Hodnota aktuálnej fázy sa pri konštantnej frekvencii hodín lineárne zväčšuje v čase. Dôsledkom pretečenia registra aktuálnej fázy je na výstupe priebeh tvaru píly s periódou rovnej výstupnej frekvencie f_o . K hodnote je ďalej pripočítaná hodnota registra posunu fázy δ pre zmenu fázy výstupného signálu voči fáze oscilátora. Z výstupného signálu o šírke A je ďalej vybraných horných N bitov a privedených do prevodníka fáza-amplitúda pre sínusový priebeh. Na výstupe prevodníka je tak hodnota amplitúdy o šírke D bitov pre aktuálnu fázu, ktorá je privedená do digitálne analógového prevodníka. Na analógovom výstupe prevodníka je nakoniec zaradený rekonštrukčný filter typu dolná priepusť [5].



Obrázok 1.1: bloková schéma priamej digitálnej syntézy

Periódou sínusového signálu je rozdelená na 2^A krokov, čo vlastne udáva aj fázové rozlíšenie podľa rovnice (1). Register prírastku Λ_{acc} určuje veľkosť kroku, ktorým sa prechádza fáza signálu. Čím je hodnota Λ_{acc} menšia, tým pomalšie rastie fáza a výstupná frekvencia je menšia. Výstupná frekvencia sa určí podľa rovnice (2).

$$\varphi_{res} = \frac{2\pi}{2^A} [rad] \quad (1)$$

$$f_0 = \frac{A_{acc}}{2^A} f_s \text{ [Hz]} \quad (2)$$

Implementácia prevodníka fáza-amplitúda sínusového priebehu je rôzna, napríklad za pomoci CORDIC² algoritmu, polynómu n-tého rádu alebo tabuľky. Pre jednoduchosť som sa rozhodol použiť dvojrozmernú tabuľku uloženú v pamäti. Adresový priestor pamäte predstavuje fázu, dátový priestor predstavuje amplitúdu sínusu. Výhodou použitia tabuľky je jednoduchosť riešenia prevodníka a možnosť uloženia signálu aj iného ako je sínusový priebeh. Riešenie so sebou prináša aj nevýhodu, tou je veľkosť pamäte. Pri šírke akumulátora A 32 bitov a amplitúdovom rozlíšení 8 bitov by bolo potrebných 4 GB pamäte. Počet vzoriek sa dá zmenšiť využitím symetrie sínusového priebehu, do pamäte stačí uložiť iba prvú štvrtinu priebehu. Ďalším možným riešením je použiť metódu zaokrúhľovania použitím iba horných N bitov pre prevodník fáza-amplitúda z akumulátora fázy, zvyšných $A-N$ bitov je nepoužitých. Rozlíšenie výstupnej frekvencie a fázy ostáva nezmenené.

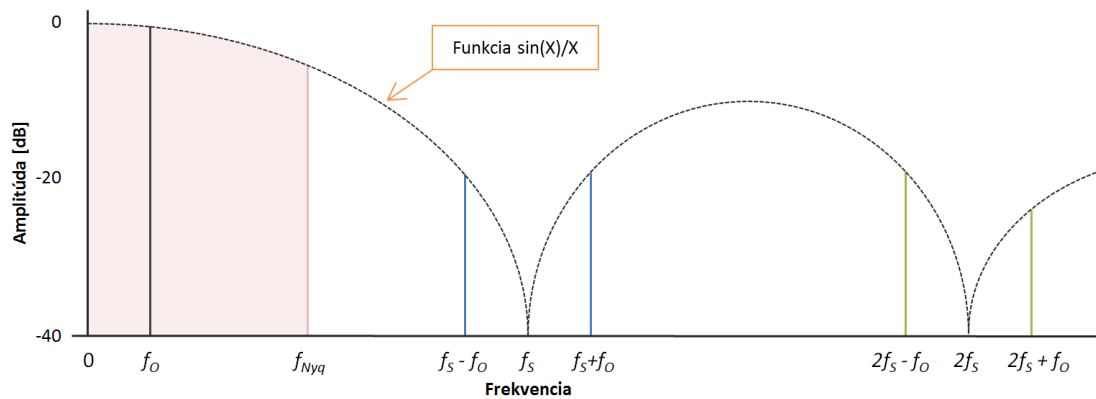
Pri použití digitálne analógového prevodníka s rozlíšením D bitov je však potrebné zabezpečiť, aby fázové rozlíšenie N bitov bolo dostatočne veľké, ináč hrozí strata rozlíšenia digitálne analógového prevodníka. Pre určenie fázového rozlíšenia N bitov vychádzam z nasledujúceho predpokladu. Keďže najvyššia strmosť amplitúdy sínusového priebehu je v okolí uhla 0° a 180° , v okolí týchto uhlov musí rásť amplitúda s maximálnou veľkosťou kroku rovnajúcemu sa rozlíšeniu digitálne analógového prevodníka D . Keďže sa jedná o prevodník fáza-amplitúda, veľkosť amplitúdového kroku v okolí týchto bodov určuje fázové rozlíšenie prevodníka. Pre výpočet šírky N je možné použiť rovnicu (3), z ktorej vyplýva, že šírka N musí byť väčšia aspoň o 3 bity ako je šírka D .

$$N = \log_2 \frac{2\pi}{\sin^{-1} \frac{1}{2^D}} \approx D + 2,7 \quad (3)$$

Príklad frekvenčného spektra generovaného sínusového priebehu je zobrazené na obrázku 1.2. Ako u každého vzorkovacieho systému, tak aj pri generovaní signálu DDS musí platiť Nyquistovo teorém, že vzorkovacia frekvencia systému musí byť aspoň dvakrát vyššia ako je frekvencia rekonštruovaného signálu, to znamená, že frekvencia generovaného signálu musí byť vo frekvenčnom rozmedzí 0 až f_{Nyq} , kde $f_{Nyq} = f_s/2$. Na obrázku 1.2 je táto zóna vyznačená oranžovou farbou. V spektre sa nachádzajú aj obrazy výstupnej frekvencie, ktoré sú umiestnené na frekvenciách $if_s \pm f_0$, kde i je prirodzené číslo. K potlačeniu týchto obrazov vo výstupnom spektre sa za digitálne analógovým prevodníkom

² CORDIC algoritmus využíva jednoduché matematické operácie pre výpočet harmonických funkcií

pripája rekonštrukčný filter väčšinou typu dolnej priepusti s medzným kmitočtom maximálne rovný polovici vzorkovacej frekvencii. Amplitúda výstupného signálu je navyše premenlivá s frekvenciou signálu, jej hodnota je daná rovnicou $\sin(x)/x$, kde $x = \pi f_o/f_s$.



Obrázok 1.2: frekvenčné spektrum sínusového signálu na výstupe.

V skutočnosti sa v spektre nachádzajú aj ďalšie rušivé zložky, ktoré nie sú zobrazené na obrázku. Čistota frekvenčného spektra primárne závisí na rozlíšení digitálne analógového prevodníka, ktoré udáva presnosť rekonštrukcie výstupného signálu. Chyba spôsobená konečným rozlíšením prevodníka pri rekonštrukcii signálu je nazývaná ako kvantizačný šum (SNR), a pomocou rovnice (4) je možné vypočítať pomer výkonu generovaného signálu ku kvantizačnému šumu pre ideálny systém pri rozlíšení prevodníka N bitov [6].

$$SNR = 1,76 + 6,02N \text{ [dB]} \quad (4)$$

Dôsledkom existencie integrálnej a diferenciálnej chyby linearity digitálne analógového prevodníka sa vo frekvenčnom spektre nachádzajú aj vyššie harmonické výstupného signálu. Amplitúda vyšších harmonických zložiek v spektre závisí od linearity prevodníka, preto nie je jednoduché určiť jej veľkosť, avšak pozícia vo frekvenčnej oblasti je známa, keďže sa jedná o harmonické generovaného signálu (násobky základnej frekvencie). Takže pri generovaní sínusového signálu s frekvenciou f_{out} môžeme vplyvom chyby linearity prevodníka očakávať zložky v spektre na frekvenciách if_{out} kde i je prirodzené číslo. Keďže sa jedná o vzorkovací systém, v Nyquistovom pásme (0 až polovica vzorkovacej frekvencie) sa nachádzajú aj obrazy harmonických zložiek s frekvenciou väčšou ako je polovica vzorkovacej frekvencie. Okrem dôsledného výberu digitálne analógového prevodníka s čo najnižšou chybou linearity je pre zmenšenie amplitúdy vyšších harmonických zložiek a ich obrazov možné použiť techniku generovania okrem základného signálu aj signály vyšších harmonických zložiek. Pri správnom nastavení amplitúdy a fázy, opačnej ku fáze signálov

vyšších harmonických zložiek produkovaných digitálne analógovým prevodníkom, generovaných signálov je výsledná amplitúda súčtom generovaných a produkovaných harmonických, takže v ideálnom prípade blízka nule [7].

Ďalej, ak je vzorkovacia frekvencia celočíselným násobkom výstupnej frekvencie, tak obrazy vyšších harmonických sa koncentrujú do niekoľkých bodov, čím vzrastá ich amplitúda v spektre. Ak sa nejedná o celočíselný násobok, tak obrazy vyšších harmonických sa rozprestrú po celom Nyquistovom pásme, čím sa síce zvýši šumové pozadie, no na druhú stranu bude amplitúda obrazov nízka. Z toho vyplýva, že aj pomer vzorkovacej frekvencie ku výstupnej frekvencii hrá rolu v čistote frekvenčného spektra [5].

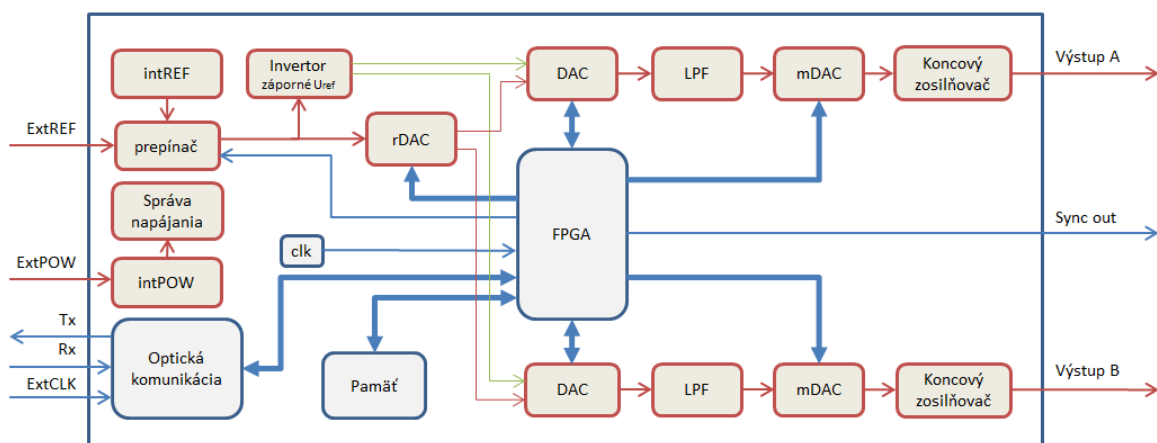
Zdrojom periodicky sa opakujúcich chybových signálov, ktoré sa prejavajú vo frekvenčnom spektre ako nežiaduce spektrálne čiary, je zaokrúhľovanie hodnoty fázy akumulátora. Amplitúda chybových signálov, a tým aj čistota spektra, závisí od hodnoty registra prírastku fázy. Pre hodnoty registra prírastku fázy splňujúceho rovnosť³ $GCD(\Lambda_{acc}, 2^{A-N}) = 2^{A-N-1}$ nadobúda amplitúda chybových signálov maxima, pričom maximálna hodnota spektrálnej nečistoty v dôsledku zaokrúhľovania fázy je blízka hodnote $-6,02N$ dBc. Naopak, pre hodnoty registra prírastku fázy splňujúce rovnosť $GCD(\Lambda_{acc}, 2^{A-N}) = 2^{A-N}$ je amplitúda chybových signálov nulová. Pri správnom nastavení registra prírastku fázy je tak možné eliminovať zdroj rušivých zložiek [5].

³ $GCD(X, Y)$ je najväčší spoločný deliteľ čísla X a Y .

2 NAVRHNUTÉ RIEŠENIE

Cieľom tejto kapitoly je zoznámiť čitateľa s navrhnutým elektronickým zapojením, mechanickou konštrukciou a ovládacím softwarom generátora. Celková schéma zapojenia generátora je uvedená v prílohe na CD.

Bloková schéma zapojenia generátora je zobrazená na obrázku 2.1, kde analógová časť je vyznačená červenou farbou a digitálna časť modrou farbou. Sínusový priebeh je generovaný digitálno-analógovým prevodníkom označeným ako *DAC*. Pre zamedzenie aliasingu na výstupe je za *DAC* pripojený filter dolnej priepuste *LPF*, za ktorým nasleduje prevodník *mDAC* pre nastavenie výstupnej amplitúdy. Výstup generátora je opatrený koncovým zosilňovačom pre zvýšenie prúdu na výstupe. Ako referenčné napätie je možné zvoliť vnútorné *intREF* alebo vonkajšie *ExtREF* referenčné napätie. Pre jemnejšie nastavenie výstupnej amplitúdy je generátor doplnený prevodníkom *rDAC*, ktorý jemne upravuje kladné referenčné napätie pre oba kanály samostatne. Záporné referenčné napätie pre napájanie *DAC* prevodníka je získané použitím invertora. Pre galvanické oddelenie generátora od zvyšku obvodu je modul napájaný batériovým napájaním *intPOW* s možnosťou pripojenia externého zdroja *ExtPOW*. FPGA tvorí hlavný ovládací prvok generátora, v ktorom je implementované DDS a komunikácia s kontrolnou jednotkou po optickom vedení.



Obrázok 2.1: bloková schéma zapojenia modulu generátora

2.1 Zdroj referenčného napätia

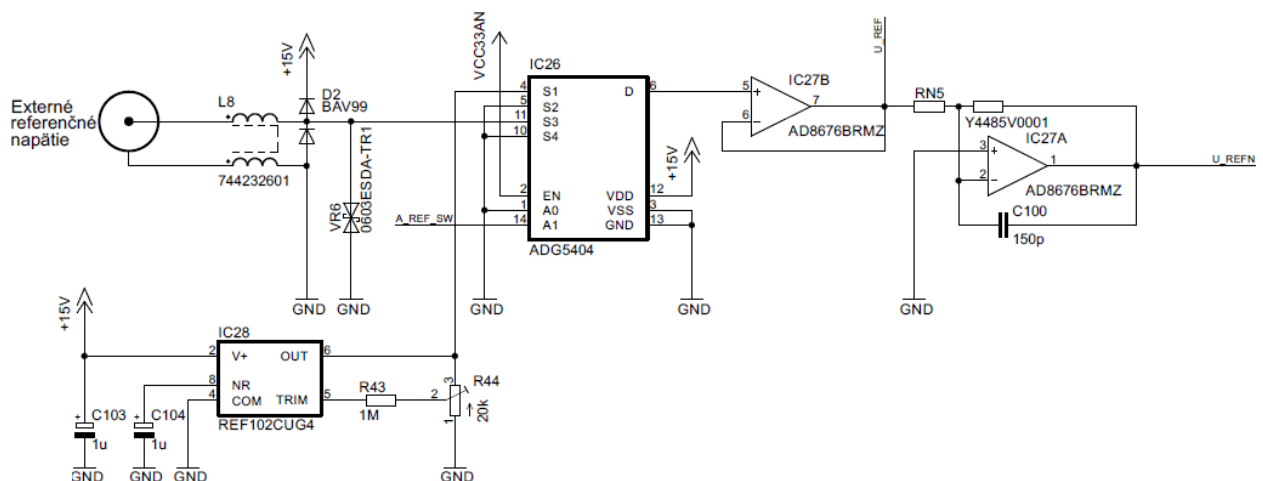
Zdroj referenčného napätia som vyberal podľa rozsahu výstupného napätia generátora a teplotného driftu referenčného napätia. Nominálne napätie referenčného napätia som zvolil 10 V. Dôvodom je dobrá dostupnosť referencií 10 V v laboratóriu ČMI pri použití externého

referenčného napätia. Pre zaručenie čo najmenšej zmeny výstupného napätia generátora pri zmene okolitej teploty som musel brať ohľad aj na teplotný drift. Po vykonaní prieskumu trhu som na základe stanovených parametrov vybral referencie uvedené v tabuľke 1. Za najvhodnejšiu referenciu som vybral obvod REF102C pre najmenší teplotný drift a najlepšiu stabilitu.

Názov	REF102C	LT1236-10	REF01
Výstupné napätie [V]	10	10	10
Maximálny teplotný drift [ppm/°C]	2,5	5	8,5
Stabilita po 1000 hodinách [ppm]	20	30	50
Šum 0,1 – 10 Hz [$\mu\text{V}_{\text{P-P}}$]	5	6	6

Tabuľka 1: porovnanie zdrojov referenčného napätia [8][9][10]

Schéma zapojenia obvodu referenčného napätia je zobrazená na obrázku 2.2. Výstup z obvodu referenčného napätia IC28 je spolu so vstupom externého referenčného napätia privedený do analógového prepínača IC26 (ADG5404). Výstup prepínača je ďalej privedený do napäťového sledovača tvoreného obvodom IC27B pre zvýšenie vstupnej impedancie vstupu externého referenčného napätia. Výrobca operačného zosilňovača AD8676 udáva maximálny teplotný drift offsetu $0,6 \mu\text{V}/^\circ\text{C}$, čo predstavuje 0,06 ppm oproti 10 V [11]. Pomocou operačného zosilňovača IC27A je vytvorené záporné referenčné napätie. K tomu je použitá precízna odporová sieť RN5 (Y4485V) s pomerom odporov 1:1, u ktorej výrobca garantuje toleranciu pomeru odporov 100 ppm, teplotný drift pomeru odporov $0,1 \text{ ppm}/^\circ\text{C}$ a zmenu pomeru odporov 50 ppm po 2000 hodinách [12].

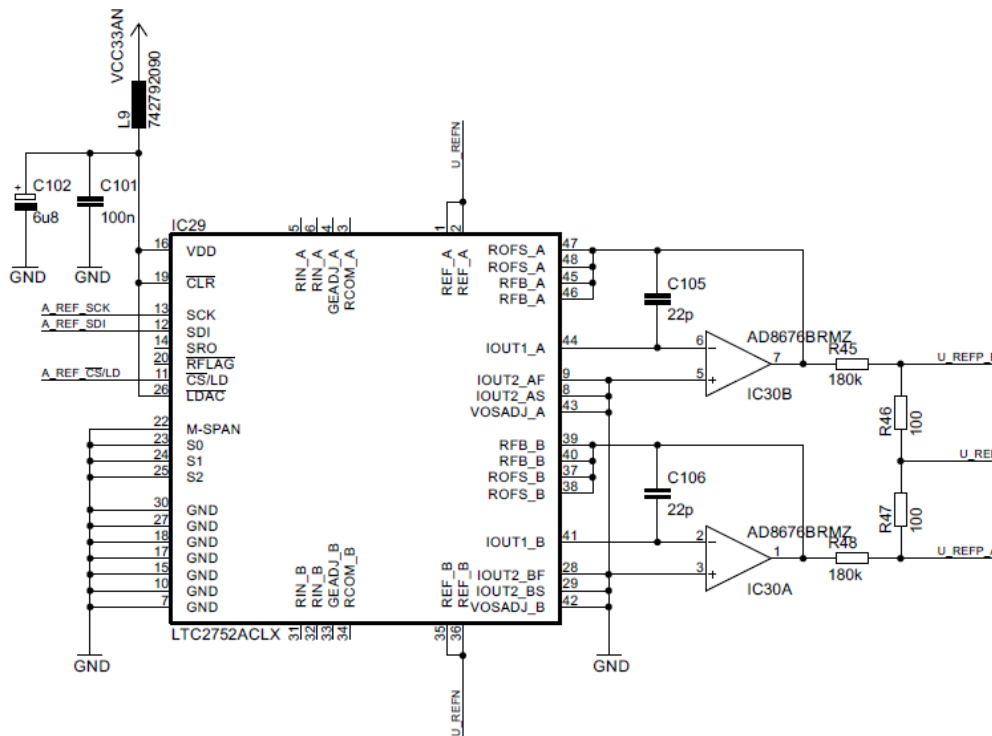


Obrázok 2.2: schéma zapojenia obvodu referenčného napätia

2.2 Generovanie sínusu

Najväčšiu pozornosť som venoval analógovej časti pre generovanie sínusu. Tak, ako to bolo spomenuté v úvode tejto kapitoly, sínusový priebeh je generovaný pomocou *DAC* prevodníka s plnou amplitúdou na výstupe. Pre hrubé nastavenie amplitúdy na výstupe generátora je zapojený prevodník *mDAC* a o jemné nastavenie amplitúdy sa stará *rDAC*, viac ďalšie odstavce.

K jemnému nastaveniu výstupnej amplitúdy slúži obvod zobrazený na obrázku 2.3. Princíp spočíva v jemnom upravení kladného referenčného napätia pre každý kanál samostatne. Základom je dvojkanálový 16 bitový digitálne analógový prevodník *IC29* (LTC2752), v blokovej schéme generátora na obrázku 2.1 označený ako *rDAC*. Ako referenčné napätie pre prevodník je použité záporné referenčné napätie -10 V. Na výstupe prevodníka je zapojený invertujúci prevodník *I/U* tvorený operačným zosilňovačom *IC30*. Výstupom z prevodníka *I/U* je tak napätie v rozsahu 0 až 10 V s rozlíšením 153 μV , ktoré je privedené na odporový delič tvorený precíznymi odpormi *R45* a *R46* v pomere 1800:1. Druhá strana odporového deliča je pripojená na kladné referenčné napätie +10 V. Vďaka veľkému deliacemu pomeru je na výstupe deliča napätie v rozsahu 9,9944 V až 10 V, pričom spodný rozsah predstavuje relatívnu zmenu 556 ppm voči 10 V, rozlíšenie zmeny úrovne kladného referenčného napätia je tak lepšie ako 0,01 ppm. Obvod však so sebou prináša jednu nevýhodu. Pretože obvod upravuje iba kladné referenčné napätie a záporné ostáva nezmenené, obvod tak zanáša offset na výstup generátora. Riešením je upraviť obvod tak, aby upravoval aj záporné referenčné napätie alebo vybaviť výstup generátora obvodom pre udržanie offsetu v nule. Keďže v zapojení používam viacero členov, ktoré vnášajú offset na výstup generátora, rozhodol som sa o doplnenie výstupu generátora o obvod pre udržanie offsetu v nule, viac na konci tejto podkapitoly.



Obrázok 2.3: schéma zapojenia obvodu pre jemné upravenie kladného referenčného napätia

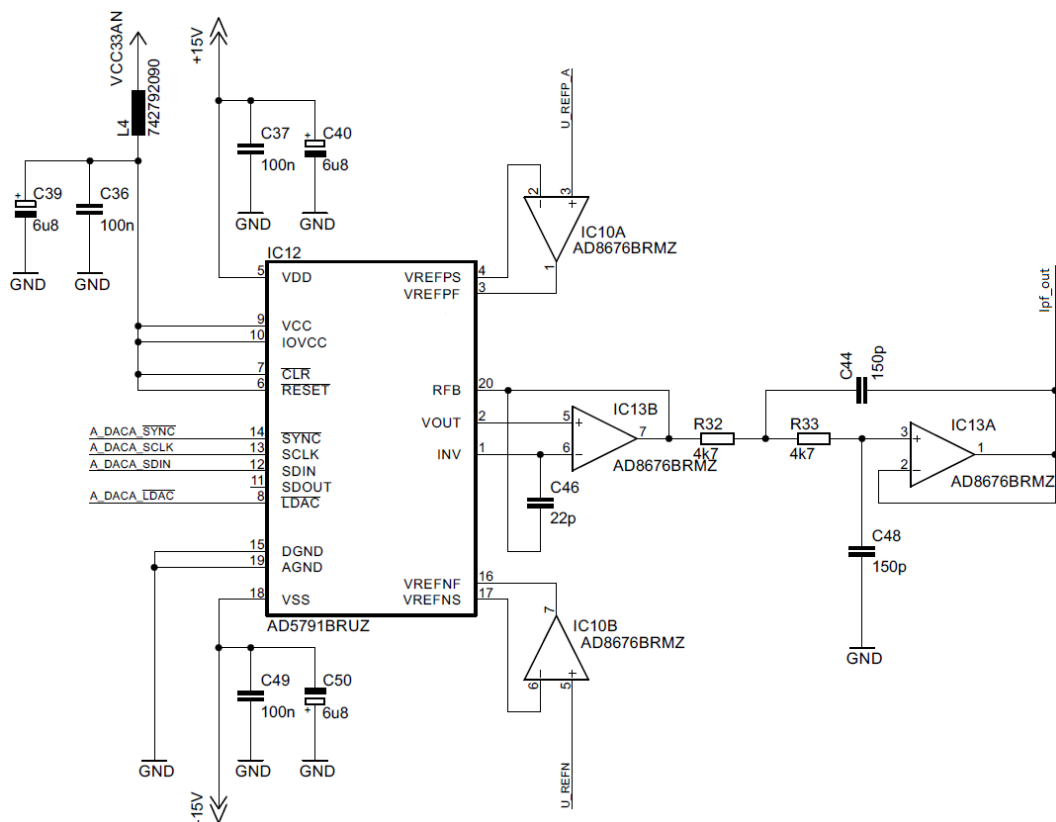
Veľmi dôležitou súčasťou generátora je *DAC* prevodník, pomocou ktorého je rekonštruovaný signál na výstupe generátora. Po vykonaní prieskumu trhu som zvolil prevodník *AD5791*, ktorého typické parametre sú uvedené v tabuľke 2. Veľmi zaujímavým parametrom tohto prevodníka je rozlíšenie, ktoré je až 20 bitov, vďaka ktorému je možné dosiahnuť odstup signál šum podľa rovnice (4) až 122 dB. Integrálna a diferenciálna chyba linearity je pod 0,5 LSB a teplotný drift 0,05 ppm/°C. Maximálna doba ustálenia 1 μ s umožňuje vzorkovať rekonštruovaný signál s frekvenciou 1 Msps, čím je posunutá limitná Nyquistová frekvencia 500 kHz ďaleko za maximálnou výstupnou frekvenciou generátora 20 kHz. Pred zhotovením generátora som vyrobil testovací obvod, na ktorom som overil vlastnosti prevodníka. Výsledky boli viac než dostačujúce, čo mi potvrdilo správny výber prevodníka a ja som sa mohol ďalej venovať návrhu modulu generátora. Schéma zapojenia obvodu s prevodníkom je na obrázku 2.4. Referenčné napätie je privedené na neinvertný vstup operačného zosilňovača *IC10*. Výstup a invertujúci vstup zosilňovača sú pripojené samostatným vedením na odporovú sieť umiestnenú v *DAC* prevodníku. Tým je vytvorená kompenzácia úbytku napätia vplyvom odporu na vedení medzi výstupom operačného zosilňovača a odporovou sieťou *DAC* prevodníka. Výstup *DAC* prevodníka je posilnený operačným zosilňovačom *IC13*. Výrobca doplnil obvod o dva 6,8 k Ω odpory, ktoré je možno programovo zapojiť paralelne, a tým dosiahnuť hodnotu rovnú výstupnej impedancii *DAC* prevodníka, ktorá je 3,4 k Ω . Tieto paralelne spojené odpory sú zapojené medzi výstup

operačného zosilňovača a jeho invertujúci vstup, čím je kompenzovaný vstupný prúd operačného zosilňovača.

Rozlíšenie	20 bitov
INL	0,25 LSB
DNL	0,5 LSB
Teplotný drift	0,05 ppm/°C
Dlhodobá stabilita linearity	0,16 LSB po 500 hod
Doba ustálenia	1 μ s
Výstupný šum	7,5 nV/ $\sqrt{\text{Hz}}$
Rozsah referenčného napätia	± 5 až ± 10 V

Tabuľka 2: typické parametre DAC prevodníka AD5791 [13]

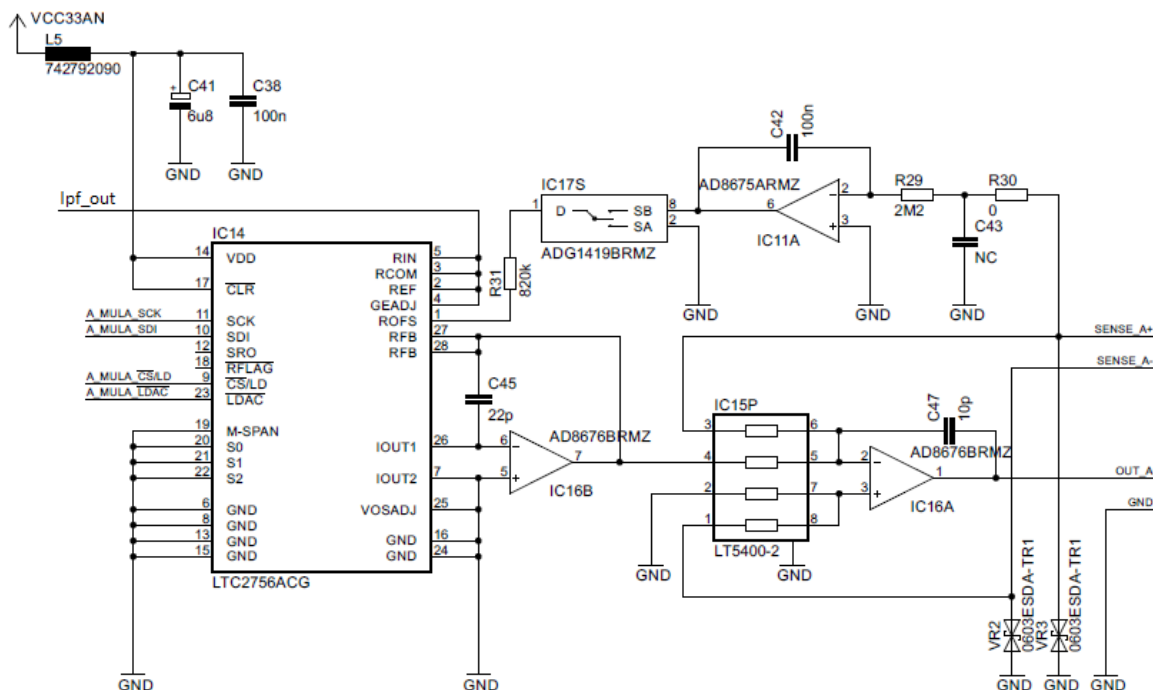
Za operačným zosilňovačom *IC13* nasleduje aktívny filter dolnej priepusti druhého rádu typu Sallen-Key pre zamedzenie aliasingu. Keďže limitná Nyquistová frekvencia je 500 kHz pri vzorkovacej frekvencii 1 Msp, medzný kmitočet filtra bol zvolený pod túto frekvenciu na 225 kHz vhodnou kombináciou hodnôt súčiastok *R32*, *R33*, *C44* a *C48* [6]. Keďže stabilita filtra je taktiež dôležitá, v zapojení sú použité odpory s nízkym teplotným driftom 5 ppm/°C a kondenzátory s dielektrikom C0G pre lepšiu teplotnú stabilitu.



Obrázok 2.4: schéma zapojenia prevodníka AD5791 a filtra dolnej priepuste

Veľké rozlíšenie použitého DAC prevodníka umožňuje generovať signál s digitálne upravenou amplitúdou so stále vysokým rozlíšením. Napríklad, ak by sa generoval signál s amplitúdou 16-krát menšou oproti plnému rozsahu, rozlíšenie signálu by bolo 16 bitov (20 - 4 bitov). Digitálna úprava amplitúdy prináša so sebou aj jednu nevýhodu, a tou je šum. S klesajúcou amplitúdou klesá priamo úmerne aj odstup signál šum. Pre uvedený príklad, kedy je výstupná amplitúda 16-krát menšia oproti plnému rozsahu, klesne odstup signál šum z hodnoty vypočítanej podľa rovnice (4) 122 dB na hodnotu 98 dB pre ideálny digitálne analógový prevodník.

Pre dosiahnutie čo najväčšieho SNR som sa rozhodol doplniť výstup precízneho DAC o obvod, ktorý zabezpečí úpravu výstupnej amplitúdy. Schéma zapojenia obvodu je na obrázku 2.5. Pre úpravu amplitúdy je použitý 18 bitový multiplikačný digitálne analógový prevodník IC14 (LTC2756) s prúdovým výstupom, označený ako *mDAC* na blokovej schéme generátora na obrázku 2.1. To znamená, že výstupná amplitúda z DAC prevodníka môže byť upravená s rozlíšením 18 bitov, relatívne 4 ppm, použitím iba tohto samotného prevodníka. Na vstup prevodníka *mDAC* je privedený výstupný signál z filtra, čiže rekonštruovaný signál. Na výstupe prevodníka je použitý prevodník I/U tvorený operačným zosilňovačom IC16B, ktorého výstup je následne privedený do rozdielového zosilňovača tvorený odporovou sieťou IC15P a operačným zosilňovačom IC16A. Vstupom rozdielového zosilňovača sú aj snímacie svorky pripojené priamo na výstupný konektor generátora. Výstup rozdielového zosilňovača je pripojený na koncový zosilňovač, ktorý je popísaný v nasledujúcej podkapitole 2.3.

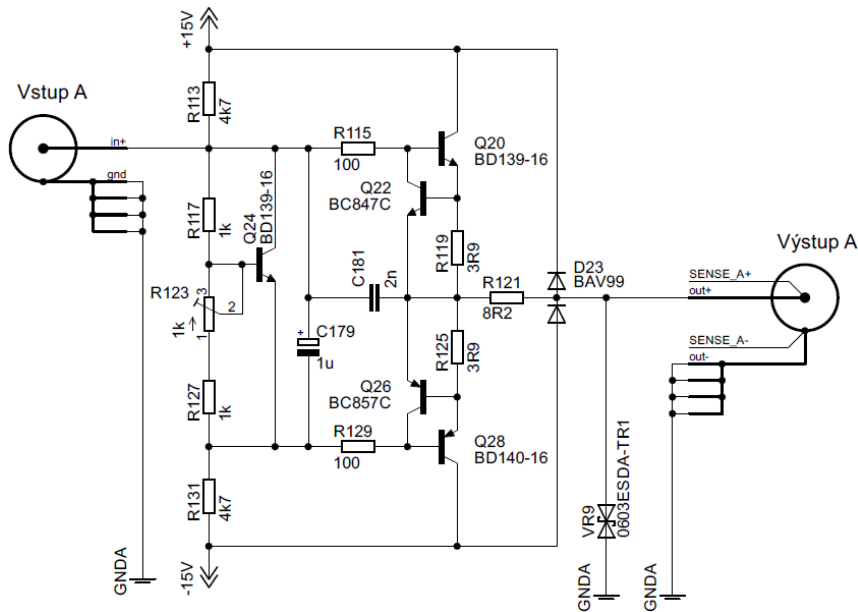


Obrázok 2.5: schéma zapojenia prevodníka LTC2756 pre úpravu výstupnej amplitúdy

Ako som už spomínal na začiatku tejto kapitoly, generátor som vybavil o obvod pre udržanie výstupného offsetu v nule. Obvod sa skladá z operačného zosilňovača *IC11* zapojenom ako integrátor. Výstup integrátora je privedený do prevodníka I/U cez odpor *R131*, kde dochádza k sčítaniu prúdu z DAC a integrátora. Offset samotného operačného zosilňovača *IC11* sa koriguje pomocou trimra *R34*. V prípade generovania nízkej frekvencie na výstupe generátora je potrebné obvod odpojiť od činnosti, ináč by ovplyvňoval výstupnú amplitúdu generovaného signálu. K odpojeniu integrátora slúži elektronický prepínač *IC17*.

2.3 Koncový zosilňovač

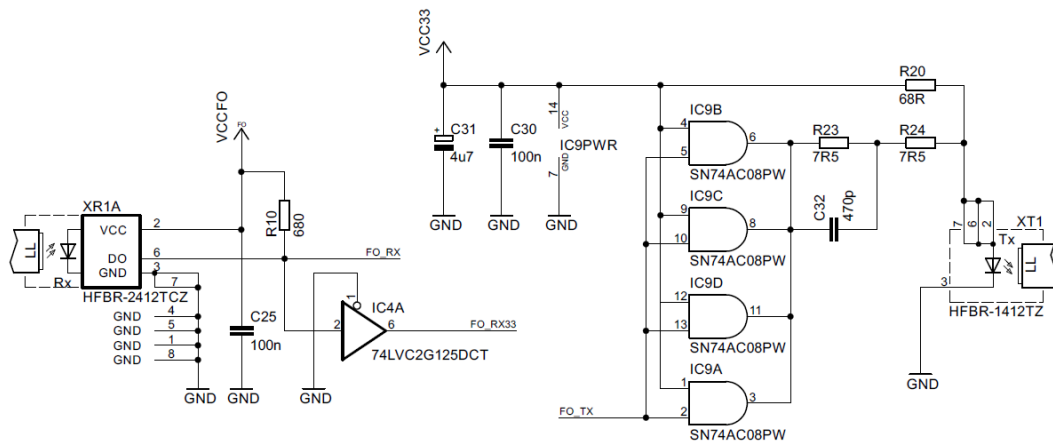
Pre zvýšenie výstupného prúdu do záťaže sú na výstupoch generátora umiestnené koncové zosilňovače. Navrhnutá schéma zapojenia koncového zosilňovača je na obrázku 2.6. Výkonovým prvkom zosilňovača sú bipolárne tranzistory *Q20* a *Q28* zapojené ako emitorový sledovač. Aby zosilňovač pracoval v triede AB s nízkym skreslením, cez tranzistory musí prechádzať kľudový prúd aj pri nulovom výstupnom prúde. Pre nastavenie kľudového prúdu cez tranzistory slúži trimer *R123*, pomocou ktorého sa zatvára tranzistor *Q24*, tým zvyšuje prúd do bázy tranzistorov *Q20* a *Q28*, a tým zvyšuje kľudový prúd. Tranzistory *Q20*, *Q28* a *Q24* je nevyhnutné umiestniť na spoločný chladič pre kompenzáciu záporného teplotného súčiniteľa napätia báza-emitor. Obmedzenie výstupného prúdu je zabezpečené zaradením odporov *R119* a *R125* za emitory tranzistorov *Q20* a *Q28*, na ktorých je sledovaný úbytok napätia pomocou tranzistorov *Q22* a *Q26*. Pri prúde 170 mA je úbytok napätia dostatočne veľký k otvoreniu tranzistora *Q22*, čím sa uzavrie tranzistor *Q20*. Maximálny výstupný prúd je tak nastavený na hodnotu ± 170 mA. Ak dôjde ku skrate na výstupe, na tranzistore *Q20* alebo *Q28* (v závislosti na vstupnej polarite) je úbytok napätia skoro rovný napájaciemu napätiu. To predstavuje stratu na tranzistore 2,6 W, preto je nevyhnutné, aby boli tranzistory umiestnené na chladiči.



Obrázok 2.6: schéma zapojenia koncového zosilňovača

2.4 Komunikácia s radiacou jednotkou

Komunikácia modulu generátora s radiacou jednotkou musí byť galvanicky oddelená. Za týmto účelom bol navrhnutý obvod komunikácie po optike, ktorého schéma zapojenia je zobrazená na obrázku 2.7. Pre príjem dát po optickom vedení je použitý obvod XR1A (HFBR-2412) osadený v puzdre umožňujúcom pripojiť optický kábel s konektorom ST. Optický prijímač ma v sebe vstavaný zosilňovač a tvarovač signálu a jeho výstupom je priamo TTL signál. Prenosová rýchlosť obvodu je do 5 MBd [14]. Pre vysielanie dát po optickom vedení je použitá LED dióda XT1 (HFBR-1412) s vlnovou dĺžkou 820 nm umiestnená opäť v puzdre umožňujúce pripojiť optický kábel s konektorom ST. Budič LED diódy je zapojený podľa odporúčania výrobcu uvedenom v katalógovom liste [14].

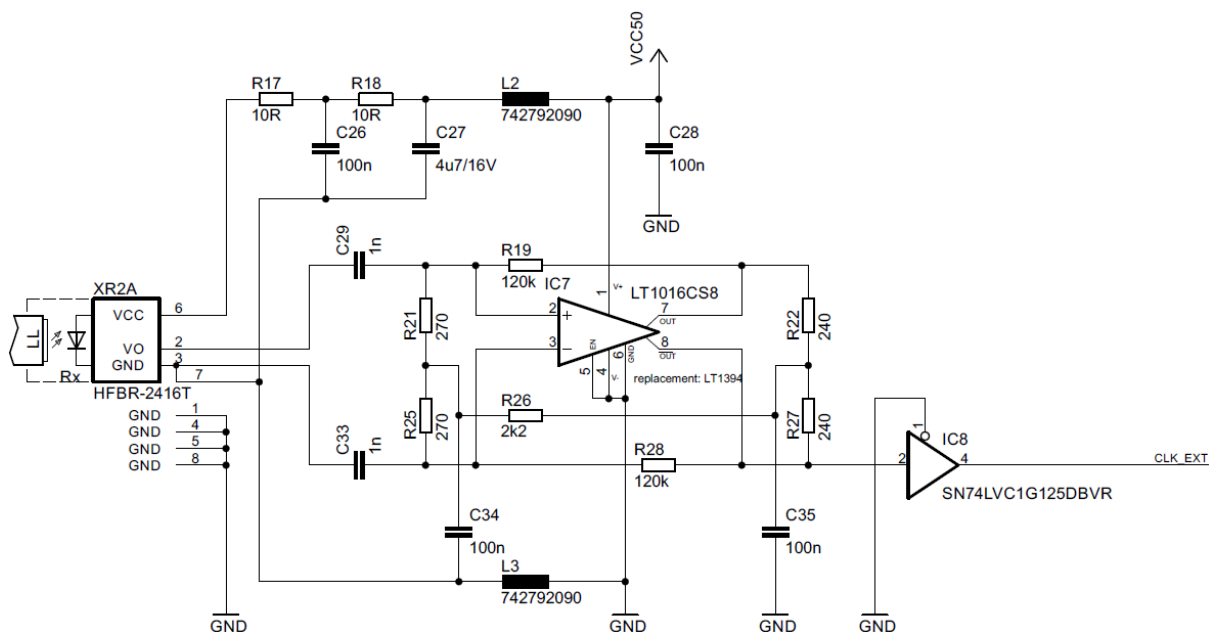


Obrázok 2.7: schéma zapojenia optického prijímača (vľavo) a vysielča (vpravo)

2.5 Referenčné hodiny

Dôležitou súčasťou generátora sú aj referenčné hodiny. Frekvenčná stabilita a čistota spektra rekonštruovaného sínusového priebehu pomocou priamej digitálnej syntézy je závislá okrem iných faktorov aj na stabilite referenčných hodín. Keďže modul generátora nie je možné ovládať bez prítomnosti kontrolnej jednotky, rozhodol som sa, že stabilné referenčné hodiny budú umiestnené v kontrolnej jednotke a budú distribuované do každého modulu generátora po optickom vedení. Riešenie je výhodné ako aj z ekonomického hľadiska, tak aj z hľadiska synchronizácie modulov generátorov.

Na obrázku 2.8 je zobrazená schéma zapojenia optického prevodníka, ktorý využíva optický prijímač XR2A (HFBR-2416) umiestnenom v puzdre umožňujúci pripojiť optický kábel s konektorom ST. Prijímač pozostáva z PIN fotodiódy a nízkošumového predzosilňovača. Analógový výstup z optického prevodníka je ďalej privedený do tvarovača signálu tvorený rýchlym komparátorom IC7. Ide o doporučené zapojenie výrobcom optického prijímača [15].

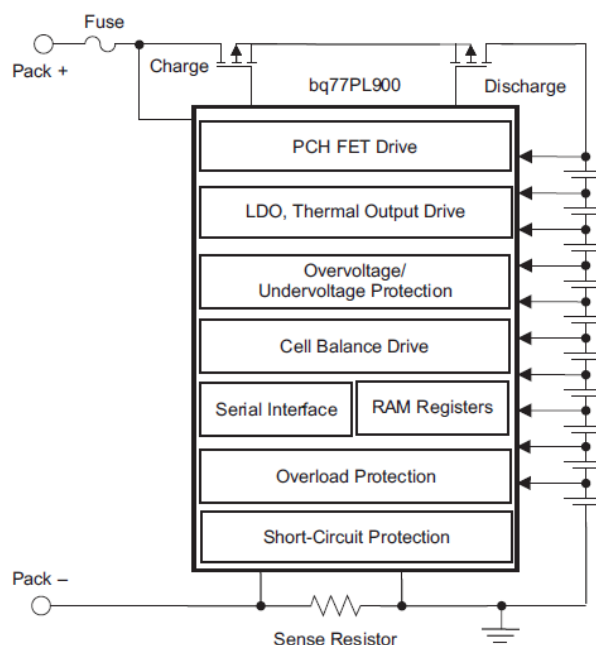


Obrázok 2.8: schéma zapojenia prevodníka referenčných hodín

V prípade vypadnutia externých referenčných hodín, napríklad dôsledkom náhodného odpojenia optického kábla, musí byť modul generátora schopný pobežať na interné hodiny. Tu som zvolil precízny oscilátor s frekvenciou 50 MHz, u ktorého výrobca garantuje frekvenčnú stabilitu ± 50 ppm a fázový jitter menší ako 1 ps [16].

2.6 Napájanie

Modul generátora som sa rozhodol napájať Lithium-Iontovými (Li-Ion) článkami. Hlavnou výhodou Li-Ion článku je vysoké nominálne napätie až 3,7 V, takže pre minimálne napájacie napätie generátora ± 15 V bude použitých iba 10 článkov. Veľkou nevýhodou Li-Ion článku je však nebezpečenstvo výbuchu pri nesprávnom zaobchádzaní. Ako nesprávne zaobchádzanie sa rozumie prebíjanie článku, úplné vybitie článku, vysoká prevádzková teplota a skratovanie článku, čím sa článok zohreje nad prevádzkovú teplotu. Modul generátora som preto musel vybaviť obvodom pre ochranu Li-Ion článkov. Po vykonaní rešerše trhu som ako najvhodnejším obvodom pre ochranu 10 článkov vybral obvod bq77PL900. Jedná sa o ochranný obvod pre 5 až 10 Li-Ion článkov, bloková schéma obvodu je na obrázku 2.9. Obvod som vybral na základe dvoch dôvodov. Prvým dôvodom je, že obvod dokáže pracovať autonómne v *Stand-Alone* móde a druhým dôvodom je, že má v sebe integrovaný *Cell Balance Drive* obvod pre udržiavanie rovnovážneho stavu napätia medzi článkami pri nabíjaní, čím je zabezpečené rovnomerné nabitie článkov. Obvod má v sebe zabudovanú EEPROM pamäť pre uloženie parametrov, ktorú je však možné prepísať len trikrát. Pod parametrom sa rozumie napríklad napäťová úroveň na ktoromkoľvek článku, pri ktorej dôjde k odpojeniu záťaže. Vďaka tomu je možné presne nadefinovať úrovne ochrany. Obvod som zapojil podľa doporučenia výrobcu [17].



Obrázok 2.9: bloková schéma obvodu Bq77PL900. Prezaté z [17] ©Texas Instruments. Inc.

Správa napájania pozostáva z nízkopríkonového mikrokontroléra ATtiny861 so vstavaným ADC prevodníkom pre monitorovanie napätia horných a spodných 5 článkov, vďaka čomu má užívateľ prehľad o stave napájania. Mikrokontrolér ďalej ovláda výkonové MOS-FET tranzistory pre napájanie digitálnej a analógovej časti generátora.

Napájací obvod pre analógovú časť je tvorený dvojicou nízkošumových Low Dropout Voltage (LDO) regulátorov TPS7A4700 a TPS7A3301. Výrobcom garantovaný šum na výstupe nepresahuje úroveň $20 \mu\text{Vrms}$ (šírka pásma 10 - 100 kHz pri 15 V na výstupe)

a potlačenie zmeny napájacieho napätia (PSRR) je nad 70 dB (výstupný prúd 500 mA a šum s frekvenciou 1 kHz na vstupe), čo robí tieto obvody ideálne pre použitie v generátore [18] [19]. Výrobca stabilizátorov doporučuje použitie viacvrstvých keramických kondenzátorov na vstupe a výstupe stabilizátorov pre ich nízku ESR hodnotu. Viacvrstvé keramické kondenzátory však so sebou prinášajú veľkú nevýhodu v podobe šumu, keďže dielektrikum kondenzátora sa chová ako piezoelektrický element a pri mechanickom pnutí alebo náraze vzniká šum v jednotkách μV až mV [20]. Keďže modul generátora je vybavený ventilátorom produkujúcim vibrácie, viacvrstvé keramické kondenzátory som nahradil elektrolytickými kondenzátormi s nízkou ESR hodnotou zapojené dva paralelne pre zmenšenie hodnoty ESR na polovicu.

2.7 FPGA a pamäť look-up tabuľky

Ako už bolo spomenuté v kapitole 2.2, v rámci tejto práce bol vyrobený testovací obvod pre overenie vlastností *DAC* prevodníka, ktorý bol pripojený ku FPGA *Cyclone 2*. Na testovacom obvode som mal možnosť odskúšať si programovanie FPGA v jazyku VHDL, ako aj priamu digitálnu syntézu a prácu s pamäťou, čím som mal približný prehľad o nárokoch na FPGA. Po skompilovaní testovacieho programu bolo potrebných približne 2 000 logických elementov. Keďže testovací program zahŕňal základnú komunikáciu po UART a ovládanie len pre jeden kanál generátora, zvolil som minimálny počet logických prvkov na trojnásobok, čiže 6 000 logických elementov. Na základe určeného minimálneho počtu logických prvkov som sa rozhodol použiť FPGA EP2C8T144 s 8 256 logickými elementami a 85 vstupno-výstupnými pinmi v puzdre TQFP-144.

Vybrané FPGA disponuje 36 pamäťovými blokmi M4K čo predstavuje 165 888 RAM bitov. Pri predpoklade, že sa do pamäte uloží iba jedna štvrtina sínusového priebehu s amplitúdovým rozlíšením 19 bitov, tak do tejto pamäte je možné uložiť 8 192 vzorkou štvrtiny priebehu, čo predstavuje 2^{15} vzorkou celého priebehu. Pre 20 bitový digitálne analógový prevodník je podľa rovnice (3) minimálna šírka N rovná 23 bitom, takže je potrebné uložiť minimálne 2^{23} vzoriek priebehu, čo táto pamäť neumožňuje. Ďalej, maximálna hodnota spektrálnej nečistoty v dôsledku zaokrúhľovania fázy by bola -90 dBc, čím by sa zodvihlo šumové pozadie výstupu. Ďalšou nevýhodou vstavanej pamäte je, že po každom zapnutí generátora by musela byť znovu nahraná, keďže sa jedná o napäťovú závislú pamäť.

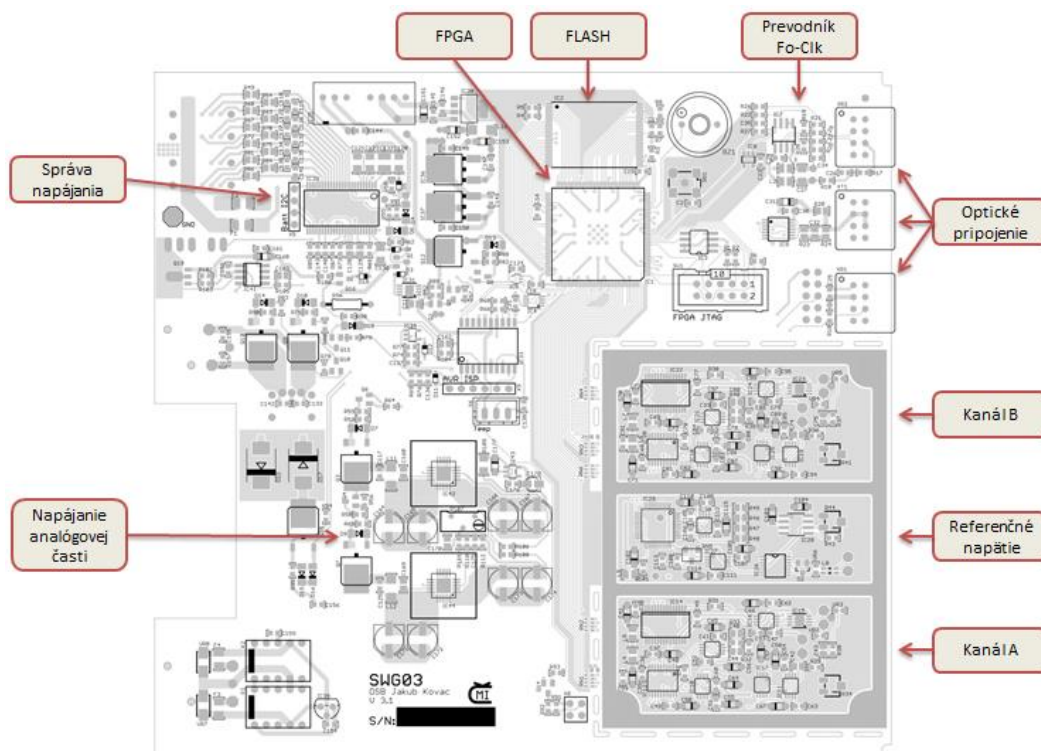
Pre uloženie priebehu sínusu som sa rozhodol použiť FLASH pamäť IC2 (JS28F256M29) so šírkou adresovej zbernice 24 bitov, šírkou dátovej zbernice 16 bitov a dobou prístupu 70

ns [21]. Pre nedostatok pinov FPGA je zapojených iba spodných 14 bitov dátovej zbernice, zvyšné dva bity sú pripojené na zem. Pretože 14 bitové rozlíšenie hodnoty priebehu nie je postačujúce pre nastavovanie 20 bitového prevodníka, pamäť je programovo rozdelená na hornú a spodnú časť uloženej hodnoty, čím sa amplitúdové rozlíšenie priebehu zväčší na dvojnásobok a rozlíšenie fázy zmenší o polovicu. Do pamäte je tak možné uložiť 2^{23} vzoriek štvrtiny priebehu, čo predstavuje 2^{25} vzoriek celého priebehu, takže maximálna hodnota spektrálnej nečistoty v dôsledku zaokrúhľovania fázy je -150 dBc, čo je viac než postačujúce.

2.8 Plošný spoj

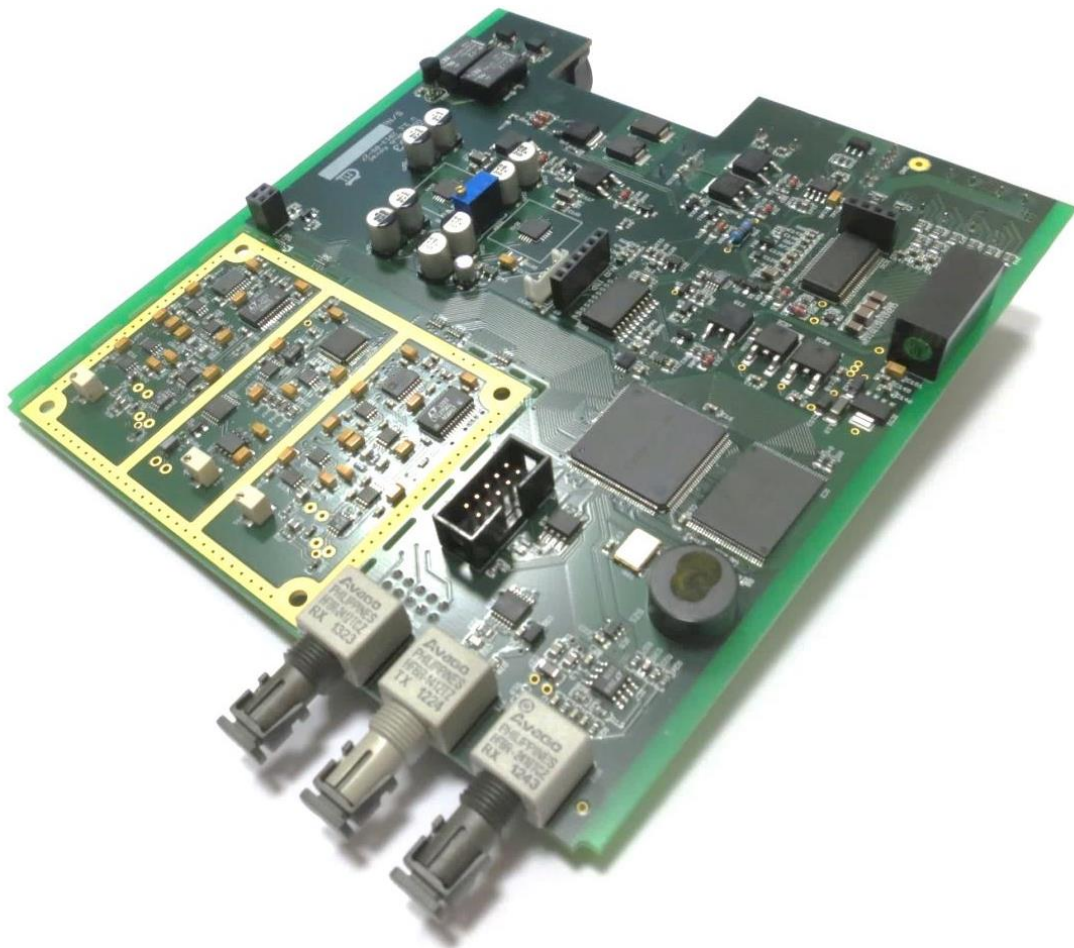
Dôležitú úlohu v dokonalosti generátora zohráva okrem iného aj samotný návrh dosky plošného spoja. Počas návrhu dosky plošného spoja (ďalej len DPS) som musel dodržiavať isté postupy a doporučená čerpané z literatúry [22].

Prvým krokom pri návrhu DPS bolo rozdelenie DPS na časť analógovú, digitálnu a napájaciú. Pri nedodržaní tohto kroku hrozí, že prúd tečúci digitálnou časťou by tiekol aj cez citlivú analógovú časť, čím by došlo k zaneseniu digitálneho šumu do analógovej časti obvodu. Na obrázku 2.10 je zobrazený navrhnutý plošný spoj generátora, kde analógová časť je vpravo dole, digitálna v pravo hore a napájacia vľavo. DPS je tvorená štyrmi vrstvami v usporiadaní signál/napájanie/zem/signál.



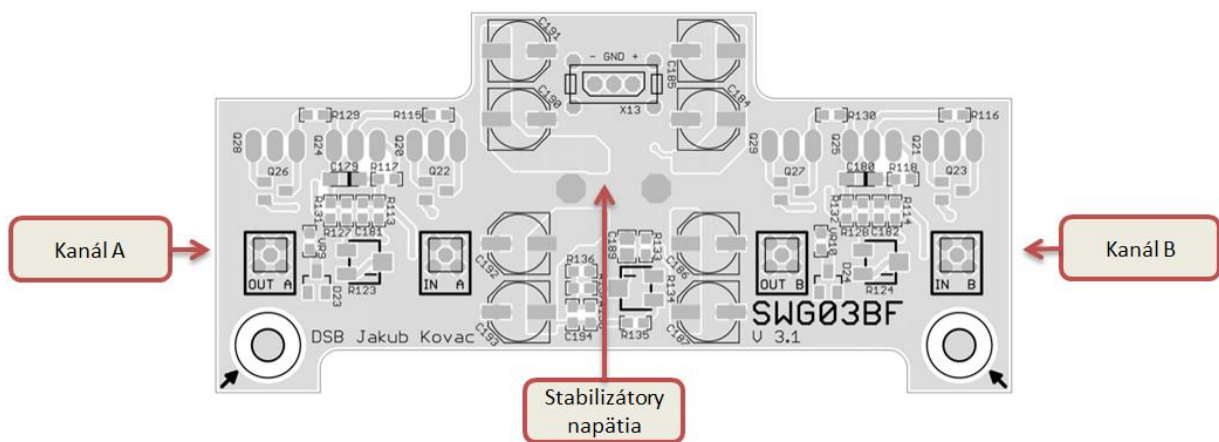
Obrázok 2.10: osadenie dosky plošného spoja modulu generátora

Aby bola stabilita pomeru dvoch kanálov čo najlepšia, teplotný drift medzi kanálmi analógovej časti by mal byť konštantný. Preto som sa snažil čo najlepšie tepelne odizolovať analógovú časť od digitálnej a napájacej použitím vyfrézovaných drážok v DPS okolo analógovej časti. Tým je minimalizovaná tepelná výmena vedením DPS medzi analógovou a digitálnou/napájacou časťou. Opačne, pri analógovej časti som sa snažil o čo najlepšie vedenie tepla, preto je na všetkých štyroch vrstvách DPS rozliata medená vrstva. Pri analógovej časti som musel zamedziť prúdenie vzduchu, ktoré môže spôsobovať šum na výstupe generátora dôsledkom rýchlych zmien teploty súčiastok. Rozhodol som sa pre výrobu hliníkového krytu, ktorý zakryje celú analógovú časť a zamedzí vírenie vzduchu. Kryt ďalej slúži ako elektromagnetické a elektrostatické tienenie a taktiež zlepšuje tepelný skrat analógovej časti. Modul generátora som vybavil štvorpinovým konektorom s napájaním pre možné doplnenie modulu generátora o termostat analógovej časti, čím sa môže zlepšiť dlhodobá stabilita výstupného napätia. Celkový pohľad na osadenú DPS modulu generátora je na obrázku 2.11.



Obrázok 2.11: osadená doska plošného spoja modulu generátora

Najväčšia predpokladaná strata je na koncovom zosilňovači, preto som ho umiestnil na samostatnú DPS, ktorá sa môže upevniť priamo na chladič. Na spodnej strane DPS sú umiestnené stabilizátory napätia a výkonové odpory, ktoré sú pomocou teplovodivej peny spojené s chladičom pre odvod tepla. Pre zachovanie modularity generátora je modul koncového zosilňovača ľahko vymeniteľný vďaka použitým miniatúrnym koaxiálnym konektorm MMCX. DPS koncového zosilňovača je zobrazená na obrázku 2.12.



Obrázok 2.12: osadenie dosky plošného spoja koncového zosilňovača

2.9 Mechanická konštrukcia

V rámci tejto diplomovej práce bola navrhnutá aj mechanická konštrukcia modulu generátora. Po prejdení trhu s prístrojovými škatuľkami mi ani jeden typ nevyhovoval, preto som sa rozhodol vyrobiť vlastnú škatuľku. Pri návrhu som sa snažil dosiahnuť čo najefektívnejšie riešenie pri použití čo najmenej mechanických komponentov a pri zachovaní modularity generátora.

Pohľad na modul generátora je zobrazený na obrázku 2.13. Telo generátora tvoria bočnice vyrobené zo 7 mm hrubého hliníkového plátu. Do plátu sú vyfrézované 2 mm široké drážky, do ktorých je zasunutá DPS generátora. Bočnice sú prišrubované o predný a zadný panel generátora, čím sú držané pohromade. Predný panel je vyrobený z 3 mm hrubého nerezového plechu, do ktorého sú pomocou lasera vypálené otvory a taktiež pomocou lasera vyrobené popisy. Modul generátora je zakrytý dvoma hliníkovými plechmi ohnutými do U, ktoré sa nasúvajú na bočnice.



Obrázok 2.13: predný pohľad na modul generátora

Pohľad na zadnú stranu modulu generátora je zobrazený na obrázku 2.14. Na zadnom paneli, ktorý je vyrobený z 3 mm hrubého hliníkového plechu, je umiestnený ventilátor pre odvod teplého vzduchu, dva XLR konektory, zdierka pre pripojenie uzemnenia a vypínač, ktorý slúži pre spojenie kostry generátora so zemou elektronickej časti. XLR konektor na pravej strane panela slúži pre pripojenie nabíjačky, konektor na ľavej strane slúži ako zdroj napätia pre možnosť napájania externého zariadenia, napríklad externého zosilňovača.



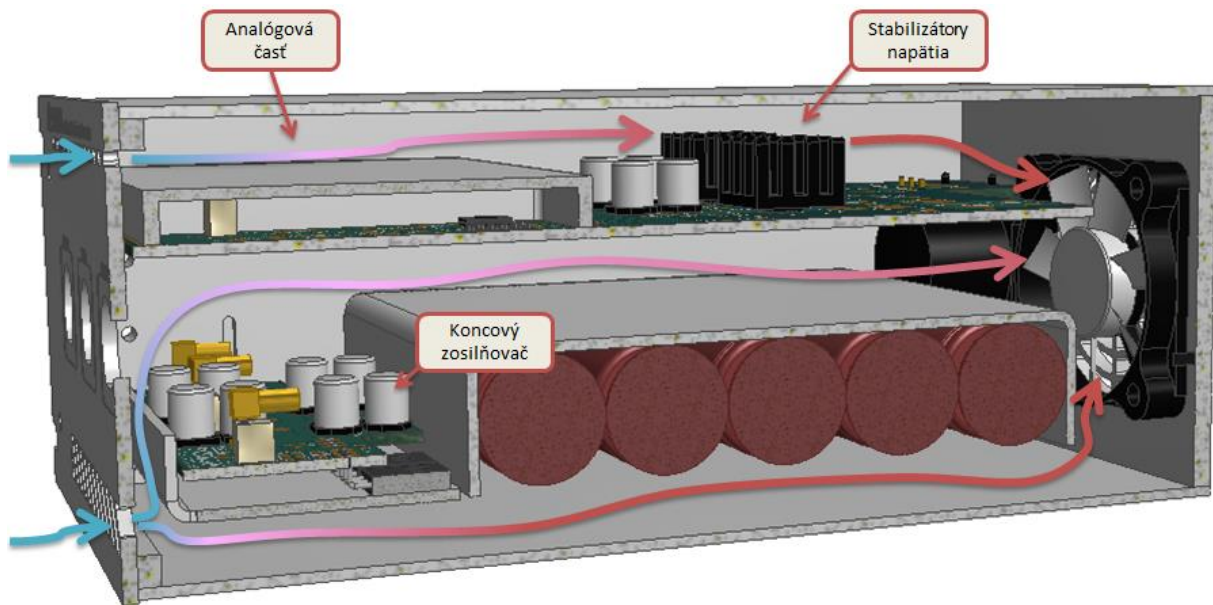
Obrázok 2.14: zadný pohľad na modul generátora

Koncový zosilňovač je pripevnený na chladiči tvoreného z hliníkového plechu umiestneného v ľavom hornom rohu na obrázku 2.15, čím je tepelne oddelený od základnej dosky generátora. Pre zachovanie modularity sú batérie umiestnené na hliníkovom plechu ohnutom do tvaru U, ktorý je zasunutý do vyfrézovaných drážok v bočniciach. Tým je zabezpečená ľahká výmena celého akupacku v prípade možného zlyhania článku.



Obrázok 2.15: spodný pohľad na modul generátora

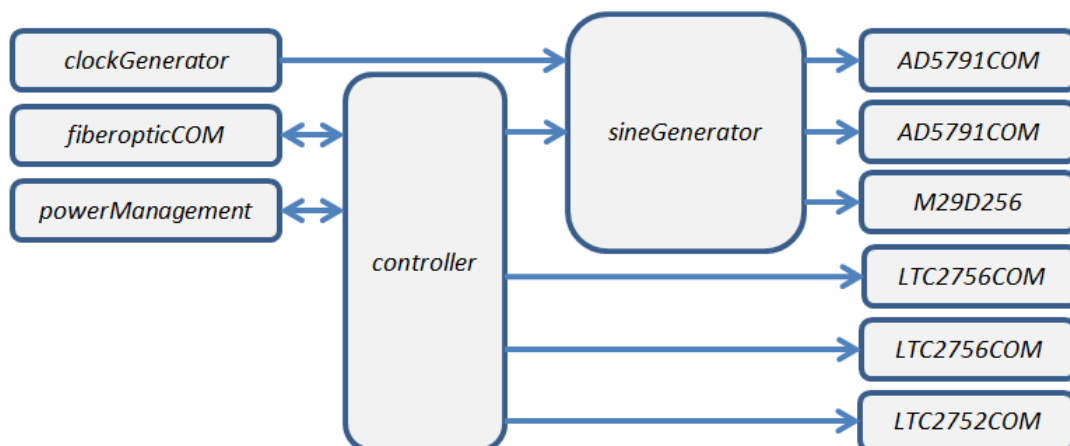
Pri navrhovaní mechanickej konštrukcie som venoval pozornosť aj prúdeniu ohriateho vzduchu vnútro generátora. Snažil som sa zabezpečiť, aby súčiastky s vysokou tepelnou stratou príliš neohrievali citlivú analógovú časť. Na obrázku 2.16 je zobrazený bočný rez modulu generátora so znázorneným prúdením vzduchu a naznačeným teoretickým priebehom ohrevu pri prechode konštrukciou generátora. Ventilátor je umiestnený na zadnom paneli, na obrázku 2.16 vpravo. Nasatý vzduch v hornej časti putuje ponad hliníkový kryt analógovej časti a cez chladiče stabilizátorov napätia. Nasatý vzduch v spodnej časti putuje cez chladič koncového zosilňovača a batérie. Taktiež prechádza úzkou štrbinou medzi predným panelom a chladičom koncového zosilňovača, čím je zabezpečená pomalšia ale istá výmena vzduchu medzi základnou doskou, koncovým zosilňovačom a batériami. V prípade, ak by dochádzalo k výraznému ohrevu analógovej časti koncovým zosilňovačom, dodatočne je možné nalepiť tepelnú izoláciu na spodnú stranu analógovej časti.



Obrázok 2.16: bočný rez modulu generátora so znázorneným prúdením vzduchu

2.10 Firmware pre FPGA

Firmware pre FPGA je napísaný v jazyku VHDL vo vývojovom prostredí *Quartus Web Edition*. Ako prvé som sa musel zoznámiť s jazykom VHDL, pretože som s týmto jazykom nemal žiadne skúsenosti. Po zoznámení sa som si jazyk veľmi obľúbil a rovno som sa pustil do programovania firmwaru generátora. Pre rozsiahlosť kódu je vytvorený projekt vložený v prílohe na CD. Firmware pozostáva zo stavebných blokov zobrazených na obrázku 2.17, pričom každý blok plní špecifickú funkciu. Funkcia blokov je popísaná v nasledujúcich podkapitolách.



Obrázok 2.17: bloková schéma firmwaru pre FPGA

2.10.1 Blok *clockGenerator*

Maximálna vzorkovacia frekvencia DDS je stanovená maximálnou vzorkovacou frekvenciou DAC prevodníkov AD5791, ktorá je 1 MHz. Keďže predpokladaná frekvencia vonkajších hodín je 10 MHz a frekvencia vnútorných hodín je 50 MHz, bolo za potreby znížiť frekvenciu na 1 MHz. K tomu slúži blok *clockGenerator*. Vstupom sú teda signály vonkajších a vnútorných hodín a výstupom je signál s frekvenciou 1 MHz. Do bloku je ďalej privedený riadiaci signál, pomocou ktorého sa volí zdroj hodín (vonkajšie či vnútorné). Pri zvolení vnútorných hodín je medzi vnútorné hodiny a výstup bloku zaradený frekvenčný delič s pomerom 50:1. Pri zvolení vonkajších hodín sa v prvom kroku spočíta frekvencia vonkajších hodín pomocou 50 MHz vnútorných hodín. Ak je frekvencia stabilná po dobu jednej sekundy, je medzi vonkajšie hodiny a výstup bloku zaradený frekvenčný delič s pomerom $f:1$, kde f je frekvencia vonkajších hodín. Vďaka tomu je možné pripojiť vonkajšie hodiny s frekvenciou v rozsahu 1 až 50 MHz po kroku 1 MHz. Aj po pripojení deliča je stabilita vonkajších hodín sledovaná. Pri zistení akejkoľvek nestability, napríklad výpadku vonkajších hodín, je naspäť zaradený frekvenčný delič medzi vnútornými hodinami a výstupom. Stav hodín signalizuje dvojfarebná LED dióda, farebný kód je uvedený v tabuľke 3.

Farba	Popis
Zelená	použité vnútorné hodiny
Oranžová	použité vonkajšie hodiny
Červená	vonkajšie hodiny nestabilné, použité vnútorné hodiny

Tabuľka 3: farebný kód signalizačnej LED diódy stavu hodín

2.10.2 Blok *fiberopticCOM*

Funkciou bloku *fiberopticCOM* je príjem a odosielanie komunikačnej správy. Komunikácia je postavená na asynchrónnom sériovom rozhraní UART s rýchlosťou prenosu 921 600 baudov, ktorá sa nastavuje premennou *BAUD_RATE*.

Nad rozhraním je postavený komunikačný protokol popísaný v tabuľke 4. Pre zápis hodnoty do registra je odoslaných 9 bajtov v nasledovnom poradí. Ako prvé sa odošle hodnota DC1 (0x11), potom pozícia registra pre zápis, ďalej nasleduje 6 bajtov tvoriacich hodnotu registra (Big Endian) a na konci je zaslaný CKSUM (súčet všetkých predošlých bajtov modulo 256). Ak posledný prijatý bajt CKSUM je rovnaký s vypočítaným bajtom v FPGA, hodnota je zapísaná do registra a je odoslaný potvrdzujúci bajt ACK (0x06), v prípade chyby je odoslaný bajt NAK (0x15). Pre čítanie hodnoty z registra je potrebné

odoslať 3 bajty. Ako prvé sa odošle hodnota DC2 (0x12), potom pozícia registra pre čítanie a nakonci je vložený CKSUM. Pri platnej správe je odoslaný potvrdzujúci bajt ACK (0x06), za ktorým nasleduje 9 bajtová správa rovnaká správe pre zápis hodnoty do registra. Pri neplatnej správe je odoslaný bajt NAK (0x15). Zoznam registrov je uvedený v prílohe A.1.

Smer	Bajt								
	1.	2.	3.	4.	5.	6.	7.	8.	9.
Zápis	0x11	register	Hodnota						CKSUM
Čítanie	0x12	register	CKSUM						

Tabuľka 4: komunikačný protokol

Pri zápise hodnoty do registra výstupnej amplitúdy, posunu fázy alebo výstupnej frekvencie je potrebné odoslať jednobajtovú spúšťačiu správu (trigger) pre aplikovanie zmeny. Zoznam potvrdzujúcich správ je uvedený v prílohe A.4.

2.10.3 Bloky *AD5791COM*, *LTC2752COM*, *LTC2756COM*

Bloky *AD5791COM*, *LTC2752COM* a *LTC2756COM* implementujú sériové rozhranie SPI pre DAC prevodníky. Časovanie signálov vychádza z katalógových listov výrobcov prevodníkov, frekvencia hodín rozhrania je generovaná obvodom fázového závesu PLL. Bloky *AD5791COM* a *LTC2756COM* obsahujú aj synchronný vstup *sync* pre nastavenie žiadanej úrovne na výstupe prevodníka.

2.10.4 Blok *M29D256*

O komunikáciu s pamäťou FLASH sa stará blok *M29D256*. Časovanie signálov vychádza z katalógového listu výrobcu. Po privedení platnej adresy na vstup bloku je možné načítať alebo uložiť hodnotu pomocou synchronných vstupov *mRead* a *mProgramm*. Tretím vstupom je *mErase*, ktorý vymaže celú pamäť. Stav pamäte signalizujú výstupy *busy* a *error*.

2.10.5 Blok *powerManagement*

Blok *powerManagement* zastrešuje komunikáciu s obvodom pre správu napájania (ďalej len OSN) po asynchrónnom sériovom rozhraní UART. Komunikácia prebieha raz za sekundu a je inicializovaná OSN. V smere z FPGA do OSN je odoslaná správa s informáciou o stave ventilátora a termostatu tieniaceho krytu. V opačnom smere je odoslaná správa s informáciou o stave horných a spodných 5 článkov batérie a či je nabíjačka pripojená. Rýchlosť prenosu je pevne daný na 800 baudov.

2.10.6 Blok *controller*

Primárnou funkciou bloku *controller* je spracovanie prijatej komunikačnej správy pomocou bloku *fiberopticCOM* a vykonanie príslušnej akcie, napríklad zmena výstupnej amplitúdy. Po prijatí komunikačnej správy je hodnota správy zapísaná do príslušného registra.

Ďalšou funkciou bloku *controller* je zmena výstupnej amplitúdy generovaného signálu jednotlivých kanálov. Po nastavení odpovedajúceho registra pre zmenu výstupnej amplitúdy a prijatí potvrdzujúcej správy, zoznam potvrdzujúcich správ je uvedený v prílohe A.4, sa nastaví požadovaná úroveň obvodov *rDAC* a *mDAC* pomocou blokov *LTC2752COM* a *LTC2756COM*. K samotnému nastaveniu úrovne obvodov *rDAC* a *mDAC* dôjde až po prechode generovaného signálu odpovedajúceho kanálu nulou, k signalizácii prechodu nulou slúžia signály *sine_zeroCross_A* a *sine_zoreCross_B*. Vďaka tomu je výstupný signál spojitý.

Výstupom bloku sú aj signály ovládajúce DC servo, prepínač vnútorného/vonkajšieho referenčného napätia, prepínač vnútorných/vonkajších referenčných hodín a signalizačné LED diódy umiestnené na prednom paneli generátora, popis jednotlivých LED je v tabuľke 5.

Umiestnenie na paneli	Farba	Popis
Na vrchu	Zelená - bliká	Generovanie je spustené
	Červená	Práca s pamäťou povolená
V strede	Zelená	Nabíjačka pripojená
	Červená	Nevyužitá

Tabuľka 5: popis signalizačných LED diód

2.10.7 Blok *sineGenerator*

Blok *sineGenerator* implementuje samotnú metódu DDS popísanú v kapitole 1.2. Pri frekvencii vzorkovacích hodín 1 MHz, odoberaných z bloku *clockGenerator*, sa inkrementuje akumulátor fázy o hodnotu registra prírastku fázy Λ_{acc} . Šírka týchto registrov je $A=48$ bitov. Ďalej, k aktuálnej hodnote fázy sa pripočíta register posunu fázy δ_i pre každý kanál samostatne, kde i predstavuje kanál. Vďaka použitiu jedného akumulátora fázy pre obidva kanály je zaručená synchronizácia kanálov na úkor možnosti samostatnej zmeny frekvencie pre obidva kanály. Pre šetrenie miesta pamäte je v nej uložená iba štvrtina sínusového priebehu, preto je pred samotným načítaním amplitúdy sínusového priebehu pri aktuálnej fáze z pamäte FLASH zistiť, v ktorom kvadrante sa nachádza fáza. To je vykonané za pomoci dvoch najvyšších bitov akumulátora fázy, pričom najvyšší bit udáva polaritu priebehu a druhý najvyšší bit udáva, či absolútna hodnota funkcie rastie alebo klesá. Ak je druhý

najvyšší bit rovný nule, tak absolútna hodnota funkcie rastie a adresový priestor pamäte je nastavený na hodnotu horných 23 bitov akumulátora fázy umiestnených za druhým najvyšším bitom. Ak je druhý najvyšší bit rovný jedna, tak absolútna hodnota funkcie klesá a adresový priestor pamäte je nastavený na hodnotu 2^{23} mínus horných 23 bitov akumulátora fázy umiestnených za druhým najvyšším bitom. Po nastavení adresového priestoru pamäte sa z nej vyčíta hodnota. Pri takomto výbere vzoriek z pamäte by bola na výstupe absolútna hodnota funkcie, preto je ešte nutné nastaviť polaritu funkcie pomocou najvyššieho bitu akumulátora fázy. Ak je rovný nule, funkcia sa násobí jednotkou a ak je rovný jedna, tak sa funkcia násobí mínus jednotkou. Výsledné fázové rozlíšenie pamäte je $N=25$ bitov. Po získaní hodnoty funkcie pri aktuálnej hodnote fázy sa hodnota upraví registrom DAC_i , čím je možné nastaviť výstupnú amplitúdu generovaného signálu. Hodnota je následne uložená do registra DAC prevodníka a po príchode nasledujúcej nábežnej hrany vzorkovacích hodín sa aktualizuje hodnota DAC prevodníka na výstupe.

Pomocou vstupov run_A a run_B je možné zapnúť, prípadne vypnúť generovanie signálu na výstupe konkrétneho kanálu. Aby bol výstupný signál spojitý, zmena stavu generovania sa vykonáva stále pri prechode funkcie nulou. Stav prechodu funkcie nulou sa zisťuje podľa najvyššieho bitu akumulátora fázy. Ak sa najvyšší bit aktuálnej hodnoty akumulátora fázy nerovná najvyššiemu bitu predošlej hodnoty akumulátora fázy, funkcia prešla nulou a nastane zmena stavu generovania. Výstupom bloku je aj signál $sync$, ktorý je privedený na predný panel generátora a slúži pre synchronizáciu meracieho zariadenia, napríklad lock-in zosilňovača. Hodnota signálu je priamo odvodená od najvyššieho bitu akumulátora fázy.

2.11 Nastavenie hodnôt generátora

Dôležitou súčasťou tejto práce je zoznámiť užívateľa s nastavovaním hodnôt príslušného registra generátora pre dosiahnutie žiadaného stavu na výstupe generátora, zoznam registrov je uvedený v prílohe A.1. Spustenie generovania priebehu na výstupe generátora, prepínanie vonkajších/vnútrotných hodín a napäťovej referencie, povolenie synchronizačného výstupu a iné stavy generátora sa nastavujú pomocou kontrolnej správy umiestnenej v registri 0x01, význam jednotlivých bitov kontrolnej správy je umiestnený v prílohe A.2.

Výstupnú frekvenciu f_0 je možné nastaviť zápisom hodnoty Λ_{acc} do registra 0x02 podľa rovnice (5). Rozsah hodnoty Λ_{acc} je 0 až $(2^{48}-1)$. Fázový posun φ_i generovaného priebehu pre daný kanál sa nastavuje zápisom hodnoty δ_i do registra 0x10 pre kanál A, respektíve 0x20 pre kanál B podľa rovnice (6). Rozsah hodnoty δ_i je 0 až $(2^{48}-1)$.

$$f_0 = \frac{A_{acc}}{2^{48}} 10^6 \text{ [Hz]} \quad (5)$$

$$\varphi_i = \frac{\delta_i}{2^{48}} 2\pi \text{ [rad]} \quad (6)$$

Ďalej, RMS hodnota napätia generovaného priebehu je určená rovnicou (7), i predstavuje kanál A a B, a je závislá od referenčného napätia U_{ref} , výstupnej frekvencie f_0 a od troch nastaviteľných hodnôt $rDAC$, DAC a $mDAC$. Rozsah hodnoty $rDAC$ je 0 až $(2^{16}-1)$, rozsah hodnoty DAC je 0 až 2^{19} a rozsah hodnoty $mDAC$ je 0 až $(2^{18}-1)$. Funkcia $G(f_0)$ predstavuje útlm výstupného napätia generátora v závislosti od výstupnej frekvencie f_0 , ktorá pozostáva z obálky $\sin(x)/x$, útlmu filtra dolnej priepusti zaradeným za DAC prevodníkom a útlmu ostatných obvodov generátora, napríklad koncového zosilňovača.

$$U_{out_i} = \frac{1}{\sqrt{2}} U_{ref} \left(1 - \frac{1 - \frac{rDAC_i}{2^{16}-1}}{3600} \right) \frac{DAC_i}{2^{19}} \frac{mDAC_i}{2^{18}-1} G(f_0) \text{ [V}_{RMS}] \quad (7)$$

Pri použití generátorov v koaxiálnom mostíku, na čo sú primárne konštruované, musí byť výstupná frekvencia pre všetky generátory rovnaká, z čoho vyplýva, že útlm $G(f_0)$ bude pre všetky kanály približne rovnaký vďaka symetrii kanálov. Ďalej, pri pomerovom meraní nie je dôležité vedieť presne absolútnu hodnotu na výstupe kanála, ale je dôležité poznať presne nastavený pomer dvoch kanálov, a keďže dva kanály v rámci jedného modulu generátora využívajú rovnaký zdroj referenčného napätia, znalosť referenčného napätia U_{ref} pre určenie pomeru dvoch kanálov preto nie je dôležitá. Pre určenie pomeru dvoch kanálov v rámci jedného modulu je možné použiť rovnicu (8) vychádzajúcej z rovnice (7).

$$\frac{U_{out_A}}{U_{out_B}} = \frac{\left(3599 - \frac{rDAC_A}{2^{16}-1} \right) DAC_A mDAC_A}{\left(3599 - \frac{rDAC_B}{2^{16}-1} \right) DAC_B mDAC_B} \quad (8)$$

Generátor využíva vstavanú pamäť FLASH pre uchovanie vzoriek rekonštruovaného priebehu. Pamäť je pre užívateľa prístupná pomocou piatich registrov, čím môže byť vymazaná a nahratá novými vzorkami priebehu. Z bezpečnostných dôvodov, aby chybným poslaným príkazom nedošlo k zmazaniu pamäte, musí byť práca s pamäťou najprv povolená zapísaním hodnoty 0xAA0080005500 do registra 0x80. Úspešne povolenie práce s pamäťou signalizuje vrchná červená LED dióda umiestnená na prednom paneli generátora. Pred samotným nahratím vzoriek do pamäte je nutné pamäť vymazať, a to zapísaním hodnoty 0xAA5580AA5500 do registra 0x81. Začatie procesu mazania pamäte je signalizované vrchnou červenou LED diódou, počas mazania je táto dióda zhasnutá, po ukončení mazania je dióda opätovne rozsvietená. Ak je pamäť vymazaná, je možné do nej uložiť nové vzorky

priebehu pomocou registra 0x82. Hodnota tohto registra pozostáva z 24 bitovej adresy pamäte (37 až 14 bit hodnoty registra) a 14 bitovej hodnoty vzorky (13 až 0 bit hodnoty registra). Ako už bolo spomenuté v kapitole 2.7, pamäť je rozdelená na hornú a spodnú časť hodnoty vzorky pomocou 24. bitu hodnoty adresy pamäte (spodná časť hodnoty vzorky je pre logickú nulu, horná časť hodnoty vzorky je pre logickú jednotku) a do pamäte je uložená iba štvrtina priebehu. Minimálna hodnota vzorky je 0 a maximálna hodnota vzorky je $(2^{28} - 2^9)$. Pre uloženie sínusového priebehu do pamäte je možné vychádzať z rovnice (9), kde adresa pamäte adr je v rozmedzí 0 až $(2^{24} - 1)$.

$$reg_{0x82} = adr2^{14} + \begin{cases} adr < 2^{23}; & rnd^4 \left(\sin \left(\frac{adr\pi}{2^{24}} \right) (2^{28} - 2^9) \right) \text{ mod}^5 2^{14} \\ adr \geq 2^{23}; & flr^6 \left(\frac{rnd \left(\sin \left(\frac{(adr - 2^{23})\pi}{2^{24}} \right) (2^{28} - 2^9) \right)}{2^{24}} \right) \end{cases} \quad (9)$$

Stav generátora je možné sledovať vyčítaním správy z registra 0x01, podrobný popis správy o stave generátora je uvedený v prílohe A.3. Správa obsahuje okrem stavu generovania priebehu na výstupe, pripojenie vonkajších/vnútorých hodín a napäťovej referencie aj informáciu o stave pamäti, frekvenciu pripojených vonkajších hodín (32 až 24 bit hodnoty správy) a stav batériového napájania (39 až 32 bit hodnoty správy predstavuje stav zápornej batérie, 47 až 40 bit hodnoty správy predstavuje stav kladnej batérie).

⁴ Funkcia $rnd(A)$ vráti najbližšie celé číslo pre číslo A

⁵ Funkcia $A \text{ mod } B$ vráti celočíselný zvyšok po delení čísla A deliteľom B

⁶ Funkcia $flr(A)$ vráti najbližšie menšie celé číslo pre číslo A

3 OŽIVENIE A OVERENIE VLASTNOSTÍ GENERÁTORA

Počas riešenia tejto diplomovej práce boli skonštruované a oživené tri moduly generátorov, na ktorých som mal možnosť overiť vlastnosti navrhnutého generátora za použitia meracej techniky v Českom Metrologickom Inštitúte. Pri oživovaní modulov som narazil na niekoľko problémov, ktoré bolo treba odstrániť. Prvé meranie bolo zamerané na činiteľ SFDR pri rôznych výstupných frekvenciách. Ďalej bola zameraná stabilita napätia na výstupe jedného kanálu generátora a stabilita pomeru výstupného napätia dvoch kanálov jedného modulu generátora. Posledná časť merania bola zameraná na meranie presluchu kanálov.

3.1 Oživenie modulu generátora

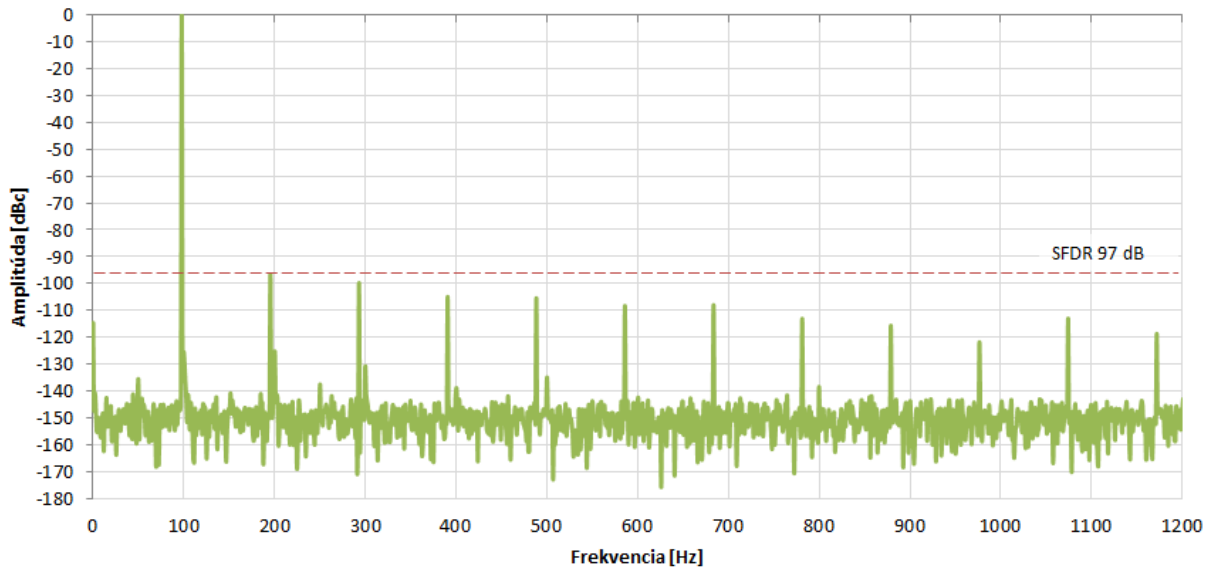
Prvým krokom bolo nahratie firmwaru pre FPGA a mikrokontrolér, čo prebehlo úspešne. Ďalej nasledovalo nastavenie parametrov ochranného obvodu cez I2C zbernicu. Pri tomto kroku som musel byť obzvlášť opatrný, pretože vstavanú EEPROM pamäť je možné prepísať len trikrát a je nutné dodržať presný postup nastavenia a uloženia parametrov. Obvod bol nastavený tak, aby odpojil záťaž pri vybití článku pod úroveň 2,6 V, odpojil nabíjačku pri nabití článku nad úroveň 4,2 V a bol povolený obvod pre udržiavanie rovnovážneho stavu napätia medzi článkami pri nabíjaní. Ďalším krokom bolo zapnutie samotného generátora, ktoré však bolo neúspešné pri jednom module dôsledkom opačne osadeného tantalového kondenzátora (kondenzátor sa tváril ako skrat). Po oprave chyby a následnom zapnutí boli skontrolované napájacie vetvy, prúdový odber a taktiež zahrievanie súčiastok, všetko bolo v rámci predpokladaných hodnôt. Ďalej bola za pomoci trimrov *R107* a *R134* nastavená symetria napájacieho napätia analógovej časti a koncového zosilňovača. Pomocou multimetra *Agilent 3458A* som trimrom *R44* doladil referenčné napätie na nominálnu hodnotu 10 V. Multimeter som ďalej pripojil na výstup jedného kanálu generátora a pomocou trimra *R34* pre kanál A, respektíve trimrom *R41* pre kanál B, som sa snažil nastaviť výstupný offset na nulu pri zapnutom DC serve. Generátor som následne pripojil k vyrobenej dočasnej kontrolnej jednotke a overil som komunikáciu s PC. Zadávanie a vyčítanie parametrov fungovalo správne až na nahrávanie priebehu do pamäte u všetkých troch modulov. Príčinou bolo opačné osadenie FLASH pamäte. Po oprave chyby bolo možné ukladať priebeh do pamäte. Pomocou programu vytvoreného v programe *Matlab* som vygeneroval a nahral štvrtinu priebehu sínusu do FLASH pamäte a následne skontroloval generovanie priebehu a nastavovanie amplitúdy na výstupe generátorov pomocou osciloskopu, čím som overil

komunikáciu FPGA so zvyškom obvodu a samotnú implementáciu DDS v FPGA. Časť oživovania generátorov bola úspešne zvládnutá a moduly generátorov boli pripravené na overenie ich vlastností.

3.2 Činiteľ SFDR

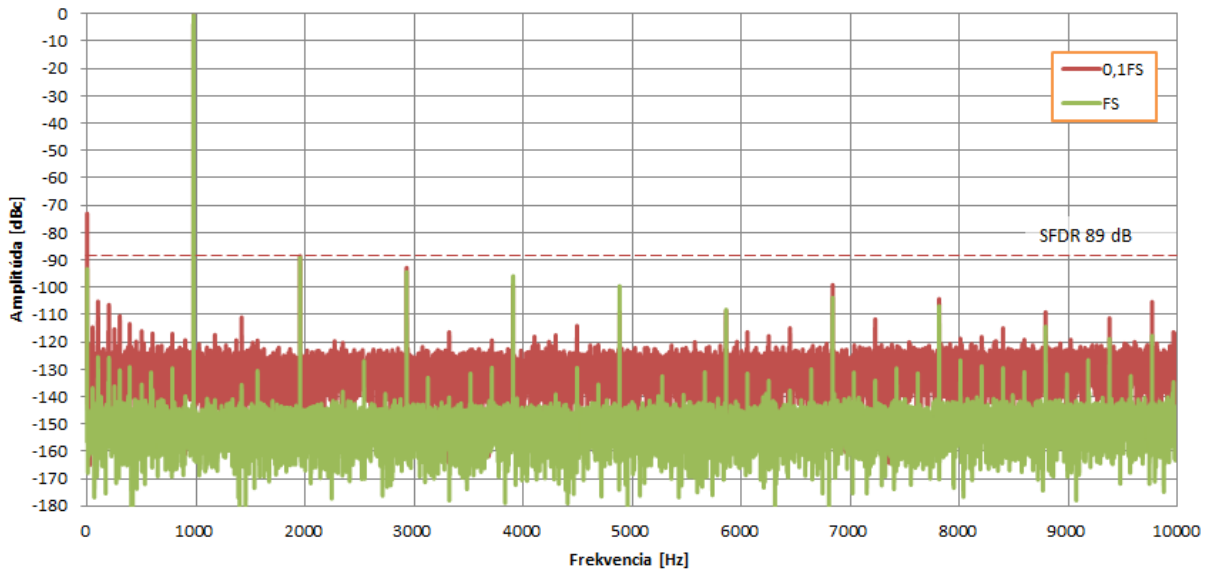
Činiteľ SFDR je možné určiť z frekvenčného spektra výstupného signálu ako pomer medzi amplitúdou základnej harmonickej a amplitúdou najvyššej rušivej zložky spektra. K meraniu frekvenčného spektra výstupného signálu bol použitý multimeter *Agilent 3458A* vo vzorkovacom režime ovládaný softwarom *DMM3548A_digitizer v0.5 rev. 137*. Vstupný rozsah multimetra bol nastavený na hodnotu 10 VDC, doba integrácie vstavaného prevodníka bola 30 μ s a vzorkovacia frekvencia bola nastavená na 25 ksps pomocou časovača s hodnotou 40 μ s. Frekvenčné spektrum sa počítalo z 25 600 vzoriek, čo dáva frekvenčné rozlíšenie spektra 0,98 Hz. Multimeter však neobsahuje antialiasingový filter, preto bol medzi výstup generátora a vstup multimetra zaradený filter typu dolná priepusť druhého rádu s medznou frekvenciou nastavenou na 13 kHz. Použitý multimeter ďalej disponuje optickým výstupom vnútorných hodín s frekvenciou 20 MHz, ktoré boli pripojené na vstup vonkajších hodín generátora, vďaka čomu boli obidva systémy synchronizované. Generátor mal zapnuté DC servo a bol zapnutý vnútorný ventilátor.

Ako prvé bolo zmerané frekvenčné spektrum na výstupe modulu generátora pri starostlivo vybranej frekvencii 97,65 Hz, aby bol zamedzený vplyv vyšších harmonických zo sieťových rozvodov v laboratóriu 50 Hz a zároveň aby vzorkovacia frekvencia rekonštruovaného signálu 1 MHz nebola celistvým násobkom výstupnej frekvencie generátora, dôvody sú spomenuté v kapitole 1.2. Výstupná amplitúda generovaného signálu bola nastavená na plný rozsah, a to 7,07 V_{rms} . Namerané spektrum kanálu A modulu generátora so sériovým číslom 001 je zobrazené na obrázku 3.1, kde červenou prerušovanou čiarou je naznačená hranica najvyššej amplitúdy rušivej zložky v spektre s hodnotou -97 dBc. Konkrétne sa jedná o druhú harmonicú generovaného signálu. Hodnota činiteľa SFDR je pre všetky moduly generátora väčšia ako 95 dB pri frekvencii 97,65 Hz.



Obrázok 3.1: spektrum signálu na výstupe kanálu A modulu 001 pri frekvencii 97,65 Hz

Podľa technických požiadaviek, uvedených v kapitole 1.1, bolo požadované dosiahnuť hodnotu činiteľa SFDR a útlm druhej harmonickej generovaného signálu vyšší ako 80 dB pri výstupnej frekvencii 1 kHz. Samotné meranie však bolo vykonané pri výstupnej frekvencii generátora 976,56 Hz, opäť pre zamedzenie vplyvu vyšších harmonických zo siete, a aby vzorkovacia frekvencia generátora nebola celistvým násobkom výstupnej frekvencie generátora. Meranie bolo ďalej vykonané pre dve úrovne výstupnej amplitúdy, nastavené pomocou obvodu *mDAC*, pre zistenie vplyvu nastavenia výstupnej amplitúdy na frekvenčné spektrum. Namerané spektrum kanálu A modulu generátora so sériovým číslom 001 je zobrazené na obrázku 3.2, kde spektrum znázornené zelenou farbou, je pre amplitúdu $7,07 V_{\text{rms}}$ a spektrum znázornené červenou farbou je pre amplitúdu desaťkrát menšiu $0,707 V_{\text{rms}}$. Najvyššia rušivá zložka v zobrazenom spektre je druhá harmonickej generovaného signálu s hodnotou 89 dBc pre obidve amplitúdy. Dôležité je poznamenať, že pri zmene výstupnej amplitúdy ostáva pomer amplitúdy vyšších harmonických k prvej harmonickej nezmenený a to vďaka zmene výstupnej amplitúdy pomocou obvodu *mDAC* a nie úpravou vzoriek rekonštruovaného signálu obvodom *DAC*. Hodnoty činiteľa SFDR a útlm druhej harmonickej sú pre všetky moduly väčšie ako 85 dB pri výstupnej frekvencii 976,56 Hz, čím bola splnená technická požiadavka.

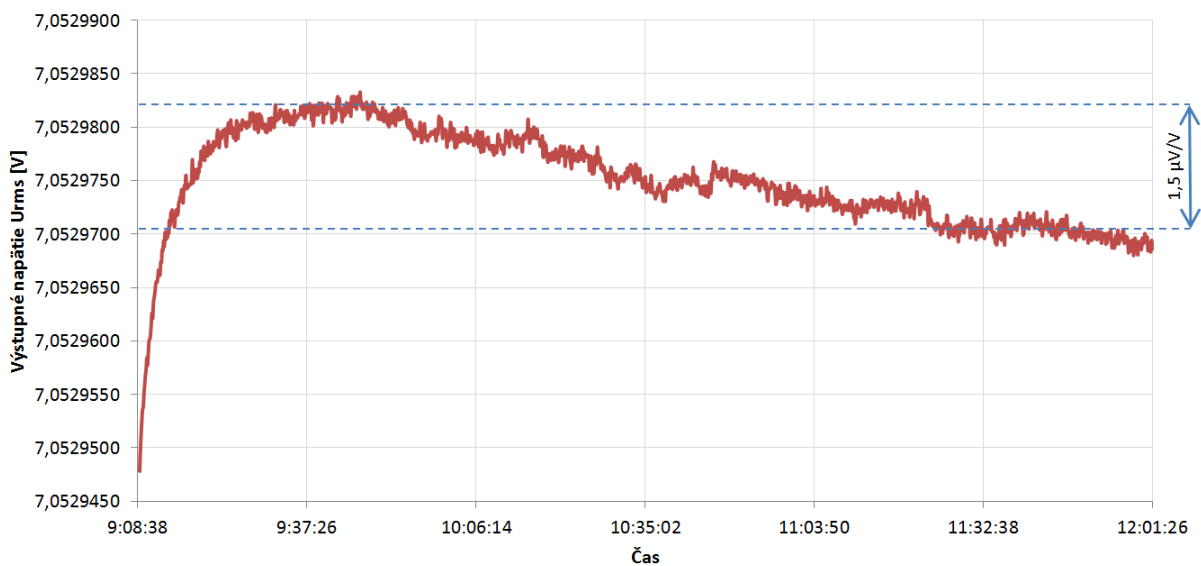


Obrázok 3.2: spektrum signálu na výstupe kanálu A modulu 001 pri frekvencii 976,56 Hz

3.3 Stabilita napätia na výstupe generátora

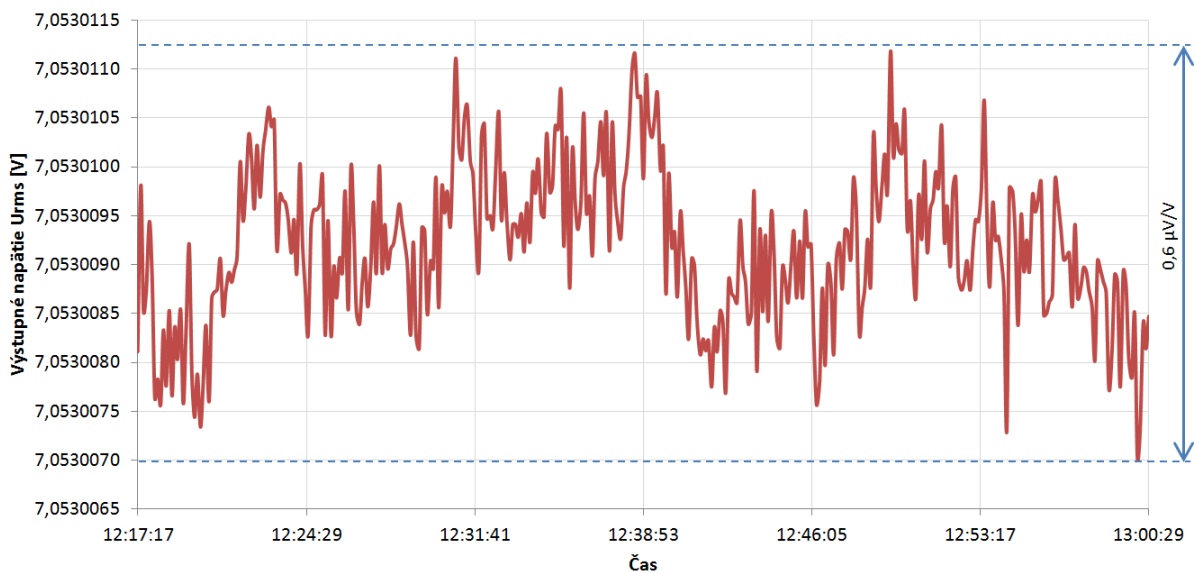
Stabilita napätia na výstupe modulu generátora bola meraná pomocou multimetra *Agilent 3458A* vo vzorkovacom režime, stabilita okolitej teploty v miestnosti bola $\pm 0,2$ °C. Nastavenie multimetra bolo rovnaké ako pre merania frekvenčného spektra v kapitole 3.2, avšak filter typu dolná priepusť zaradený medzi výstupom generátora a vstupom multimetra bol vyradený z merania pre zamedzenie chyby spôsobenou prípadnou teplotnou alebo napäťovou nestabilitou filtra. To však znamená, že sa v spektre nachádzajú obrazy vyšších harmonických. Preto musela byť výstupná frekvencia generátora zvolená tak, aby vzorkovacie frekvencie multimetra a generátora neboli celistvými násobkami výstupnej frekvencie generátora. Meranie bolo vykonané na module generátora so sériovým číslom 002 pri výstupnej amplitúde nastavenej na plný rozsah $7,07 V_{\text{rms}}$, výstupnej frekvencii 976,56 Hz a pripojenými vonkajšími hodinami z multimetra.

Hneď po zapnutí modulu generátora bola zaznamenaná z frekvenčného spektra RMS hodnota prvej harmonickej. Na obrázku 3.3 je zobrazený zaznamenaný priebeh výstupného napätia kanálu B bez pripojenej záťaže počas 3 hodín po zapnutí generátora. Výstupné napätie odplávalo relatívne o $1,5 \mu\text{V}/\text{V}$ dole po dvoch hodinách od dosiahnutia maximálneho napätia na výstupe. Z merania vyplýva, že generátor by mal byť zapnutý minimálne pol hodinu pred jeho použitím v meracom obvode pre dosiahnutie čo najlepšej krátkodobej stability výstupného napätia jedného kanálu.



Obrázok 3.3: napätie na výstupe kanálu B modulu 002 po zapnutí pri frekvencia 976,56 Hz

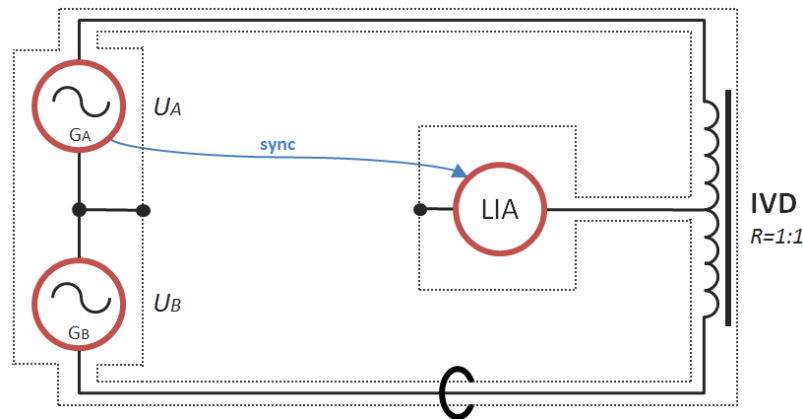
Na obrázku 3.4 je zobrazený 40 minútový priebeh výstupného napätia kanálu A modulu generátora, pričom začiatok merania bolo 3 hodiny po zapnutí modulu. V skutočnosti je však ťažko povedať, či bola meraná stabilita modulu generátora alebo samotného multimetra. Z merania je možné vyvodit' záver, že krátkodobá relatívna stabilita výstupného napätia jedného kanálu modulu generátora pri plnej amplitúde na výstupe bez pripojenej záťaže je lepšia ako $2 \mu\text{V/V}$.



Obrázok 3.4: stabilita napätia na výstupe kanálu A modulu 002 pri frekvencia 976,56 Hz

3.4 Stabilita pomeru výstupného napätia dvoch kanálov

Meranie stability pomeru výstupného napätia dvoch kanálov v rámci jedného modulu bolo zapojené podľa schémy zapojenia zobrazenej na obrázku 3.5. Výstupy generátorov boli pripojené do indukčného napäťového deliča *IVD LF1* s deliacim pomerom 1:1 a do stredu deliča bol pripojený lock-in zosilňovač *Signal Recovery Model 7280* s nastaveným rozsahom 5 μV , AC zosilnením 60 dB a časovou konštantou 10 s. Stabilita okolitej teploty v miestnosti bola $\pm 0,2$ °C. Na referenčný vstup zosilňovača bol pripojený *sync* výstup modulu generátora. Súčasťou zapojenia je tlmivka zapojená v jednom ramene obvodu pre zaistenie, aby prúd tečúci stredným vodičom, bol rovnako veľký, ale opačného smeru ako prúd tečúci tienením. Indukčný napäťový delič *IVD* vďaka svojej konštrukcii zanáša do merania stability pomeru napätia iba zanedbateľnú chybu, a preto je pomocou tohto zapojenia možné zmerať veľmi malé zmeny pomeru výstupného napätia kanálov generátora a taktiež zmenu fázy.



Obrázok 3.5: schéma zapojenia merania stability pomeru výstupného napätia jedného modulu

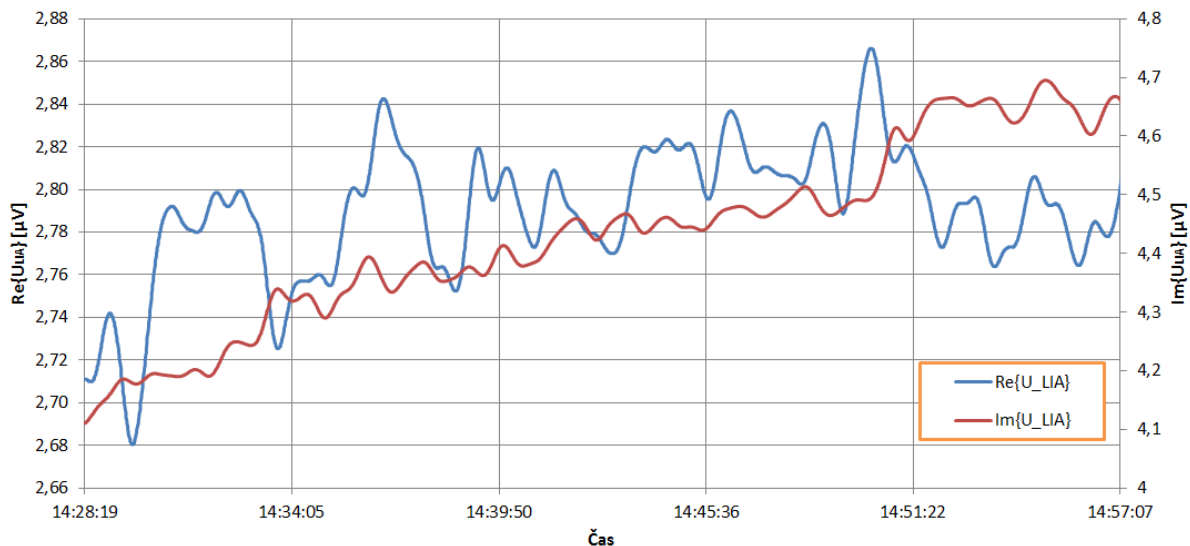
Relatívnu zmenu pomeru výstupného napätia dvoch kanálov generátora je možné určiť z rovnice (10) a zmenu fázy z rovnice (11) za predpokladu, že in-phase a quadratúrna zložka napätia zmeraného lock-in zosilňovačom sú blízke nule, ináč tieto rovnice neplatia.

$$R_{A:B} = \frac{2\text{Re}\{U_{LIA}\}}{U_A} 10^6 \text{ } [\mu\text{V}/\text{V}] \quad (10)$$

$$\theta_{A:B} = \tan^{-1} \left(\frac{2\text{Im}\{U_{LIA}\}}{U_A} \right) 10^6 \text{ } [\mu\text{rad}] \quad (11)$$

Modul generátora bol zapnutý 4 hodiny pred samotným meraním pomeru napätia a výstupná amplitúda kanálu A bola nastavená na plný rozsah 7,07 V_{rms} , amplitúda kanálu B bola nastavená na 99,9966 % z plného rozsahu pomocou obvodu *mDAC* a fáza kanálu B bola otočená o 180,074 °. Na obrázku 3.6 sú zobrazené namerané dáta počas 30 minút.

Modrá čiara zobrazuje in-phase zložku $Re\{U_{LIA}\}$ a červená čiara zobrazuje kvadratickú zložku $Im\{U_{LIA}\}$ napätia zameraného lock-in zosilňovačom. Rozšírená neistota typu A bola počítaná z 10 nameraných dát priebežne počas merania, jej maximálna veľkosť je $0,002 \mu V$. Použitím rovnice (10) vyšla maximálna relatívna zmena pomeru napätí $0,052 \pm 0,001 \mu V/V$ a použitím rovnice (11) vyšla maximálna zmena fázy $0,165 \pm 0,001 \mu rad$. Nestabilita SYNC hodín lock-in zosilňovača zanáša do merania stability pomeru napätia iba zanedbateľnú chybu. Domnievam sa, že zmena fázy je ovplyvnená nestabilitou SYNC hodín lock-in zosilňovača a zmenou odporu záťaže generátora, najmä prechodového odporu konektorov. Taktiež je otázne, či vplyvom zahrievania generátora nedochádza k zmene parametrov filtra a tým otáčaniu fázy. Preto vypočítaná maximálna zmena fázy nesie iba informatívny charakter. Na základe tohto merania môžem povedať, že požiadavka na krátkodobú stabilitu pomeru výstupných napätí dvoch kanálov v rámci jedného modulu v jednotkách $\mu V/V$, vyplývajúca z technických požiadaviek uvedených v kapitole 1.1, bola splnená.



Obrázok 3.6: stabilita pomeru výstupného napätia dvoch kanálov v rámci jedného modulu

3.5 Presluch kanálov generátora

Meranie presluchu kanálov bolo vykonané iba v rámci jedného modulu generátora so sériovým číslom 001 použitím multimetra *Agilent 3458A* vo vzorkovacom režime. Nastavenie multimetra bolo rovnaké, ako pre merania frekvenčného spektra v kapitole 3.2. Na kanále A bola nastavená frekvencia $976,56 \text{ Hz}$ s výstupnou amplitúdou $7,07 \text{ V}_{\text{rms}}$ a kanál B bol pripojený do multimetra. Pri nezaťaženom výstupe kanála A bol nameraný presluch menší ako -150 dB , pri zaťaženom výstupe kanála A odporom 100Ω bol nameraný presluch menší ako -80 dB .

4 ZÁVER

Cieľom tejto diplomovej práce bolo navrhnuť a skonštruovať 3 dvojkanálové moduly precízneho generátora sínusového priebehu použiteľné pre kalibráciu elektrickej impedancie pomocou koaxiálneho mostíka. Predpokladanými parametrami generátora boli krátkodobá stabilita pomeru výstupného napätia dvoch kanálov v rámci jedného modulu v jednotkách $\mu\text{V/V}$, presluch dvoch kanálov menší ako -130 dB a činiteľ SFDR vyšší ako 80 dB pri frekvencii 1 kHz .

Generovanie sínusového priebehu je založené na metóde DDS, popísaná v kapitole 1.2, ktorá je implementovaná v FPGA a využíva digitálne analógový prevodník DAC s rozlíšením 20 bitov. Pre zmenu výstupnej amplitúdy je použitá dvojica obvodov *rDAC* a *mDAC*, podrobnosti zapojenia nájde čitateľ v kapitole 2. Modul generátora je vybavený vstavanou napäťovou referenciou s možnosťou pripojenia vonkajšej napäťovej referencie a taktiež vstavanými referenčnými hodinami s možnosťou pripojenia vonkajších referenčných hodín distribuovaných po optickom kábli. Modul generátora je batériovo napájaný Li-Ion článkami a komunikácia s riadiacou jednotkou je opticky oddelená pre zníženie presluchu medzi jednotlivými modulmi generátora. Modul bol ďalej doplnený ochranným obvodom Li-Ion článkov pre zamedzenie rizika zničenia článkov. Súčasťou tejto práce bol aj návrh a osadenie dosky plošného spoja, návrh a zhotovenie tela modulu generátora a napísanie firmwaru pre FPGA. Osadenie dosky plošného spoja bolo vykonané svojpomocne technológiou pájenia pretavením v kuchynskej piecke. Pri písaní firmwaru pre FPGA som sa najprv musel zoznámiť s jazykom VHDL pre malé skúsenosti s týmto jazykom.

Na zhotovených moduloch bola vykonaná séria meraní. Hodnota činiteľa SFDR bola nameraná väčšia ako 85 dB pri frekvencii 1 kHz , presluch dvoch kanálov bol menší ako -150 dB , 30 minútová stabilita napätia na výstupe generátora bola pod $2\ \mu\text{V/V}$ a dosiahnutá 40 minútová stabilita pomeru výstupného napätia dvoch kanálov v rámci jedného modulu bola lepšia ako $0,1\ \mu\text{V/V}$. Postup spomínaných meraní a namerané hodnoty nájde čitateľ v kapitole 3.2.

Výsledkom tejto diplomovej práce sú navrhnuté a zhotovené 3 kusy modulov generátora použiteľné v koaxiálnom mostíku. Požadované parametre, plynúce zo zadania tejto práce, boli nie len splnené, ale dokonca prekonané. Taktiež okrem výborných nameraných parametrov sa generátor vyznačuje aj ďalšími vlastnosťami, ktoré robia navrhnutý generátor jedinečným na trhu, a to:

- rozlíšenie výstupnej amplitúdy pod $\mu\text{V/V}$
- výstupná frekvencia v rozsahu 1 Hz až 20 kHz
- frekvenčné rozlíšenie pod μHz
- fázové rozlíšenie pod μrad
- výstupný offset pod mV pri zapnutom DC serve
- zmena amplitúdy pri prechode priebehu nulou
- zapnutie/vypnutie generovania priebehu pri prechode priebehu nulou
- frekvencia referenčných hodín v rozsahu 1 až 50 MHz s krokom 1 MHz
- pripojiteľné vonkajšie referenčné napätie v rozsahu 5 až 10 V
- možnosť uloženia ľubovoľného priebehu do pamäte s vysokým rozlíšením
- galvanický oddelené moduly
- malé rozmery modulu generátora

Dovolím si tvrdiť, že boli zhotovené jedny z najprecíznejších generátorov so zachovanou univerzálnosťou použitia. V budúcnosti je však ešte potrebné navrhnuť kontrolnú jednotku so vstavanou nabíjačkou, momentálne je k dispozícii iba dočasná kontrolná jednotka, ktorá umožňuje ovládať iba jeden modul. Pred samotným použitím generátora v koaxiálnom mostíku je ešte nevyhnutné overiť niekoľko parametrov generátora, napríklad linearitu výstupnej amplitúdy, ktoré z časovej náročnosti pre rozsiahlosť tejto práce neboli overené a ani nevyplývajú zo zadania tejto práce.

POUŽITÁ LITERATÚRA

- [1] **Boháček, J.:** *Metrologie*. ČVUT, Praha, 2011. ISBN 978-80-01-04839-9
- [2] **Awan, S., Kibble, B., Schurr, J.:** *Coaxial Electrical Circuits for Interference-Free Measurements*. The Institution of Engineering and Technology, 2011. ISBN 978-1-84919-069-5
- [3] **Aivon Oy:** DualDAC. [Online] [Dátum: 28.4.2014] <http://aivon.fi>
- [4] **National Instruments:** NI 446x Specifications. [Online] [Dátum: 28.4.2014] <http://ni.com>
- [5] **Analog Devices:** *A Technical Tutorial on Digital Signal Synthesis*. 1999, Analog Devices, Inc. [Online] [Dátum: 12.4.2014] <http://analog.com>
- [6] **Vedral, J., Fischer, J.:** *Elektronické obvody pro měřicí techniku*. ČVUT, Praha, 2004. ISBN 80-01-02966-2
- [7] **Analog Devices:** AD9912. [Online] [Dátum: 1.5.2014] <http://analog.com>. Rev.F
- [8] **Texas Instruments:** REF102. [Online] [Dátum: 1.2.2014] <http://ti.com>. SBVS022B
- [9] **Linear Technology:** LT1236. [Online] [Dátum: 15.4.2014] <http://linear.com>. LT/GP069510K
- [10] **Analog Devices:** REF01. [Online] [Dátum: 12.4.2014] <http://analog.com>. Rev.K
- [11] **Analog Devices:** AD8676. [Online] [Dátum: 21.10.2013] <http://analog.com>. Rev.C
- [12] **VISHAY:** DSMZ (Z-foil). [Online] [Dátum: 1.11.2013] <http://vishay.com>. Doc. Num. 63121
- [13] **Analog Devices:** AD5791. [Online] [Dátum: 5.9.2013] <http://analog.com>. Rev.D
- [14] **Avago Technologies:** HFBR-0400Z, HFBR-14xxZ and HFBR-24xxZ Series. [Online] [Dátum: 18.9.2013] <http://avago.com>. AV02-0176EN
- [15] **Avago Technologies:** Application Note 1121. [Online] [Dátum: 18.9.2013] <http://avago.com>. AV02-0723EN
- [16] **TXC:** 7W series oscillators. [Online] [Dátum: 12.4.2014] <http://txccorp.com>.

- [17] **Texas Instruments:** *Bq77PL900*. [Online] [Datum: 22.10.2013] <http://ti.com>.
SLUS844B
- [18] **Texas Instruments:** *TPS7A47*. [Online] [Datum: 23.10.2013] <http://ti.com>.
SBVS204A
- [19] **Texas Instruments:** *TPS7A33*. [Online] [Datum: 23.10.2013] <http://ti.com>.
SBVS169B
- [20] **Analog Devices:** *AN-1099 Application note*. [Online] [Datum: 16.1.2014]
<http://analog.com>. Rev.0
- [21] **Micron Technology:** *JS28F256M29EWxx Parallel NOR Flash Embedded Memory*.
[Online] [Datum: 2.12.2013] <http://micron.com>. Rev.B
- [22] **Walt Kester:** *Analog-Digital Conversion*. USA, 2004. ISBN 0-916550-27-3

ZOZNAM PRÍLOH

A	Komunikácia	49
A.1	Zoznam registrov	49
A.2	Kontrolná správa	49
A.3	Správa o stave generátora	50
A.4	Zoznam spúšťacích správ	50
B	Obsah priloženého CD	51

A Komunikácia

A.1 Zoznam registrov

Register	Smer	Popis	Hodnota
0x01	R/W	Čítanie stavu generátora, viac príloha A.3 Zápis kontrolnej správy, viac príloha A.2	R: Status message W: Control message
0x02	W	Register prírastku fázy (0 až $2^{48}-1$)	$\Lambda_{acc}[47..0]$
Kanál A			
0x10	W	Posun fázy (0 až $2^{48}-1$)	$\delta_A[47..0]$
0x11	W	Zmena výstupnej amplitúdy rDAC (0 až $2^{16}-1$)	$rDAC_A[15..0]$
0x12	W	Zmena výstupnej amplitúdy DAC (0 až 2^{19})	$DAC_A[19..0]$
0x13	W	Zmena výstupnej amplitúdy mDAC (0 až $2^{18}-1$)	$mDAC_A[17..0]$
Kanál B			
0x20	W	Posun fázy (0 až $2^{48}-1$)	$\delta_B[47..0]$
0x21	W	Zmena výstupnej amplitúdy rDAC (0 až $2^{16}-1$)	$rDAC_B[15..0]$
0x22	W	Zmena výstupnej amplitúdy DAC (0 až 2^{19})	$DAC_B[19..0]$
0x23	W	Zmena výstupnej amplitúdy mDAC (0 až $2^{18}-1$)	$mDAC_B[17..0]$
Práca s FLASH pamäťou			
0x80	W	Povoliť prácu s pamäťou, generovanie je vypnuté	0xAA0080005500
0x81	W	Vymazať pamäť	0xAA5580AA5500
0x82	W		$Adr[23..0]+Dat[13..0]$
0x83	R		$Adr[23..0]$
0x84	W	Zakázať prácu s pamäťou	

A.2 Kontrolná správa

Kontrolná správa [7..0]			
Bit	Popis	Hodnota	
		log. 1	log. 0
0	generovanie kanál A	zapnuté	vypnuté
1	generovanie kanál B	zapnuté	vypnuté
2	referenčné napätie	vonkajšie	vnútorné
3	referenčné hodiny	vonkajšie	vnútorné
4	synchronizačný výstup	zapnutý	vypnutý
5	DC servo	zapnuté	vypnuté
6	ventilátor	zapnutý	vypnutý
7	ohrievač	zapnutý	vypnutý

A.3 Správa o stave generátora

Správa o stave generátora [47..0]			
Bit	Popis	Hodnota	
		log. 1	log. 0
0	generovanie kanál A	zapnuté	vypnuté
1	generovanie kanál B	zapnuté	vypnuté
2	referenčné napätie	vonkajšie	vnútorné
3	referenčné hodiny	vonkajšie	vnútorné
4	synchronizačný výstup	zapnutý	vypnutý
5	práca s pamäťou	povolená	zakázaná
6	pamäť	chyba	
7	pamäť	zanepřázdnená	
8	pripojenie nabíjačky	pripojená	nepripojená
9	DC servo	zapnuté	vypnuté
10	ventilátor	zapnutý	vypnutý
11	ohrievač	zapnutý	vypnutý
23:12	nevyužitá		
32:24	frekvencia vonkajších hodín	0 až 50 MHz	
39:32	stav zápornej batérie	0 až 100 %	
47:40	stav kladnej batérie	0 až 100 %	

A.4 Zoznam spúšťacích správ

Hodnota	Popis
0x21	zmena výstupnej amplitúdy, kanál A
0x22	zmena výstupnej amplitúdy, kanál A
0x23	zmena výstupnej amplitúdy, kanál A a B
0x25	posunúť fázu, kanál A
0x26	posunúť fázu, kanál A
0x27	posunúť fázu, kanál A a B
0x28	zmena výstupnej frekvencie

B Obsah priloženého CD

Adresár	Popis
<i>./SineWaveGenerator.pdf</i>	Vlastný text diplomovej práce vo formáte PDF
<i>./schematic.pdf</i>	Schéma zapojenia modulu generátora
<i>./DPS/</i>	Projekt schémy zapojenia a plošného spoja
<i>./literatura/</i>	Použitá literatúra z webu
<i>./meranie</i>	Dáta z meraní parametrov modulu generátora
<i>./model/</i>	3D model modulu generátora
<i>./software/BatteryManagement</i>	Firmware pre správu napájania
<i>./software/ControllPanel</i>	Program pre ovládanie modulu generátora
<i>./software/generator_swg03</i>	Firmware FPGA
<i>./software/SineUploader</i>	Program pre nahrávanie pamäte modulu generátora