

Diplomová práce



České
vysoké
učení technické
v Praze

F3

Fakulta elektrotechnická
Katedra měření

Inteligentní budič SiC tranzistorů

Jiří Hodný

Vedoucí: Ing. David Novotný
Školitel–specialista: Ing. Michal Richter
Obor: Kybernetika a robotika
Studijní program: Kybernetika a robotika
Srpen 2021

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Hodný** Jméno: **Jiří** Osobní číslo: **434873**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávací katedra/ústav: **Katedra měření**
Studijní program: **Kybernetika a robotika**
Studijní obor: **Kybernetika a robotika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Inteligentní budič SiC tranzistorů

Název diplomové práce anglicky:

Smart driver for SiC transistors

Pokyny pro vypracování:

- Popište tranzistor ve spínacím režimu. Stanovte požadavky na budičí obvody SiC MOSFETů a vyzdvihněte přitom specifiky ve vztahu k řízení IGBT.
- Stručně popište konvenční budičí obvod a diskutujte vliv jeho nastavení na spínací ztráty, rychlost změny napětí a napěťový překmit na silových elektrodách tranzistoru. Zvolte aplikaci tranzistoru, vytvořte příslušnou simulaci a definujte v tomto případě optimální nastavení budiče. Validujte chování tranzistoru měřeními.
- S využitím ideálních součástek navrhnete způsob řízení tranzistoru, který překoná konvenční buzení v rovině kritérií uvedených v bodě 2. Hledejte způsob, jak nejlépe využít potenciál nové metody při praktické realizaci budiče.
- Diskutujte výsledky.

Seznam doporučené literatury:

- [1] Stengl J.P., Tihanyi J.: Výkonové tranzistory MOSFET. 1. čes. vyd. ed. Praha: BEN - technická literatura; 1999.
[2] Patočka M, Vysoké učení technické v Brně: Magnetické jevy a obvody ve výkonové elektronice, měřicí technice a silnoproudé elektrotechnice. 1. vyd. ed. Brno, VUTIUM; 2011.

Jméno a pracoviště vedoucí(ho) diplomové práce:

Ing. David Novotný, katedra měření FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Ing. Michal Richter, Poll, s.r.o., odd. vývoje HW

Datum zadání diplomové práce: **22.01.2021**

Termín odevzdání diplomové práce: _____

Platnost zadání diplomové práce:

do konce letního semestru 2021/2022

Ing. David Novotný
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

Datum převzetí zadání

Podpis studenta

Poděkování

Poděkování patří zejména vedoucím diplomové práce, a to jak panu Ing. Davidu Novotnému, tak panu Ing. Michalovi Richterovi za jejich cenné rady, připomínky, metodické vedení práce a vřelý přístup. Poděkování dále patří kolegům ze společnosti Poll, s. r. o, a v neposlední řadě i přátelům, za pomoc při realizaci této práce.

Prohlášení

Prohlašuji, že jsem diplomovou práci vypracoval samostatně, na základě vlastních zjištění, a s použitím odborné literatury a materiálů uvedených v seznamu použitých zdrojů.

V Praze, 7. srpna 2021

Abstrakt

Diplomová práce řeší rozdílná specifika buzení tranzistoru SiC MOSFET a IGBT a z toho plynoucí požadavky na budící obvody. Dále je popsána funkce konvenčního budiče a nalezeno jeho optimální nastavení. Hlavním cílem práce je navržení metody, která překoná konvenční budící obvody. Tento nový způsob řízení tranzistoru je pak detailně zkoumán na modelu silového obvodu SiC tranzistoru v prostřední LT Spice. Je nalezen potenciál metody s využitím ideálních součástek v obvodu hradla. Poslední fáze je věnována praktické realizaci takového budiče a validace výsledků měření.

Klíčová slova: SiC MOSFET, Budič, Přechodový děj

Vedoucí: Ing. David Novotný
Katedra měření,
Technická 2,
Praha 6

Abstract

The diploma thesis deals with different specifics of SiC MOSFET and IGBT transistor switching and the resulting requirements for driving circuits. Further it describes a function of a conventional driver and its optimal settings. The main purpose of the research is to propose a method that will outperform the conventional driving circuits. This new control method is then investigated in detail on SiC transistor power circuit model in LT Spice environment. The potential of the method is found with the use of ideal components in gate circuit. The last phase is focused on the practical implementation of the driver and validation of the results by measurement.

Keywords: SiC MOSFET, Drive, Transient

Obsah

1 Úvod	1	2.5 Rozdílná specifika řízení SiC oproti IGBT tranzistorům	17
1.1 Tranzistor ve spínacím režimu a jeho požadavky na budící obvody . .	2	2.6 Optimální nastavení konvenčního budiče SiC tranzistoru	19
1.1.1 Bipolární tranzistor s izolovaným hradlem	2	2.6.1 Ponižení pracovního a blokujícího napětí tranzistoru . . .	21
1.1.2 Křemíkové unipolární tranzistory typu MOSFET	3	2.6.2 Nastavení řídicího napětí, hradlového odporu a kapacity . . .	21
1.1.3 Unipolární tranzistory typu MOSFET z karbidu křemíku	3	3 Možnosti zlepšení vlastností inteligentních budičů	25
1.1.4 SiC MOSFET ve spínacím režimu	4	3.1 Dvou-úrovňové vypnutí budiče společnosti Infineon	25
1.1.5 Degradace MOSFET tranzistoru	8	3.2 Více-úrovňové spínání budiče firmy AgileSwitch	27
2 Výběr aplikace tranzistoru a vytvoření přesného modelu	9	3.3 Návrh vlastního způsobu řízení .	28
2.1 Naměření průběhů sepnutí a rozepnutí tranzistoru	11	3.3.1 Definice požadavků na pokročilé vypnutí SiC MOSFET	29
2.2 Model výkonového obvodu spínače	13	3.3.2 Buzení hradla tranzistoru tvrdým zdrojem napětí	30
2.3 Sepnutí a rozepnutí tranzistoru ve vytvořeném modelu	14	3.3.3 Samo-stabilizační vlastnost unipolárního tranzistoru	31
2.4 Shrnutí důležitých aspektů buzení SiC MOSFET	16	4 Inteligentní vypínání tranzistoru pomocí dvou hradlových odporů	33
		4.1 Nalezení potenciálu navržené metody řízení	38

4.1.1 Porovnání přepětí na silových terminálech pro stejné vypínací ztráty	38
4.1.2 Porovnání vypínacích ztrát pro stejné přepětí na silových terminálech	39
4.2 Praktická realizace budiče	40
4.3 Dva rozdílné přístupy k řízení pomocného vybíjecího spínače	42
4.4 Návrh schématu a layoutu DPS.	43
4.5 Oživení budiče a syntéza logických obvodů	44
4.6 Otestování nové metody buzení tranzistoru na reálném silovém obvodu	45
5 Závěr	49
Literatura	53
Příloha A	55

Obrázky

1.1 Znázornění lineární a saturační oblasti tranzistoru MOSFET.	5	2.5 Silový obvod modelu půl-můstku se zátěží a parazitními prvky odpovídající navržené DPS v předchozí kapitole.	14
1.2 Závislost hradlového náboje na hradlovém napětí. $I_D = 15A$, $V_{DS} = 1000V$, $T_C = 25^\circ C$, převzato z [9].	6	2.6 Průběh signálů souvisejících se sepnutím a rozepnutím tranzistoru.	15
1.3 Znázornění principu nabíjení hradla přes hradlové odpory a efektu Millerovy kapacity [11].	7	2.7 Blokové schéma uvažované aplikace SiC MOSFET v půl-můstkovém zapojení.	20
1.4 Schéma buzení tranzistoru vč. celé "hradlové smyčky"[11].	8	2.8 Průběh zkratu na výstupní svorce uvažovaného půl-můstku. $V_{gs}=18V$, $V_{dc}=2700V$, $I_{sc\ max}= 650A$, $V_{ds\ max}= 3700V$	21
2.1 Schéma navrženého půlmůstku vč. použitých komponent.	9	2.9 Vliv hradlového odporu a kapacity na spínací ztráty, přepěťové špičky a strmost napětí. $V_{dc}=1100V$, $R_{out}=27R$, $V_{g}=18V$	22
2.2 Fotografie navrženého přípravku pro změření parametrů silového obvodu.	10	2.10 Vliv řídicího napětí na odpor tranzistoru a přepěťovou špičku po vypnutí. $V_{dc}=1100V$, $R_{out1}=54R$, $R_{out2}=27R$, $R_g=5R6$, $C_g=1nF$	23
2.3 Sepnutí tranzistoru v aplikaci H-můstku. Fialová barva je napětí ve smyslu drain-source, tmavě modrá je proud zátěží a světle modrá je proud naměřený na terminálu source tranzistoru.	11	2.11 Výsledné průběhy sepnutí a rozepnutí tranzistoru při: $V_{dc}=1100V$, $R_{out}=27R$, $R_g=5R6$, $C_g=1nF$, $V_{gs}=18V$	23
2.4 rozepnutí tranzistoru v aplikaci H-můstku. Fialová barva je napětí ve smyslu drain-source, tmavě modrá je proud zátěží a světle modrá je proud naměřený na terminálu source tranzistoru.	12	3.1 Znázornění průběhu napětí na hradle tranzistoru při použití budiče 1ED020I12FTA, obrázek převzat a upraven z [10].	26
		3.2 Porovnání průběhů napětí na hradle tranzistoru pro konvenční a vylepšený budič. [1].	28

3.3 Porovnání spínacích, vypínacích ztrát a přepětí na silových elektrodách tranzistoru pro konvenční a vylepšené buzení firmy AgileSwitch.	28	4.8 Fotografie horní a spodní strany vyrobeného budiče.	44
3.4 Průběh buzení tvrdým zdrojem napětí.	30	4.9 Diagram stavového automatu řídicí buzení tranzistoru.	44
4.1 Schéma vylepšeného budiče doplněného o pomocný vybíjecí spínač.	33	4.10 Průběh měřených veličin v režimu konvenčního buzení tranzistoru. ..	46
4.2 Znázornění funkce vylepšeného budiče.	34	4.11 Průběh měřených veličin v režimu zrychleného vypínání.	47
4.3 Průběh vypočteného interního hradlového napětí a odporu tranzistoru.	36		
4.4 Zjednodušení dynamického systému silového obvodu (vlevo) a zakreslení sledovaných dynamických veličin (vpravo).	37		
4.5 Srovnání přepětí výstupního napětí tranzistoru při stejných vypínacích ztrátách. Vstupní napětí je 1100V. Tranzistor T1 je řízen nově vyvinutou metodou, T2 je buzen konvenčně. .	39		
4.6 Srovnání vypínacích ztrát při stejném přepětí na silových elektrodách. Vstupní napětí je 1100V. Tranzistor T1 je řízen nově vyvinutou metodou, T2 je buzen konvenčně. .	40		
4.7 Blokové schéma navrženého zařízení.	41		

Kapitola 1

Úvod

V oboru výkonové elektroniky se setkáváme zejména se spínacím režimem tranzistoru, tedy s oblastí, kdy je tranzistor buďto vypnutý a má velmi vysoký odpor ve smyslu drain source, nebo je sepnutý a má tento odpor minimální. Mezi těmito dvěma stavy tranzistor nutně přechází každou periodu spínací frekvence. Ideálně bychom mezi nimi potřebovali přejít za nulový čas ¹ a tedy s minimálními spínacími ztrátami. Uvedené, dokonalé vlastnosti spínače ve výkonové elektronice nejsou pro reálné tranzistory nikdy dosažitelné.

Celkové ztráty by bylo snadné omezit snížením spínací frekvence, takové řešení ale klade zvýšené nároky na energetické prvky. Pro dlouhou spínací periodu je potřeba se vypořádat s větší energií, což implikuje zvýšení hmotnosti, velikosti a ceny těchto dílů.

V posledním desetiletí byl na trh uveden SiC MOSFET (Silicon Carbide Metal Oxide Field Effect Transistor), jež v aplikaci výkonové elektroniky přináší výhody plynoucí z větší rychlosti sepnutí a vypnutí tranzistoru. Toto významně redukuje spínací ztráty a umožňuje tak budít spínaný obvod na vysokých frekvencích. Oproti pomalým bipolárním tranzistorům s izolovaným hradlem (Insulated Gate Bipolar Transistor - IGBT) je zde velký problém s přepětím na silových terminálech tranzistoru.

Energie disipovaná na čipu při sepnutí je funkcí výstupní kapacity tranzistoru, jež je přímo závislá na velikosti polovodičového čipu. Vypínací ztráty jsou pak

¹V reálných podmínkách však rychlá změna napětí vede k buzení parazitních rezonančních obvodů, které působí další ztráty a negativně ovlivňují elektromagnetickou kompatibilitu zařízení.

rovny integrálu výkonu na čipu za čas vypnutí. Minimalizace vypínacích časů je proto cestou k snížení ztrát, vede však ke zvyšování napěťových překmitů na silových elektrodách tranzistoru.

Z hlediska výše uvedených protikladných specifik buzení tranzistoru, je nutné řešit optimalizační úlohu. Stanovujeme maximální uspokojivý poměr $\frac{du}{dt}$ a nejvyšší možnou hodnotu překmitu na silových svorkách tranzistoru.

Pro posuzování kvalit různých přístupů k řízení tranzistoru bylo nutno namodelovat celý systém od výkonového obvodu po buzení v simulačním prostředí LTSpice. Před rozvinutím vlastní pokročilé metody jsme posoudili vylepšení aktuálně vyvíjená klíčovými hráči na trhu s inteligentními budiči.

S využitím ideálních součástek realizujeme budič a nalezneme tak potenciál nové metody buzení tranzistoru ve spínacím režimu.

1.1 Tranzistor ve spínacím režimu a jeho požadavky na budící obvody

Ve výkonové, vysokonapěťové elektronice se ve spínacím režimu používají jak bipolární, tak i unipolární tranzistory.

1.1.1 Bipolární tranzistor s izolovaným hradlem

Na vysokém napětí se v posledních desetiletích s oblibou využívají bipolární tranzistory s izolovaným hradlem (IGBT). Jejich terminály jsou *kolektor*, *gate* a *emitor*. Technologie se inspirovala dříve používanými bipolárními tranzistory, které rozšířila o výhody unipolárních tranzistorů, a to zejména v možnostech napěťového řízení, díky izolovanému hradlu. Tyto tranzistory jsou robustní, vysoce zkratu odolné [4] a mimo jiné, se využívají ve frekvenčních měničích. Bohužel mají nezanedbatelné spínací ztráty, které jsou přímo úměrné výši blokujícího napětí tranzistoru. Pro nižší napěťové úrovně, v rozsahu 600 - 1700 voltů, je možné tyto tranzistory budit signálem o spínací frekvenci od 20 do 50 kHz viz [13]. Nejvyšší používané frekvence, pro nižší napěťové úrovně jsou, mezi 60-100kHz, kde se tranzistory odlehčují RC sítěmi. Případně se využívá rezonanční topologie pro snížení spínacích ztrát. Díky pomalé vypínací charakteristice doprovázené jevem zvaným "current tail",

kdy po vypnutí prvkem stále protéká nezanedbatelný proud dalších několik set nanosekund, nelze vypínací ztráty dobře eliminovat. Pro vyšší napětí v rozsahu 3,3 - 6,5 kV se tyto tranzistory budí na frekvenci 300, nebo 600Hz.

■ 1.1.2 Křemíkové unipolární tranzistory typu MOSFET

Na nízkém napětí se již řadu let také hojně využívají tranzistory Si MOSFET (Silicon Metal Oxide Semiconductor Field Effect Transistor). Tento typ tranzistoru má terminály drain, gate a source. Hradlo je izolované, a tudíž je buzeno napětím. Tyto tranzistory mají velice nízké spínací ztráty a pro malá napětí také odpor v sepnutém stavu $R_{DS(ON)}$.

Tranzistory MOSFET určené na vysoké napětí mají ovšem tento odpor mnohonásobně vyšší. Dle relativního rozložení odporu v citované literatuře [14] se v sepnutém stavu s rostoucí napěťovou hladinou tranzistoru výrazně nezvyšuje odpor přívodů, pouzdra, ani samotného kanálu, ale samotný odpor R_{EPI} složený z "JFET Region"a Expitační vrstvy, jež jsou části, které slouží k blokování napětí u tranzistorů typu Mosfet.

Principiálně platí, že odpor tohoto typu tranzistoru v sepnutém stavu roste s kvadrátem napětí. Tudíž, pokud vybereme tranzistor s dvojnásobným blokujícím napětím, dostaneme čtyřnásobný odpor v sepnutém stavu, což téměř znemožňuje použití těchto tranzistorů na hladině nad 1000 voltů.

Další značnou nevýhodou tohoto tranzistoru je jeho špatná zkratová odolnost, jež znemožňuje použití tranzistoru například v aplikaci DC/AC měniče pro napájení asynchronních motorů.

■ 1.1.3 Unipolární tranzistory typu MOSFET z karbidu křemíku

Trendem posledních let je využití tranzistorů MOSFET na bázi karbidu křemíku. Tento typ materiálu a technologie přináší oproti Si tranzistorům velkou řadu výhod uvedených níže, viz. literatura [15]:

- Přibližně desetkrát vyšší průrazné napětí tranzistoru při stejné velikosti
- Nízký klidový proud tranzistoru i při vysokých teplotách
- Lepší tepelná vodivost umožňující vyšší proudovou hustotu
- Snížení spínacích ztrát a možnost použití vyšší spínací frekvence vedoucí ke zmenšení filtrů, transformátorů, atd.

- Vyšší pracovní teplota tranzistoru spolu s menšími ztrátami snižují nároky na chlazení

SiC technologie nabízí zlepšení všech vlastností MOSFET tranzistorů. Jedná se zejména o vyšší účinnost zařízení, vyšší spínací frekvence, celkové zmenšení zařízení a také zvýšení robustnosti. Nevýhodou je ovšem vyšší prodejní cena oproti tranzistorům IGBT pro stejné napěťové a proudové hladiny.

Použitá technologie umožňuje použití tranzistorů Mosfet standardně již na napětí 600 - 3300 voltů při zachování nízkého $R_{DS(ON)}$. Ne zřídka se v posledním desetiletí objevují studie o vývoji a výrobě prototypů těchto typů tranzistorů s napěťovou hladinou 6,5 a 10 tisíc voltů, jako je tomu například ve studii zmiňované v citované literatuře [6]. Vyšší teplotní odolnost tohoto polovodičového materiálu vede i ke zlepšení zkratové odolnosti, jež dosahuje hodnot kolem 1-2us viz [7]. Tyto hodnoty jsou patrně oproti tranzistorům typu IGBT nízké, a to přirozeně klade vyšší nárok na rychlost detekce zkratu a vypnutí tranzistoru budičem.

■ 1.1.4 SiC MOSFET ve spínacím režimu

V této části již upustíme od bipolárních tranzistorů buzených proudem a zaměříme se na napěťové řízení prvků MOSFET popsanych níže. Buzení IGBT je pak principiálně stejné.

■ Hradlo tranzistoru

Hradlo tranzistoru je možné si zjednodušeně představit jako kondenzátor ve smyslu gate source, jež je při sepnutí nabíjena skrze interní a externí hradlový odpor buzeného tranzistoru. Kapacita je fyzicky realizovaná elektrodou hradla a substrátem expitační vrstvy. Dielektrikum je pak tvořeno oxidem křemíku [3], jež izoluje hradlo tranzistoru od zbytku struktury. Celkový interní hradlový odpor je pak složen z odporu polykrystalického křemíku z něhož je tvořeno samotné hradlo tranzistoru a z odporu kovových vývodů hradla k terminálu samotné součástky. Velikost tohoto odporu u technologie *Trench MOSFET* velice závisí na tom, jakým prvkem a jak moc je křemík dotován. Obecně platí, že velikost odporu u dotovaného křemíku typu N bývá nižší, než u typu P viz manuál [2]. Terminály gate a source poté společně s cestou k budiči tvoří smyčku, jež je přirozenou parazitní indukčností. Samotné

nabíjení hradla je proto přechodový děj druhého řádu připomínající odezvu na jednotkový skok RLC obvodu.

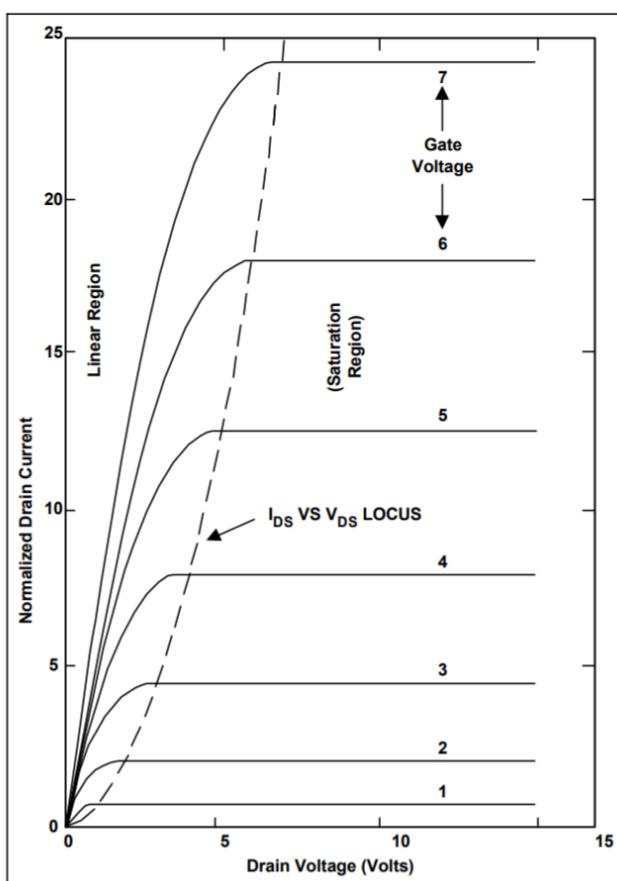
Velikost napětí na tomto kondenzátoru pak určuje, zda se tranzistor nachází v lineární, nebo saturované oblasti. Ve spínacím režimu nás samozřejmě zajímá oblast, kdy je tranzistor plně saturovaný a je na něm minimální úbytek napětí V_{CE} , respektive minimální odpor $R_{DS\,ON}$. Například, tranzistor typu MOSFET, s kanálem typu N (jiné typy se ve výkonové elektronice nevyskytují), je v saturované oblasti při splnění následujících dvou podmínek definovaných rovnicemi

$$V_{GS} \geq V_{th}, \quad (1.1)$$

$$V_{DS} > V_{GS} - V_{th}, \quad (1.2)$$

kde V_{GS} je napětí mezi terminály gate a source, V_{th} je prahové napětí hradla tranzistoru a V_{DS} je napětí mezi terminály drain a source.

Při nedodržení rovnice (2) se tranzistor dostane do lineární oblasti (nebo také "triode region"), při nedodržení rovnice (1) je tranzistor vypnut (cut off region). Rozlišení lineární a saturované oblasti je dobře viditelné například na obrázku 1.1 pro tranzistor typu MOSFET, převzato z [14].

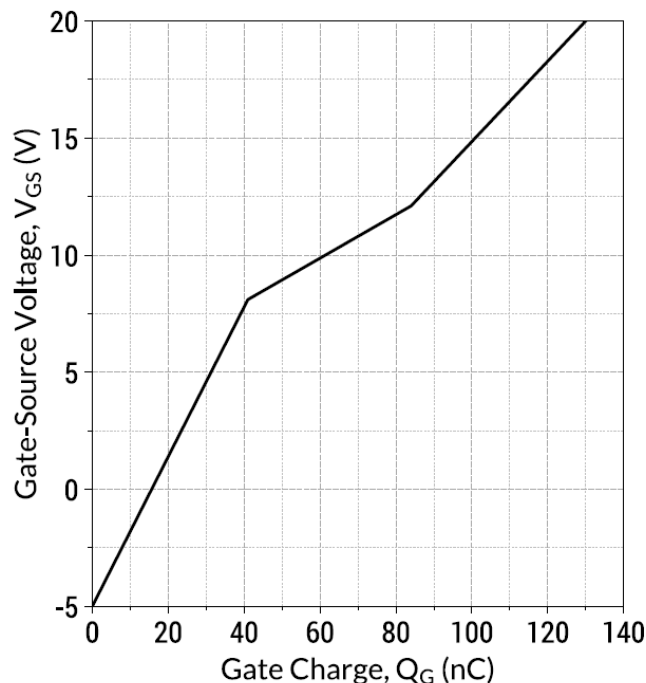


Obrázek 1.1: Znázornění lineární a saturační oblasti tranzistoru MOSFET.

■ Sepnutí tranzistoru a vliv Millerovy kapacity

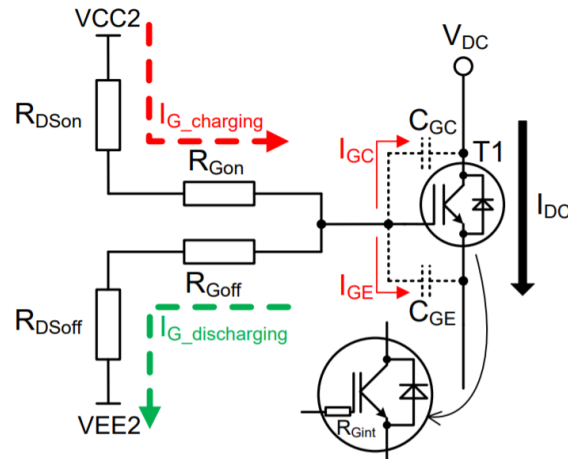
Pro sepnutí tranzistoru je tedy potřeba nabít hradlovou kapacitu na požadované napětí, jež je vyšší, než prahové napětí. Prahové napětí bývá u tranzistorů MOSFET a IGBT mezi dvěma a pěti volty, tato hodnota kolísá zejména s teplotou polovodiče. V praxi se však hradla tranzistorů IGBT a MOSFET pro sepnutí nabíjejí na napětí cca 15 - 20 voltů. Pro takto vysoké napětí mají nižší úbytek napětí V_{DS} , respektive menší odpor $R_{DS(ON)}$. Pro rozeptnutí tranzistoru je potřeba hradlo opět vybit na hodnotu nižší, než je prahové napětí tranzistoru. V praxi, se pak kvůli vlivu Millerovy kapacity hradlo vybíjí až do záporných hodnot, například -5 volty pro SiC a -10 voltů pro IGBT.

Onen spínací děj nastává každou periodu spínací frekvence. Je zde zkoumán SiC MOSFET napětové hladiny 3,3kV s nominálním odporem v sepnutém stavu $120m\Omega$ a to G2R120MT33J od výrobce GeneSiC Semiconductor. Tento tranzistor má kapacitu hradla $C_{iss} = 3099pF$, a celkový náboj hradla je $Q_g = 130nC$ pro řídicí napětí +20V a -5V. Funkce vztahu celkového hradlového náboje na hradlovém napětí je zobrazena na obrázku 1.2, převzatého z datového listu daného tranzistoru. Hodnota neodpovídá pouze kapacitě hradla pro použité řídicí napětí a to z důvodu efektu Millerovy kapacity.



Obrázek 1.2: Závislost hradlového náboje na hradlovém napětí. $I_D = 15A$, $V_{DS} = 1000V$, $T_C = 25^\circ C$, převzato z [9].

Při sepnutí tranzistoru prudce klesá napětí V_{DS} a tudíž i napětí na Millerově kapacitě $C_{rss} = 5,2pF$ klesá. Při vybíjení této kapacity je z kapacity hradla odsáván náboj, odpovídající poměru kapacitního děliče tvořeného C_{rss} a C_{iss} . Podobně pro rozepnutí tranzistoru, kdy při nabíjení Millerovy kapacity (C_{GC} - gate collector pro IGBT, nebo C_{rss} pro MOSFET), natéká náboj do kapacity hradla, viz obrázek 1.3, převzatého z aplikačního manuálu firmy Infineon k budiči tranzistorů mosfet a IGBT.



Obrázek 1.3: Znárodnění principu nabíjení hradla přes hradlové odpory a efektu Millerovy kapacity [11].

Použití budiče a jeho výkon

Nábojem Q_g je nutno každou periodu nabít hradlo tranzistoru. Pro spínací frekvenci například 100kHz, budící napětí 18V a vypínací napětí -3V, bude celkový výkon potřebný k buzení tranzistoru vypočten následovně:

$$P_{gate} = f_{SW} \cdot (V_{GS_{max}} - V_{GS_{min}}) \cdot Q_g = 100 \cdot 10^3 \cdot (18 - (-3)) \cdot 115 \cdot 10^{-9} = 0,24W \quad (1.3)$$

Hodnota celkového hradlového náboje $Q_g = 130nc$ je platná pro buzení tranzistoru napětím 20V pro sepnutí, respektive -5V pro vypnutí. Hodnota pro výše uvedený výpočet byla převzata z grafu na obrázku 2.2, a odpovídá hodnotě asi 115nc.

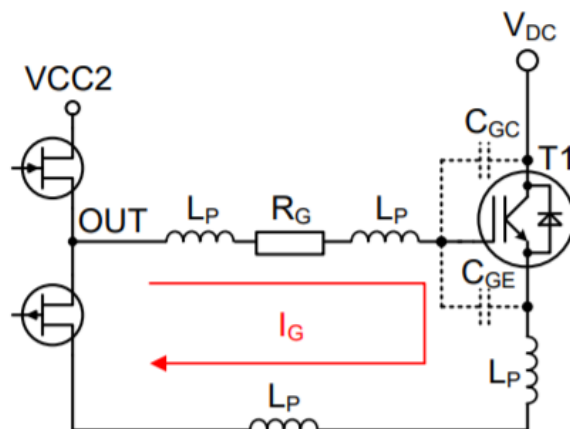
Při použití externího hradlového odporu $R_{g_{ext}} = 10\Omega$ a započtení interního hradlového odporu $R_{g_{int}} = 1.3\Omega$ bude maximální proud hradlem tranzistoru

$$I_{g_{max}} = \frac{V_{GS_{max}} - V_{GS_{min}}}{R_{g_{ext}} + R_{g_{int}}} = \frac{21}{10 + 1.3} = 1.86A \quad (1.4)$$

Takto vysoký proud i výkon samozřejmě není možné dodávat z mikroprocesoru, pro buzení tranzistoru se proto používají budiče a to například hojně využívaný

NCP51705 od výrobce OnSemi, nebo námi nově používaný budič 1ED3491 od výrobce Infineon.

Takový, i veškeré ostatní konvenční budiče tranzistorů využívají k buzení běžný půl-můstek nízkonapěťových tranzistorů MOSFET viz obrázek 1.4.



Obrázek 1.4: Schéma buzení tranzistoru vč. celé "hradlové smyčky"[11].

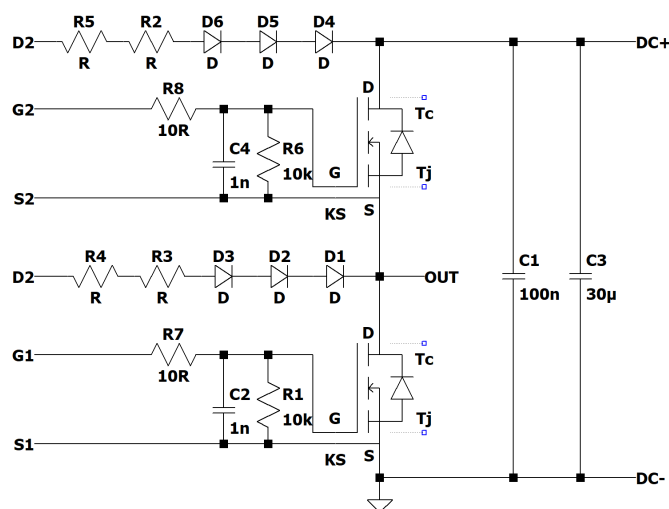
1.1.5 Degradace MOSFET tranzistoru

Negativní dopad na rychlost stárnutí tranzistoru a tudíž i na vnitřní odpor tranzistoru $R_{DS(ON)}$ má zejména spínací frekvence tranzistoru f_{sw} , velikost budícího napětí $V_{GS(ON)}$, vypínacího napětí $V_{GS(OFF)}$ a to z důvodu degradace izolační vrstvy oxidu hradla tranzistoru. Nemůžeme tedy svévolně použít vysoké hradlové napětí pro maximální eliminaci vodivostních ztrát tranzistoru. Dalším negativním vlivem na vnitřní odpor tranzistoru je teplotní cyklování čipu tranzistoru [12]. Terminál source čipu tranzistoru je připojen k DPS pomocí technologie ultrazvukového bondování. Spoj mezi čipem tranzistoru a bondem se zahřívá, a vlivem různé teplotní roztažnosti materiálu na povrchu čipu, hliníkového bondu a mědi dochází k postupné degradaci spoje. Odpor tohoto spoje pak postupem času vlivem stárnutí roste, po delší době, při velkém zvýšení odporu bondovaného spoje dojde k "vyhřátí" spoje a selhání tranzistoru.

Kapitola 2

Výběr aplikace tranzistoru a vytvoření přesného modelu

Pro účely diplomové práce byla vybrána aplikaci SiC MOSFET ve výkonovém půl-můstku viz zjednodušené schéma na obrázku 2.1. Návrh obsahuje dvojici tranzistorů G2R120MT33J, odlehčovací kondenzátor s kapacitou 100nF a velmi nízkým ekvivalentním sériovým odporem, filtrační kondenzátor s kapacitou 30uF. Budicí část (na schématu vlevo) je vytvořena z externího hradlového kondenzátoru a rezistoru. Pro bezpečnostní účely je hradlo uzemněno rezistorem o hodnotě 10 kOhmů, který brání otevření tranzistoru při odpojení budiče. Ke svorkám DRAIN použitých SiC MOSFETů je připojena trojice vysokonapěťových diod a dvojice sériových odporů desaturační ochrany tranzistorů.

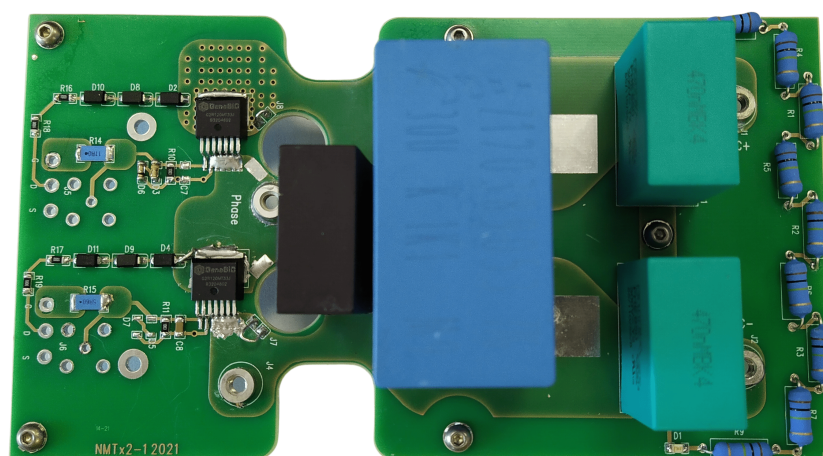


Obrázek 2.1: Schéma navrženého půlmůstku vč. použitých komponent.

Hlavní motivací pro tvorbu vlastní desky plošného spoje byla možnost precizně a realisticky vytvořit model použitého silového obvodu v simulačním prostředí LT Spice. Silová část přípravku je proto navržena tak, aby co nejlépe zahrnovala veškeré požadavky vývoje silových obvodů. Zároveň je přípravek obvodově velice jednoduchý, neobsahuje příliš nepředvídatelných parazitních parametrů, jež by se do simulace komplikovaněji přenášely. Ve stručnosti, nejdůležitější požadavky při návrhu takové desky jsou:

- Minimalizace indukčností mezi silovými svorkami tranzistorů a nejbližším odlehčujícím kondenzátorem
- Minimalizace indukčností hradlové cesty - mezi svorkou gate a budičem tranzistoru
- Minimalizace parazitních kapacit DC linku a kostry k potenciálu fáze

Dalšími aspekty při návrhu této desky byla možnost dobře změřit proud tekoucí přímo terminálem source spodního, respektive terminálem drain horního tranzistoru pomocí Rogowskeho cívky. V neposlední řadě možnost precizně změřit napětí ve smyslu drain source na obou tranzistorech. Dále bylo potřeba vyvést signál z hradla tranzistoru dále od zdroje rušení pomocí napojení na koaxiální kabel. Celá deska je z hlediska izolačních vzdáleností a použitých komponent připravena pro možnost napájení vysokým napětím 1000- 3000 voltů. Na vstupu DC linku je částečně realizován i jednoduchý EMC filtr. Deska má navržené konektory tak, aby bylo možné tranzistory budit přípravkem "EVAL-1ED3491Mx12M", jež používá nejmodernější konvenční budiče SiC MOSFET 1ED3491 viz aplikační manuál [11]. Schéma a layout navržené desky silového obvodu je v příloze. Fotografie vyrobeného přípravku je na obrázku 2.2.



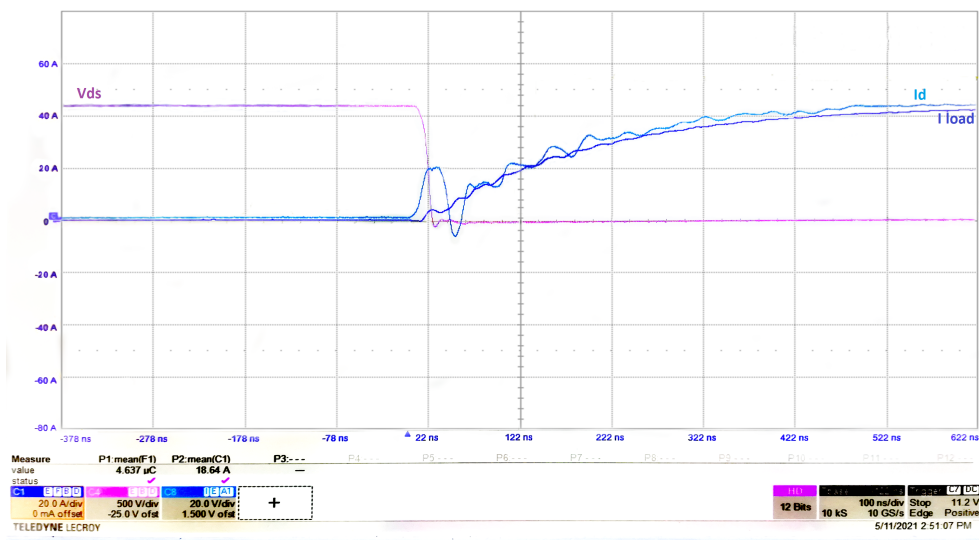
Obrázek 2.2: Fotografie navrženého přípravku pro změření parametrů silového obvodu.

Přípravek byl osazen již výše uvedenými tranzistory G2R120MT33J, odlehčujícím kondenzátorem s kapacitou 100nF, větším, filtračním kondenzátorem 30uF, hradlovým odporem 1 Ohm, diodami pro funkci desaturační ochrany. Kompletní seznam použitých součástek je v příloze.

2.1 Naměření průběhů sepnutí a rozepnutí tranzistoru

Pro účely měření byl DC-link napájen 1100V, jež je maximální možné napětí námi používaného zdroje. Jako zátěž byl zvolen odpor s hodnotou 27 Ohmů, s parazitní indukčností 5 mikro-Henry. Výsledný proud zátěží při sepnutí spodního tranzistoru je 40A. Přechodové jevy související se spínáním tohoto typu zátěže rychle odezní a nebudou mít parazitní vlivy na odečtení potřebných parametrů siloviny z naměřených průběhů.

Na průběhu osciloskopu na obrázku 2.3 je vidět sepnutí tranzistoru. V čase 22ns došlo k sepnutí tranzistoru a vybití parazitních fázových kapacit (zvlnění oranžového průběhu). Proud tekoucí indukčností zátěže se ustálí cca v čase 600ns.

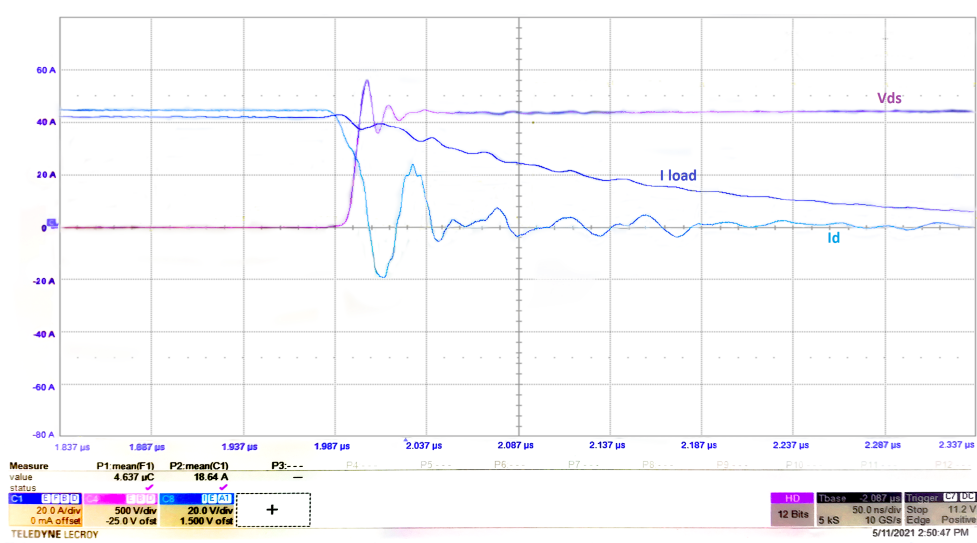


Obrázek 2.3: Sepnutí tranzistoru v aplikaci H-můstku. Fialová barva je napětí ve smyslu drain-source, tmavě modrá je proud zátěží a světle modrá je proud naměřený na terminálu source tranzistoru.

Druhý průběh osciloskopu na obrázku 2.4 zobrazuje vypínací děj tranzistoru. v čase 2000ns došlo k vybití hradla tranzistoru. V tomto čase tudíž prudce roste napětí ve smyslu drain source a také začal klesat proud měřený

na terminálu source tranzistoru. Proud zátěže klesá pouze pozvolně kvůli vysoké indukčnosti, jež v uplynulé době na-akumulovala energii. Na zeleném průběhu je patrný vysoký překmit napětí a to cca 300 voltů nad ustálenou hodnotu. Toto napětí představuje energii, jež byla na-akumulovaná v parazitních indukčnostech silového obvodu, jedná se o indukčnosti přívodů terminálů tranzistoru drain a source, dále také o indukčnosti mezi terminály tranzistoru a fyzicky nejbližší odlehčovací kondenzátor. Vypnutím tranzistoru a uvolněním této energie v parazitních indukčnostech byl rozkmitán silový obvod. Kmitání je patrné jak na proudu tekoucím terminálem source tranzistoru, tak na napětí naměřeném na terminálech drain a source.

V tomto okamžiku je možnost pozorovat, jak se energie přelévá z parazitních indukčností do parazitních výstupních kapacit tranzistoru.



Obrázek 2.4: rozeptnutí tranzistoru v aplikaci H-můstku. Fialová barva je napětí ve smyslu drain-source, tmavě modrá je proud zátěží a světle modrá je proud naměřený na terminálu source tranzistoru.

2.2 Model výkonového obvodu spínače

V simulačním prostředí LT Spice byl pro účely bližšího zkoumání přechodových jevů souvisejících se spínáním tranzistorů sestaven model viz obrázek 2.5. Parametry silového obvodu v modelu jsou shodné s navrženým přípravkem. Spodní tranzistor (low side switch) je buzen zdrojem napětí a spojuje zátěž se zemním potenciálem. Horní tranzistor (high side switch) je v simulaci trvale vypnut, slouží zde jen jako dioda propouštějící pouze záporný proud ve smyslu drain source. V literatuře můžeme na využití antiparalelní parazitní diody najít v souvislosti s termínem "freewheeling current", jež je proud tekoucí indukčností zátěže po vypnutí spodního, respektive horního tranzistoru.

Tato substrátová dioda zde odlehčuje spodní tranzistor a zmenšuje přepěťové špičky špičky po rozepnutí tranzistoru. Samotný model tranzistoru je převzatý od výrobce GeneSiC a to typ G2R120MT33J v pouzdru TO-263-7 [9]. Částečně zjednodušené schéma, avšak doplněné o majoritní parazitní indukčnosti a odpory ve výkonovém obvodu, je na obrázku fig. 8. Napětí zdroje je schodné s napětím laboratorního zdroje použitého k měření vlastností obvodu. Částečné zjednodušení spočívá v přemístění parazitních indukčnosti drainu spodního a source horního tranzistoru na opačný terminál. Spojení těchto sériových parazitních indukčností zjednodušuje simulaci. Její běh je potom méně problematický. Stejně zjednodušení bylo použito při umístění parazitních odporů silového obvodu.

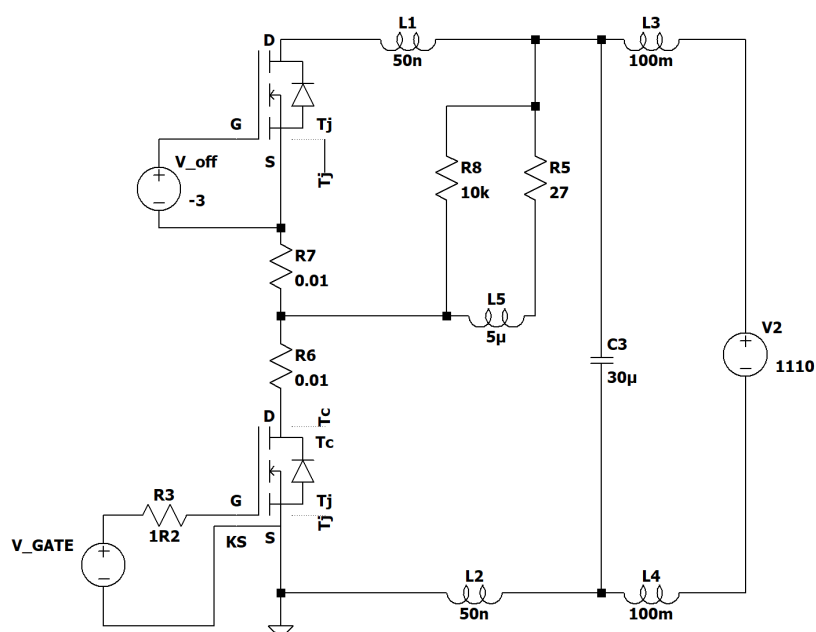
Další zjednodušení spočívá v zanedbání parazitních kapacit, realizované na DPS, paralelně k výstupním kapacitám tranzistorů. Tyto kapacity si mohou dovolit zanedbat, jelikož byly v návrhu desky plošného spoje téměř eliminovány. Jedná se dvouvrstvou desku a potenciál fáze se nepřekrývá s jiným potenciálem, proto je kapacita, jež přirozeně vzniká na desce plošného spoje eliminována. Parazitní kapacity tranzistoru jsou samozřejmě zachovány v modelu použitým v simulaci.

Parazitní kapacity mezi kladným a záporným potenciálem mezi-obvodu nejsou v simulaci uvažovány, a to proto, že poměr této kapacity je k celkové kapacitě zanedbatelná. Nejbližší odlehčovací kapacita není v simulaci též zobrazena, jelikož fyzická vzdálenost je mezi oběma kondenzátory minimální.

Číselné hodnoty parazitních veličin byly zprvu změřeny precizním RLC měřícím přístrojem.

V další fázi stanovování parametrů simulace, byly opakovaně měněny parametry a výsledné průběhy spínání pozorovány. Tímto iteračním způsobem se postupovalo, dokud nebyly průběhy v simulaci co nejpodobnější průběhům naměřených osciloskopem.

Skutečnost, která není v simulaci zahrnuta je vliv skin a proximity efektu, jež je v jednoduchosti vlastnost vodiče klást odpor protékajícímu proudu na vysoké frekvenci. V námi pozorovaném dynamickém systému se jedná o



Obrázek 2.5: Silový obvod modelu půl-můstku se zátěží a parazitními prvky odpovídající navržené DPS v předchozí kapitole.

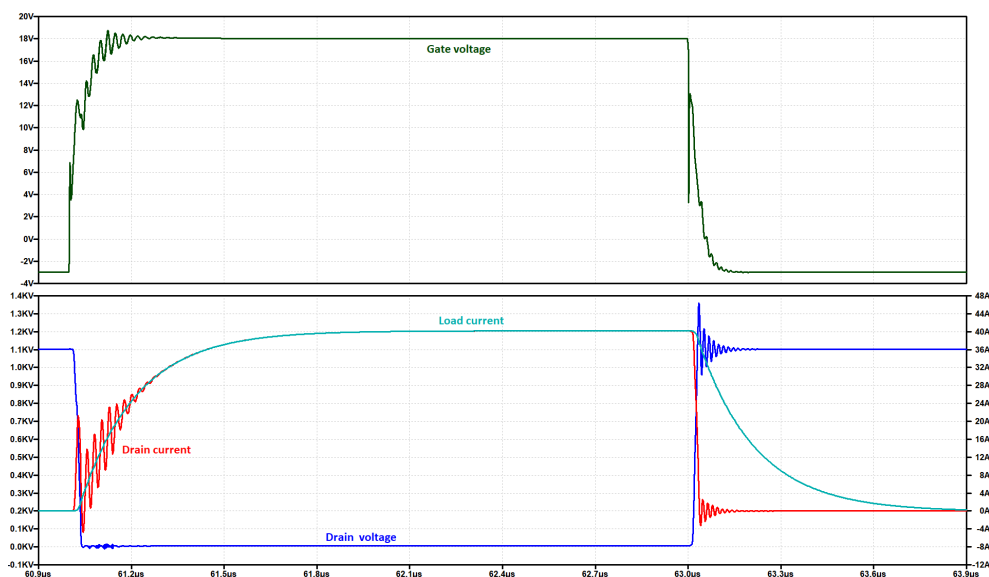
tlumící prvek fungující pouze na vysoké frekvenci. Vyšší útlum proudů vyšších frekvencí v reálném obvodu byl v simulaci kompenzován větším hradlovým odporem tranzistoru, jež zajišťoval mírně pomalejší sepnutí a rozepnutí obvodu, jež generuje menší di/dt v daném, simulovaném obvodu. V teorii systémů by pak tato kompenzace znamenala menší jednotkový skok namísto vyšší hodnoty útlumu fungující na vysoké frekvenci.

2.3 Sepnutí a rozepnutí tranzistoru ve vytvořeném modelu

Přechodové jevy spojené se spínáním tranzistoru na obrázku 2.6 ve vytvořeném modelu jsou dle požadavků velice podobné těm naměřeným na reálném silovém obvodu (obrázek 2.3 a 2.4). V čase do 61 mikro-sekund je tranzistor rozepnutý, hradlo je nabito na napětí $V_{GS} = -3V$. Tranzistorem neteče žádný proud I_D a je na něm úbytek napětí $V_{DS} = 1100V$. V čase 61 mikrosekund je vyslán signál k sepnutí tranzistoru, horní spínač budiče je spojen se zdrojem napětí 18V a hradlo tranzistoru se nyní začíná nabíjet.

Po dosažení hodnoty prahového napětí $V_{GS} = 5V$ začne napětí V_{DS} klesat. V tuto chvíli začne také růst proud tranzistorem I_d .

Po poklesu napětí V_{DS} téměř na 0V je tranzistor sepnutý, ale dále dochází



Obrázek 2.6: Průběh signálů souvisejících se sepnutím a rozepnutím tranzistoru.

k nabíjení hradla na požadované napětí 18V. Když je nabíjení hradla dokončeno, tranzistor je plně saturovaný a má minimální odpor R_{RDON} . Celý spínací jev doprovází i oscilace na hradle tranzistoru, také zvané jako "gate ringing" způsobené parazitní indukčností hradlové budící cesty [5]. Další oscilace jsou patrné na proudu tranzistorem, ty jsou způsobené prudkým vybitím výstupní kapacity tranzistoru C_{oss} a všech parazitních paralelních kapacit. Dále si můžeme definovat spínací ztráty, jež jsou tvořeny vybitím energie uchované ve výstupní kapacitě tranzistoru $C_{oss} = 55pF$ a integrálem součinu napětí V_{DS} a proudu I_D za dobu sepnutí tranzistoru. V praxi je ale nutné počítat i s parazitní paralelní kapacitou C_{par} na plošném spoji, případně s parazitní paralelní kapacitou zátěže tedy:

$$E_{on} = \frac{1}{2} \cdot (C_{oss} + C_{par} + C_{LOAD}) \cdot U_{in}^2 + \int_{t_1}^{t_2} (v_{DS} \cdot i_D) \quad (2.1)$$

Dále je potřeba definovat strmost poklesu a nárůstu napětí na V_{DS} , jež je v tomto případě:

$$\frac{dV_{DS}}{dt} [kV/us] \quad (2.2)$$

Strmost poklesu a nárůstu napětí na tranzistoru klade nároky na galvanické oddělení logických signálů budiče, jež je nezbytné při použití tranzistorového můstku. Horní spínač principiálně vyžaduje galvanické oddělení a vlastní, oddělený napájecí zdroj. Odolnost galvanického oddělení před strmostí poklesu a nárůstu napětí je definován jako $CMTI$ - Common Mode Transient Immunity.

V čase před 63 mikro-sekund je tranzistor sepnutý, hradlo je nabyto na napětí $V_{GS} = 18V$. Tranzistorem teče proud $I_D = 40A$, a je na něm téměř nulové napětí V_{DS} . V čase 63 mikro-sekund je vyslán signál s rozepnutím tranzistor, horní spínač budiče je rozpojen, spodní spínač budiče je spojen se

zdrojem záporného napětí $-3V$ a dochází k vybíjení hradla tranzistoru.

Po dosažení prahového napětí na hradle $V_{GS} = 5V$ se začne tranzistor uzavírat. Napětí na V_{DS} začne růst a proud I_D začne klesat.

Po uzavření tranzistoru následuje překmit napětí ve smyslu drain source tranzistoru dosahující úrovně cca 1350 voltů. Tento překmit byl vygenerován proudem akumulovaným v parazitních indukčnostech silového obvodu tranzistoru. Ke špičce překmitu napětí V_{DS} zpravidla dochází v čase nejvyšší strmosti vypínaného proudu. Velikost překmitu napětí se dá vypočítat následovně:

$$V_{DSmax} = U_{in} + L_p \cdot \frac{di_{Lp}}{dt} \quad (2.3)$$

Při vypínacím ději nás rovněž zajímá strmost napětí $\frac{dV_{DS}}{dt}$ i energie disipovaná na čipu tranzistoru vlivem vypínacích ztrát E_{OFF} , jež je rovna integrálu součinu napětí V_{DS} a proudu I_D za dobu vypínání tranzistoru.

$$E_{OFF} = \int_{t_1}^{t_2} (v_{DS} \cdot i_D) \quad (2.4)$$

Celkové spínací ztráty tranzistoru za jednu periodu jsou pak dány

$$E_{tot} = E_{ON} + E_{OFF} \quad (2.5)$$

Z pohledu ztrát a chlazení tranzistoru nás samozřejmě zajímají i vodivostní ztráty tranzistoru, jež se u MOSFET vypočítají následovně:

$$P_{cond} = R_{DSON} \cdot (I_{DRMS})^2 \quad (2.6)$$

Vodivostní ztráty lze výrazně ovlivnit změnou hradlového napětí V_{GS} , jež je u MOSFET nepřímo úměrné odporu R_{DSON} , respektive úbytku napětí V_{CE} v sepnutém stavu u IGBT. Celkový ztrátový výkon se pak spočítá pro IGBT i MOSFET tranzistor následovně:

$$P_{totloss} = P_{cond} + f_{sw} \cdot E_{tot} \quad (2.7)$$

Odpor tranzistoru v sepnutém stavu je tvořen samotným vodivostním kanálem tranzistoru, odporem "bondovaných" spojů, odporem přívodů a dalších jednotlivých elementárních odporů uvedených v [14].

2.4 Shrnutí důležitých aspektů buzení SiC MOSFET

Níže jsou uvedeny nejdůležitější aspekty související s buzením tranzistoru

- Spínací ztráty E_{ON} a E_{OFF}

- Strmost změny napětí $\frac{dv_{DS}}{dt}$ při sepnutí a rozepnutí tranzistoru
- Strmost poklesu proudu $\frac{di_D}{dt}$ a související překmit V_{DSMAX}
- Vodivostní ztráty P_{cond}
- Stárnutí tranzistoru vlivem spínací frekvence a budícího napětí

Spínací ztráty, strmost změny napětí $\frac{dv_{DS}}{dt}$ i strmost změny proudu $\frac{di_D}{dt}$ v čase jsou přímo ovlivnitelné externím hradlovým odporem a externí hradlovou kapacitou. S rostoucím odporem a kapacitou se zvyšují ztráty a snižují strmosti, což vede na první optimalizační úlohu.

Vodivostní ztráty jsou ovlivnitelné hradlovým napětím V_{GS} , s rostoucím hradlovým napětím ovšem zrychluje stárnutí tranzistoru, jež vede na druhou optimalizační úlohu.

2.5 Rozdílná specifika řízení SiC oproti IGBT tranzistorům

Řízení SiC MOSFET přináší jisté odlišnosti od IGBT, které souvisí s buzením v napěťové hladině 1200 až 3300 voltů.

- Spínací frekvence
Maximální spínací frekvence se u běžných tvrdě spínaných IGBT pohybuje mezi 2 - 50kHz. U tvrdě spínaných SiC MOSFET může být maximální spínací frekvence v řádu 50 - 200kHz. Spínací frekvence je zde zejména limitována spínacími ztrátami tranzistoru. Při použití techniky měkkého spínání, jež je s oblibou využita například na mnoho LLC plně rezonančních DC-DC měničů, můžeme dosáhnout snížení spínacích ztrát a tudíž i zvýšení maximální možné spínací frekvence až na 500kHz.
- Rychlost sepnutí a rozepnutí t_r a t_f
Doba sepnutí a rozepnutí tranzistoru IGBT se může pohybovat od hodnoty 150ns výše. Pro tranzistory SiC MOSFET se tato doba pohybuje od hodnoty 20ns výše.
- Strmost napětí dv_{ds}/dt a proudu di_D/dt
Rychlejší spínání vede jak k vyšší strmosti napětí, tak k vyšší strmosti změny proudu.

- Prahové napětí tranzistoru $V_{GS_{th}}$ a $V_{GE_{th}}$
Prahové napětí tranzistoru IGBT je nejčastěji, v závislosti na teplotě, mezi čtyřmi a sedmi volty a bývá tedy zpravidla vyšší, než u tranzistoru SiC MOSFET, kde se pohybuje dle teploty čipu mezi dvěma a pěti volty.
- Řídící napětí V_{GS} a V_{GE}
Kvůli horší saturaci tranzistoru SiC MOSFET je potřeba budit hradlo tranzistoru vyšším napětím a to například napětím 18V namísto 15V u IGBT. Dále, kvůli takřka polovičnímu prahovému napětí je téměř vždy nutné tranzistor vypínat záporným napětím (například -3V). Nicméně trendem poslední doby je kvůli výše uvedeným degradacím snižování řídicího napětí tranzistoru.
- Velikost čipu a jeho proudová kapacita
Velikost čipu tranzistoru SiC MOSFET oproti čipu IGBT bývá poloviční, až čtvrtinový pro stejný nominální proud tranzistoru.

Z těchto odlišností pramení různé nároky na budící obvody.

- Výkon budiče
Vyšší spínací frekvence, vyšší budící napětí a záporné vypínací napětí tranzistoru SiC MOSFET vede ke zvyšování výkonu budiče
- Propagační zpoždění a zkreslení řídicích pulzů budiče
Vyšší rychlost sepnutí a rozepnutí u tranzistoru SiC MOSFET klade vyšší nároky na propagační zpoždění budiče a také na zkreslení pulzů veškerými součástkami mezi MCU a hradlem tranzistoru.
- Nároky na galvanické oddělení a CMTI
Vyšší rychlost sepnutí a tedy i rostoucí strmost napětí dv_{ds}/dt u tranzistorů SiC MOSFET klade rovněž vyšší nároky na galvanické oddělení zdroje budícího napětí a digitálního oddělení.
Odolnost oddělení před vysokou strmostí změny napětí definuje pojem CMTI - Common Mode Transient Immunity. Pro galvanické oddělení tranzistorů IGBT zpravidla stačí CMTI na úrovni 15kV/us, pro rychle spínané SiC MOSFET je vyžadováno CMTI 100kV/us a více.
- Rychlejší reakce zkratové ochrany a pomalejší vypnutí
U tranzistorů IGBT je maximální dovolená reakční doba zásahu zkratové ochrany 10us, za kterou je potřeba tranzistor spolehlivě rozepnout. Vyšší nároky jsou v tomto hledisku kladeny na tranzistor SiC MOSFET, kde jsou kvůli menší fyzické velikosti a tedy i menší teplotní kapacitě čipu kladeny vysoké nároky na čas rozepnutí zkratu jež se pohybuje mezi jednou až dvěma mikro-sekundami.
Další, přísnější nárok na "měkkost" vypnutí zkratu je zde kladen vyšší strmostí změny proudu di_d/dt a tedy i vyšší přepětovou špičku V_{DS} .

U SiC MOSFET by tedy budič měl reagovat mnohokrát rychleji, ale tranzistor vypnout pomaleji, než u IGBT.

- Velikost celého zařízení

Při použití SiC MOSFET, se oproti použití IGBT, díky menším ztrátám, zmenšuje chladič zařízení, a tedy i velikost celého zařízení. Toto klade nároky na další zmenšování elektroniky budičů tranzistorů, na něž je ovšem kladen vyšší nárok z pohledu dodávaného elektrického výkonu do hradel tranzistoru.

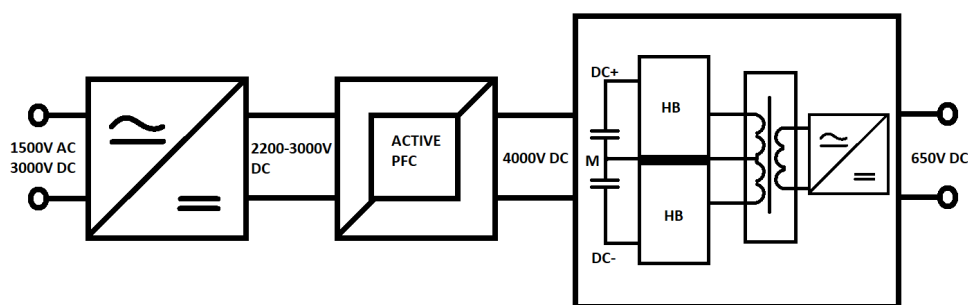
2.6 Optimální nastavení konvenčního budiče SiC tranzistoru

Jak již bylo psáno v předchozí části práce, k experimentům byl vybrán MOSFET od výrobce GeneSiC semiconductor a to G2R120MT33J v SMD pouzdře TO263-7. Navržený přípravek pro testování byl úspěšně oživen a na základě jeho vlastností byla vytvořena věrohodná simulace.

Pojďme si nyní představit reálnou aplikaci těchto tranzistorů a to například v drážním průmyslu. Navržený výkonový půl-můstek má maximální blokovací napětí 3300 voltů. Drážní trolejová síť využívá buďto nominální stejnosměrné napětí 3000 voltů, nebo střídavé napětí nominální hodnoty 1500 voltů. Celá vlaková souprava se pravidelně přesouvá mezi oběma typy napájecí sítě. Pro generování harmonického proudu odebíraného ze střídavé sítě, se z pravidla používá PFC (Power Factor Corrector), jež je přes LC filtr připojen přímo k trolejovému napětí.

Dle České technické normy [8] se na trolejovém vedení může vyskytnout krátkodobá přepětová špička s maximální hodnotou 8 tis. voltů. Přes LC filtr zapojeném na vstupu PFC se na vstup námi uvažovaného měniče dostane maximálně 5 tisíc voltů.

Jelikož maximální blokovací napětí námi zvoleného tranzistoru je pro tuto aplikaci nedostačující, je nutné použít dva tyto můstky zapojené sériově, viz blokové schéma na obrázku 2.7. Napětí na vstupu obou těchto půl-můstků je jak staticky tak dynamicky děleno dvěma. Ke statickému dělení dochází při rovnoměrnému stejnosměrnému odběru energie z obou můstků. V rámci dynamických dějů, je napětí děleno díky vysoké kapacitě, 100 mikro-Farad, na vstupu měniče. Napětí na horním, respektive spodním můstku na schématu 2.10 může být rozváženo až o 8 procent. Statická chyba způsobená nepřesností měřících kanálů může dosahovat až tří procent a je majoritně způsobena



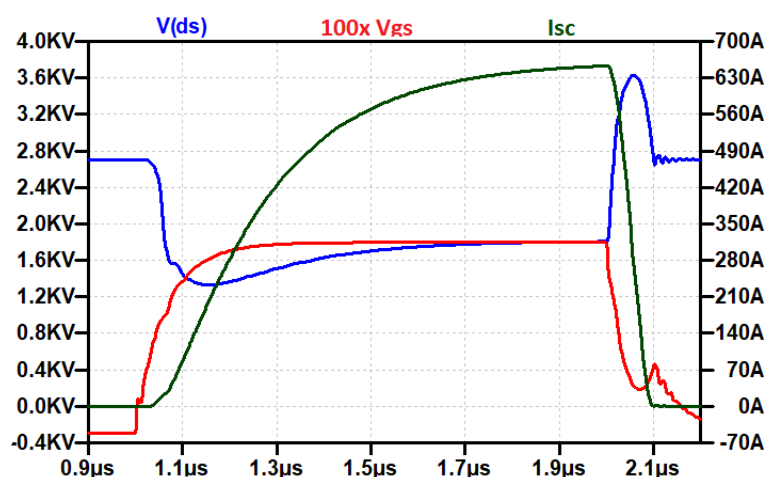
Obrázek 2.7: Blokové schéma uvažované aplikace SiC MOSFET v půl-můstkovém zapojení.

tolerancí použitých rezistorů a vstupní napěťovou ne-symetrií OZ. Dynamická chyba vznikající tolerancí použitých kondenzátorů na vstupech uvažovaných půl-můstků může dosahovat až 5 procent.

Maximální krátkodobé napětí na na obou můstcích je tedy:

$$V_{DC+,M} = \frac{(5000 * 1,08)}{2} = 2700V \quad (2.8)$$

Při reálném nasazení takového-to měniče bychom neměli v žádném pracovním bodě překročit hodnotu blokovacího napětí 3,3kV, vzniká tu rezerva 600 voltů. Tato rezerva bohužel není dostatečná pro možnost zkratu na výstupních svorkách půl-můstku viz průběh simulace na obrázku 2.8. Simulace byla provedena na původním modelu uvedeném v předchozí kapitole. Impedance odporové zátěže byla nahrazena zkratovou indukčností 500nH. Výrobce dle datového listu tranzistoru negarantuje plnou životnost tranzistoru při překročení blokovacího napětí. Dle některých studií, například [7] však k selhání tranzistoru nemusí dojít. Dle informací v uvedeném článku, dojde u SiC MOSFETu C2M0045170D s blokovacím napětím 1700V, k průrazu až kolem hodnoty 2500 voltů. Tento test byl proveden při teplotě pouzdra tranzistoru 25°C. Na tuto skutečnost ovšem nemůžeme spoléhat pro všechny okolnosti. Naopak bychom se měli při zahrnutí vlivu změny teploty na maximální blokovací napětí dostat pod 3,3kV. Lze uvažovat ještě poruchu izolace transformátoru, která v zařízení nastat může a při které by zkratová ochrana mohla tranzistory ochránit. Při poruše tohoto typu je však zařízení vyřazeno z provozu. Zkratová ochrana tranzistoru proto není v takovéto aplikaci striktně vyžadována. Například, pro použití třífázového můstku, jako frekvenčního měniče pro pohon asynchronního motoru je nutno z povahy aplikace zkratovou ochranu zachovat.



Obrázek 2.8: Průběh zkratu na výstupní svorce uvažovaného půl-můstku. $V_{gs}=18V$, $V_{dc}=2700V$, $I_{sc\ max}=650A$, $V_{ds\ max}=3700V$.

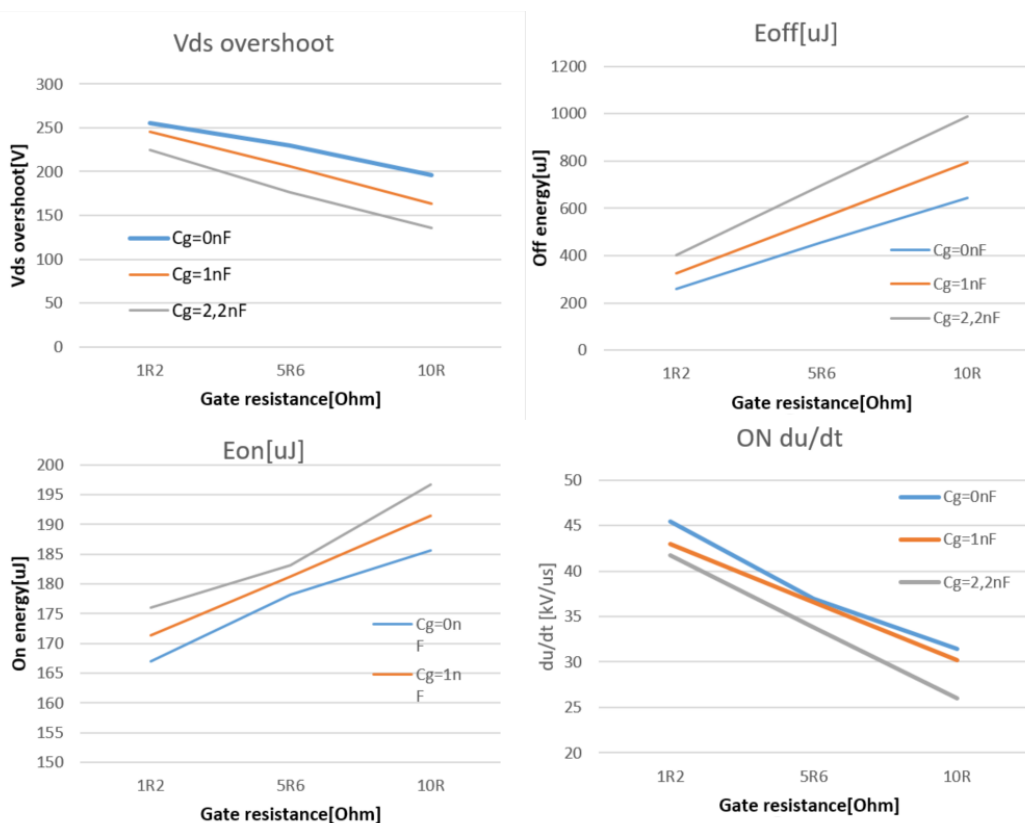
2.6.1 Ponížení pracovního a blokujícího napětí tranzistoru

Dle původního projektového plánu měl být v době realizace této diplomové práce sestaven a oživen vysokonapěťový zdroj, pro možnost realizace vývojových zkoušek měničů napětí, využívané ve stávajícím projektu, jež počítá s napájením z trolejového vedení. Bohužel dodnes nedošlo k realizaci vysokonapěťového stanoviště. Z tohoto důvodu mohu k měření použít již dříve zmíněný zdroj s maximálním výstupním napětím 1100V. Pro splnění zadání a nalezení optimální konfigurace konvenčního budiče jsem si proto po dohodě s vedoucím práce patřičně snížil maximální blokující napětí tranzistoru následovně.

Při pracovním napětí 1100V uvažuji maximální blokující napětí tranzistoru $V_{ds-max} = 3300 \cdot \frac{1100}{2500} = 1450V$, jež je dáno přímou úměrou při ponížení pracovního napětí. Pro zachování jisté rezervy v návrhu bude vhodné počítat s přepětovými špičkami do 1300V. Tyto krátkodobé špičky vznikají periodicky, vždy, při vypnutí tranzistoru.

2.6.2 Nastavení řídicího napětí, hradlového odporu a kapacity

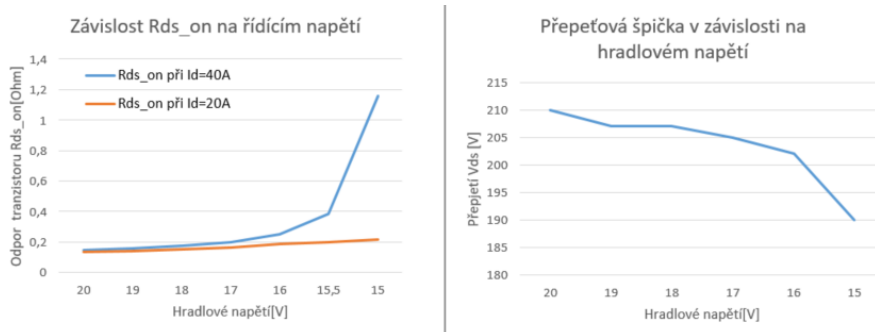
Pro dříve navržený model silového obvodu byl zkoumán vliv velikosti řídicího napětí, externí přídavné hradlové kapacity a odporu na napěťový překmit po vypnutí tranzistoru. Dále byly zkoumány spínací a vodivostní ztráty. V neposlední řadě byla pozorován i rychlost přeběhu silového napětí na výstupních elektrodách tranzistoru. Vliv na zkoumané veličiny je vidět na obrázku 2.9. Zvyšování hradlového odporu i kapacity má dle měření pozitivní dopad na velikost přepětových špiček a negativní dopad na spínací



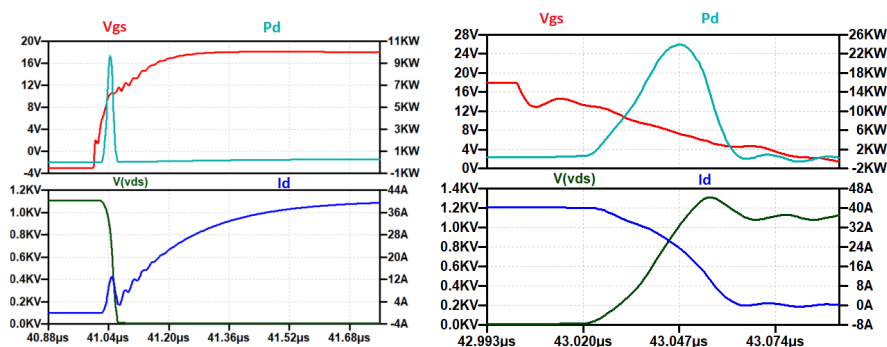
Obrázek 2.9: Vliv hradlového odporu a kapacity na spínací ztráty, přepětové špičky a strmost napětí. $V_{dc}=1100V$, $R_{out}=27R$, $V_g=18V$.

ztráty. Znatelný vliv je zde i na rychlost přeběhu. Limitující je pro nás rychlost přeběhu nad 100 kV/us , máme zde velkou rezervu. Pro zachování maximálního blokujícího napětí $1300V$ jsem nucen volit vybrané prvky tak, aby hodnota přepětí nebyla vyšší, než $200V$. Jelikož přídatná kapacita má dle mnohých studií pozitivní vliv na takzvaný Millerův jev, volím zde hodnotu externí kapacity $1nF$ a odpor $5,6 \text{ Ohmů}$. Pro toto nastavení budu dále zkoumat vliv řídicího napětí na vodivostní ztráty.

Při výpočtu vodivostních ztrát nás zajímá zejména odpor tranzistoru v sepnutém stavu, jež je funkcí teploty a proudu tekoucím silovými terminály. Pro maximální uvažovanou zátěž 26 Ohmů vychází proud $43A$. Vliv řídicího napětí je na hodnotu odporu v sepnutém stavu významný. Dle závislosti získaných ze simulace na obrázku 2.10 je patrný velký vliv řídicího napětí pro maximální proud tranzistorem v námi uvažované aplikaci. Pro nominální proud je vliv minimální. Odpor tranzistoru v sepnutém stavu začíná exponenciálně růst pro maximální proud tranzistorem pro řídicí napětí menší než 17 V . Pro zachování nízkých ztrát volím 18 voltů . Vypínací napětí bylo stanoveno na $-3V$. Pozorovatelný je i vliv na přepětové špičky. S rostoucím napětím tato špička roste.



Obrázek 2.10: Vliv řídicího napětí na odpor tranzistoru a přepětovou špičku po vypnutí. $V_{dc}=1100V$, $R_{out1}=54R$, $R_{out2}=27R$, $R_g=5R6$, $C_g=1nF$.



Tento efekt je ale v porovnání s dopady změny hradlového odporu zanedbatelný.

Výsledné průběhy sepnutí a rozepnutí tranzistoru při definovaném optimálním nastavení hradlového odporu, kapacity i napětí jsou patrné na obrázku 2.11. Při sepnutí se na čipu disipuje energie 306uJ, při rozepnutí 556uJ. Vypínací děj vybudí energii související s přepětovou špičkou vysokou 204V.

Kapitola 3

Možnosti zlepšení vlastností inteligentních budičů

Jednou z hlavních myšlenek této práce je zdokonalení nabíjení hradla tranzistoru. U stávajících konvenčních tranzistorů je, jak již bylo řečeno, jediný způsob pro úpravu spínacích a vypínacích časů budiče změna externího hradlového odporu a kapacity. Tyto úpravy však vedou na standardní optimalizační úlohu. V takovéto aplikaci pak není možné snížit současně vypínací ztráty i přepětí po vypnutí tranzistoru. Datový list budiče je uveden v seznamu literatury [10]

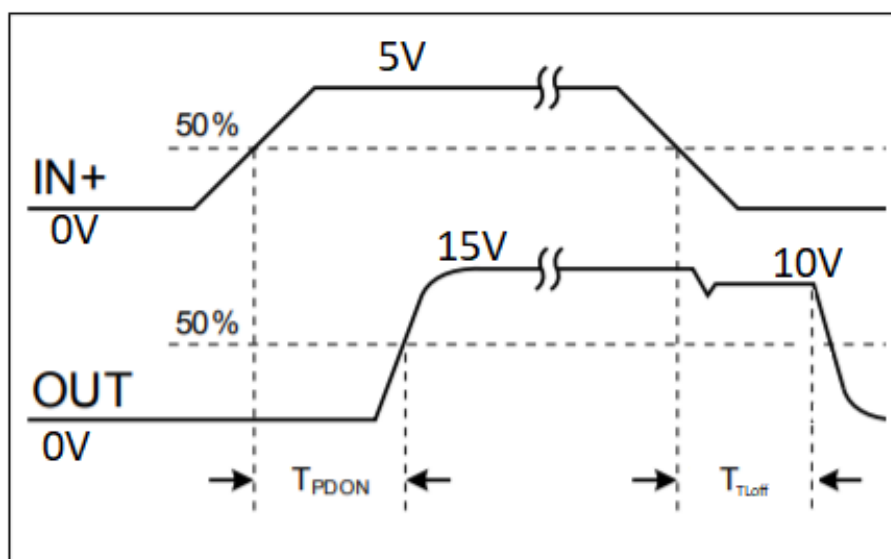
Pro zlepšení obou výše uvedených vlastností je proto potřeba navrhnout jiný, komplexnější způsob řízení tranzistoru. Pojdme se ve zkratce podívat, jaké novinky v oboru si připravily firmy, jež udávají trend v oblasti buzení tranzistoru.

3.1 Dvou-úrovňové vypnutí budiče společnosti Infineon

V roce 2014 vydala firma Infineon budič 1ED020I12FTA realizující funkci dvou-úrovňového vypnutí v každé periodě spínací frekvence. Ačkoliv se jedná o budič pro tranzistory IGBT, a není jej vhodné kvůli nízké odolnosti proti vysoké strmosti napětí použít při buzení SiC MOSFET, jedná se o nasazení nové technologie, která mne inspirovala při navrhování vlastního způsobu

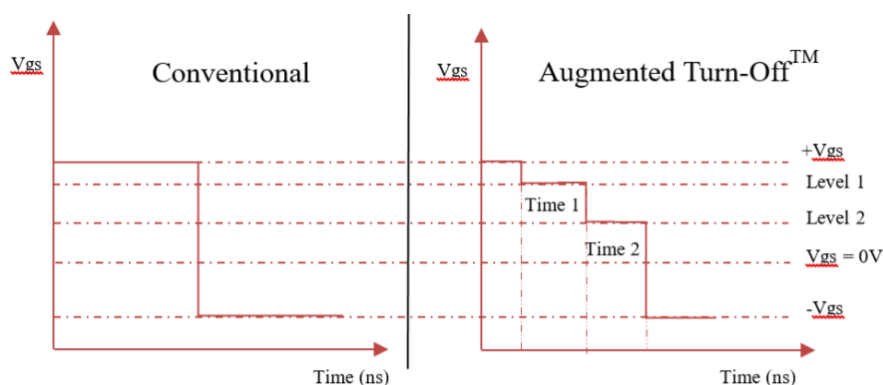
pokročilého vypínání.

Výše uvedené dvou-úrovňové vypnutí, je zde funkce, snižující přepětové špičky při rozepnutí tranzistoru ve zkratu. Tato funkce je sice aktivní v každé periodě, nicméně by neměla ovlivnit vodivostní ztráty tranzistoru v běžném pracovním bodě. Na obrázku 3.1 je znázorněn pokles řídicího napětí budiče po dobu T_{TLoFF} z běžných 15ti voltů, používaných u IGBT, na 10 voltů.



Obrázek 3.1: Znázornění průběhu napětí na hradle tranzistoru při použití budiče 1ED020I12FTA, obrázek převzat a upraven z [10].

Řídící napětí 10 voltů má pouze nepatrný vliv na úbytek napětí ve smyslu kolektor-emitor u IGBT při protékajícím proudem blízko nominálních hodnot tranzistoru. Nicméně, při zkratovaných výstupních svorkách poteče tranzistorem až desetinásobek nominální hodnoty proudu. Takovýto proud by na parazitních indukčnostech vyvolal vysoké přepětové špičky. Z tohoto důvodu je v závěrečné fázi, po obdržení signálu k vypnutí tranzistoru, sníženo řídicí napětí například na 10V, kdy vodivostním kanálem proteče pouze omezené množství náboje za čas. Tímto je prakticky omezen protékající proud například na polovinu. Toto má samozřejmě pozitivní vliv na přepětovou špičku po vypnutí zkratu. Úroveň sníženého napětí a doba setrvání v tomto stavu je individuálně nastavena dle požadavků aplikace. Změna této úrovně a doby je nastavována pomocí připojené Zenerovy diody a kondenzátoru.



Obrázek 3.2: Porovnání průběhů napětí na hradle tranzistoru pro konvenční a vylepšený budič. [1].

Driver	R _g (Ω)	ATO Settings	Overshoot (V)	Turn-on loss (mJ)	Turn-off loss (mJ)	Total Loss (mJ)
Conventional	5	N/A	283	0.62	1.40	2.02
AgileSwitch 62EM1	0.5	3.75V, 300ns	283	0.35	1.51	1.86
AgileSwitch 62EM1	0	4.5V, 400ns	286	0.28	1.28	1.56
Conventional	0.5	N/A	502	0.19	0.87	1.05

Obrázek 3.3: Porovnání spínacích, vypínacích ztrát a přepětí na silových elektrodách tranzistoru pro konvenční a vylepšené buzení firmy AgileSwitch.

těchto benefitů nelze dosáhnout současně, jelikož jsem nenašel prezentované průběhy, jež by to potvrdily. Takto významná redukce přepětí se zřejmě týká vypínání zkratového proudu. Dobré výsledky jsou dosaženy díky tříúrovňovému vypnutí hradla. Zkratový děj na silových svorkách měniče by měl být detekován až o 20% rychleji. Tabulka shrnující výsledky tohoto budiče je uvedena níže, na obrázku 3.3, taktéž převzata z literatury [1]. Výsledky zapsané v tabulce výše ukazují na úsporu spínacích ztrát o 8% pro stejně vysokou přepětovou špičku po vypnutí tranzistoru. Jedná se tedy o patrné zlepšení, oproti konvenčnímu řízení.

3.3 Návrh vlastního způsobu řízení

V této části se pokusíme navrhnout vlastní techniku buzení. Pro tyto účely využijeme identický model silového obvodu vč. tranzistoru. Veškeré související parametry budou zachovány. Dále upustíme od konvenčního řízení a navrhne pokročilejší budič, jež ho svými výsledky v jistých ohledech překoná. Budeme se samozřejmě dále zajímat zejména o vypínací ztráty a přepětovou špičku po vypnutí tranzistoru.

Pro návrh využijeme taktéž simulačního prostředí LTSpice, kde pro testování potenciálů uvažovaných metod zanedbáme veškeré parazitní vlastnosti součástek použitých k řízení.

Primárním cílem návrhu vlastního způsobu buzení bylo tranzistor rozepnout rychleji, zmenšit vypínací ztráty, ale zároveň nezvyšovat přepětí na silových elektrodách tranzistoru. Pro konvenční budič, ale i obecné, dynamické systémy druhého řádu se jedná o protichůdné parametry přechodového jevu. Pro získání pozitivních výsledků tedy nestačilo pouze upravovat strmost růstu napětí pro docílení optima, je zde potřeba změnit strukturu systému tvořeného budičem, tranzistorem a silovým obvodem.

Sekundárním cílem bylo sepnout tranzistor s nižšími spínacími ztrátami, případně pak s nižší proudovou špičkou tvořenou nábojem z výstupní kapacity tranzistoru.

■ 3.3.1 Definice požadavků na pokročilé vypnutí SiC MOSFET

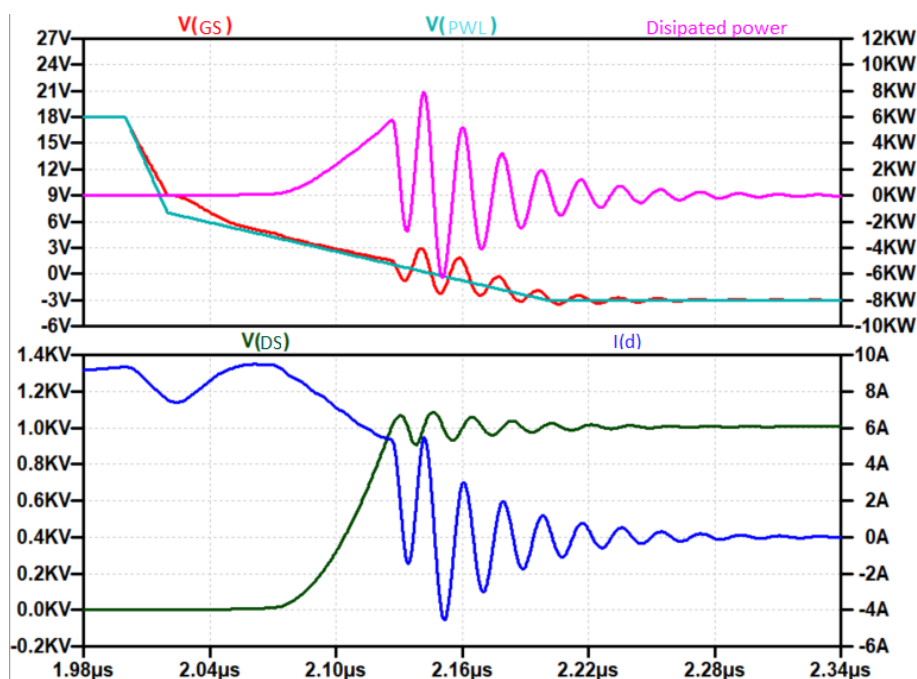
Nejprve je nutno definovat požadavky na průběh veličin měřených na tranzistoru v průběhu vypínání. V kapitole optimálního nastavení hradlového odporu a kapacity byl ve snaze snížit vypínací ztráty postupně snižován hradlový odpor, což jednoznačně vedlo k rychlejšímu vypnutí a snížení ztrát. Zmenšování odporu mezi hradlem tranzistoru a výstupem budiče dosahujeme rychlejšího vybíjení jeho hradla. Tímto je ovšem více vybuzen rezonanční obvod parazitní indukčnosti přívodů a výstupní kapacity tranzistoru. Hodnota napětí na svorkách drain - source, dále také velikost proudu, který čipem tranzistoru protéká kmitá, dokud není energie disipována na reálných částech impedance v daném obvodu.

Důležitým požadavkem pro rozepnutí tedy bylo, aby se v počáteční fázi hradlo rychle vybil na úroveň blízkou prahovému napětí tranzistoru. Po té by mělo vybíjení hradla zpomalit tak, aby se většina energie, jež je uložena v parazitních indukčnostech, disipovala ještě před úplným zavřením tranzistoru. Takto by mělo být docíleno snížení přepětí na silových elektrodách tranzistoru i přes redukci vypínacích ztrát.

3.3.2 Buzení hradla tranzistoru tvrdým zdrojem napětí

Prvotní myšlenkou pro definované vybíjení hradla bylo připojit na hradlo tvrdý zdroj napětí přes minimální externí odpor. Tomuto zdroji bychom pak definovali průběh výstupního napětí. Pro ověření této cesty byl v simulaci použit zdroj s definovaným průběhem napětí typu PWL (PieceWise Linear Function), jež v simulacím slouží pro tyto účely.

Do času 2000ns bylo hradlo tranzistoru nabit na 18V. Poté je zahájeno vybíjení až na hodnotu 7V (čas 2020ns). Dále je až do času 2200ns hradlo vybíjeno sestupnou hranou až na závěrné napětí tranzistoru -3V. Na obrázku 3.4 můžeme pozorovat, že v čase 2140ns došlo k nabití výstupní kapacity tranzistoru až na jeho ustálenou hodnotu. V tomto čase rovněž dojde k rozkmitání parazitního LC obvodu, což vede k velkým amplitudám proudu tekoucím přes výstupní kapacitu tranzistoru.



Obrázek 3.4: Průběh buzení tvrdým zdrojem napětí.

Jelikož i přes velice pomalou sestupní hranu hradlového napětí došlo k podkriticky tlumenému přechodovému jevu vzhledem k hodnotě $V(DS)$. Byly prováděny i další experimenty s PWL, nicméně ani při dalším zpomalování sestupné hrany hradlového napětí nebylo dosaženo dobrých výsledků. Taktéž byl upravován hradlový odpor, rovněž bez pozitivního výsledku.

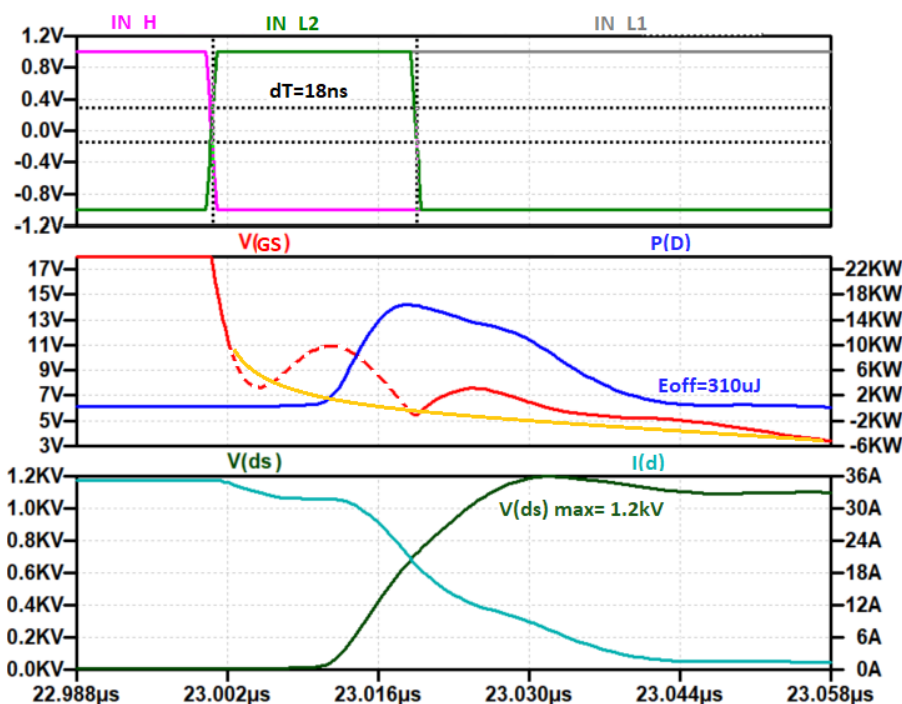
Při tomto typu buzení je sice parazitní LC člen v silovém obvodu rozkmitán jednotkovým skokem o menší strmosti, je ale velice špatně tlumen.

Při experimentování s tvrdým zdrojem napětí připojeném na hradlo byl detailně pozorován vliv Millerovy kapacity, přes kterou se náboj ze silového obvodu přesouvá napětovým děličem na hradlo tranzistoru i zpět. Tvrdý napětový zdroj sice vysokým proudem dorovná napětí na požadovanou hodnotu, ne však dokonale. Na interním hradlovém odporu pak vzniká úbytek napětí, jež je na obrázku 3.0.3 vidět jako rozdíl červeného a tyrkysového průběhu.

■ 3.3.3 Samo-stabilizační vlastnost unipolárního tranzistoru

Při provádění experimentů uvedených výše, byla pozorována samo-stabilizační vlastnost použitého SiC MOSFETu. Oscilace na výstupních svorkách tranzistoru opakovaně nabíjí a vybíjí samotné hradlo skrze Millerovu kapacitu. Vyšší hodnota napětí na hradle pak snižuje odpor tranzistoru. Snížení tohoto odporu pak znamená zvýšení hodnoty tlumení v pozorovaném RLC členu realizovaném silovým obvodem. Toto pak vede k rychlejšímu odeznění přechodového jevu. Detailní popis zpětnovazebního mechanismu je v [16]

Na průběhu ze simulace na obrázku 4.2 je v horní části vidět posloupnost signálů zapínající jednotlivé spínače S1, S2 a S3. V čase 23 μ s je vypnut horní spínač a sepnut spodní. Tímto je započata fáze rozepínání tranzistoru. V tomto čase je sepnut jak spínač S2, tak S3. Hradlo se nyní vybíjí paralelně přes odpory R2 a R3, výsledný externí vybíjecí odpor je tedy 3,3 Ohmů. Napětí na terminálu hradla tranzistoru pak velice rychle klesá až k hranici sedmi voltů, kdy je již odpor vodivého kanálu natolik velký, že je omezen protékající proud tranzistorem.



Obrázek 4.2: Znárodnění funkce vylepšeného budiče.

Na vstupu tranzistoru, i na hradlové cestě k budiči se vyskytuje parazitní sériová indukčnost, jež společně s kapacitou a odporem hradla tvoří jednoduchý sériový RLC obvod. Rychlá změna napětí na výstupu budiče je tedy následována odezvou systému druhého řádu, kdy se napětí hradla ustaluje relativně dlouhou dobu a sleduje přitom vybíjecí, klesající trend, vyznačený žlutou barvou.

Po uplynutí 18ti nano-sekund, nastaveným ve zdroji budící spínač S3, nastane rozepnutí spínače S3. V tomto čase se změní vybíjecí odpor z 3,3 na 10 Ohmů. Proud tekoucí z hradla tranzistoru do země rychle klesne. V tomto okamžiku je zároveň kvůli vysoké strmosti růstu napětí, ve smyslu drain - source, přesunut náboj skrz Millerovu kapacitu do hradla. Napětí na hradle proto krátce povyroste a vodivý kanál tranzistoru zůstává nadále pootevřen. V tomto čase tedy dojde ke zpomalení vypínání tranzistoru a k poklesu strmosti růstu napětí výstupních terminálech MOSFETu. Děj sice stále není

aperiodický, nicméně přepětí napěťový pře-kmit ve smyslu drain - source je velice uspokojivý.

Pro hlubší porozumění přechodovému ději na hradle SiC MOSFETu, je nutno podrobněji vysvětlit vztah svorkového napětí hradla, vůči neměřitelnému, internímu hradlovému napětí na oxidové vrstvě uvnitř čipu tranzistoru. Na vstupu hradla je dle datového listu interní odpor o velikosti 1.3 Ohmů. Parazitní indukčnost terminálů bohužel není vyčíslena. Dle naměřené strmosti růstu proudu do hradla byla vypočtená indukčnost asi 7 nH. Pro zobrazení reálného interního napětí oxidové vrstvy hradla byla na vstup připojena, z hlediska přechodového jevu zanedbatelná, indukčnost 100pH. Interní hradlové napětí je pak vypočteno následovně:

$$V_{GSint} = V_{GS} + \frac{L_p + L_{int}}{L_p} \cdot V_{Lp} + R_{Gint} \cdot i_G, \quad (4.1)$$

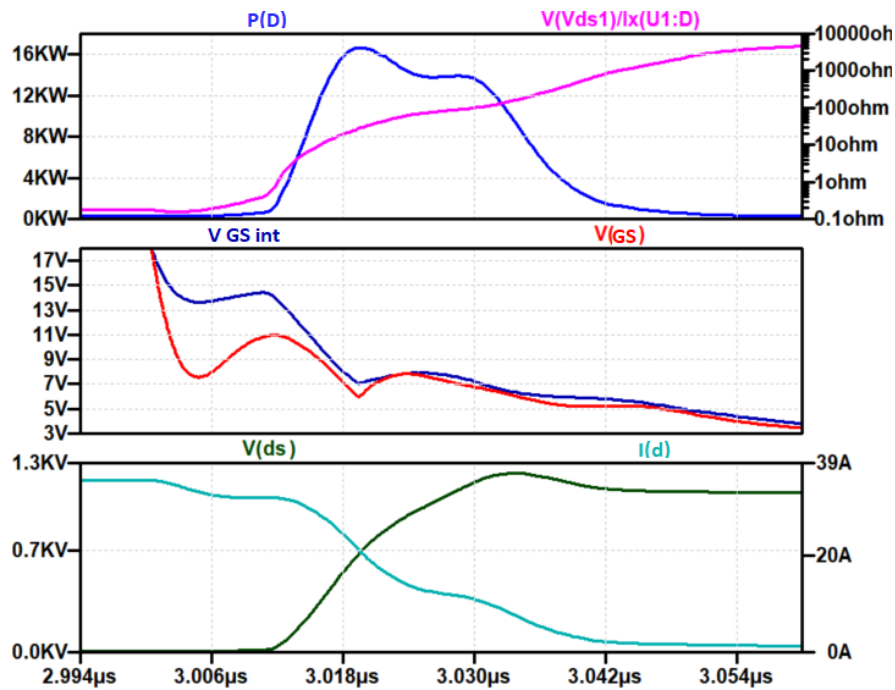
kde V_{GSint} je interní hradlové napětí, L_p je přidaná externí indukčnost o hodnotě 100pH, V_{Lp} je úbytek napětí na externí přídavné indukčnosti, L_{int} je interní indukčnost vodičů hradla, R_{Gint} je interní odpor hradla a i_G je proud tekoucí do hradla.

Interní indukčnost hradla je sice vypočtena relativně přesně, nicméně přesný model samotného tranzistoru nám není plně znám, jelikož je zašifrován z důvodu ochrany autorských práv výrobce. Průběh interního hradlového napětí je sice v průběhu vyobrazena, nemusí ale přesně odpovídat realitě. Na obrázku 4.3 je dále v logaritmicím měřítku zobrazen odpor vodivého kanálu tranzistoru. Pro pozorování dynamiky uvažovaného systému sestaveného z tranzistoru a silového obvodu můžeme schéma zjednodušit vyřazením komponent, jež jsou zanedbatelné z pohledu vlastní frekvence LC členu, tvořeného parazitní indukčností a výstupní kapacitou tranzistoru.

Filtrační kondenzátor s kapacitou 30uF se bude na frekvenci desítek MHz chovat jako zkrat a můžeme jej tedy zkratem nahradit. V obvodu nám dále zbyly parazitní odpory přívodů, jež dosahují maximálně desetin Ohmu, mohu je tedy taktéž zanedbat. Doba ustálení proudu zátěží, jež je tvořena odporem o hodnotě 27 Ohmů a indukčností s hodnotou 5 uH je $T_{load} = 2\pi \frac{L_{load}}{R_{load}} = 1,16\mu s$. Tudíž proud zátěží bude klesat mnohokrát pomaleji, než proud námi pozorovaným tranzistorem.

Zbývajícími prvky jsou parazitní indukčnosti a kapacity spodního a horního tranzistoru. Horní tranzistor je dokonale uzavřen a místo něj tedy figuruje pouze jeho substrátová dioda. Pokud bude v celém sledovaném časovém intervalu dioda ve vodivostním stavu, není třeba uvažovat výstupní kapacitu horního tranzistoru.

Při odeznívání podkriticky tlumeného přechodového jevu druhého řádu,



Obrázek 4.3: Průběh vypočteného interního hradlového napětí a odporu tranzistoru.

můžeme pozorovat proud spodním tranzistorem. Pokud je proud kladný (teče ve směru dolu), obvod je uzavřen přes tlumivku a odpor zátěže. Tlumivkou teče po dobu sledování díky velké časové konstantě vyšší proud, než silovými terminály spodního tranzistoru. Tento člen tedy neklade v cestě žádný odpor a mohu ho ve zjednodušeném dynamickém systému rovněž nahradit zkratem. Pokud je proud záporný (teče ve směru nahoru), je obvod uzavřen přes substrátovou diodu horního tranzistoru a je tedy taktéž nahraditelná zkratem. Samotný spodní tranzistor je nahrazen rezistorem. Na obrázku 4.4 je zobrazen zjednodušený dynamický model silového obvodu. Z mnohých vlastností zkoumaného dynamického systému mne zajímá zejména hodnota odporu R_1 , pro kterou bude odezva na jednotkový skok aperiodická.

Pro tyto účely postačí si nějakým způsobem vyjádřit přenos tohoto systému. Zkrat tlumivky L_1 se zemí nahradím zdrojem napětí (vstup). Pozorovat budu hodnotu napětí na kondenzátoru (výstup).

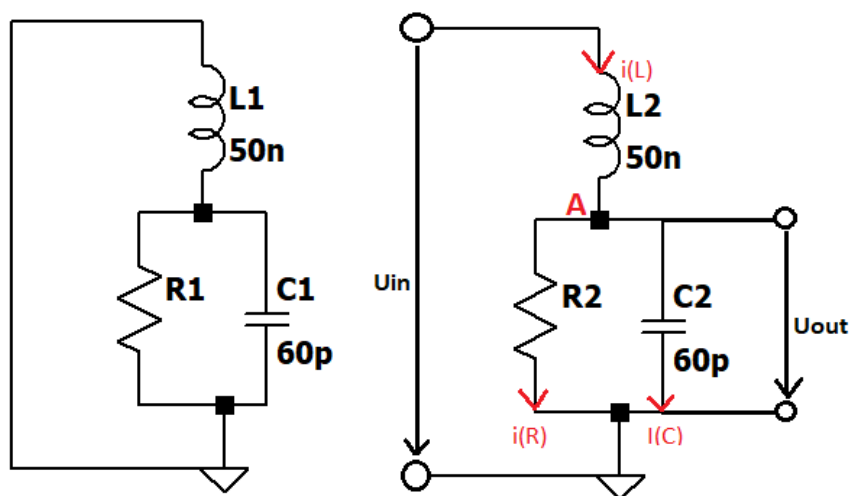
Pro řešení tohoto obvodu využiji například metodu uzlových napětí. Sestavím rovnici dle prvního Kirchoffova zákona

$$i(L) + i(R) + i(C) = 0. \quad (4.2)$$

Do rovnice výše si nyní dosadím potřebné proudy vyjádřené pomocí uzlového napětí $V(A)$.

$$\frac{\int (U_{in} - U_A)}{L} = \frac{dU_A}{dt} C + \frac{U_A}{R}. \quad (4.3)$$

Dále využiji Laplaceovy transformace a vyjádřím přenos vstupního napětí na



Obrázek 4.4: Zjednodušení dynamického systému silového obvodu (vlevo) a zakreslení sledovaných dynamických veličin (vpravo).

výstupní

$$H = \frac{1}{LC} \frac{1}{s^2 + \frac{s}{RC} + \frac{1}{LC}}. \quad (4.4)$$

Podívejme se nyní na charakteristický polynom odvozeného přenosu. Jelikož jsou veškeré koeficienty polynomu kladné, bude systém, dle očekávání, stabilní.

Odezva na jednotkový skok dynamického systému druhého řádu bude podkriticky tlumená pouze v případě, kdy má pozorovaný systém alespoň dva komplexně sdružené póly. V našem případě zjednodušeného systému druhého řádu by to znamenalo, že jediné dva kořeny charakteristického polynomu by byla komplexní čísla. Pojďme tedy zkoumat, pro jak velkou hodnotu odporu R bude diskriminant nabývat záporných hodnot.

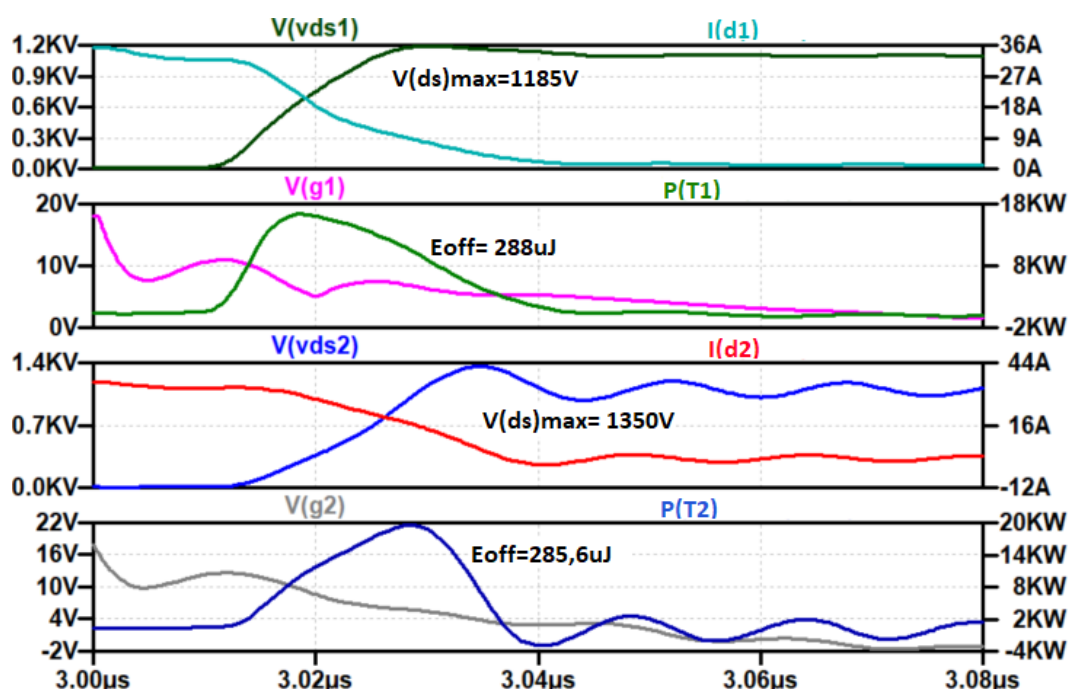
$$D < 0 \quad (4.5)$$

$$\frac{1}{R^2 C^2} < \frac{4}{LC} \quad (4.6)$$

$$R < \frac{1}{2} \sqrt{\frac{L}{C}}. \quad (4.7)$$

Po dosazení hodnoty kondenzátoru a induktoru do rovnice 3.7 vychází, že přechodový děj bude aperiodický pouze v případě, kdy je odpor tranzistoru menší, než cca 14,5 Ohmů. Tato hodnota odporu byla dále ověřena i experimentálně v simulaci. Byla zkoumána odezva systému na počáteční podmínky, jež byly $i_L(0) = 40A$ a $u_C(0) = 0V$. Odezva byla aperiodická pro $R < 15\Omega$.

Pro nulové přepětí na silových svorkách tranzistoru bychom tedy museli držet tranzistor v lineární oblasti, kdy bude jeho odpor asi 14.5 Ohmů po



Obrázek 4.5: Srovnání přepětí výstupního napětí tranzistoru při stejných vypínacích ztrátách. Vstupní napětí je 1100V. Tranzistor T1 je řízen nově vyvinutou metodou, T2 je buzen konvenčně.

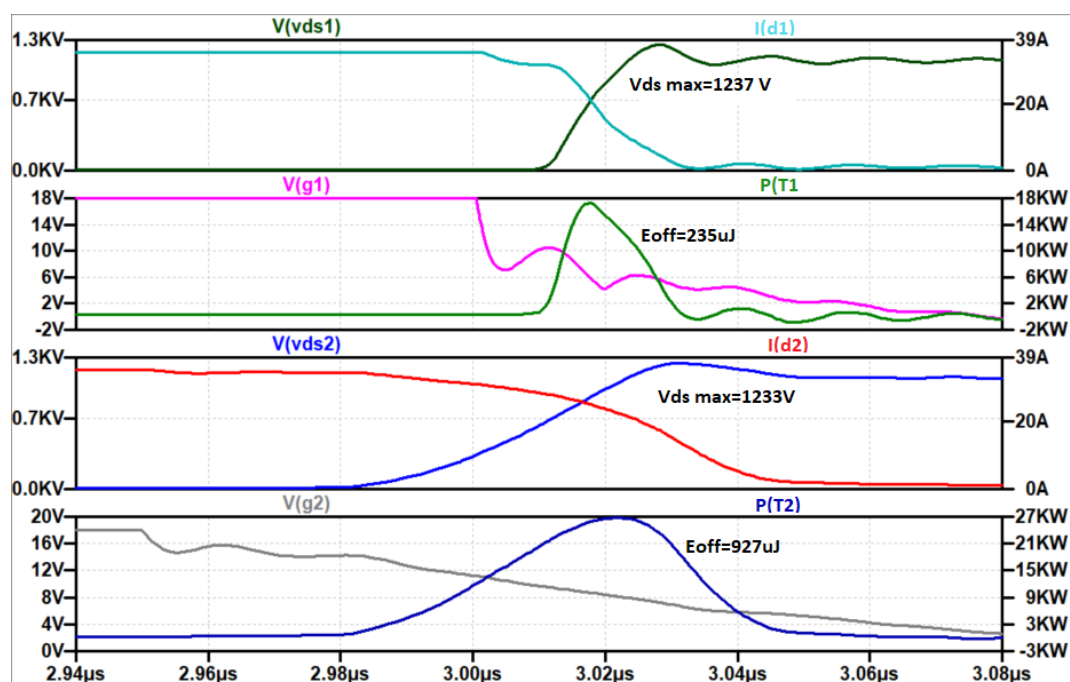
4.1.2 Porovnání vypínacích ztrát pro stejné přepětí na silových terminálech

Další srovnání obou metod buzení je na obrázku 4.6. V obou případech je externí hradlový kondenzátor 1nF. Vypínací odpor použitý v konvenčním modelu budiče je nastaven na 18 Ohmů. V námi navrženém způsobu buzení je využit externí hradlový odpor 3,4 Ohm po dobu zrychleného vypínání rovněž 18,5ns. Po vypršení této doby je pomocný spínač rozepnut a následuje druhá fáze vybíjení hradla tranzistoru přes zbývající odpor 10,6 Ohmů.

Pro velmi podobnou hodnotu přepětí na silových elektrodách tranzistoru jsme dostali vypínací ztráty 927μJ pro konvenční buzení a 235μJ pro vylepšené řízení tranzistoru. Jedná se o úsporu energie při vypnutí až o 74%.

Nově navržená metoda vypínání tranzistoru přináší v simulaci na dříve vytvořeném modelu vynikající výsledky. Kromě snížení přepětí, respektive redukce vypínacích ztrát je také patrný pozitivní vliv na elektromagnetickou kompatibilitu. Nutno podotknout, že doba sepnutí pomocného spínače byla nastavována vždy experimentálně. Pokud bychom nastavili hodnoty externích hradlových odporů a času pro zrychlené vybíjení hradla pevně, budič by nefungoval takto optimálně ve všech pracovních bodech.

Z výsledků, naměřených experimentálně, je patrné, že nejnižších vypínacích

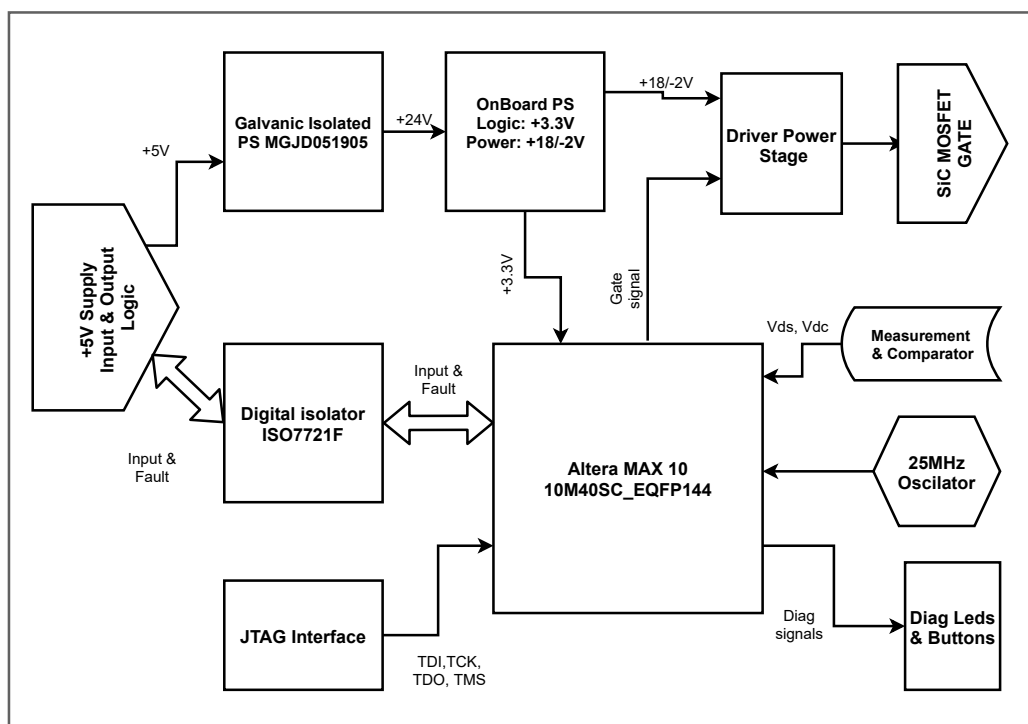


Obrázek 4.6: Srovnání vypínacích ztrát při stejném přepětí na silových elektrodách. Vstupní napětí je 1100V. Tranzistor T1 je řízen nově vyvinutou metodou, T2 je buzen konvenčně.

ztrát dosáhneme při rozepnutí pomocného spínače ve chvíli, kdy napětí ve smyslu drain - source uvažovaného tranzistoru dosáhne cca 60 - 85% vstupního napětí výkonového půl-můstku. Pokud chceme pomocný spínač vypínat pro takovéto napětí, je třeba pro každý pracovní bod tranzistoru definovat správnou dobu zrychleného vybíjení hradla. S rostoucím proudem tranzistorem tento čas klesá a s vyšším vstupním napětím tento čas roste. Při nesprávně nastaveném čase, byť jen o jednotky nanosekund nedojde k optimálnímu vypnutí tranzistoru. Při příliš krátkém čase jsou patrné vyšší vypínací ztráty a naopak při zbytečně dlouhém čase je pozorováno vysoké přepětí na silových terminálech tranzistoru. V druhé řadě je celý dynamický systém vybuzen větší energií a kmity podkriticky tlumeného děje druhého řádu dosahují vyšších hodnot, než u konvenčního buzení.

4.2 Praktická realizace budiče

Z naměřených dat je patrné, že vypínat pomocný vybíjecí spínač, je vhodné pro každý pracovní bod tranzistoru v jiném čase. Tento čas je závislý jak na hodnotě napětí ve smyslu drain - source, tak na proudu tekoucím tranzistorem. Tento pomocný spínač je proto nutné aktivně řídit každou periodu spínací



Obrázek 4.7: Blokové schéma navrženého zařízení.

frekvence. Na obrázku 4.7 je patrné blokové schéma navrženého budiče. Hlavní logické obvody jsou syntetizované ve hradlovém poli Intel/Altera Max 10, které bylo vybráno pro možnost využití interního fázového závěsu s výstupní frekvencí až 400MHz. Ačkoliv uvažovaná logika integrovaná do hradlového pole není náročná ani na množství logických členů, ani na počet vstupních výstupních pinů, bylo zvoleno poměrně velké pouzdro EQFP144, jež je pro návrh prototypu dostačující. Dostupnost této součástky v menším provedení je velice špatná a pro sériovou výrobu takového budiče by bylo nutné použít miniaturní pouzdro VBGA36 s roztečí 0,5mm mezi jednotlivými kuličkami. Firma, jež bude DPS vyrábět, bohužel nedisponuje potřebnou technologií.

V blokovém schématu se dále vyskytuje galvanické oddělení napájecího zdroje s $CMTI \geq 200kV/us$, jež je dostatečná hodnota pro naši aplikaci. Dále je zde použit digitální oddělovač ISO7721F s typickou hodnotou $CMTI = 100kV/us$. Na desce se též nachází zdroj nízkého napětí 3.3V pro napájení:

- Výstupních bran hradlového pole
- Fázového závěsu pro generování vysokofrekvenčních hodin
- Interního regulátoru pro napájení logických obvodů

Dále je zde zdroj na +18V, respektive -2V vztaženého k terminálu source buzeného SiC MOSFETu. Na desce nechybí ani připojení rozhraní JTAG vč. ESD ochrany vstupů hradlového pole, externí oscilátor na frekvenci 25MHz, diagnostické tlačítka a led diody.

V neposlední řadě je zde výstupní výkonová část přímo budící hradlo použitého SiC tranzistoru, složená z koncového stupně 1ED7512G a ze čtveřice pomocných nízkonapětových Si MOSFETů zapojených paralelně pro lepší proudovou zatížitelnost. Poslední použitou součástí je měření výstupního napětí SiC MOSFETu a vstupního napětí uvažovaného půl-můstku. Tyto dva kanály jsou přes napětovou děličku připojeny k vysokorychlostnímu komparátoru ADCMP553BRMZ.

4.3 Dva rozdílné přístupy k řízení pomocného vybíjecího spínače

Prvním způsobem řízení pomocných vybíjecích spínačů je pomocí zpětné vazby.

Navržený budič by měřil velikost napětí na výstupních svorkách SiC tranzistoru a na silovém vstupu uvažovaného půl-můstku. Naměřené hodnoty by porovnával komparátorem a při dosažení dříve uvedených, například 70ti procent vstupního napětí, by poslal signál k vypnutí pomocných vybíjecích spínačů.

Tato metoda je velice náročná na velikost propagačního zpoždění všech součástí uvažovaného zpětnovazebního systému. Níže jsou uvedeny veškeré potřebné součásti a velikost zpoždění, jež jejich zapojení přidává.

- Měřicí kanál V_{DS} , asi 1-2ns
- Vysokorychlostní komparátor, 0.5ns
- Vstup do hradlového pole, 1.811ns
- Zpoždění způsobené synchronní logikou, čekání na náběžnou hranu hodin až 2.5ns
- Výstup z hradlového pole, 1.117ns
- Propagační zpoždění T_{D-OFF} a vypínací doba T_f pomocných vybíjecích tranzistorů BSD235NH dohromady 5.7ns

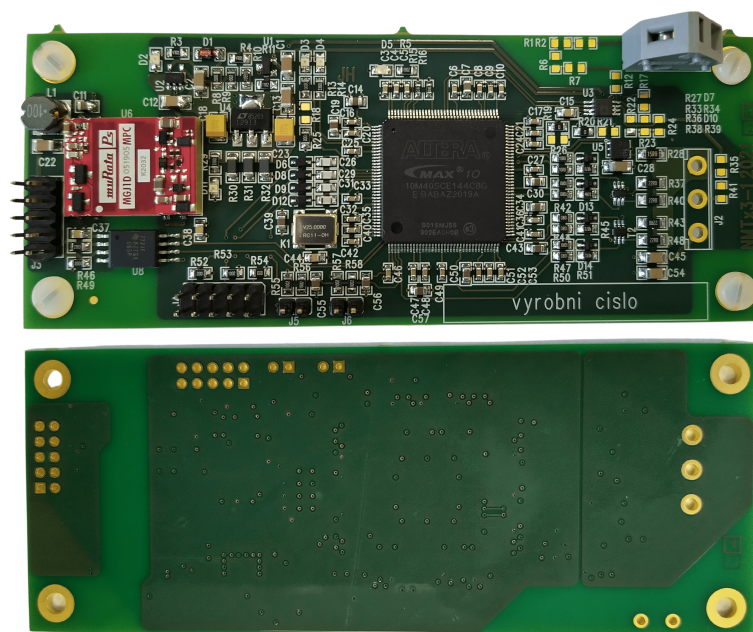
Veškeré uvedené součástky byly vybrány kvůli minimálnímu propagačnímu zpoždění, rychlejší se buďto nedělají, nebo nejsou v aktuální době dostupné. Celkové, maximální propagační zpoždění celé smyčky je rovnou součtu výše uvedených hodnot a činí zhruba 13ns. Jedná se o velice nízkou hodnotu, nicméně pro zpětnovazební zapojení v námi vytvořené aplikaci je stále zcela nevyhovující. Za předpokladu, že bude zpětnovazební systém reagovat na napětí ve smyslu drain - source buzeného SiC MOSFETu, měla by se hodnota propagačního zpoždění uvedené smyčky pohybovat do několika jednotek nanosekund.

Druhým způsobem, je nastavení času, po který bude pomocný tranzistor sepnut. Tuto konfiguraci je potřeba provést ještě před zahájením vypínacího děje. Pro ověření účinnosti navržené metody řízení je možné předem nastavit určitý pracovní bod, po té experimentálně naladit čas, který je neoptimálnější z hlediska vypínacích ztrát i přepětí na silových terminálech hlavního tranzistoru. Jelikož využíváme globální hodiny s frekvencí 400MHz, je možné nastavovat uvedený čas v diskrétním kroku 2.5 nanosekund, jež může být pro dosažení nejlepších výsledků nedostatečné.

Tato metoda je dále špatně použitelná v reálné aplikaci, kdy se v čase mění jak vstupní napětí, tak výstupní proud měniče. Propagační zpoždění navržených součástek je pro tento způsob řízení dostatečně nízké a bude tedy použit pro ověření potenciálu navržené metody buzení SiC tranzistoru.

4.4 Návrh schématu a layoutu DPS

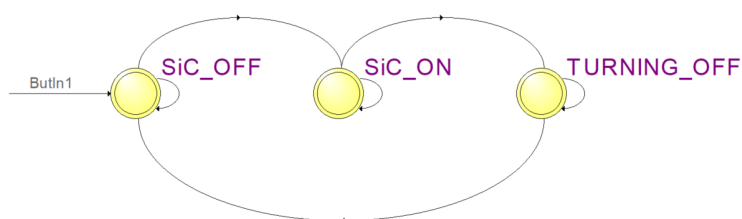
Pro uvedený blokový diagram a vybrané součástky bylo nakresleno schéma a následně i navrhnutá čtyřvrstvá deska plošného spoje. Byl zde využíván nástroj PADS od Mentor Graphics. Navržená DPS byla odeslána do výroby a následně mojí osobou osazena vybranými součástkami. Fotografie výsledného zařízení je na obrázku 4.8. V levé části se nachází galvanická oddělení napájecího zdroje a logických signálů. Mezi hradlovým polem a galvanickým oddělením se nachází oscilátor a blízko nad ním napájecí zdroj s hodnotou výstupního napětí +3.3V pro napájení výstupní brány, fázového závěsu a interní logiky. Dále je zde zdroj řídicího napětí tranzistoru +18/-2V vůči terminálu source buzeného tranzistoru.



Obrázek 4.8: Fotografie horní a spodní strany vyrobeného budiče.

4.5 Oživení budiče a syntéza logických obvodů

Následně byla ve vývojovém prostředí Quartus Lite 15.1 v jazyku VHDL zkompilována logika celého inteligentního budiče. Hlavním zdrojem hodinového signálu je výstup z fázového závěsu na frekvenci 400MHz. Na tomto kmitočtu běží synchronně veškeré logické obvody uvedeného designu. Je zde implementovaný jednoduchý stavový automat, jež řídí výkonovou část budiče. Diagram automatu je na obrázku 4.9.



Obrázek 4.9: Diagram stavového automatu řídící buzení tranzistoru.

Pojďme si nyní krátce vyjmenovat význam jednotlivých stavů a podmínky přechodu do následujícího stavu.

- Stav "Sic Off"

V tomto stavu je hlavní tranzistor vypnut. Výstup hradlového pole na koncový stupeň budiče je v logické '0', pomocné vybíjecí tranzistory jsou rovněž vypnuté. Po detekci logické '1' na vstupu budiče je stavový automat překlopen do následujícího stavu.

- Stav "Sic On"

Po přechodu do tohoto stavu je výstup pole na koncový stupeň budiče v logické '1', výkonový tranzistor je sepnut a stavový automat následně čeká na pokyn k vypnutí, jež je interpretován logickou '0' na vstupu budiče. Po detekci požadované úrovně je stav automatu změněn na stav "TURNING OFF". Synchronně s přepnutím stavu je rovněž stažen výstup hradlového pole na koncový stupeň budiče do logické '0'. Dále jsou sepnuty pomocné vybíjecí hradlové tranzistory na předem definovanou dobu.

- Stav "Turning Off"

V posledním stavu je zrychleně vybíjeno hradlo silového tranzistoru pomocnými tranzistory. Po uběhnutí předem stanovené doby jsou pomocné spínače rozepnuty a stavový automat je opět překlopen do prvního stavu.

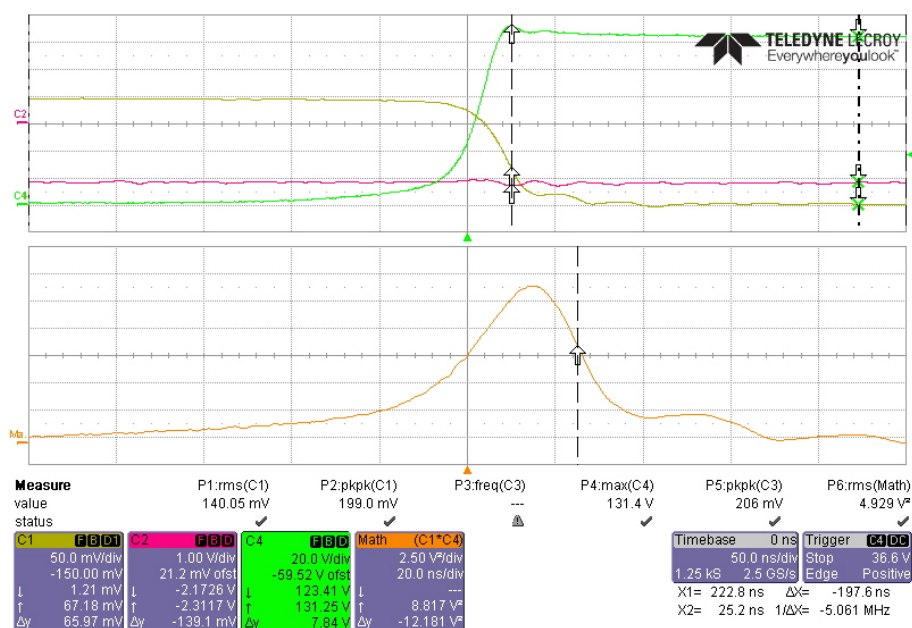
4.6 Otestování nové metody buzení tranzistoru na reálném silovém obvodu

Tato část je věnována ověření funkčnosti vyvinuté metody v praxi. Vyrobený budič byl připojen k již dříve vyrobenému přípravku. V první řadě byla testována funkčnost zařízení na nízkém napětí. Při patřičných úpravách kódu VHDL bylo možné výrobek testovat i v módu běžného, konvenčního budiče.

Zařízení je napájeno vstupním napětím 120V, připojená zátěž má hodnotu 13 Ohmů a při sepnutí jí protéká proud 9A. Průběh důležitých veličin je na obrázku 4.10. Zelná barva reprezentuje napětí na silových elektrodách tranzistoru, žlutá je proud silovými terminály, červená je napětí řídicího signálu hradel pomocných vybíjecích tranzistorů. Oranžová barva reprezentuje výkon disipovaný na tranzistoru, jedná se o výstup matematické funkce součinu osciloskopu Lecroy. Proud je měřen Rogowského cívkou, jež má zesílení 20mV/A. Měřítka na obrázku z osciloskopu je 50mV, jeden dílek je tedy roven 2,5A.

Budič je v konvenčním módu, pomocné, vybíjecí tranzistory jsou deaktivovány. Výkonový tranzistor je na začátku průběhu plně sepnutý a protéká jím maximální proud asi 10 A. Při vypnutí je patrná přepěťová špička 7,84 V. Měřicí funkce P6 počítá efektivní hodnotu výkonu pro 500ns dlouhý záznam

4. Inteligentní vypínání tranzistoru pomocí dvou hradlových odporů



Obrázek 4.10: Průběh měřených veličin v režimu konvenčního buzení tranzistoru.

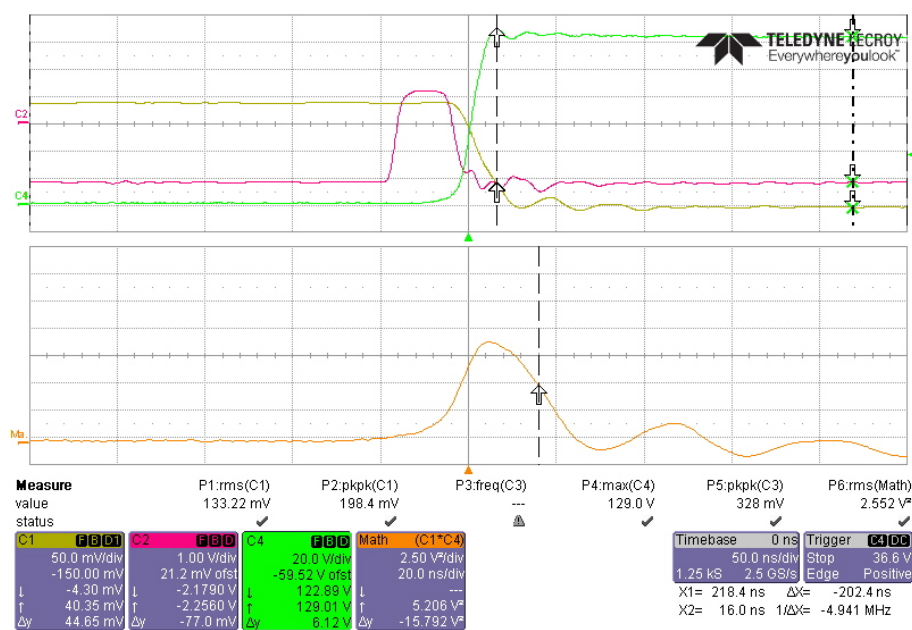
osciloskopu. Vynásobením této hodnoty zesilujícím koeficientem proudové sondy získáme výkon disipovaný na tranzistoru. Vypínací energii vypočteme vynásobením tohoto výkonu časem viz

$$E_{OFF} = \frac{P_{SW-RMS} \cdot 500 \cdot 10^{-9}}{0,02} = \frac{4,292 \cdot 500 \cdot 10^{-9}}{0,02} = 123 \mu J. \quad (4.8)$$

Vypočtené vypínací ztráty vycházejí 123 uJ.

Na obrázku 4.11 je zobrazen průběh získaný při vypínání tranzistoru nově navrženou metodou. Pomocné vybíjecí tranzistory byly sepnuté právě 11 period hlavního hodinového signálu, tj. 27,5 ns. Pro stejný pracovní bod jsme zde dosáhli snížení pře-kmitu na 6,12 V. Vypočtené ztráty disipované na čipu tranzistoru jsou 64 uJ. Jedná se o mírné zlepšení napětového překmitu a o výrazné zmenšení vypínacích ztrát současně.

4.6. Otestování nové metody buzení tranzistoru na reálném silovém obvodu



Obrázek 4.11: Průběh měřených veličin v režimu zrychleného vypínání.

Jelikož je minimální časovací krok posíleného vybíjení hradla 2,5ns, není možné dosáhnout tak dobrých výsledků, jako v simulaci.

Při testování na vysokém napětí 1100V se vyskytlo mnoho problémů. Největší problém byl s měřením signálů přímo připojených k hradlovému poli. Na svorky napěťové sondy se indukovalo rušení, jež způsobovalo zarušení celého hradlového pole, které přestalo fungovat správně. Budič v takovéto situaci generoval falešné náběžné a sestupné hrany od vstupního logického signálu budiče. Stavový automat pak řádně nefungoval a dále generoval spínání na velmi vysokých frekvencích.

Kapitola 5

Závěr

V rámci diplomové práce byla vybrána typická aplikace výkonového půlmůstku tvořeného dvojicí tranzistorů SiC MOSFET. Pro zvolený silový obvod byl vytvořen přípravek umožňující precizně změřit všechny klíčové veličiny související se spínání výkonových tranzistorů. V simulačním prostředí LTSpice byl na základě naměřených dat vytvořen přesný model zahrnující nejdůležitější parazitní parametry obvodu. Tímto bylo umožněno uskutečnit i takové experimenty, jež by byly v laboratoři jen těžko proveditelné.

Pro vybranou aplikaci drážního průmyslu bylo definováno optimální nastavení konvenčního budiče, což ve zkratce znamená minimalizovat spínací a vodivostní ztráty disipované na čipu a zároveň s dostatečnou rezervou nepřekročit maximální blokuující napětí tranzistoru. Chování takto buzeného SiC MOSFETu bylo následně úspěšně validováno.

Hlavním cílem diplomové práce bylo navrhnout metodu řízení tranzistoru, jež dostatečně překoná konvenční způsob. Při studování již používaných technik pokročilého spínání tranzistorů, byla důsledně prozkoumána metoda využívaná budiči uvedenými na trh firmou AgileSwitch. Výsledky prezentované v prospektech, jež společnost vydala, bohužel nebyly přímo potvrzeny v žádném z uvedených grafů. Proto se domnívám, že tento způsob pokročilého řízení nedosahuje současně významného poklesu spínacích ztrát a přepětových špiček po vypnutí tranzistoru.

S pomocí vytvořeného modelu byla vyvinuta nová metoda řízení unipolárních SiC tranzistorů, s důrazem kladeným na optimalizaci spínacích ztrát a přepětí po vypnutí tranzistoru. Odlišnost od konvenčního způsobu buzení spočívá v měnícím se externím hradlovém odporu během procesu vypínání

tranzistoru. Přidáním pomocného vybíjecího spínače bylo možné měnit parametry charakteristického polynomu přenosové funkce a v důsledku tak ovlivnit průběh odezvy systému. Změnou hodnoty odporu tranzistoru v sepnutém stavu je zvětšen poměrný útlum přenosové funkce, zbylé parametry jsou zachovány.

Vypnout pomocný vybíjecí spínač se ukázalo být vhodné po dosažení cirká 60 % až 80 % ustálené hodnoty (tzn. napájecího napětí). Inicializaci rozepnutí lze realizovat buďto zpětnovazebně vzhledem k výstupnímu napětí a nebo pouze na základě času (přímo-vazebně). Pro zpětnovazební metodu je nutné dostatečně rychle porovnávat napětí ve smyslu drain source s předem určenou referenční hodnotou.

Obě metody by bylo čistě teoreticky možné hardwarově realizovat dvěma způsoby. Prvním řešením je fixní struktura navržená z diskretních analogových a digitálních součástek. Druhá možnost je integrovat maximální počet elementů do programovatelného logického obvodu. Ani jedna z uvedených variant bohužel není v praxi použitelná pro řízení pomocného vybíjecího tranzistoru zpětnovazebně a to kvůli velkému celkovému propagačnímu zpoždění použitých součástek. V důsledku toho bylo nutné se uchýlit k řízení čistě na základě časového intervalu. Při použití programovatelného logického obvodu je zřejmé, že nastavit požadovaný čas bude možné pouze v určitých diskretních krocích. Avšak i při použití čistě analogových komponent nedokážeme vzhledem k toleranci součástek pro takto malé časové úseky nastavit interval přesně. Díky výhodám plynoucím z možnosti kdykoliv upravit implementovaný design byla vybrána realizace využívající hradlové pole.

Zvolená metoda časového řízení sama o sobě nezohledňuje změnu pracovního bodu tranzistoru. Při zvýšení vstupního silového napětí je nutno přednastavený časový interval zvětšit, stejně tak jako při poklesu proudu tekoucím tranzistorem. Při měření pracovních veličin by však nebyl problém správnou časovou konstantu pro vypnutí pomocného vybíjecího tranzistoru nastavit. Určení adekvátní hodnoty není předmětem této práce. Pro raný vývoj budiče byla tato konstanta nastavována experimentálně. Její určení nebylo cílem této práce, ale bude předmětem dalšího výzkumu.

Z hlediska dimenzování součástek by postačovalo takové nastavení budiče, které sníží ztráty právě pro nejvyšší pracovní proud měniče. Tomuto požadavku by mohlo vyhovět i fixní nastavení časového intervalu.

Výsledky práce ukazují, že spínací ztráty byly při srovnatelných hodnotách ostatních kvalitativních parametrů (zejména napěťového překmitu) omezeny

až o 74 %. Stejně tak, pro minimalizaci napěťového překmitu, při srovnatelných vypínacích ztrátách, byla zredukována maximální hodnota přepětí na výstupních svorkách tranzistoru až o 66 % v případě simulace. V reálné hardwarové implementaci jsme sice naměřili menší redukci vypínacích ztrát a to až o 48%. Pro takto zmenšené vypínací ztráty jsme dosáhli snížení přepětí o 22%. Toto činí významný posun oproti konvenčnímu přístupu k buzení tranzistoru.

Komplikace a náklady přidáním samotného pomocného vybíjecího tranzistoru a k němu příslušného rezistoru jsou minimální. Podstatným prvkem co do složitosti a nákladnosti budiče je řídicí logika. V konstrukci konvenčních budičů je možné použít k tomu navržený dedikovaný čip, který výrazně snižuje cenu a zvyšuje spolehlivost zařízení. U prototypu nebylo možné použít klasický postup, tedy zahrnout veškerou logiku včetně koncového stupně do dedikovaného čipu. Proto je cena prototypu zařízení významně vyšší a robustnost menší. Což nijak nevypovídá o nákladech a spolehlivosti v případě velkosériové výroby. Nasazení vyvinutého budiče bez dedikovaného čipu by se ekonomicky vyplatilo spíše pro měniče vysokých výkonů, kde jsou použity poměrně drahé SiC MOSFET dimenzované na proud v rozmezí 100 - 1000 A.

Zmenšení spínacích ztrát znamená zvýšení účinnosti měničů napětí, respektive při jejím zachování můžeme zvýšit provozní spínací frekvenci, což jednoznačně vede k ekonomickým úsporám při návrhu energetických prvků obvodu. Jedná se zejména o indukční sety, transformátory a kondenzátorové filtry. Zmenšení časových konstant filtrujících prvků regulované soustavy vede ke zrychlení odezvy regulátoru.

Navržená metoda a její hardwarová realizace poskytuje mnoho prostoru pro další vylepšení. Ohledně inovace prototypu budiče je možné využít rychlejší hradlové pole s vyšší výstupní frekvencí fázového závěsu a zmenšit tak minimální diskretní krok ve volbě potřebného časového intervalu. Využití jiného typu hradlového pole by otevřelo možnost aplikovat měření výstupních veličin tranzistoru integrovaným analogově-digitálním převodníkem, což by, dle pracovního bodu tranzistoru, umožnilo měnit dobu sepnutí pomocného vybíjecího spínače v každé periodě. Tato inovace by nicméně vyžadovala stanovení funkce definující optimální vypínací čas pro většinu uvažovaných pracovních bodů. Veškerá neoptimální sepnutí by neměla vést k navyšování přepěťových špiček, ale naopak ke zvýšení ztrát, aby nedošlo k poškození buzených tranzistorů.

Další navrhované vylepšení je způsob adaptivního řízení, jež by spočívalo v implementaci učícího se algoritmu, který by sám během několika period zjistil, jaká je vhodná hodnota času pro zrychlené vypínání tranzistoru. Budič by sice vypnul několik period neoptimálně z hlediska spínacích ztrát, v ostatních

periodách spínací frekvence by ovšem velké množství energie uspořil, což by vedlo k výborným výsledkům.

V poslední řadě by bylo vhodné více optimalizovat rozmístění jednotlivých funkčních bloků na desce plošného spoje, zlepšit tím elektromagnetickou odolnost citlivého hradlového pole a zvýšit tak robustnost zařízení. Již zmiňovaná integrace veškerého hardwaru do jednoho zákaznického obvodu by ve finále poskytovala výhody spojené s lepší robustností zařízení i menší pořizovací cenou budiče.



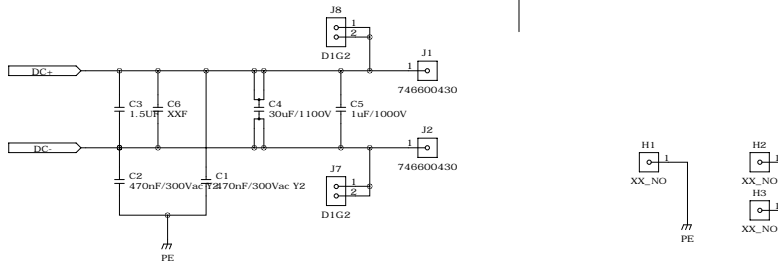
Literatura

- [1] AgileSwitch. *Silicon Carbide MOSFETs - Handle with Care*, 7 2018. Rev. 1.
- [2] Alpha and Omega Semiconductors. *Power Mosfet Basic*. Rev. 1.
- [3] T. Ayalew, Jong-Mun Park, A. Gehring, Tibor Grasser, and Siegfried Selberherr. Modeling and simulation of sic mosfets. 11 2014.
- [4] Michael Barnes, Ewart Blackmore, Gary Wait, J. Lemire-Elmore, B. Rablah, G. Leyh, M. Nguyen, and C. Pappas. Analysis of high power igbt short circuit failures. volume 33, pages 424– 428, 06 2004.
- [5] Reinhold Bayerer and Daniel Domes. Parasitic inductance in gate drive circuits. 05 2012.
- [6] Lorenzo Ceccarelli, Paula Diaz Reigosa, Francesco Iannuzzo, and F. Blaabjerg. A survey of sic power mosfets short-circuit robustness and failure mode analysis. *Microelectronics Reliability*, 76-77, 07 2017.
- [7] Ilyas Dchar, Marion Zolkos, Cyril Buttay, and Hervé Morel. Robustness of sic mosfet under avalanche conditions. In *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 2263–2268, 2017.
- [8] Český normalizační institut. *Drážní zařízení - Napájecí napětí trakčních soustav*, 4 1998. Rev. 1.
- [9] GeneSiC Semiconductor. *G2R120MT33J 3300 V 120mOhm SiC MOS-FET*, 5 2020. Rev. 21.
- [10] Infineon. *1ED020I12FTA*, 4 2016. Rev. 3.

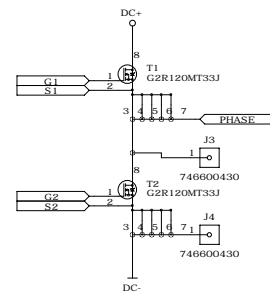
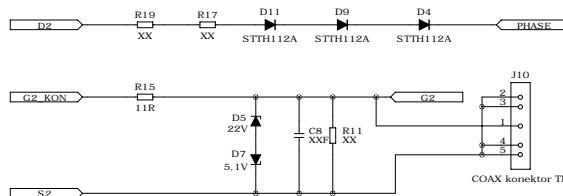
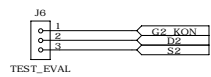
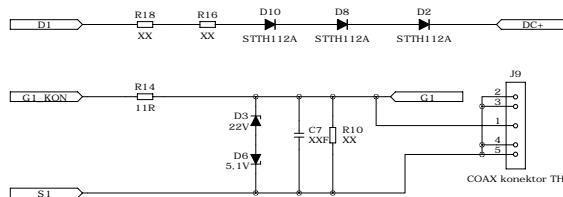
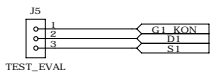
- [11] Infineon. *AN2020-05 EVAL-1ED3491Mx12M (1ED-X3 Analog)*, 5 2020. Rev. 1.
- [12] Haoze Luo, Nick Baker, Francesco Iannuzzo, and F. Blaabjerg. Die degradation effect on aging rate in accelerated cycling tests of sic power mosfet modules. *Microelectronics Reliability*, 76-77, 07 2017.
- [13] ONSem. *IGBT Technologies and Application Overview: How and When to Use an IGBT*, 9 2018. Rev. 1.
- [14] International Rectifier Vrej Barkhordarian. *Power Mosfet Basisc*, 2001.
- [15] Jiawei Wang. A comparison between si and sic mosfets. *IOP Conference Series: Materials Science and Engineering*, 729:012005, 02 2020.
- [16] Shan Yin, Pengfei Tu, Peng Wang, TSENG Jet, Chen Qi, Xiaolei Hu, Michael Zagrodnik, and Rejeki Simanjorang. An accurate subcircuit model of sic half bridge module for switching loss optimization. *IEEE Transactions on Industry Applications*, PP:1–1, 04 2017.



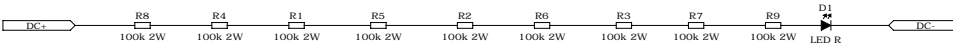
Příloha A



Napojení na NBU

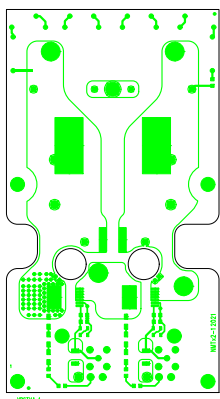


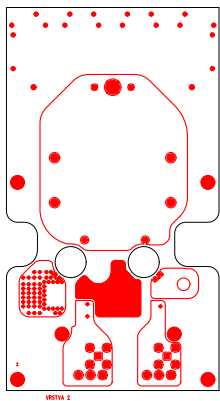
Výbijecí rezistory

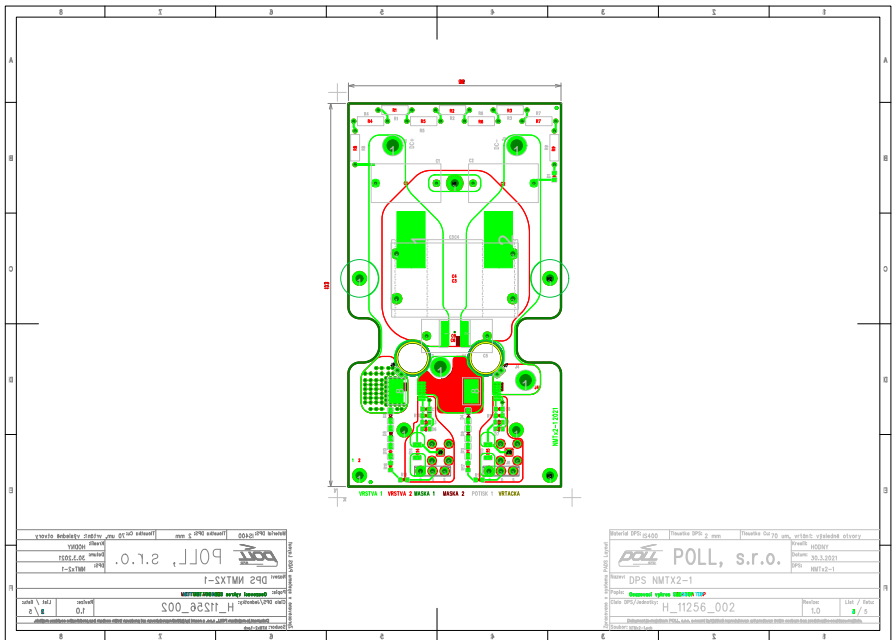


Zpracováno v systému PADS Logic

POLL, s.r.o.		Kreslil: HODNY
Datum: 30.03.2021		PS: NTMx2-1
Název: DPS NMTx2-1		
Popis: SILOVINA		
Číslo schématu: H_11256_001	Revize schématu: 1.0	List / listů: 1 / 1
<small>Dokument je majetkem POLL, s.r.o. a nesmí být jakkoli reprodukován ani předáván třetím osobám bez předchozího písemného souhlasu. Součást: H_11256_001 1-0 NMTx2-1 Schema.sch</small>		

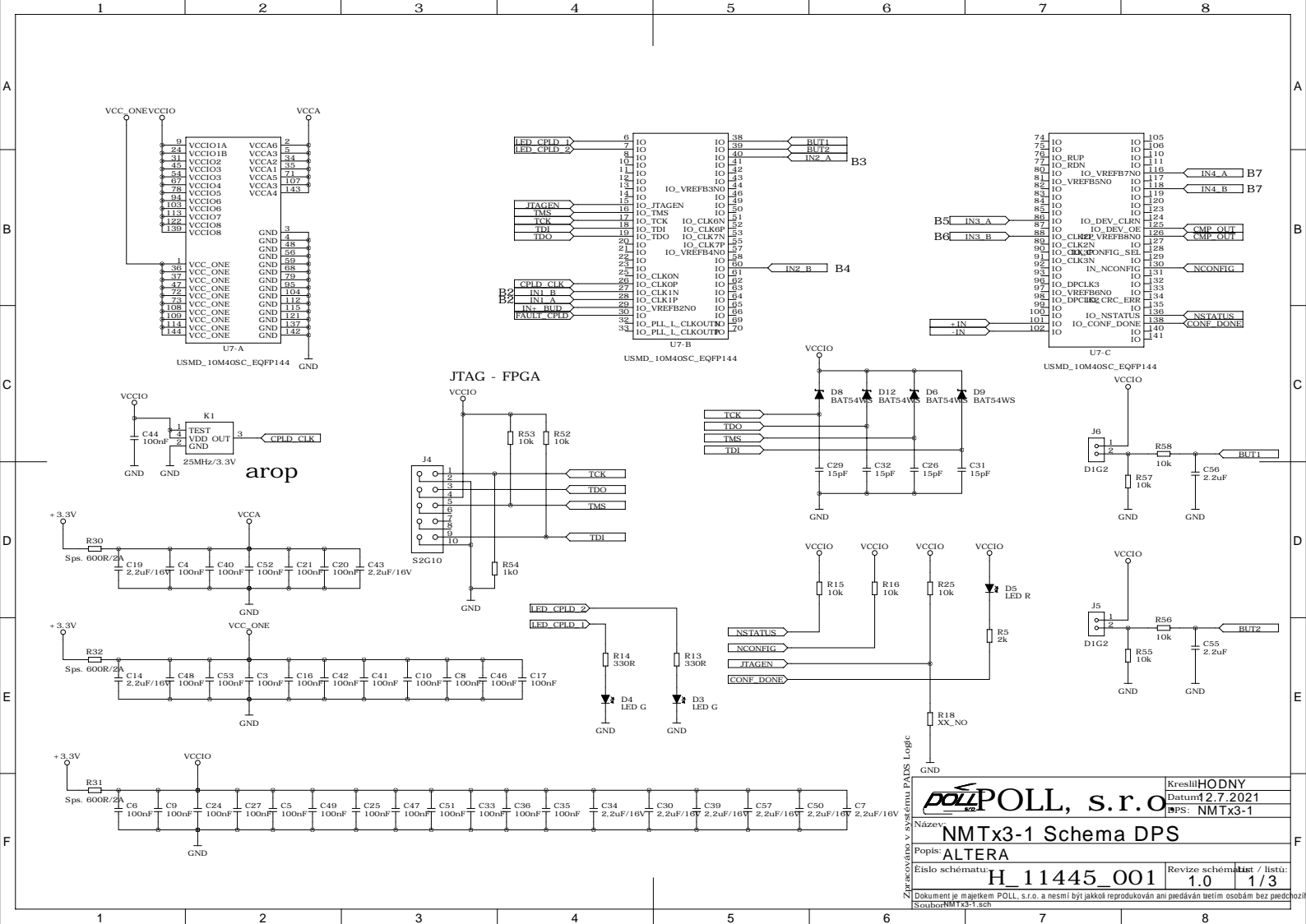






Model: DPS-01000	Verze: 01.000	Typ: DPS	Stav: vyrobena
POLL, s.r.o.		Prace: 00000	
DPS NMTX2-1		Datum: 26.3.2021	
1-EXTRM 2PQ		Strana: 1/1	
H_11256_002		Lis / list: 1 / 1	
H_11256_002		Lis / list: 1 / 1	

Model: DPS-01000	Verze: 01.000	Typ: DPS	Stav: vyrobena
POLL, s.r.o.		Prace: 00000	
DPS NMTX2-1		Datum: 26.3.2021	
1-EXTRM 2PQ		Strana: 1/1	
H_11256_002		Lis / list: 1 / 1	
H_11256_002		Lis / list: 1 / 1	



Kreslil: HODNY
Datum: 2.7.2021
Číslo: NMTx3-1

POLL, s.r.o.

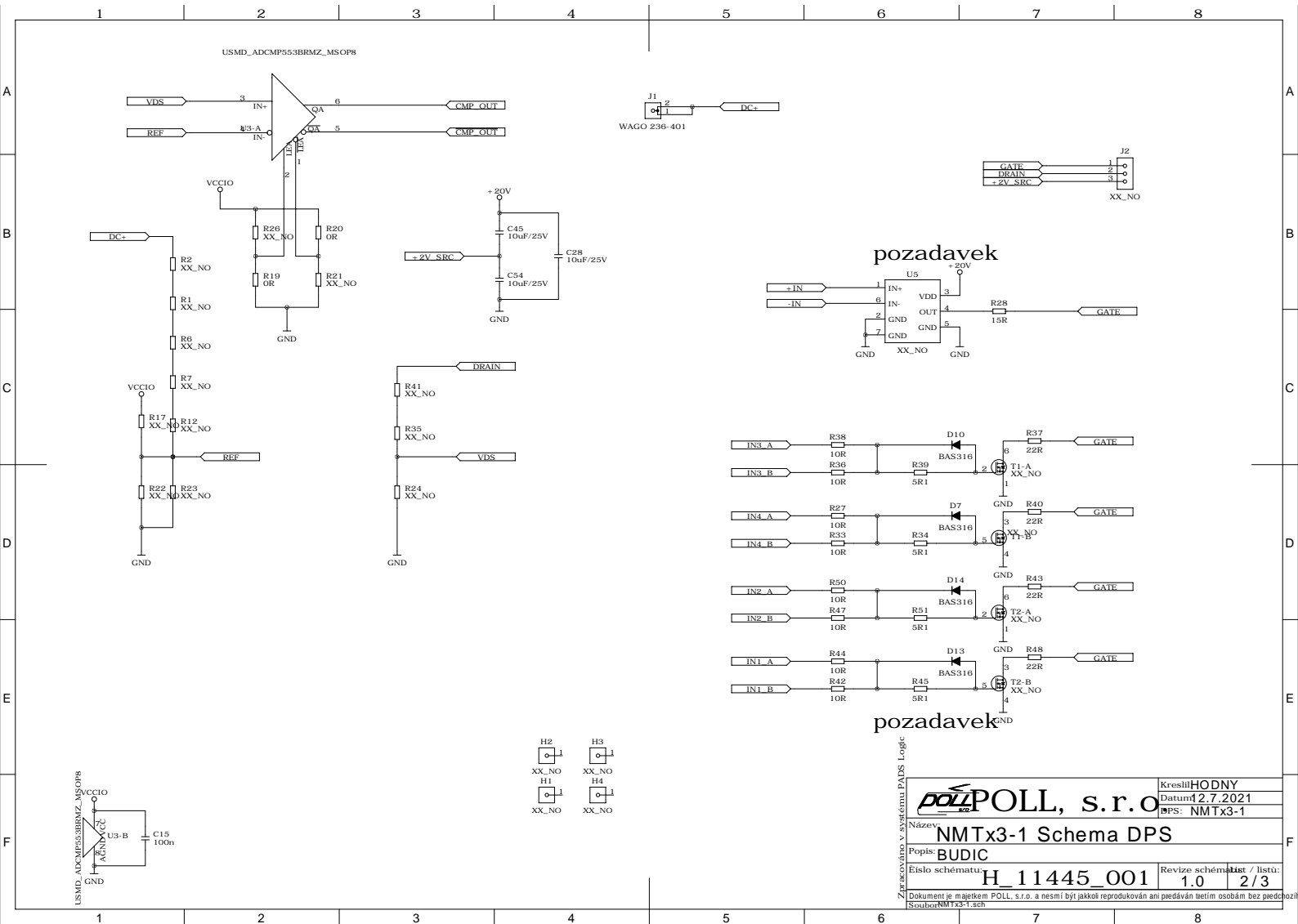
Název: **NMTx3-1 Schema DPS**

Popis: **ALTERA**

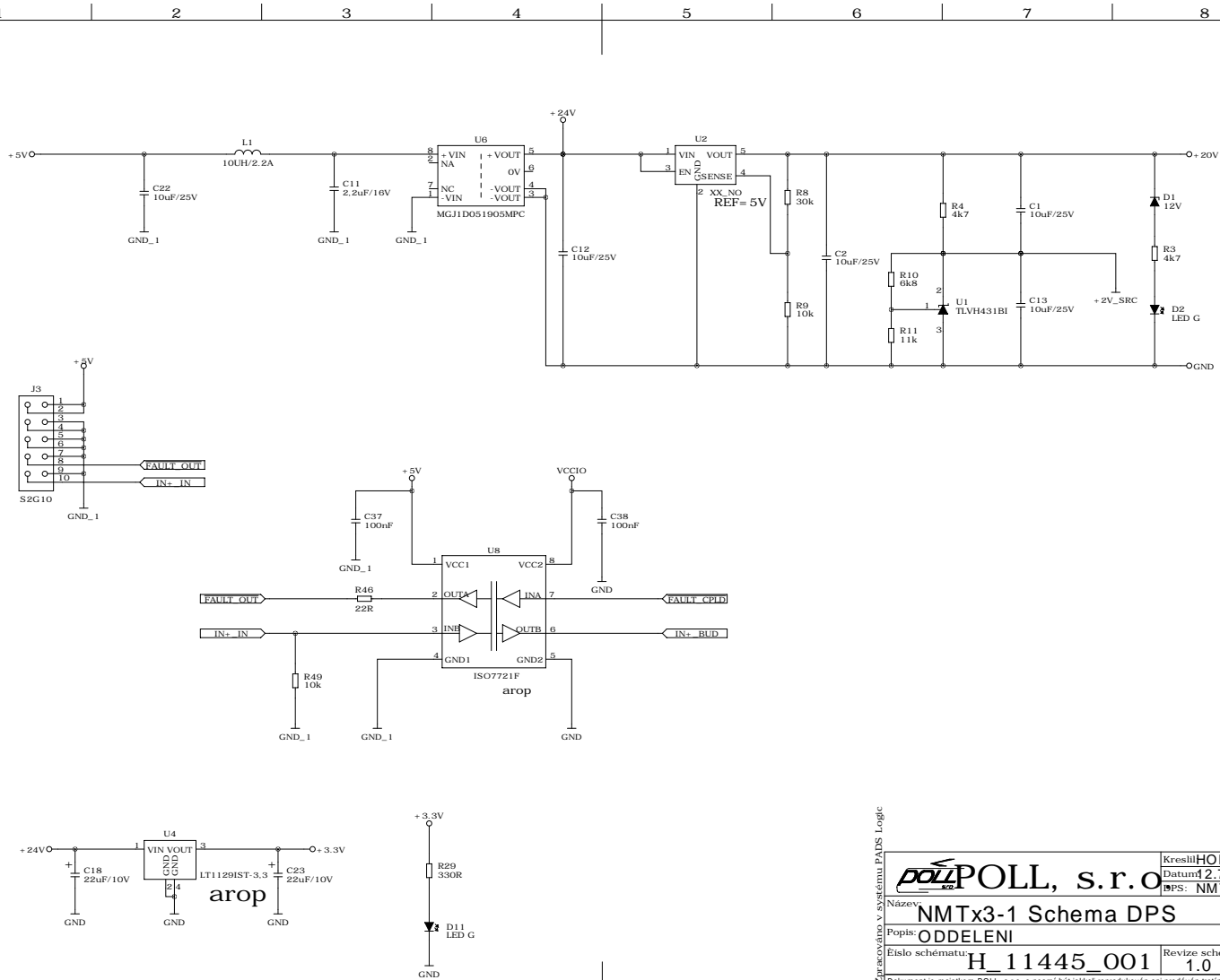
Číslo schématu: **H 11445_001** Revize schématu: **1.0** / listu: **1/3**

Document je majetkem POLL, s.r.o. a nesmí být jakkoliv reprodukováno ani předáván třetím osobám bez předchozího písemného souhlasu.

Soubor: NMTx3-1.sch

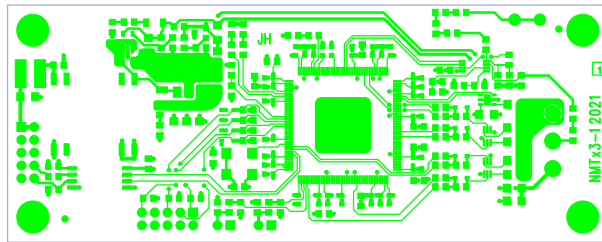


ZAPROJEKTOVANÉ V SYSTÉMEM PADS Logic Názov: Popis: Èíslo schématu: Dokument je majetkom POLL, s.r.o. a nesmí byt' jakkoliv reprodukován ani pæedáván tretím osobám bez pøedchozího souhlasu. Soubor:	POLL	Kreslil: HODNY Datum: 12.7.2021 Èíslo: NMTx3-1
	NMTx3-1 Schema DPS	
	BUDIC	
	H 11445_001	Revize schématu: 1.0 / listu: 2/3

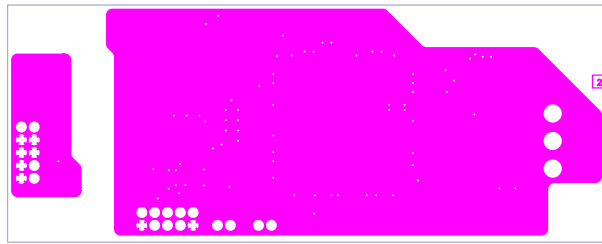


Zpracováno v systému PADS Logic

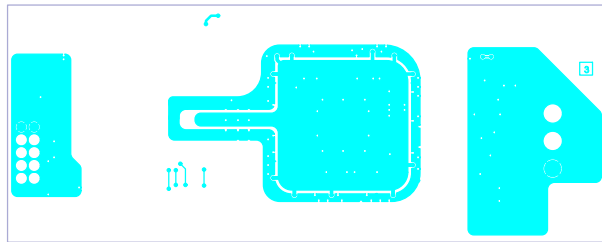
POLL, s.r.o.		Kreslil: HODNY
Název: NMTx3-1 Schema DPS		Datum: 2.7.2021
Popis: ODDELENÍ		Číslo: NMTx3-1
Číslo schématu: H_11445_001	Revize schématu: 1.0	Strana: 3/3
<small>Dokument je majetkem POLL, s.r.o. a nesmí být jakkoliv reprodukován ani předáván třetí osobám bez předchozího souhlasu.</small>		
Soubor: NMTx3-1.sch		



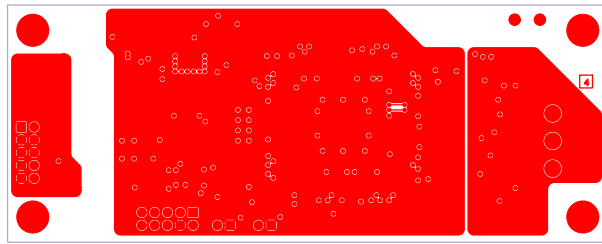
VRSTVA1



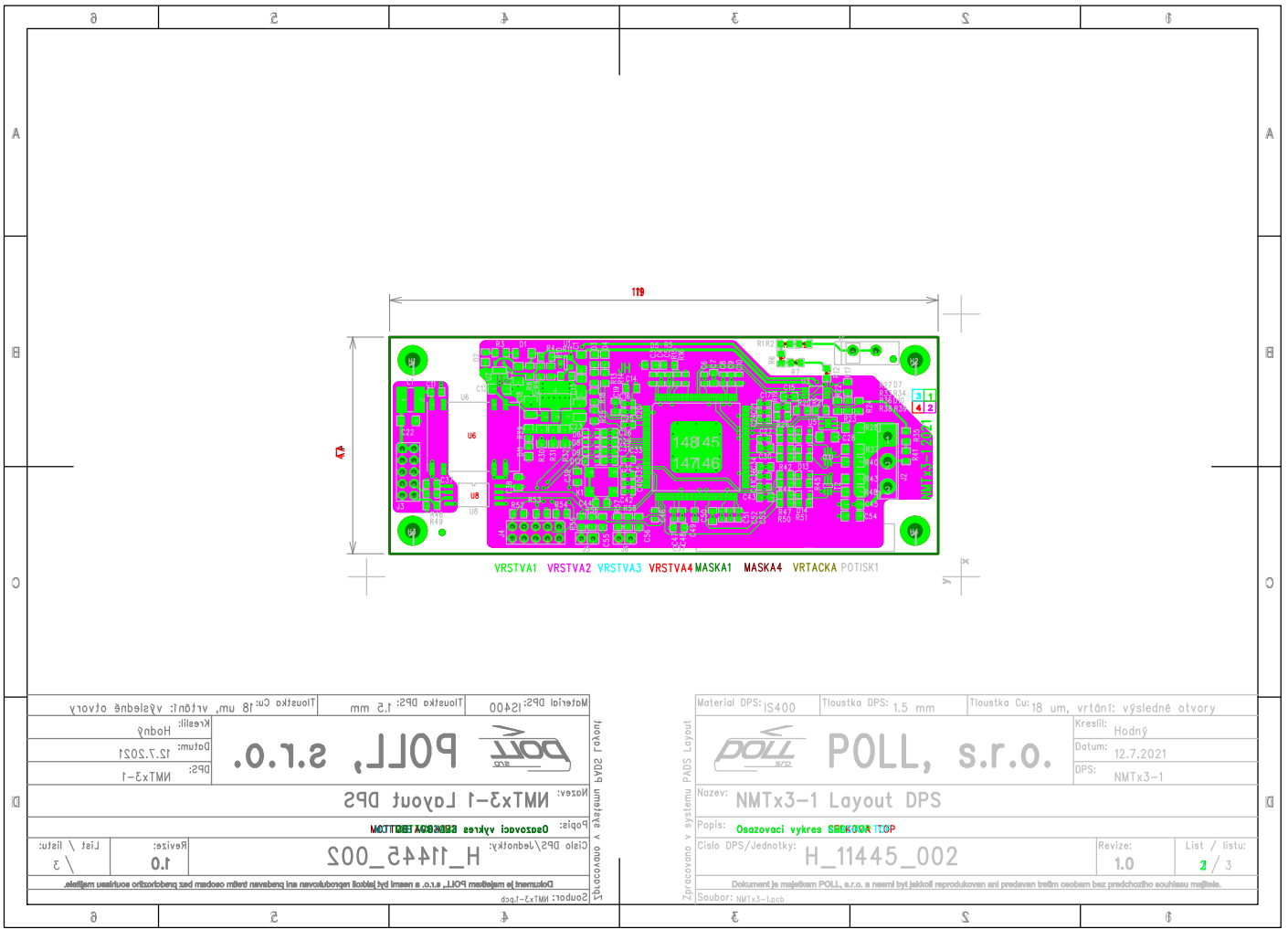
VRSTVA2



VRSTVA3



VRSTVA4



VRSTVA1 VRSTVA2 VRSTVA3 VRSTVA4 MASKA1 MASKA4 VRTACKA POTISK1

Material DPS: IS400	Tloušťka DPS: 1,5 mm	Tloušťka Cu: 18 um, vrtání: výsledné otvory
Kreštil: POLL, s.r.o.	Datum: 12.7.2021	DPS: NMTx3-1
Název: NMTx3-1 Layout DPS		
Popis: Osazovací výkres SMD/TO18 ITOP		
Císlo DPS/Jednotky: H_11445_002	Revize: 1.0	Líst / listu: 2 / 3

Material DPS: IS400	Tloušťka DPS: 1,5 mm	Tloušťka Cu: 18 um, vrtání: výsledné otvory
Kreštil: POLL, s.r.o.	Datum: 12.7.2021	DPS: NMTx3-1
Název: NMTx3-1 Layout DPS		
Popis: Osazovací výkres SMD/TO18 ITOP		
Císlo DPS/Jednotky: H_11445_002	Revize: 1.0	Líst / listu: 2 / 3

Zpracováno v systému: PADS Layout

Dokument je majetkem POLL, s.r.o. a nesmí být jakkoli reprodukován ani předáván třetím osobám bez předchozího souhlasu majitele.
Soubor: NMTx3-1.pcb

BOM

Číslo výrobního příkazu:	Název jednotky: NMT-03.01	Počet ks:	Vystaven:	29.07.2021	
		1	Plnění:		
			Vystavil:		
ROZPISKA SOUČÁSTEK					
Reference	Kód	ks/jedn.	ks/celk.	ks/sklad	místo ve skladu
C3,C4,C5,C6,C8,C9,C10,C15,C16,C17,C20,C21,C24,C25,C27,C33,C35,C36,C37,C38,C40,C41,C42,C44,C46,C47,C48,C49,C51,C52,C53	CKSMD_0805_100NF_50V_X7R_10%	31	31		
C26,C29,C31,C32	CKSMD_0805_15PF_50V_NPO_5%	4	4		
C7,C11,C14,C19,C30,C34,C39,C43,C50,C55,C56,C57	CKSMD_0805_2.2UF_16V_X7R_10%	12	12		
C1,C2,C12,C13,C22,C28,C45,C54	CKSMD_1206_10UF_25V_X7R_10%	8	8		
C18,C23	CTSMD_22UF_10V_20%_B	2	2		
D7,D10,D13,D14	DSMD_BAS316_SOD323	4	4		
D6,D8,D9,D12	DSMD_BAT54WS_SOD323	4	4		
K1	KRSMD_25.000000MHZ_/50_-40/85_3.3V	1	1		
D2,D3,D4,D11	LEDSMD_0805_20MA_G	4	4		
D5	LEDSMD_0805_20MA_R	1	1		
R15,R16	RSMD_0603_10K_1%	2	2		
R19,R20	RSMD_0805_OR_5%	2	2		
R1,R2,R6,R7,R9,R25,R49,R52,R53,R55,R56,R57,R58	RSMD_0805_10K_1%	13	13		
R11	RSMD_0805_11K_1%	1	1		
R54	RSMD_0805_1K0_1%	1	1		
R46	RSMD_0805_22R_1%	1	1		
R5	RSMD_0805_2K0_1%	1	1		
R8	RSMD_0805_30K_1%	1	1		
R13,R14,R29	RSMD_0805_330R_1%	3	3		
R3,R4	RSMD_0805_4K7_1%	2	2		
R10	RSMD_0805_6K8_1%	1	1		
R27,R33,R36,R38,R42,R44,R47,R50	RSMD_1206_10R_1%	8	8		
R28	RSMD_1206_15R_1%	1	1		
R37,R40,R43,R48	RSMD_1206_22R_1%	4	4		
R34,R39,R45,R51	RSMD_1206_5R1_1%	4	4		
R30,R31,R32	SUPSMD_1206_600R_2A	3	3		
L1	TLSDM_10UH_2.2A_5.2X5.8	1	1		
U8	USMD_ISO7721D_SO8/400	1	1		
U4	USMD_LT11291ST-3.3_SOT223	1	1		
U6	USMD_MGJ1D051905MPC-R7	1	1		
U1	USMD_TLVH431BI_SOT23	1	1		
D1	ZDSMD_12V_BZV55C_SOD80	1	1		
J5,J6	KON_D1G2	2	2		
J3,J4	KON_S2G10	2	2		
J1	WAGO_236-401	1	1		
U2	ADP7142	1	1		
U3	USMD_ADCMP553BRMZ_SO14	1	1		
U5	USMD_1EDN7512G_WSON6-1	1	1		
T1, T2	BSD235NH	2	2		
Materiál odepsán ze skladu:		Datum:	Podpis:		