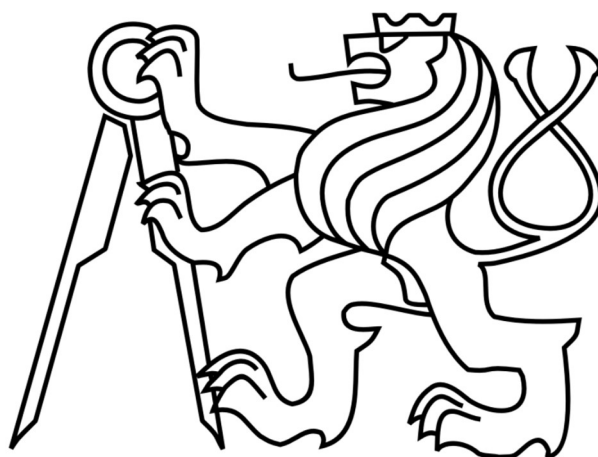


**České vysoké učení technické v Praze**  
**fakulta elektrotechnická**  
**katedra mikroelektroniky**



**Diplomová práce**

**Návrh nízkonapětového paralelního bandgapu**

**Autor:** Bc. Martin Urban

**Vedoucí práce:** doc. Ing. Jiří Jakovenko, Ph.D.

**2020**

## I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Urban** Jméno: **Martin** Osobní číslo: **457160**  
Fakulta/ústav: **Fakulta elektrotechnická**  
Zadávající katedra/ústav: **Katedra mikroelektroniky**  
Studijní program: **Elektronika a komunikace**  
Specializace: **Elektronika**

## II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

**Návrh nízko napěťového paralelního bandgapu**

Název diplomové práce anglicky:

**Design of low voltage paralel bandgap**

Pokyny pro vypracování:

1. Proveďte rozbor obvodových řešení nízko napěťových referencí na čipu založených na principu paralelních bandgapů.
2. Vyberte nejvhodnější řešení a návrh implementujte v CMOS technologii s použitím konvenčních MOS tranzistorů a v druhém případě s využitím cirkulárních MOS tranzistorů (v diferenčním páru operačního zesilovače)
3. Porovnejte vlastnosti jednotlivých zapojení. Obvod simulujte pro různé napájecí napětí a teploty.
4. Navrhněte topologii čipu (Layout) a proveďte Post layout simulace.
5. V případě, že se stihne technologická realizace čipu, proveďte měření vzorků z výroby a porovnejte výsledky se simulacemi (nepovinné).

Seznam doporučené literatury:

- 1) Sansen Willy M. C. Analog design essentials. Dordrecht, The Netherlands: Springer, 2008. ISBN 978-0-387-25746-4.
- 2) Gupta Vishal. AN ACCURATE, TRIMLESS, HIGH PSRR, LOW-VOLTAGE, CMOS BANDGAP REFERENCE IC. Georgia Institute of Technology, 2007. A Dissertation Presented to The Academic Faculty. Georgia Institute of Technology.
- 3) Danica Stefanovic and Maher Kayal. 2010. Structured Analog CMOS Design (1st. ed.). Springer Publishing Company, Incorporated. ISBN 978-90-481-7915-2.

Jméno a pracoviště vedoucí(ho) diplomové práce:

**doc. Ing. Jiří Jakovenko, Ph.D., katedra mikroelektroniky FEL**

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **11.02.2020**

Termín odevzdání diplomové práce: \_\_\_\_\_

Platnost zadání diplomové práce: **30.09.2021**

doc. Ing. Jiří Jakovenko, Ph.D.  
podpis vedoucí(ho) práce

prof. Ing. Pavel Házdra, CSc.  
podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.  
podpis děkana(ky)

## III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

\_\_\_\_\_ Datum převzetí zadání

\_\_\_\_\_ Podpis studenta

# Čestné prohlášení

Prohlašuji, že jsem zadanou diplomovou práci „Návrh nízkonapětového paralelního bandgapu“ zpracoval sám s přispěním vedoucího práce a používal jsem pouze literaturu uvedenou na konci práce. Souhlasím se zapůjčováním práce a jejím zveřejňováním.

V Praze dne .....

Bc. Martin Urban

## **Poděkování**

Rád bych poděkoval vedoucímu diplomové práce doc. Ing. Jiřímu Jakovenko, Ph.D. za jeho rady a čas, který mi věnoval při konzultacích a odborném vedení při vytváření této diplomové práce. Dále bych rád poděkoval firmě ASICentrum spol. s r.o. za umožnění realizace mé diplomové práce a skvělou spoluprací při jejím návrhu.

## **Anotace**

Cíl diplomové práce je návrh dvou bandgap napěťových referencí, s rozdílným řešením diferenčního páru operačního zesilovače a porovnání jejich vlastností. Vše bude zhotoveno v CMOS technologii.

## **Abstract**

The goal of this thesis is design of bandgap voltage reference with two different solutions in differential pair and compare their properties. All will be made in CMOS technology.

# Obsah

Seznam použitých značek a symbolů.....	1
Seznam obrázků .....	2
Seznam tabulek.....	4
1. Úvod .....	5
2. Rozbor.....	6
2.1 Napěťová reference typu Bandgap.....	6
2.1.1 Princip .....	7
2.1.2 Obvodové realizace napěťové reference typu bandgap.....	9
2.1.3 Princip paralelního statického bandgapu s operačním zesilovačem .....	10
2.1.4 Odvození referenčního napětí paralelního bandgapu.....	11
2.2 Princip startovacího obvodu.....	12
2.3 Princip a požadavky na použitý operační zesilovač.....	13
2.3.1 Srovnání konvenčních a cirkulárních CMOS tranzistorů.....	13
2.3.1 „Humpeffect“ diferenčního páru.....	13
3. Návrh .....	16
3.1 Návrh jádra bandgapu .....	16
3.2 Návrh operačního zesilovače .....	18
3.2.1 Návrh diferenčního páru.....	18
3.2.2 Návrh aktivní zátěže diferenčního páru .....	19
3.2.3 Návrh přepěťového proudového zrcadla.....	20
3.2.4 Návrh self-kaskody diferenčního páru .....	21
3.2.5 Návrh kompenzační kapacity operačního zesilovače.....	22
3.3 Návrh hlavního proudového zrcadla bandgapu.....	22
3.3.1 Návrh obvodu pro přepětí kaskody hlavního proudového zrcadla bandgapu....	23
3.4 Návrh startovacího obvodu .....	24
3.4.2 Nastavení proudu startovacího obvodu.....	25
3.4.3 Návrh zbývajících obvodových prvků startovacího obvodu.....	25
3.4.3.1 Proudové zrcadlo startovacího obvodu .....	25
3.4.3.2 Druhý zesilovací stupeň startovacího obvodu.....	26
3.4.3.3 Výstupní tranzistor startovacího obvodu.....	26
3.4.3.4 Ochranné tranzistory .....	26
3.4.3.5 Blokovací tranzistory startovacího obvodu.....	27
3.5 Návrh blokování obvodu.....	27
3.6 Návrh testovacího obvodu .....	28
3.7 Návrh digitálního výstupu.....	28

3.8	Doladění parametrů dle prvotních simulací obvodu .....	29
3.8.1	Doladění poměru W/L diferenčního páru operačního zesilovače .....	29
3.8.2	Dostavení kompenzační kapacity operačního zesilovače.....	30
3.9	Změny v návrhu řešení s cirkulárními tranzistory .....	31
3.10	Doplnění dummy prvků do obvodu.....	31
3.11	Shrnutí finálního schématu.....	31
4.	Simulace obvodu.....	32
4.1	Simulace řešení s konvenčními tranzistory.....	32
4.1.1	Simulace referenčního napětí přes procesní, teplotní a napěťové rohy.....	32
4.1.2	Simulace spotřeby a startovacího času.....	33
4.1.3	Analýza stability.....	34
4.1.4	Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo	35
4.2	Simulace řešení s cirkulárními tranzistory .....	35
4.2.1	Simulace referenčního napětí přes procesní, teplotní a napěťové rohy.....	35
4.2.2	Simulace spotřeby a startovacího času.....	36
4.2.3	Analýza stability.....	36
4.2.4	Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo	36
4.3	Shrnutí simulací obvodu.....	37
5.	Návrh Layoutu .....	38
5.1	Layout Jádra .....	38
5.2	Layout startovacího obvodu.....	39
5.3	Layout Bandgapu s konvenčními tranzistory.....	40
5.4	Layout Bandgapu s cirkulárními tranzistory.....	42
6.	Post-layout simulace obvodu a zhodnocení dosažených parametrů .....	44
6.1	Post-layout simulace řešení s konvenčními tranzistory .....	44
6.1.1	Simulace referenčního napětí přes procesní, teplotní a napěťové rohy.....	44
6.1.2	Simulace spotřeby a startovacího času.....	44
6.1.3	Analýza stability.....	44
6.1.4	Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo	45
6.2	Post-layout simulace řešení s cirkulárními tranzistory.....	45
6.2.1	Simulace referenčního napětí přes procesní, teplotní a napěťové rohy.....	45
6.2.2	Simulace spotřeby a startovacího času.....	45
6.2.3	Analýza stability.....	45

6.2.4	Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo	46
6.3	Porovnání výsledků simulací řešení s konvenčními a cirkulárními tranzistory..	46
6.4	Srovnání dosažených parametrů s jinými řešeními.....	46
7.	Závěr.....	48
8.	Zdroje.....	49
9.	Přílohy.....	50



## Seznam použitých značek a symbolů

A/D		<b>A</b> nalog to <b>D</b> igital (převod analogového signálu na digitální)
HW		<b>H</b> ard <b>W</b> are (veškeré fyzické prvky elektronického zařízení)
LED		<b>L</b> ight- <b>E</b> mitting <b>D</b> iode (dioda vyzařující světlo)
MOSFET		<b>M</b> etal <b>O</b> xide <b>S</b> emiconductor <b>F</b> ield <b>E</b> ffect <b>T</b> ransistor (polem řízený tranzistor, struktura kov-oxid-polovodič)
PTAT		<b>P</b> roportional <b>T</b> o <b>A</b> bsolute <b>T</b> emperature
CTAT		<b>C</b> omplementary <b>T</b> o <b>A</b> bsolute <b>T</b> emperature
CMOS		<b>C</b> omplementary <b>M</b> etal- <b>O</b> xide- <b>S</b> emiconductor
PMOS		<b>P</b> -type <b>M</b> etal- <b>O</b> xide- <b>S</b> emiconductor
NMOS		<b>N</b> -type <b>M</b> etal- <b>O</b> xide- <b>S</b> emiconductor
BiCMOS		<b>B</b> ipolar <b>C</b> omplementary <b>M</b> etal- <b>O</b> xide- <b>S</b> emiconductor
IF		<b>I</b> nverzní <b>F</b> aktor
A	m <sup>2</sup>	plocha
W	m	šířka kanálu MOS tranzistoru
L	m	délka kanálu MOS tranzistoru
C	F	kapacita
U <sub>T</sub>	V	teplotní napětí
f	Hz	frekvence
I	A	proud
l	m	délka
P	W	výkon
R	Ω	odpor
t	s	čas
T	°C	teplota
U	V	napětí
sq	-	čtverec (plocha s poměrem stran 1:1 (pro sq = 1 tedy platí W=L))

## Seznam obrázků

Obrázek 1 Požadavky na napěťovou referenci[3] .....	6
Obrázek 2 Ukázka PTAT a CTAT[2] .....	7
Obrázek 3 Graf závislosti $U_{be}$ na teplotě – simulované v technologii Alp18 .....	7
Obrázek 4 Odchylka $U_{be}$ od lineárního průběhu -simulované v technologii Alp18 .....	8
Obrázek 5 Princip napěťové reference typu bandgap[1].....	8
Obrázek 6 Principiální schéma paralelního bandgapu[2].....	10
Obrázek 7 Závislost propustných napětí v bandgapu – simulované v technologii Alp18 ....	11
Obrázek 8 Operační body bandgapobvodu[2].....	13
Obrázek 9 Pohled elektronovým mikroskopem do řezu NMOS tranzistoru, zvýrazněn okraj kanálu [7].....	13
Obrázek 10 "Humpeffect" macromodel[7] .....	14
Obrázek 11 Ukázka statistické odchylky způsobené „humpeffectem“ [7] .....	14
Obrázek 12 Porovnání layoutu cirkulárního a konvenčního tranzistoru o srovnatelné velikosti kanálu v technologii Alp18.....	15
Obrázek 13 Schéma obvodu jádra bandgapu .....	16
Obrázek 14 Architektura operačního zesilovače.....	18
Obrázek 15 Graf závislosti $g_m/I_d$ na $I_d/(W/L)$ pro NMOS 1,8V tranzistor v technologii Alp18.....	19
Obrázek 16 Graf závislosti $g_m/I_d$ na $I_d/(W/L)$ pro tranzistor PMOS 5V v technologii Alp18 .....	20
Obrázek 17 Graf závislosti $g_m/I_d$ na $I_d/(W/L)$ pro tranzistoro NATNMOS 5V v technologii Alp18.....	21
Obrázek 18 Schéma obvodu generování přepětí pro kaskodu[2].....	23
Obrázek 19 Ukázka architektury startovacího obvodu .....	24
Obrázek 20 Obvod digitálního výstupu.....	28
Obrázek 21 Závislost směrodatné odchylky na poměru W/L diferenčního páru operačního zesilovače, pro každý bod grafu bylo provedeno 250 běhů simulace metodou MonteCarlo	30
Obrázek 22 Závislost fázové jistoty na ploše kompenzačního kondenzátoru pro řešení s konvenčními tranzistoty .....	30
Obrázek 23 Závislost fázové jistoty na ploše kompenzačního kondenzátoru pro řešení s cirkulárními tranzistoty .....	31
Obrázek 24 Typický průběh závislosti referenčního napětí na teplotě získaný při simulacích .....	33
Obrázek 25 Typická startovací sekvence obvodu .....	34
Obrázek 26 Layout jádra bandgapu.....	38
Obrázek 27 Layout startovacího obvodu.....	39
Obrázek 28 Layout bandgapu s využitím konvenčních tranzistorů .....	41
Obrázek 29 Layout bandgapu s cirkulárními tranzistoty .....	43
Obrázek 30 Grafické zobrazení porovnání různých řešení bandgapů. Přidáno řešení navržené v této práci - označeno hvězdičkou[8] .....	47
Obrázek 31 Schéma jádra obvodu.....	50
Obrázek 32 Schéma startovacího obvodu .....	51
Obrázek 33 Kompletní schéma bandgapu s konvenčními tranzistoty v diferenčním páru operačního zesilovače.....	52
Obrázek 34 Kompletní schéma bandgapu s cirkulárními tranzistoty v diferenčním páru operačního zesilovače.....	53

Obrázek 35 Obvodový symbol bandgapu s konvenčními tranzistory v diferenčním páru operačního zesilovače.....	54
Obrázek 36 Obvodový symbol startovacího obvodu .....	54
Obrázek 37 Obvodový symbol jádra bandgapu .....	55
Obrázek 38 Obvodový symbol bandgapu s cirkulárními tranzistory v diferenčním páru operačního zesilovače.....	55
Obrázek 39 Schéma testovacího obvodu bandgapu s konvenčními tranzistory v diferenčním páru operačního zesilovače.....	56
Obrázek 40 Schéma testovacího obvodu bandgapu s cirkulárními tranzistory v diferenčním páru operačního zesilovače.....	57

## Seznam tabulek

Tabulka 1 Přehled použitých rohů u simulace referenčního napětí přes procesní, teplotní a napěťové rohy.....	32
Tabulka 2 Výsledky simulace referenčního napětí přes procesní, teplotní a napěťové rohy	32
Tabulka 3 Přehled použitých rohů u simulace spotřeby a startovacího času .....	33
Tabulka 4 Výsledky simulace spotřeby a startovacího času .....	33
Tabulka 5 Přehled použitých rohů u analýzy stability .....	34
Tabulka 6 Výsledky analýzy stability .....	35
Tabulka 7 Přehled použitých rohů u simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo.....	35
Tabulka 8 Výsledky simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo.....	35
Tabulka 9 Výsledky simulace referenčního napětí přes procesní, teplotní a napěťové rohy pro řešení s cirkulárními tranzistory.....	36
Tabulka 10 Výsledky simulace spotřeby a startovacího času pro řešení s cirkulárními tranzistory .....	36
Tabulka 11 Výsledky analýzy stability pro řešení s cirkulárními tranzistory .....	36
Tabulka 12 Výsledky simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo pro řešení s cirkulárními tranzistory .....	36
Tabulka 13 Výsledky post-layout simulace referenčního napětí přes procesní, teplotní a napěťové rohy.....	44
Tabulka 14 Výsledky post-layout simulace spotřeby a startovacího času .....	44
Tabulka 15 Výsledky post-layout analýzy stability .....	44
Tabulka 16 Výsledky post-layout simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo.....	45
Tabulka 17 Výsledky post-layout simulace referenčního napětí přes procesní, teplotní a napěťové rohy pro řešení s cirkulárními tranzistory .....	45
Tabulka 18 Výsledky post-layout simulace spotřeby a startovacího času pro řešení s cirkulárními tranzistory .....	45
Tabulka 19 Výsledky post-layout analýzy stability pro řešení s cirkulárními tranzistory ....	45
Tabulka 20 Výsledky post-layout simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo pro řešení s cirkulárními tranzistory .....	46
Tabulka 21 Srovnání parametrů řešení s konvenčními a cirkulárními tranzistory.....	46

# 1. Úvod

Cílem mojí diplomové práce je navržení napěťové reference na čip dle zadání firmy ASICentrum. Zadáním je návrh dvou paralelních napěťových bandgap referencí v jednom případě s použitím konvenčních MOS tranzistorů, v druhém případě s využitím cirkulárních MOS tranzistorů v diferenčním páru operačního zesilovače a porovnání jejich vlastností.

V rámci diplomové práce postupně projdu celým procesem vývoje obvodu na čip.

- Návrh
- Obvodové simulace
- Layout
- Post-layout simulace
- Zhodnocení dosažených výsledků

Při návrhu bude použita metodologie  $g_m/I_d$ . Následně bude funkce ověřena obvodovými simulacemi, obvod bude doladěn pro požadované vlastnosti a bude zhotoven layout. Vlastnosti návrhu před odesláním k výrobě se ověří post-layout simulacemi. Vše bude navrženo a následně zhotoveno v 180nm CMOS výrobní technologii Alp18, patřící firmě EM Microelectronic. U všech získaných dat bude porovnáváno řešení s použitím konvenčních MOS tranzistorů a řešení s využitím cirkulárních CMOS tranzistorů.

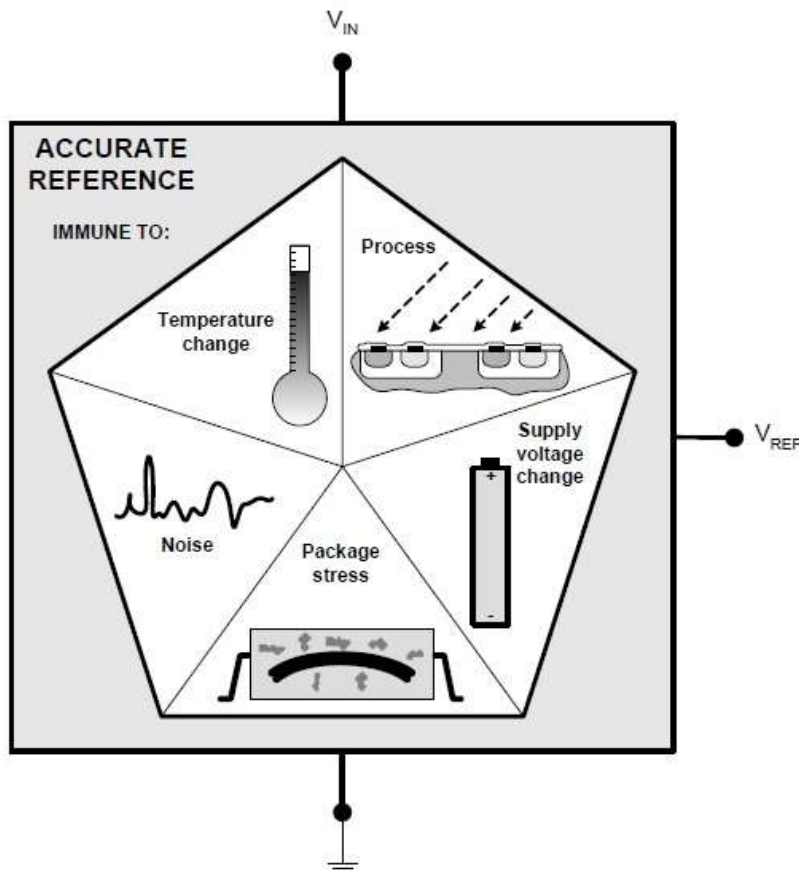
Zadané parametry:

Parametr	Požadavek	Jednotky
Rozměr – výška bloku	173	$\mu\text{m}$
Rozměr – šířka bloku	136	$\mu\text{m}$
Spotřeba – typicky	1,2	$\mu\text{A}$
Napájecí napětí	1,6 až 2,6	V
Teplotní rozsah	-30 až 90	$^{\circ}\text{C}$
Požadované reference	$15 \times 100\text{nA}, 1 \times 200\text{nA}, 1 \times 250\text{nA}, 1 \times 1\mu\text{A}$	-
Maximum startup zpoždění	25	$\mu\text{s}$

Problematika bandgapu mě zaujala z několika důvodů. Tím hlavním určitě bylo, že z mého pohledu se jedná o pomyslný základní kámen většiny integrovaných obvodů. Dalším důvodem pro volbu tohoto tématu je možnost zhotovení výsledného řešení na testovacím čipu, což samozřejmě činí celou práci mnohem atraktivnější, než pokud by se jednalo pouze o teoretický návrh obvodu. V této práci si také projdu celým procesem návrhu a získám tak možnost pracovat na jednom bloku čipu od úplného počátku návrhu až po jeho finální odeslání k výrobě. Všechny zmíněné důvody mne velice motivovaly k vytvoření této práce.

## 2. Rozbor

Napětové reference mají v integrované elektronice široké využití, používají se například v A/D a D/A převodnících, napětových a proudových regulátorech, jako komparační úrovně v komparátorech a mnoho dalších. Mnoho obvodů potřebuje pro svoji správnou funkci zdroj napětí nezávislý na napájecím napětí, změnách v procesu, stresu při zapouzdření a teplotě čipu. U většiny těchto obvodů je přesné referenční napětí zárukou nízké výstupní chyby obvodu.



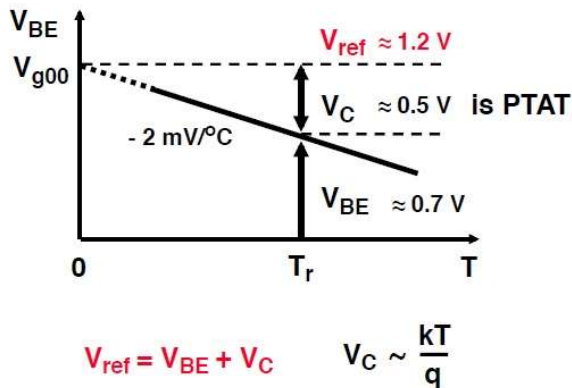
Obrázek 1 Požadavky na napětovou referenci[3]

Požadavek na teplotní nezávislost vyloučí z možného výběru reference využívající diodu, jejíž charakteristika je teplotně závislá. A stejně tak i Zenerovu diodu, která může teplotní závislost oproti běžné diodě snížit, ale pouze pro vyšší napětí, než je v našem případě možné. Teplotní závislost lavinového a Zenerova průrazu se kompenzuje okolo 6 V, přičemž maximální napájecí napětí v našem případě je uvažováno 2,6 V. Nejběžnější napětovou referencí používanou v integrované elektronice je napětová reference typu Bandgap.

### 2.1 Napětová reference typu Bandgap

Bandgap, neboli v překladu zakázané pásmo, označuje ve fyzice pevných látek rozsah energií, ve které se nemůže nacházet žádný ze stavů elektronů v krystalové mřížce. Energie zakázaného pásu přímo souvisí s propustným napětovým úbytkem na diodě. Energie zakázaného pásu je teplotně závislá a s rostoucí teplotou klesá. To je příčinou klesajícího propustného napětového úbytku diody, při konstantním proudu a rostoucí teplotě. Z obrázku 2 je patrná spojitost mezi energií zakázaného pásu a napětovou referencí typu

bandgap. Teplotně nezávislé referenční napětí získáme sečtením napětí s kladným a záporným teplotním koeficientem čili získáme napětí blízké energii zakázanému pásu křemíku. Pro křemík při teplotě 0 K je energie zakázaného pásu rovna 1,22 eV, z toho plyne i výstupní napětí klasického Brokawova bandgapu 1,25 V.

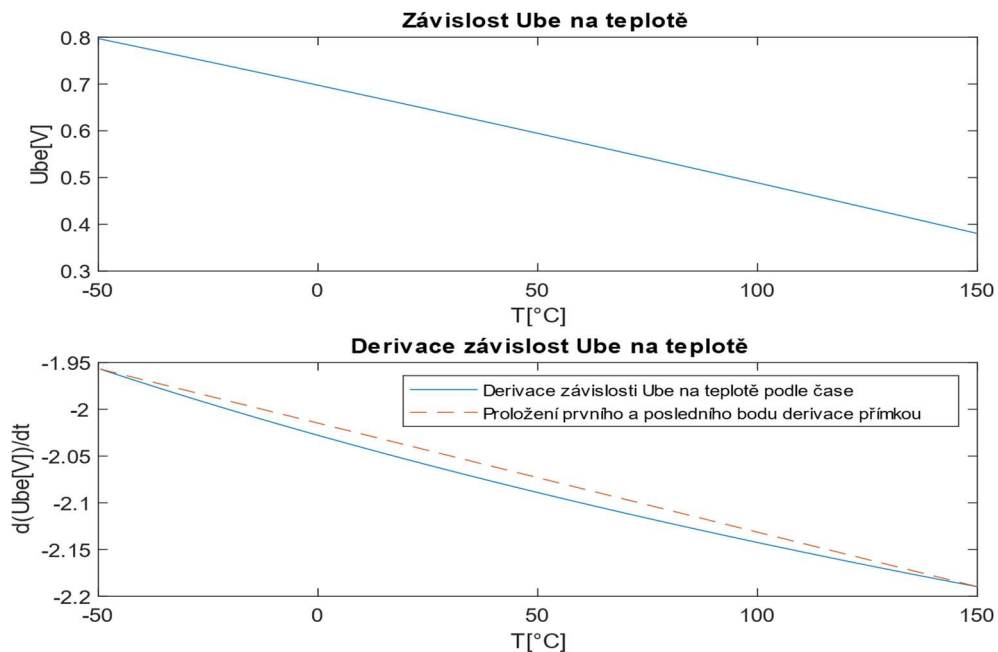


Obrázek 2 Ukázka PTAT a CTAT[2]

Výstupní referenční napětí je součtem napěťového úbytku na diodě se záporným teplotním koeficientem (CTAT – complementary to absolute temperature) a napětí s kladným teplotním koeficientem o stejné velikosti (PTAT – proportional to absolute temperature).

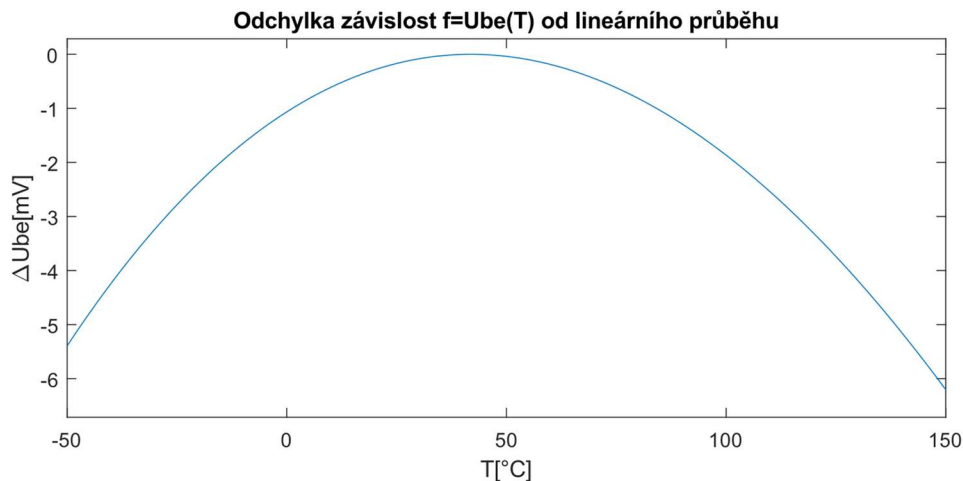
### 2.1.1 Princip

Propustný úbytek napětí na diodě při konstantním proudu závisí na teplotě přibližně  $\Delta U = -2 \text{ mV}/^\circ\text{C}$ , což je patrné z obrázku 3, na kterém je zobrazen napěťový úbytek na bipolárním tranzistoru v diodovém zapojení, ve vztahu k teplotě. V CMOS technologii je dioda vždy spojena s parazitním bipolárním tranzistorem [2], proto se upřednostňuje využití přechodu báze-emitor bipolárního tranzistoru před použitím diody samotné.



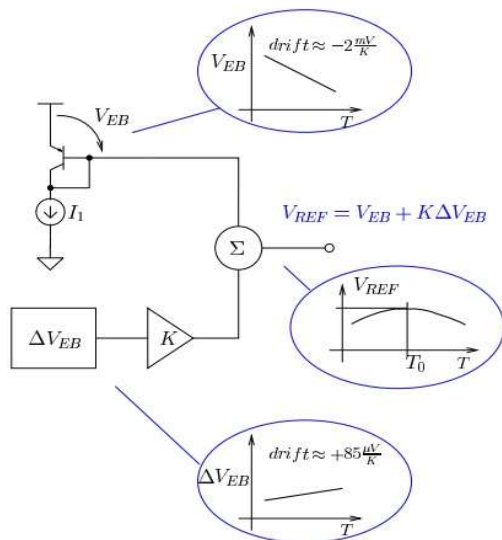
Obrázek 3 Graf závislosti  $U_{be}$  na teplotě – simulované v technologii Alp18

V našem případě budeme uvažovat, že se jedná o lineární závislost, ve skutečnosti má závislost ještě slabě parabolický charakter. Na obrázku 3 si můžeme povšimnout, že derivace teplotní závislosti není konstantní ani lineární. Parabolická složka se ve většině případů zanedbává, proto má referenční napětí na výstupu většiny zapojení typu bandgap slabě parabolický charakter ve vztahu k teplotě. Na obrázku 4 můžeme vidět odchylku teplotní závislosti napětí  $U_{be}$  od lineární závislosti.



Obrázek 4 Odchylka  $U_{be}$  od lineárního průběhu -simulované v technologii Alpi8

Tvar odchytky z obrázku 4 napovídá, jak bude vypadat výsledné referenční napětí vzhledem k teplotě, neboť tato odchytka nebude kompenzována. Jak je patrné z obrázku 5, k dosažení teplotně nezávislého referenčního napětí budeme muset napětí s kladným teplotním koeficientem zesílit členem  $K$  tak, aby se teplotní koeficienty vykompenzovaly. Jinak řečeno, tak, aby bylo napětí proporcionální (PTAT) k napětí na přechodu báze-emitor (CTAT).



Obrázek 5 Princip napětové reference typu bandgap[1]



## 2.1.2 Obvodové realizace napěťové reference typu bandgap

Můžeme se setkat s celou řadou obvodových realizací bandgapu, dají se rozdělit podle:

- Použitých obvodových prvků:
  - S bipolárními tranzistory
    - S využitím BiCMOS technologie
    - S vertikálními bipolárními tranzistory (využívá se parazitního bipolárního tranzistoru v CMOS struktuře)
    - S laterálními bipolárními tranzistory (využívá se parazitního bipolárního tranzistoru v CMOS struktuře)
  - S MOS tranzistory (využívá podobnosti MOS tranzistoru ve slabé inverzi s bipolárním tranzistorem)
  - Bez použití rezistorů
- Dle součtového členu:
  - S operačním zesilovačem
    - Statický
    - Spínaný (používá se pouze jeden bipolární tranzistor, kterému jsou spínány dva různé proudy)
  - Bez operačního zesilovače (využívají se proudová zrcadla)

Z výše popsaných obvodových řešení si vybereme tak, abychom co nejlépe mohli splnit požadované parametry. Nejdříve si určíme použití obvodových prvků, zde je pro naše podmínky jasně nejlepší využití **řešení s bipolárními vertikálními tranzistory**. A to hned z několika důvodů:

- Pracujeme v technologii CMOS, která umožňuje využití vertikálních bipolárních tranzistorů, které mají vlastnosti bližší ideálním. Ale zároveň se nejedná o BiCMOS technologii, která by nabízela výhodnější provedení.
- Je kladen velký důraz na nízkou spotřebu
- Obvod musí fungovat na nízkém napájecím napětí
- Není kladen důraz na malou plochu výsledného řešení na čipu

Dále si zvolíme součtový člen, zde jednoznačně volíme **statické řešení s využitím operačního zesilovače**, a to z následujících důvodů:

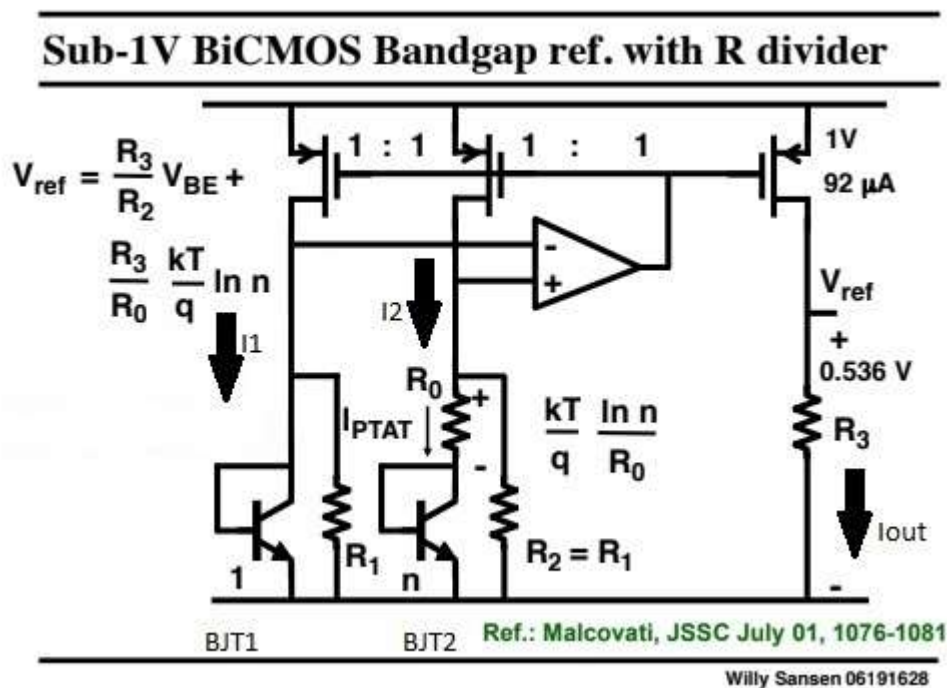
- Je vyžadována nízká spotřeba
- Obvod musí fungovat na nízkém napájecím napětí
- Není vyžadována vysoká přesnost
- Je vyžadované referenční napětí pod 1V

K předposlednímu zmíněnému důvodu také doplním, že nebude využito žádné obvodové řešení k vyrovnání nelineární odchylky napětí  $U_{be}$ , tato řešení snižují teplotní závislost referenčního napětí, ale za cenu vyšší spotřeby.

Dalším možným dělením nejen bandgapů, ale i napět'ových referencí obecně je dělení na sériové a paralelní. Vzhledem k požadavku na nízké napájecí napětí zde volíme **paralelní** provedení.

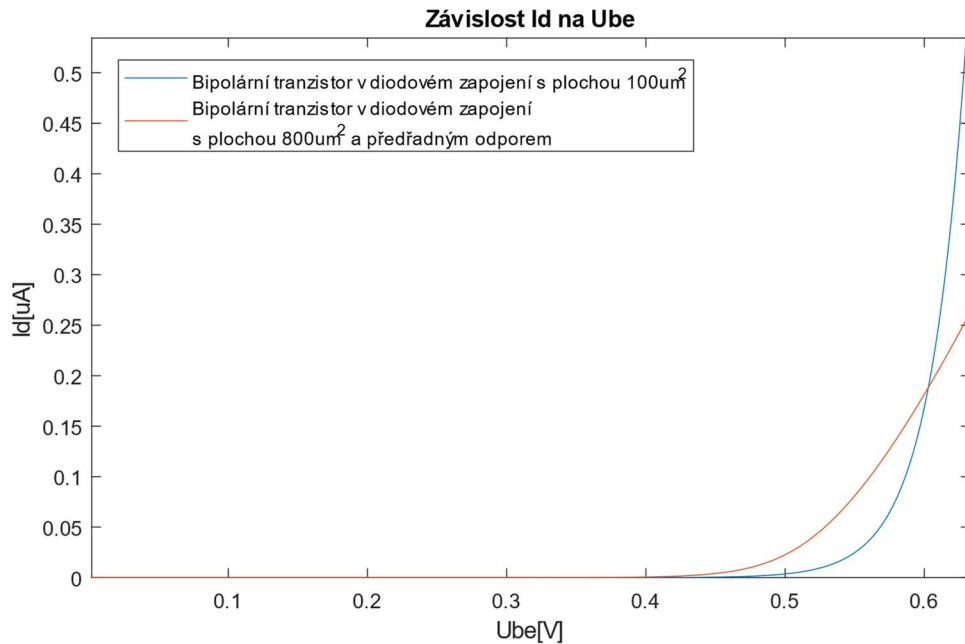
### 2.1.3 Princip paralelního statického bandgapu s operačním zesilovačem

Pokud tedy zvážíme všechny naše požadavky na spotřebu, napájecí napětí, velikost referenčního napětí, zvolenou výrobní technologii, přidělenou plochu na čipu a přesnost výsledného bandgapu, dostáváme se ke koncepčnímu schématu na obrázku 6.



Obrázek 6 Principiální schéma paralelního bandgapu[2]

Z obrázku 6 je dobře patrný princip paralelního bandgapu. Toto zapojení využívá dvou bipolárních tranzistorů v diodovém zapojení, pro generování propustného úbytku PN přechodu. Proud  $I_1$  a  $I_2$  jsou shodné, ale bipolární tranzistory mají různé plochy přechodu, čili získáváme rozdílné proudové hustoty na přechodu. Plocha přechodu tranzistoru BJT<sub>2</sub> je několikrát větší než plocha přechodu tranzistoru BJT<sub>1</sub>. Propustný úbytek na tranzistoru s větší plochou přechodu bude zákonitě vždy menší. Pokud před tranzistor s větší plochou dáme odpor, získáme následující charakteristiky:



Obrázek 7 Závislost propustných napětí v bandgapu – simulované v technologii Alp18

Z charakteristiky je patrné, že propustný úbytek na přechodu s větší plochou je při nižších proudech pořád menší, ale při větších proudech se začíná přidávat úbytek na rezistoru  $R_0$ , díky němuž propustný úbytek na přechodu s menší plochou přeroste propustný úbytek na kombinaci většího přechodu a rezistoru. Proud, při kterém jsou oba úbytky shodné, je požadovaný pracovní bod napěťové reference typu bandgap. Operační zesilovač obvod udržuje v tomto pracovním bodě pomocí zpětné vazby, realizovanou PMOS tranzistory. Dále je z této charakteristiky patrné, že se na ní nacházejí dva možné pracovní body. Jeden požadovaný pracovní a druhý při nulovém proudu, což vede na nutnost startovacího obvodu, ale o tom až později. Pokud se obvod nachází v pracovním bodě, proudy  $I_1$  a  $I_2$  jsou shodné a mají v sobě složku, která se řídí teplotní závislostí PN přechodu, a složku, která jí kompenzuje. Proud by v ideálním případě byly teplotně nezávislé, ale vzhledem k faktu, že i sama rezistivita rezistorů je teplotně závislá, teplotně nezávislé je pouze napětí na odporu a proud se mění tak, aby kompenzoval změnu rezistence. Z tohoto faktu také plyne, že všechny použité odpory musí mít stejnou teplotní závislost.

#### 2.1.4 Odvození referenčního napětí paralelního bandgapu

Vycházíme z předpokladu, že se obvod nachází v ustáleném stavu, a tedy:

$$I_1 = I_2$$

Proudové zrcadlo přenesení proud na výstup a napětí na výstupu se tedy rovná:

$$U_{ref} = I_{out} \cdot R_3 = I_1 \cdot R_3$$

Proud  $I_1$  si dále můžeme rozložit na část tekoucí skrze odpor  $R_1$  a skrze tranzistor BJT<sub>1</sub>:

$$I_1 = I_{CE1} + I_{R1} = I_S \cdot e^{\left(\frac{U_{BE}}{kT/q}\right)} + \frac{U_{BE}}{R_1}$$

Díky tomu, že napětí v uzlech na vstupu operačního zesilovače jsou stejná, můžeme stejnou rovnici sestavit i pro proud  $I_2$ :

$$I_2 = I_{CE2} + I_{R2} = n \cdot I_S \cdot e^{\left(\frac{U_{BE1} - U_{R0}}{\frac{kT}{q}}\right)} + \frac{U_{BE1}}{R_2}$$

Dále můžeme sestavit rovnici proudu protékajícího skrze odpor  $R_0$ , čili proud  $I_{ptat}$  - *proportional to absolute temperature*:

$$I_{ptat} = \frac{U_{BE1} - U_{BE2}}{R_0} = \frac{\ln\left(\frac{I}{I_S}\right) \cdot \frac{kT}{q} - \ln\left(\frac{I}{nI_S}\right) \cdot \frac{kT}{q}}{R_0} = \frac{kT}{q} \cdot \frac{\ln n}{R_0}$$

Úpravou dostáváme vztah z obrázku 6[2]:

$$U_{ref} = \frac{R_3}{R_2} \cdot U_{be} + \frac{R_3}{R_0} \cdot \frac{kT}{q} \cdot \ln n$$

Po úpravě:

$$U_{ref} = R_3 \left( \frac{U_{be}}{R_2} + \frac{1}{R_0} \frac{kT}{q} \ln n \right)$$

Z této úpravy je dobře patrné, že referenční napětí je dáno proudem protékajícím přes odpor  $R_3$ . Patrné je i to, že proud má dvě složky:

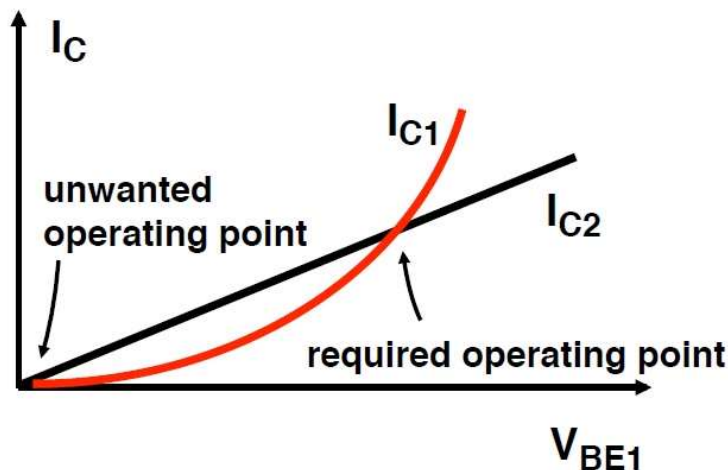
$$I_{Ube} = \frac{U_{be}}{R_2}$$

$$I_{ptat} = \frac{1}{R_0} \cdot \frac{kT}{q} \cdot \ln n$$

První složka je záporně teplotně závislá, zatímco druhá složka je kladně teplotně závislá. Díky tomu můžeme vhodným zvolením odporů vykompenzovat teplotní závislosti.

## 2.2 Princip startovacího obvodu

Jak již bylo zmíněno, a je to dobře patrné z obrázku 8, bandgap má dva pracovní body - jeden požadovaný a druhý při nulovém proudu. Obvody typu bandgap tedy vždy vyžadují startovací obvod, který bandgap bezpečně dostane do požadovaného pracovního bodu, ale zároveň neovlivní funkci bandgapu v pracovním bodě. Také je potřeba uvědomit si, že obvod musí fungovat ve chvíli, kdy na čipu není dostupná žádná reference, čili se jedná o „self-bias“ obvod. To znamená, že se do pracovního bodu musí dostat bez jakékoliv proudové nebo napěťové reference a má dostupné pouze napájecí napětí. Existuje mnoho různých obvodových řešení startovacího obvodu, v našem řešení budeme volit řešení především s ohledem na spotřebu. Námí vybrané řešení pracuje na principu sledování úbytku na odporu  $R_0$ , pokud je úbytek nulový, čili jím neprochází proud, tak sníží hradlové napětí na PMOS tranzistorech a tím obvod dostane do požadovaného pracovního bodu. Při zvýšení sledovaného úbytku na rezistoru  $R_0$  nad požadovanou mez se startovací obvod odpojí od bandgapového obvodu.



Obrázek 8 Operační body bandgapobvodu[2]

### 2.3 Princip a požadavky na použitý operační zesilovač

Operační zesilovač v zapojení napěťové reference typu bandgap slouží k udržení obvodu v pracovním bodě. Budeme od něj požadovat minimální napěťový offset, dobrou stabilitu a minimální proudovou spotřebu. Zároveň, jak již bylo nastíněno, bude realizován ve dvou provedeních s rozdílným provedením diferenčního páru, v jednom případě s konvenčními tranzistory a v druhém případě s použitím cirkulárních tranzistorů.

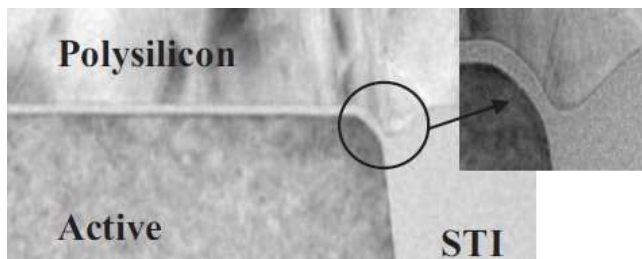
#### 2.3.1 Srovnání konvenčních a cirkulárních CMOS tranzistorů

Pro porozumění důvodu, proč používat cirkulární tranzistory oproti konvenčním, je třeba si nejdříve uvědomit, v jakých podmínkách diferenční pár operačního zesilovače pracuje a jak operační zesilovač ovlivňuje. Od obvodu požadujeme minimální proudovou spotřebu, což vede k nastavení diferenčního páru do podprahového režimu – velmi slabé inverze. Diferenční pár je zároveň zodpovědný za celkový offset operačního zesilovače. Máme zde tedy diferenční pár ve velmi slabé inverzi, od kterého požadujeme nízký napěťový offset.

Offset je způsoben „mismatchem“ - čili tím, jak se od sebe tranzistory diferenčního páru liší a v jak odlišných podmínkách pracují. Ovlivňuje je celá řada faktorů: od stálosti výrobního procesu, až po dobře navržený layout. Nás v tomto případě bude zajímat hlavně takzvaný „humpeffect“.

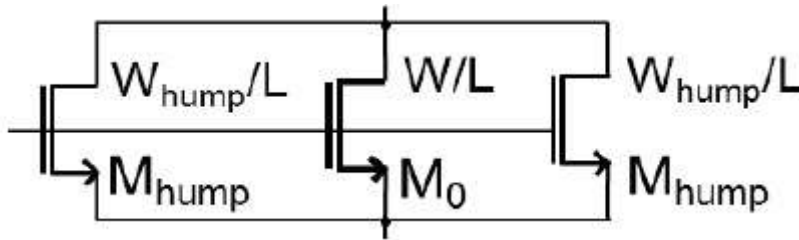
#### 2.3.1 „Humpeffect“ diferenčního páru

Nejdříve je třeba říci, co je to „humpeffect“ a jak vzniká v CMOS procesu. „Humpeffect“ je parazitické chování konvenčních MOS tranzistorů v technologii CMOS. Tento efekt je způsoben odlišnými podmínkami po stranách kanálu MOS tranzistoru.



Obrázek 9 Pohled elektronovým mikroskopem do řezu NMOS tranzistoru, zvýrazněn okraj kanálu [7]

Jak je vidět z obrázku 9, u okraje kanálu se nachází nerovnoměrnost, která vede k neideálnímu chování tranzistoru po krajích aktivní oblasti. Tato porucha se objevuje u všech konvenčních CMOS technologií, ale je daleko více patrná, pokud je použitý technologický krok STI (Shallowtrenchisolation – používá se k izolaci aktivní oblasti - tím dojde ke snížení úniku proudu do substrátu a umožňuje zvýšení hustoty integrace), nebo se jedná o flash výrobní technologii [7]. Námi použitá výrobní technologie Alp18 využívá technologický krok STI a jedná se o flash technologii, proto je zde „humpeffect“ pozorovatelný a jeho potlačením může získat zlepšení parametrů výsledného obvodu. „Humpeffect“ se popisuje jako dva parazitní MOS tranzistory připojené paralelně na primární tranzistor.



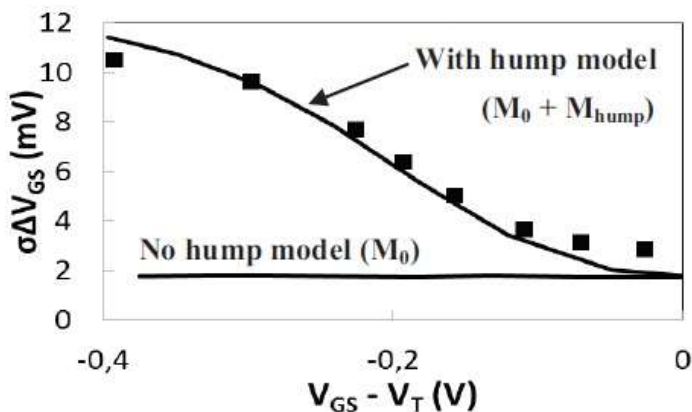
Obrázek 10 "Humpeffect" macromodel[7]

Vlastnosti parazitních tranzistorů jsou odlišné od tranzistoru primárního. Mají nižší prahové napětí, takže se zde vodivý kanál utvoří dříve a zároveň zde bude vyšší proudová hustota než v centru kanálu. Pokud se podíváme do rovnice pro výpočet statistické odchylky[7]:

$$\sigma(\Delta V_T) = \frac{A_{VT}}{\sqrt{W \cdot L}}$$

$$\sigma^2(\Delta V_{GS}) = \sigma^2(\Delta V_T) + \frac{1}{g_m} \sigma^2\left(\frac{\Delta \beta}{\beta}\right)$$

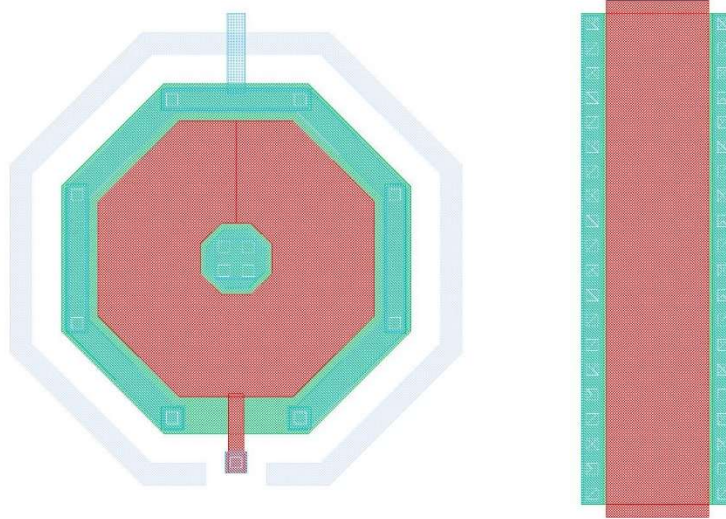
Z této rovnice je patrné, že nejlepší „matching“ můžeme očekávat pro vysoké hodnoty  $g_m/I_d$  a zároveň velké plochy tranzistorů. Pokud se ale podíváme na schéma s parazitními „hump“ tranzistory, jež mají nižší prahové napětí a jejichž šíře kanálu se v modelech udává okolo 1 % šířky aktivního kanálu [7], získáme následující charakteristiku:



Obrázek 11 Ukázka statistické odchylky způsobené „humpeffectem“ [7]

Z obrázku 11 je patrné, že v podprahovém režimu se „humpeffect“ stává nezanedbatelným pro napěťovou statistickou odchylku. Tento fakt nás vede k možnostem jeho potlačení nebo odstranění. Proto bylo zvoleno použití cirkulárních tranzistorů, které vzhledem ke svému

tvaru postrádají jakýkoliv postranní kanál, čímž se stává „humpeffect“ nemožným. Tato výhoda je ovšem zaplacená vyšší náročností na plochu čipu. Pokud tedy využijeme cirkulární tranzistory v diferenciálním páru operačního zesilovače bandgapu, můžeme očekávat snížení statistického rozptylu referenčního napětí [6]. Na obrázku 12 je patrný layout cirkulárního a konvenčního tranzistoru o srovnatelné velikosti kanálu. Můžeme si povšimnout, že konvenční tranzistor je více kompaktní, a také bude díky svému tvaru lépe využívat plochu čipu.



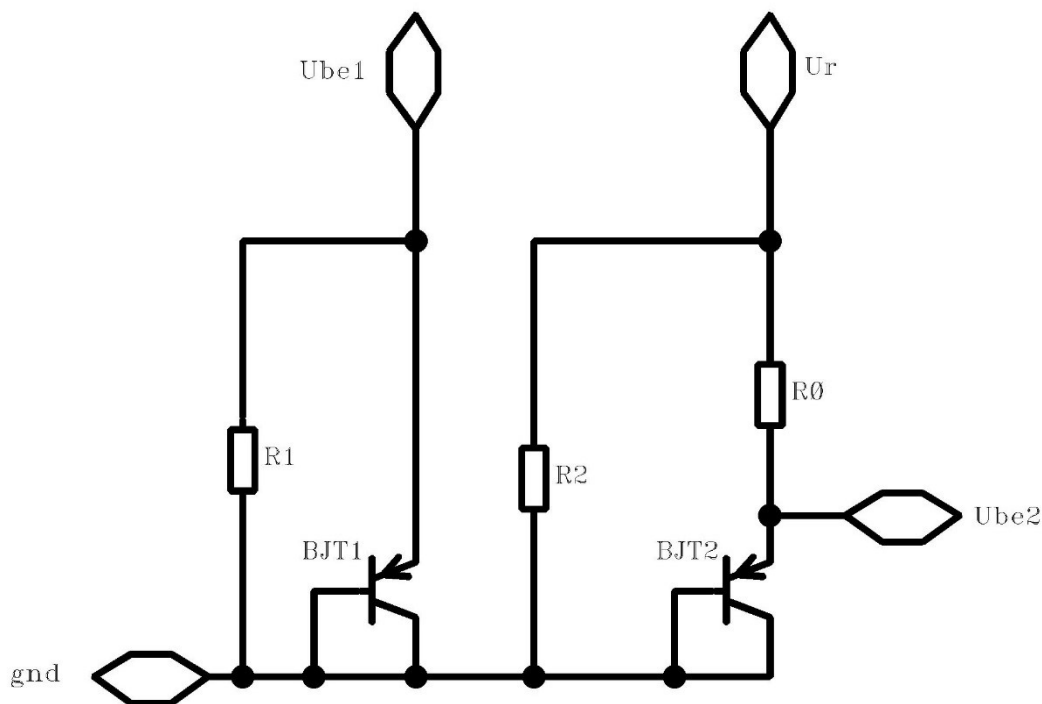
Obrázek 12 Porovnání layoutu cirkulárního a konvenčního tranzistoru o srovnatelné velikosti kanálu v technologii Alp18

### 3. Návrh

V následující kapitole bude využívána převážně metodologie  $g_m/I_d$  ke konkrétnímu návrhu obvodového řešení paralelního bandgapu principiálně popsaného v předchozí kapitole. Návrh bude rozdělen do několika kroků:

- Návrh jádra bandgapu
- Návrh operačního zesilovače
- Návrh hlavního proudového zrcadla bandgapu
- Návrh startovacího obvodu
- Návrh doplňkových částí:
  - Návrh blokování obvodu
  - Návrh testovacího obvodu
  - Obvod digitálního výstupu

#### 3.1 Návrh jádra bandgapu



Obrázek 13 Schéma obvodu jádra bandgapu

U návrhu jádra bandgapu použijeme vztah, ke kterému jsme došli v minulé kapitole:

$$U_{ref} = R_3 \left( \frac{U_{be}}{R_2} + \frac{1}{R_0} \frac{kT}{q} \ln n \right)$$

Jak již bylo řečeno, vhodným dosazením odporů  $R_{1,2}$  a  $R_0$  jsme schopni vykompenzovat teplotní závislost. Nejdříve si ale musíme určit, jak velký proud poteče bipolárními tranzistory. Tento proud chceme na jednu stranu co nejmenší z důvodu celkové spotřeby, což ovšem vede k velkým hodnotám odporů  $R_{0,1,2}$ , čili velkou plochu na čipu. Potřebujeme



tedy zvolit kompromis, který co nejlépe uspokojí naše specifikace. Dále je také nutné určit šířku používaných rezistorů. Pokud zvolíme malou šířku, bude mít sice výsledné řešení malou plochu vzhledem k rezistivitě, ale výrazně snížíme přesnost odporu a zhoršíme jeho reprodukovatelnost při výrobě. Volím tedy **šířku 1  $\mu\text{m}$** , což je dobrý kompromis mezi přesností a využitou plochou. Odpor na čtverec použitého odporu je přibližně **3,7  $\text{k}\Omega/\mu\text{m}^2$** . Přičemž z celkové plochy, přidělené na čipu 23528  $\mu\text{m}^2$ , si mohu dovolit zhruba polovinu použít právě na jádro bandgapu. Ovšem jádro bandgapu obsahuje také bipolární tranzistory, to znamená, že pro rezistory jádra bandgapu můžeme použít přibližně čtvrtinu celkové plochy. Tedy máme k dispozici 5882  $\mu\text{m}^2$ , musíme si ale uvědomit, že odpory nejde umístit příliš těsně k sobě. Výslednou baterii rezistorů bude nutné ohraničit difuzí a obecně je lepší mít ve výsledném layoutu rezervní místo. Přidělenou plochu tedy zmenšíme na třetinu a vynásobíme odporem na čtverec.

$$(A_{\text{Dostupná}} \div 3) \cdot \frac{R}{sq} = (5882 \div 3) \cdot 3700 \approx 7,25 \text{ M}\Omega$$

Tuto rezistivitu máme k dispozici pro odpory  $R_{0,1,2}$ . Největší část připadne na odpory  $R_{1,2}$ , odpor  $R_0$  bude přibližně o řád menší. Proud bipolárním tranzistorem tedy volíme 375 nA, k této hodnotě jsme došli ze znalosti rezistivity, kterou máme k dispozici a následujících vztahů.

$$R_0 = \frac{kT}{q} \cdot \frac{\ln n}{I_{ptat}}$$

Je třeba zvolit si hodnotu  $n$ , což je poměr ploch bipolárních tranzistorů. Volíme hodnotu  $n = 8$ , což je obecně nejpoužívanější hodnota, vzhledem k faktu, že umožňuje dobré řešení layoutu. Dále je potřeba si uvědomit, že ve vztahu je proud  $I_{ptat}$ , nikoliv proud  $I_2$ , přičemž v ideálním případě za pokojové teploty by měl mít proud  $I_{ptat}$  stejnou hodnotu jako proud odporem  $R_2$ . Proud  $I_{ptat}$  volíme 187,5 nA. Po dosazení do vztahu získáváme hodnotu odporu  $R_0$ :

$$R_0 = \frac{kT}{q} \cdot \frac{\ln n}{I_{ptat}} = 26 \cdot 10^{-3} \cdot \frac{\ln 8}{187,5 \cdot 10^{-9}} = 288349,2 \approx 288 \text{ k}\Omega$$

Se známou hodnotou odporu  $R_0$  můžeme spočítat teplotní závislost proudu  $I_{ptat}$ .

$$\Delta I_{ptat}(T) = \frac{1}{R_0} \cdot \frac{k}{q} \cdot \ln n = \frac{1}{288 \cdot 10^3} \cdot \frac{1,38 \cdot 10^{-23}}{1,6 \cdot 10^{-19}} \cdot \ln 8 = 6,23 \cdot 10^{-10} \text{ A}/^\circ\text{C}$$

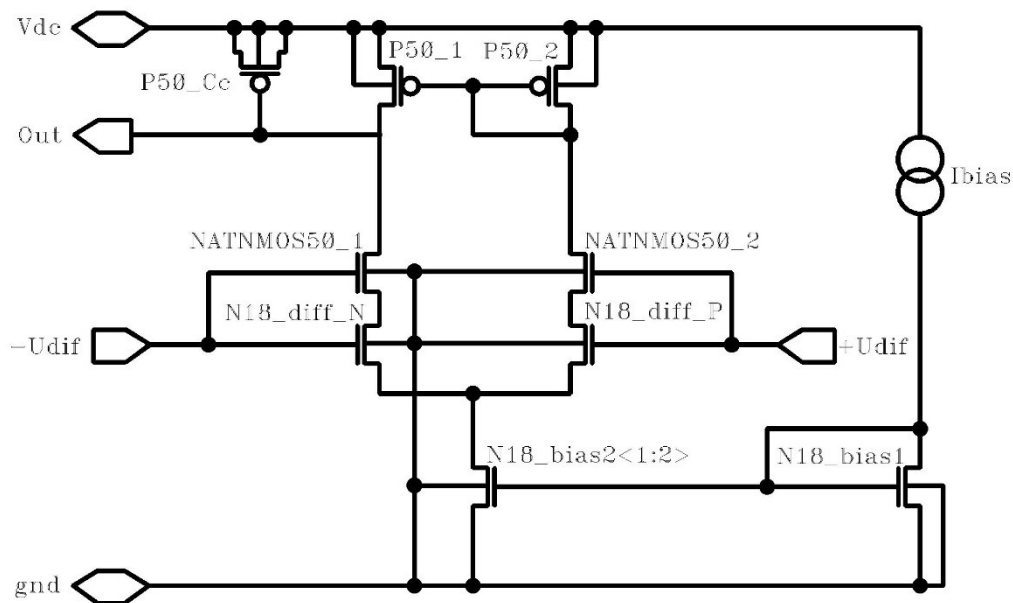
Nyní, když známe hodnotu kladné teplotní závislosti, musíme ještě přesně stanovit hodnotu záporné teplotní závislosti, tedy napěťového úbytku na bipolárním tranzistoru v diodovém zapojení. Tuto hodnotu jsme získali simulací v daném pracovním proudu a v dané technologii, a to  $\Delta U_{be}(T) = -2,14 \text{ mV}/^\circ\text{C}$ . Nyní můžeme získat hodnotu rezistorů  $R_{1,2}$ :

$$R_2 = \frac{\Delta U_{be}(T)}{\Delta I_{ube}(T)} = \frac{2,14 \cdot 10^{-3}}{6,23 \cdot 10^{-10}} = 3434991,9 \approx 3,43 \text{ M}\Omega$$

Tím získáváme hodnoty všech obvodových prvků v jádru bandgapu, tyto hodnoty však ještě nejsou konečné, ale budou použity jako výchozí při simulování obvodu, poté se ještě doladí pro co nejlepší výsledky.

## 3.2 Návrh operačního zesilovače

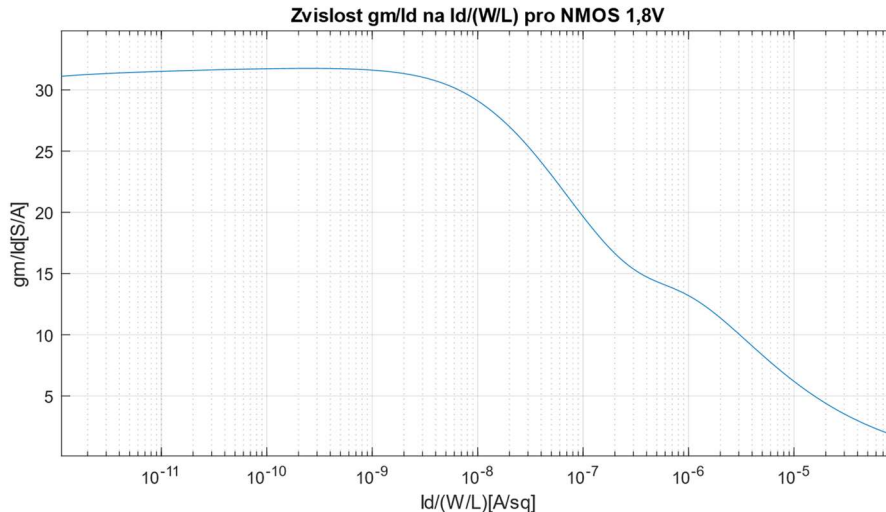
U operačního zesilovače bude kladen důraz na jeho nízkou proudovou spotřebu a dobrou stabilitu. Při jeho návrhu bude využita metodika  $g_m/I_d$ . Pro návrh operačního zesilovače existuje nepřehledné množství architektur a metodologií návrhu. Vzhledem k faktu, že požadovanými vlastnostmi je nízká spotřeba a dobrá stabilita, budeme se snažit zvolit co nejjednodušší architekturu. Je také nutné zmínit, že nepotřebujeme vysoké hodnoty napěťového zesílení ani velkou proudovou zatížitelnost. Naše požadavky tedy plně uspokojí jednostupňový operační zesilovač čili diferenční pár s aktivní zátěží. Zvolenou architekturu můžeme vidět na obrázku 14.



Obrázek 14 Architektura operačního zesilovače

### 3.2.1 Návrh diferenčního páru

Návrh začneme volbou pracovního proudu, kdy je nutné vzít v úvahu vlastnost, že na čipu není přítomna jiná proudová reference než bandgap. V souvislosti s tím musíme jeho proudovou referenci použít i pro jeho vlastní operační zesilovač – jedná se tedy o „self-bias“ obvod. Budeme tedy volit proudovou referenci bandgapu 93 nA jako pracovní proud diferenčním párem. To znamená, že pracovní proud je **47 nA** každým z tranzistorů diferenčního páru při nulovém diferenčním napětí. Dále si zvolíme požadované  $g_m/I_d$ , zde budeme volit nejvyšší možné v dané technologii, což v našem případě znamená  $g_m/I_d = 30$ , a to z důvodu, že se snažíme dosáhnout nízké napěťové statistické odchylky, a tedy volíme podprahový režim, tedy nízký inverzní faktor, tedy vysokou hodnotu  $g_m/I_d$ . Při návrhu využijeme graf na obrázku 15, ten popisuje závislost  $g_m/I_d$  na  $I_d/(W/L)$ , a můžeme s jeho pomocí získat poměr velikostí tranzistoru.



Obrázek 15 Graf závislosti  $g_m/I_d$  na  $I_d/(W/L)$  pro NMOS 1,8V tranzistor v technologii Alp18

Pro diferenční pár volíme tranzistor NMOS 1,8V, který má vhodnější vlastnosti, přestože si tím do výsledného řešení budeme muset přidat ochrannou kaskodu, jelikož by v určitých situacích mohlo dojít k překročení maximálního napětí na tranzistoru diferenčního páru.

$$\text{Pro } \frac{g_m}{I_d} = 30$$

$$\frac{I_d}{\frac{W}{L}} = 7 \frac{nA}{sq}$$

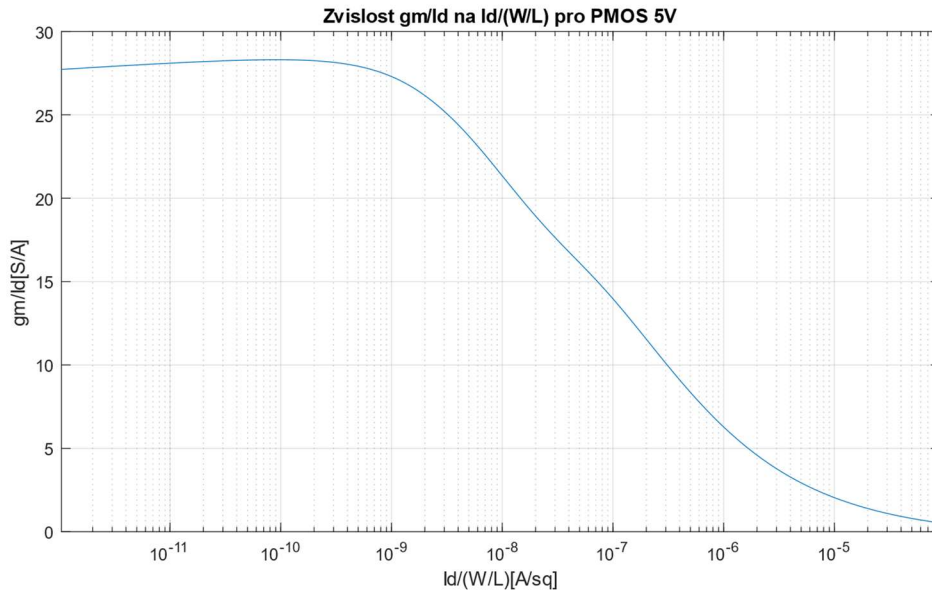
$$\text{Pro } I_d = 47 \text{ nA}$$

$$\frac{W}{L} = 6,7 \approx 7$$

Volíme  $W = 7 \mu m$   $L = 1 \mu m$

### 3.2.2 Návrh aktivní zátěže diferenčního páru

Aktivní zátěž diferenčního páru je v podstatě proudové zrcadlo, kde oproti diferenčnímu páru požadujeme nízkou proudovou statistickou odchylku, tedy silnou inverzi, tedy nízkou hodnotu  $g_m/I_d$ . Zároveň je ale nutné si uvědomit, že silná inverze s sebou přináší i velký napěťový úbytek, který si ne vždy můžeme dovolit, zvolené  $g_m/I_d$  je tedy kompromis mezi silnou inverzí a nízkým napěťovým úbytkem. Volím  $g_m/I_d = 13$ . Opět bude využit graf závislosti  $g_m/I_d$  na  $I_d/(W/L)$ , tentokrát na obrázku 16 pro PMOS 5V tranzistor.



Obrázek 16 Graf závislosti  $g_m/I_d$  na  $I_d/(W/L)$  pro tranzistor PMOS 5V v technologii Alp18

$$\text{Pro } \frac{g_m}{I_d} = 13$$

$$\frac{I_d}{\frac{W}{L}} = 125 \frac{nA}{sq}$$

$$\text{Pro } I_d = 47 nA$$

$$\frac{W}{L} = 0,376 \rightarrow \frac{L}{W} = 2,66 \approx 2,5$$

Volíme  $W = 2 \mu m$   $L = 5 \mu m$

### 3.2.3 Návrh přepětového proudového zrcadla

Přepětové proudové zrcadlo určuje pracovní proud diferenčního páru. Jako referenční proud je použit výstup hlavního zrcadla bandgapu 47 nA, který je vynásoben na 93 nA. Vzhledem k faktu, že stejně jako v minulém případě požadujeme nízkou hodnotu  $g_m/I_d$ , a stejně tak i zde je limitujícím faktorem napětový úbytek na tranzistoru. V tomto případě zvolíme vyšší hodnotu  $g_m/I_d$ , protože v tomto případě není statistická proudová odchylka natolik rozhodujícím faktorem, jako to bylo v případě aktivní zátěže. A současně potřebujeme snížit napětový úbytek na tomto tranzistoru tak, aby byl možný dostatečný napětový úbytek na tranzistorech aktivní zátěže a diferenčního páru. Volím  $g_m/I_d = 20$ . Opět bude využit graf závislosti  $g_m/I_d$  na  $I_d/(W/L)$  na obrázku 15 pro NMOS 1,8V tranzistor.

$$\text{Pro } \frac{g_m}{I_d} = 20$$

$$\frac{I_d}{\frac{W}{L}} = 90 \frac{nA}{sq}$$

$$\text{Pro } I_d = 93 nA$$

$$\frac{W}{L} = 1,03 \approx 1$$

Pro výstupní tranzistor přepětového proudového zrcadla volíme:

$$W = 4 \mu m \quad L = 4 \mu m$$

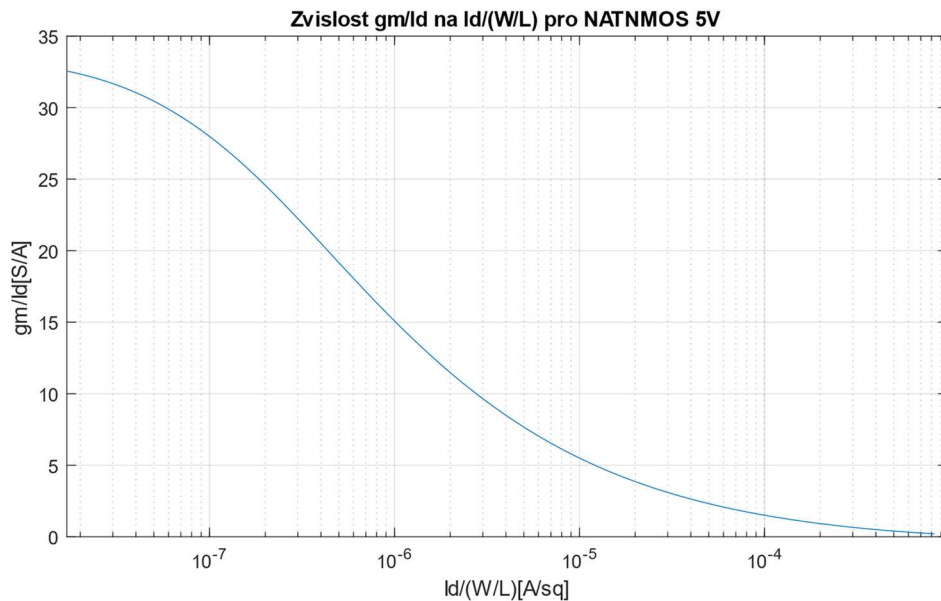
Z této hodnoty a poměru zrcadlení se dá přímo stanovit i rozměr vstupního tranzistoru:

Pro vstupní tranzistor přepětového proudového zrcadla volíme:

$$W = 2 \mu m \quad L = 4 \mu m$$

### 3.2.4 Návrh self-kaskody diferenčního páru

Self-kaskoda má v obvodu dvě základní funkce. První funkce, jak již bylo zmíněno, chrání diferenční pár před vyšším než přípustným napětím, a druhá, jež značně zvyšuje napětové zesílení operačního zesilovače. Požadavky jsou v tomto případě co nejvyšší možné  $g_m/I_d$  pro dosažení nejvyššího možného zesílení. Volím  $g_m/I_d = 32,5$ . Pro toto zapojení budou použity nativní NMOS 5V tranzistory, které mají extrémně nízké prahové napětí, čili se dají použít jako kaskody bez nutnosti řešit jejich napětové přepětí. Bude využít graf závislosti  $g_m/I_d$  na  $I_d/(W/L)$  na obrázku 17 pro NATNMOS 5V tranzistor.



Obrázek 17 Graf závislosti  $g_m/I_d$  na  $I_d/(W/L)$  pro tranzistor NATNMOS 5V v technologii Alp18

$$\text{Pro } \frac{g_m}{I_d} = 32,5$$

$$\frac{I_d}{\frac{W}{L}} = 18 \frac{nA}{sq}$$

$$\text{Pro } I_d = 47 nA$$

$$\frac{W}{L} = 2,61 \approx 2,5$$

$$\text{Volíme } W = 4 \mu m \quad L = 1,6 \mu m$$

### 3.2.5 Návrh kompenzační kapacity operačního zesilovače

Kompenzační kapacita je v našem případě realizována jako hradlová kapacita PMOS 5V tranzistoru, a to z důvodu vyšší kapacity na čtverec než v případě použití jiného řešení, například metal-metal kapacitoru. To s sebou sice přináší značnou závislost kapacity na napětí, to ale v našem případě nečiní problém. Dále je také nutné si uvědomit, že vzhledem k použití jednostupňového řešení operačního zesilovače se veškerá kapacitní zátěž hlavního proudového zrcadla bandgapu chová jako kompenzační kapacita. Následně je nutné si zvolit požadovanou fázovou jistotu, v našem případě  $PM = 75^\circ$  typicky. Nejjednodušší postup v našem případě je zvolit si nyní kompenzační kapacitu libovolně a později jí nastavit dle výsledků simulace na požadovanou fázovou jistotu. Kompenzační kapacitu volíme  $W = 10 \mu m$   $L = 10 \mu m$

### 3.3 Návrh hlavního proudového zrcadla bandgapu

Hlavní proudové zrcadlo slouží pro násobení proudu na požadované úrovni z proudu jádrem bandgapu. Při návrhu se musí zohlednit, jak nízké  $g_m/I_d$  si můžeme dovolit vůči napěťové dotaci. Zvolené obvodové řešení využívá kaskodové zrcadlo s externím přepětím pro kaskodu. Dále budou uvažovány požadavky:

1 - může být požadována reference až 1,2 V

2 – minimální napájení 1,6 V

Napěťová dotace pro kaskodové zrcadlo je tedy 400 mV, s jistotou voleno 335 mV. Níže je vidět úprava vzorce pro saturační napětí MOS tranzistorů ve slabé inverzi. Po dosazení zjistíme, jaký inverzní faktor si můžeme dovolit s danou napěťovou dotací.

$$U_{dssat} = U_T \cdot (2\sqrt{IF} + 4)$$

$$IF = \left( \frac{U_{DS}}{2U_T} - 2 \right)^2$$

Napěťovou dotaci rozdělíme v poměru 200 mV pro zrcadlo a 135 mV pro kaskodu.

**Zrcadlo:**

$$IF = \left( \frac{0,2}{0,052} - 2 \right)^2 = 3,41$$

$$\left( \frac{W}{L} \right) = \frac{I_D}{I_0 \cdot IF} = \frac{23 \cdot 10^{-9}}{70 \cdot 10^{-9} \cdot 3,41} = 0,096 \quad \left( \frac{L}{W} \right) = 10,4 \approx 10$$

Volíme  $W = 0,5 \mu m$   $L = 5 \mu m$

**Kaskoda:**

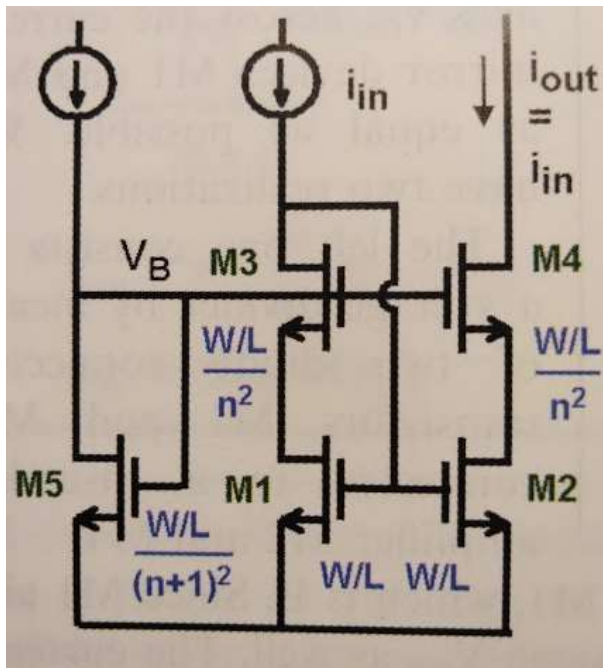
$$IF = \left( \frac{0,135}{0,052} - 2 \right)^2 = 0,36$$

$$\left( \frac{W}{L} \right) = \frac{I_D}{I_0 \cdot IF} = \frac{23 \cdot 10^{-9}}{70 \cdot 10^{-9} \cdot 0,36} = 0,91 \quad \left( \frac{L}{W} \right) = 1,1 \approx 1$$

Volíme  $W = 0,5 \mu m$   $L = 0,5 \mu m$

### 3.3.1 Návrh obvodu pro přepětí kaskody hlavního proudového zrcadla bandgapu

Kaskodové zapojení hlavního proudového zrcadla bandgapu potřebuje pro svoji správnou funkci přepětí, toto přepětí může být generováno různými způsoby, ovšem v našem případě využijeme zapojení z obrázku 18.



Obrázek 18 Schéma obvodu generování přepětí pro kaskodu[2]

Podle vzorce získáme rozměry tranzistoru, místo zdroje proudu použijeme proudové zrcadlo o proudu 47 nA.

**Tranzistor v diodovém zapojení:**

$$\left(\frac{W}{L}\right) = 0,1 \quad n = \sqrt{0,1} = 0,32$$

$$\frac{\left(\frac{W}{L}\right)}{(n+1)^2} = \frac{0,1}{(0,32+1)^2} = 0,06 \quad \left(\frac{L}{W}\right) = 16,7$$

Volíme  $W = 0,5 \mu\text{m}$   $L = 6 \mu\text{m}$

**Zdroj proudu:**

Proudové zrcadlo využije shodnou referenci s operačním zesilovačem, pouze bez násobení, čímž získáme proud 47 nA.

Volíme tedy shodnou hodnotu  $W = 2 \mu\text{m}$   $L = 4 \mu\text{m}$

V tomto případě je ještě nutné uvážit ochranu tranzistoru proudového zrcadla. Jedná se o 1,8 V tranzistor a v tomto případě by bez ochrany mohlo dojít k překročení povolené hodnoty  $U_{DS}$ . Proto zde použijeme zapojení self-kaskody s využitím nativního 5 V tranzistoru, ten ochrání tranzistor proudového zrcadla a zároveň zidealizuje zrcadlo. Volím  $g_m/I_D = 32,5$ . Bude využit graf závislosti  $g_m/I_D$  na  $I_D/(W/L)$  na obrázku 17.

$$\text{Pro } \frac{g_m}{I_d} = 32,5$$

$$\frac{I_d}{\frac{W}{L}} = 18 \frac{nA}{sq}$$

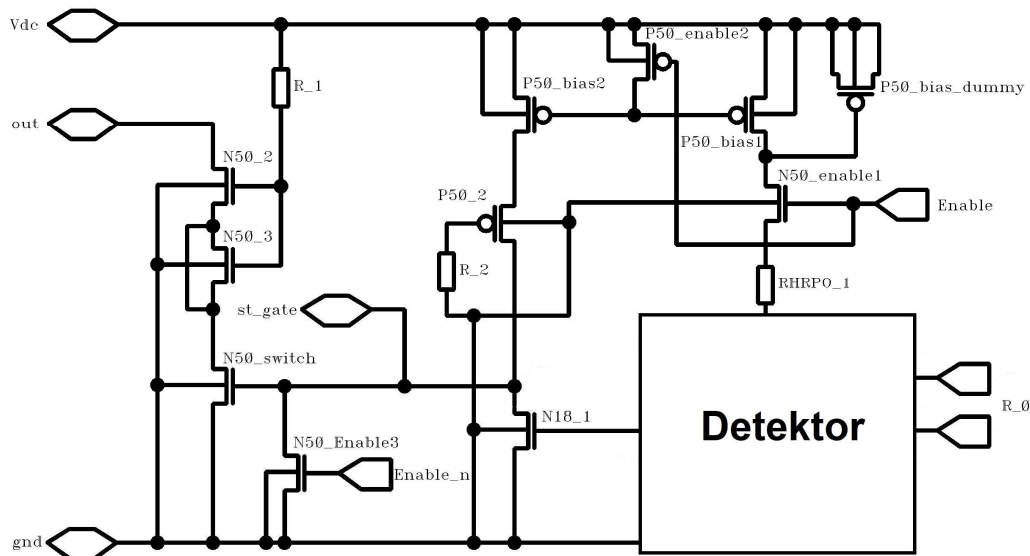
$$\text{Pro } I_d = 47 nA$$

$$\frac{W}{L} = 2,61 \approx 2,5$$

Volíme  $W = 4 \mu m$   $L = 1,6 \mu m$

### 3.4 Návrh startovacího obvodu

Startovací obvod, jak již bylo zmíněno, musí dostat celý obvod do požadovaného pracovního bodu, nesmí ovlivňovat obvod, pokud již je ve správném pracovním bodě, a zároveň musí mít minimální spotřebu. V našem případě bude použita architektura na obrázku 19.



Obrázek 19 Ukázka architektury startovacího obvodu

Jak si můžeme všimnout, v pravé části obvodu se nachází blok Detektor. Tato část obvodu je „know-how“ firmy ASICentrum, a proto je zde znázorněna pouze blokem, nikoliv přímým obvodovým zapojením. Princip Detektoru je zjednodušen tak, aby ochránil „know-how“ firmy ASICentrum. Podstatou Detektoru ale je, že sleduje úbytek napětí na odporu  $R_0$  z jádra bandgapu. Pokud je tedy úbytek nulový, jádrem neteče proud, tedy obvod není v požadovaném pracovním bodě, Detektor zvýší hradlové napětí výstupních tranzistorů startovacího obvodu, což sníží hradlové napětí hlavního proudového zrcadla bandgapu, což bude mít za následek zvýšení proudu jádrem bandgapu. Detektor má zvolenou prahovou hodnotu úbytku napětí na odporu  $R_0$ , a to přibližně 22 mV. Pokud uvážíme následující vztah:

$$I_{R_0} \cdot R_0 = U_{R_0} \approx 22 mV$$



Dostáváme se k proudu odporem  $R_0$  **75 nA**, což znamená proud jádrem 150 nA. Můžeme si povšimnout, že tato hodnota není ani poloviční proti pracovnímu proud. Od startovacího proudu se vyžaduje pouze malý stimul obvodu a poté již přenechat zbytek činnosti na operačním zesilovači. Zvolená hodnota prahového napětí Detektoru plně zaručí nastartování obvodu, ale zároveň také zajistí, že startovací obvod bude v pracovním bodu bandgapu již zcela nečinný.

### 3.4.2 Nastavení proudu startovacího obvodu

Nastavení proudu startovacím obvodem je značně problematické vzhledem k absenci jakékoliv reference před startem samotného bandgapu, proud je tedy nastaven pomocí odporu, což s sebou samozřejmě nese nevýhodu v podobě závislosti obvodu na napájecím napětí. Celková proudová spotřeba by typicky neměla přesáhnout 50 nA. Požadovaný proud Detektorem při typickém napětí volíme 32 nA, tedy 16 nA na tranzistor. Při návrhu využijeme vzorec pro výpočet saturačního napětí  $U_{DSsat}$  na tranzistoru:

$$U_{DSsat} = U_T \cdot (2\sqrt{IF} + 4)$$

Z tohoto vztahu je patrné že saturační napětí na tranzistorech roste spolu s inverzním faktorem. Můžeme tedy odhadnout, jaký napěťový úbytek budou mít jednotlivé tranzistory. Následně využijeme odpor  $R_{HRPO1}$  a nastavíme jej tak, aby při daném proudu jeho úbytek pokryl zbytek napěťové rezervy, čímž obvodu nastavíme pracovní proud. Dále se budeme držet předpokladu, že tranzistory proudového zrcadla budou pracovat v silnější inverzi než blokovací tranzistor. Uvažujeme tedy typické napájecí napětí 2 V, dále napěťový úbytek na tranzistoru proudového zrcadla  $U_{P50\_2} = 500$  mV, úbytek na blokovacím tranzistoru  $U_{N50\_3} = 400$  mV a úbytek na Detektoru  $U_{Det} = 700$  mV. Dohromady tedy dostáváme:

$$U_{sum} = U_{P50\_2} + U_{N50\_3} + U_{Det} = 1,6 V$$

$$U_{RHRPO1} = U_{vdd} - U_{sum} = 2V - 1,6V = 300 mV$$

Odpor tedy stanovíme jako:

$$R_{HRPO1} = U_{RHRPO1} \div I_{RHRP} = 300 \cdot 10^{-3} \div 32 \cdot 10^{-9} = 9,375 \cdot 10^6 \approx 10 M\Omega$$

### 3.4.3 Návrh zbývajících obvodových prvků startovacího obvodu

Ted, když známe proud, pro který budeme obvod navrhovat, můžeme využít metody  $g_m/I_D$  pro návrh zbývajících obvodových prvků.

#### 3.4.3.1 Proudové zrcadlo startovacího obvodu

Proudové zrcadlo zde využíváme ke stanovení proudu v druhém zesilovacím stupni, který bude poloviční v porovnání s proudem Detektoru. Zrcadlo tedy 32 nA ve větvi Detektoru přezrcadlí na 16 nA pro druhý zesilovací stupeň. U proudového zrcadla opět potřebujeme nízkou hodnotu  $g_m/I_D$ , volíme  $g_m/I_D = 22,5$ , tato hodnota by mohla být nižší, ale vzhledem k faktu, že zde nevyžadujeme přesné zrcadlo a že zrcadlený proud bude závislý na napájecím napětí, tato hodnota je dostatečná. Důvodem je opět to, že pro takto nízký pracovní proud je silná inverze obtížná. U návrhu použijeme graf z obrázku 16.

$$\text{Pro } \frac{g_m}{I_d} = 22,5$$

$$\frac{I_d}{\frac{W}{L}} = 7,2 \frac{nA}{sq}$$

$$\text{Pro } I_d = 32 \text{ nA}$$

$$\frac{W}{L} = 4,4 \approx 4$$

Pro tranzistor ve větvi diferenčního páru volíme  $W = 8 \mu m$   $L = 2 \mu m$

Pro tranzistor ve větvi druhého stupně volíme  $W = 4 \mu m$   $L = 2 \mu m$

### 3.4.3.2 Druhý zesilovací stupeň startovacího obvodu

Tento tranzistor a celkově celá větev druhého stupně zde není přímo z důvodu většího zesílení, ale hlavně z důvodu přizpůsobení signálu pro výstupní tranzistor. Signál z druhého zesilovacího stupně musí mít dostatečný napěťový rozsah pro plné zavření i otevření výstupního tranzistoru a musí být ve správné fázi vzhledem ke vstupu. Tyto vlastnosti nám druhý stupeň zaručí. Požadujeme od něj vyšší hodnotu  $g_m/I_D$ , volíme  $g_m/I_D = 27,5$ . Pracovní proud tranzistorem je **16 nA**. U návrhu použijeme graf z obrázku 15.

$$\text{Pro } \frac{g_m}{I_d} = 27,5$$

$$\frac{I_d}{\frac{W}{L}} = 17,4 \frac{nA}{sq}$$

$$\text{Pro } I_d = 16 \text{ nA}$$

$$\frac{W}{L} = 0,91 \approx 1$$

Volíme  $W = 4 \mu m$   $L = 4 \mu m$

### 3.4.3.3 Výstupní tranzistor startovacího obvodu

Výstupní tranzistor v případě zásahu startovacího obvodu sníží hradlové napětí hlavního PMOS zrcadla bandgapu a tím celý obvod nastartuje. Můžeme o něm uvažovat jako o spínači, a v tom případě nevyužijeme metodu  $g_m/I_D$ . Budeme tedy požadovat co nejnižší délku kanálu a zvolíme třinásobek minimální délky kanálu v dané technologii. Pod tuto hranici se nedoporučuje v analogových obvodech zacházet. Přesná šířka kanálu v tomto případě nehraje roli, je pouze nutné zajistit, aby byla dostatečná vzhledem ke špičkově procházejícímu proudu.

Volíme  $W = 2 \mu m$   $L = 0,6 \mu m$

### 3.4.3.4 Ochranné tranzistory

Ochranné tranzistory najdeme ve startovacím obvodu na dvou místech, v prvním případě jako ochranu druhého zesilovacího stupně, v dalším případě jako omezení špičkového proudu výstupního tranzistoru.

V případě ochrany druhého zesilovacího stupně nejdříve zmíním, proč je zde tato ochrana nutná. Jako zesilovací tranzistor je využit NMOS 1,8V, což může být problém, protože napájecí napětí může dosahovat až hodnoty 2,6 V. Jinými slovy, úkolem ochrany je zde zabezpečit, že 1,8 V tranzistor nebude nikdy mít napětí  $U_{DS}$  vyšší než dovolené napětí.

K tomu využijeme úbytku na otevřeném tranzistoru, přičemž jeho velikost volím tak, aby mimo ochranou funkci minimálně ovlivnil obvod.

Volíme  $W = 20 \mu m$   $L = 0,5 \mu m$

V případě ochrany výstupního tranzistoru se jedná o ochranu proti proudové špičce. Musíme si uvědomit, že hradlová kapacita celého hlavního proudového zrcadla bandgapu má značnou kapacitu a její vybití bude značně proudově namáhat výstupní tranzistor. Proto jsou mu předrženy dva otevřené tranzistory, jeden z nich jako náhradní pro případ jednoduší metalové opravy čipu. U těchto tranzistorů využijeme odpor kanálu pro snížení maximálního proudu.

Volíme  $W = 0,5 \mu m$   $L = 10 \mu m$

### 3.4.3.5 Blokovací tranzistory startovacího obvodu

Blokovací tranzistory musejí být až na výjimky součástí každého analogového designu. Jejich účel je minimalizování spotřeby bloku v případě vypnutí daného bloku. V případě startovacího obvodu je pro minimalizaci spotřeby nutné přerušit proud odporem  $R_{HRPO1}$ , proud druhým zesilovacím stupněm, a dále zaručit, aby byl výstupní tranzistor v nevodivém stavu. Tyto tři podmínky zaručí možnost blokování startovacího obvodu tak, že bude mít v blokováném stavu takřka nulovou proudovou spotřebu.

V případě blokování pro  $R_{HRPO1}$  volím NMOS 5V tranzistor, který pro odblokování potřebuje logickou 1. Tranzistor má oproti své funkci spínače delší kanál z důvodu většího propustného úbytku, a tím snížení požadované hodnoty  $R_{HRPO1}$ , jelikož velké odpory zabírají na čipu výraznou plochu.

Volíme  $W = 2,4 \mu m$   $L = 1,6 \mu m$

V případě blokování proudu druhým zesilovacím stupněm volím PMOS 5V tranzistor, který pro odblokování potřebuje logickou 1. Tranzistor v případě blokování zvýší hradlové napětí proudového zrcadla na úroveň napájecího napětí, a tím sníží jeho proud k nule. Tranzistor má funkci spínače, tedy volím široký a krátký kanál.

Volíme  $W = 5 \mu m$   $L = 0,5 \mu m$

V případě blokování pro výstupní tranzistor volím NMOS 5V tranzistor, který pro odblokování potřebuje logickou 0. Ten v případě blokace přizemní hradlo výstupního tranzistoru, čímž zabezpečí jeho nevodivý stav. Jedná se o spínací tranzistor.

Volíme  $W = 2 \mu m$   $L = 0,6 \mu m$

## 3.5 Návrh blokování obvodu

Jak již bylo naznačeno výše, každý analogový blok by měl obsahovat možnost blokování, pro minimalizování spotřeby ve chvílích, kdy není blok využíván. Bloky na čipu bývají pevně připojeny na napájecí napětí, ale obsahují možnost blokování. O blokování rozhoduje řídicí obvod čipu a činí tak pro co možnou nejlepší optimalizaci spotřeby při zachování provozních vlastností. Digitální blokovací vstup bloku je navržen tak, aby přivedená logická 1 znamenala spuštění obvodu a logická 0 blokování obvodu. Pro zpracování signálu je využito páru invertorů realizovaných pomocí standardních buněk, ty zaručují, že bude signál vždy v jednom z logických stavů a zároveň generují invertovanou hodnotu signálu. Invertovaný i neinvertovaný blokovací signál je přiveden do startovacího obvodu, jak již bylo zmíněno výše. Dále je neinvertovaný blokovací signál přiveden na PMOS blokovací

tranzistor, který v případě blokace zvýší hradlové napětí hlavního zrcadla bandgapu, tím přestane téct proud jádrem bandgapu. Tento blokovací tranzistor pracuje jako spínač, proto jeho hodnotu volíme s ohledem na nízký odpor kanálu v sepnutém stavu:

Volíme  $W = 5 \mu m$   $L = 0,5 \mu m$

Vzhledem k faktu, že operační zesilovač využívá jako proudovou referenci hlavní proudové zrcadlo bandgapu a při blokování jím přestává protékat pracovní proud, celý obvod se dostane do pracovního bodu při nulovém proudu, z kterého se bez zásahu startovacího obvodu již nedostane. V tomto stavu je proudová spotřeba celého obvodu minimální.

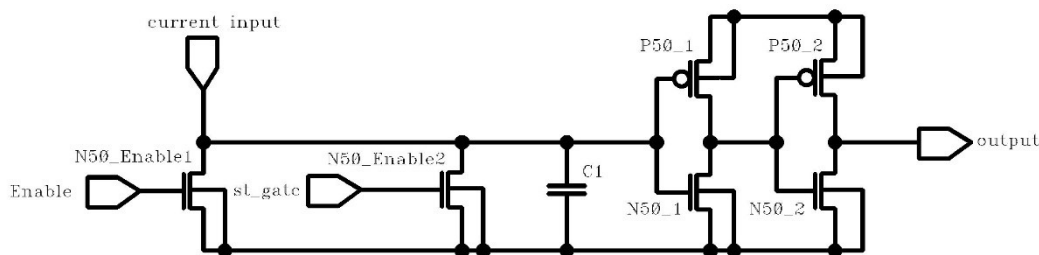
### 3.6 Návrh testovacího obvodu

Testovací obvod slouží ke snížení hradlového napětí hlavního proudového zrcadla bandgapu a tím nastavení maximálního proudového výstupu. Tento stav se může využít při testování čipu jako zátěžový test obvodu, nebo se dá s jeho pomocí obejít startovací obvod. Při běžném provozu čipu se obvod v tomto stavu neprovozuje. K realizaci použijeme sérii invertorů ze standardních buněk pro zajištění jasné hladiny signálu v logické 0 a 1. Následuje spínací tranzistor, který přizemní hradla tranzistorů hlavního proudového zrcadla bandgapu, a tím docílí testovacího stavu. Tranzistor pracuje jako spínač, proto:

Volíme  $W = 2 \mu m$   $L = 1 \mu m$

### 3.7 Návrh digitálního výstupu

Digitální výstup bloku slouží k potvrzení, že je obvod připraven v požadovaném pracovním bodě a jeho reference může být využívána.



Obrázek 20 Obvod digitálního výstupu

Jak můžeme vidět z obrázku 20, obvod využívá proudového výstupu z hlavního proudového zrcadla bandgapu. Pokud je obvod odblokován, tranzistor N50\_Enable1 je v nevodivém stavu. Pokud startovací obvod přestane zasahovat do obvodu bandgapu, dostane se tranzistor N50\_Enable2 rovněž do nevodivého stavu, a kapacitor C1 se začne nabíjet kontinuálním zdrojem proudu. Po překročení napětí kapacitoru nad rozhodující úroveň dvojitého invertoru vydá obvod digitální výstup připraven.

Rozhodovací napětí je dáno poměrem velikosti tranzistoru v prvním invertoru a napájecím napětím, což znamená napětíovou závislost zpoždění na napájecím napětí. Obvod tedy budeme navrhovat pro minimální napájecí napětí 1,6 V, jelikož zde bude doba zpoždění nejmenší. Nyní si musíme stanovit poměr velikostí tranzistorů a stanovit tak rozhodující napětí. Výhodnější je nastavit vyšší rozhodující napětí, což povede na menší plochu kapacitoru pro shodné zpoždění. Tranzistorům v prvním invertoru volíme shodnou šířku kanálu 0,5  $\mu m$ , délku kanálu volíme v poměru 1 ku 3, tedy:

### Návrh prvního invertoru

Pro PMOS tranzistor volíme  $W = 0,5 \mu\text{m}$   $L = 1 \mu\text{m}$

Pro NMOS tranzistor volíme  $W = 0,5 \mu\text{m}$   $L = 3 \mu\text{m}$

### Návrh kapacitoru

Tím jsme si stanovili rozhodující napětí a můžeme přejít k nastavení kapacitoru. Rozhodující napětí je tedy **750 mV** a požadované zpoždění se rovná  $17,5 \mu\text{s}$ . Tato hodnota byla stanovena z prvotních simulací obvodu. Spočítáme tedy velikost kapacitoru:

$$C = \frac{I \cdot t}{U} = \frac{10 \cdot 10^{-9} \cdot 17,5 \cdot 10^{-6}}{0,75} = 2,33 \cdot 10^{-13} = 233 \text{ fF}$$

Kapacita na čtverec je rovna  $3,13 \text{ fF}/\mu\text{m}^2$

Volíme  $W = 13 \mu\text{m}$   $L = 6 \mu\text{m}$

### Návrh blokovacích tranzistorů

Tyto tranzistory pracují ve stejných podmínkách, oba pracují jako spínače, a proto v obou případech

Volíme  $W = 2 \mu\text{m}$   $L = 0,6 \mu\text{m}$

### Návrh výstupního invertoru

Výstupní invertor nemá na obvod zásadní vliv, pouze šíře kanálu jeho tranzistorů je větší vzhledem k faktu, že v této fázi návrhu není jasné, jak bude výstup zatížen.

Pro PMOS tranzistor volíme  $W = 1 \mu\text{m}$   $L = 0,5 \mu\text{m}$

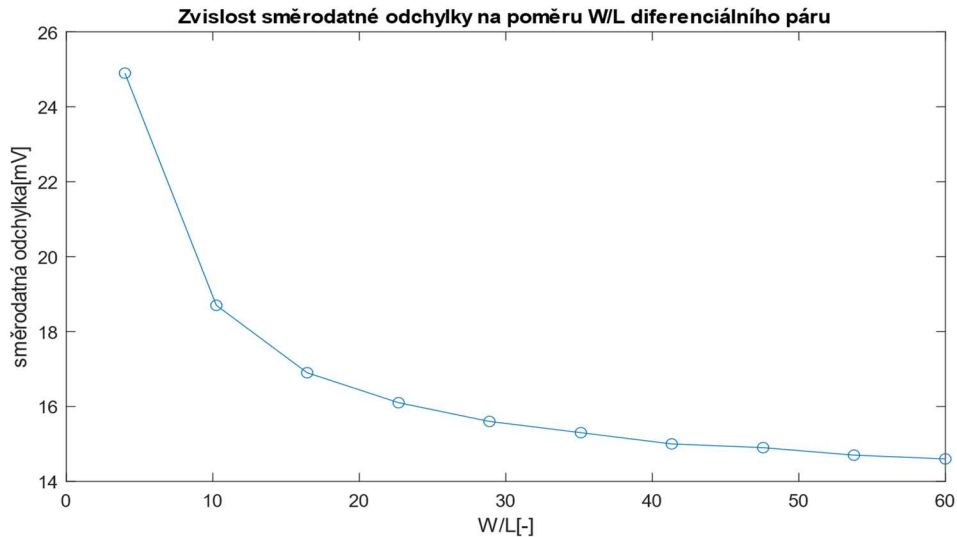
Pro NMOS tranzistor volíme  $W = 1 \mu\text{m}$   $L = 0,6 \mu\text{m}$

## 3.8 Doladění parametrů dle prvotních simulací obvodu

Po prvotních typických simulacích došlo ke změně u některých parametrů obvodu, které se ukázaly jako nedostatečné, nebo nabízely možnost zlepšení parametrů obvodu bez větších nevýhod.

### 3.8.1 Doladění poměru W/L diferenčního páru operačního zesilovače

Poměr W/L diferenčního páru byl prvotně stanoven na 7, je třeba si ale uvědomit, že se zde nacházíme v natolik slabé inverzi, že využíváme námi použitou metodologii  $g_m/I_d$  na samé hranici jejích možností. V parametrické simulaci, kde se prováděly typické simulace pro mnoho poměrů W/L, se ukázal jako nejlepší poměr **40**, a to hlavně z důvodu statistické odchylky výstupního referenčního napětí. Na obrázku 21 můžeme vidět závislost statistické odchylky na poměru velikostí diferenčního páru operačního zesilovače.

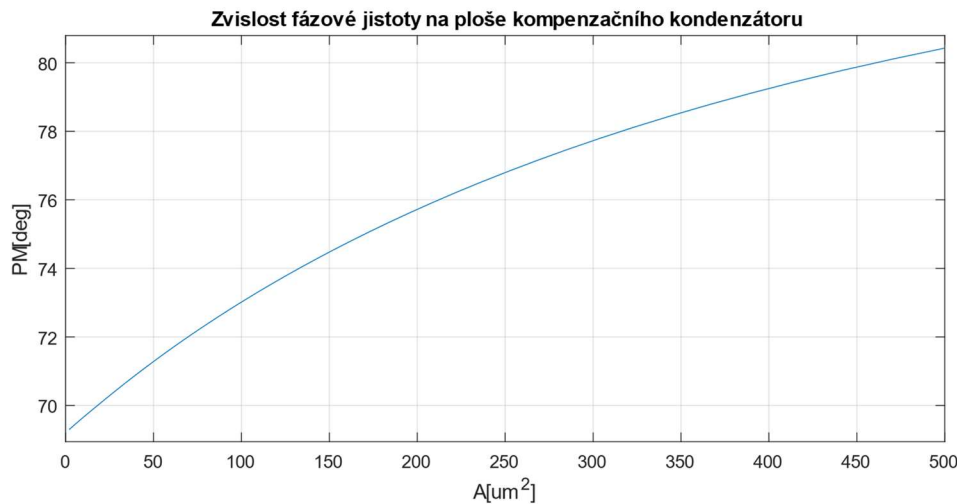


Obrázek 21 Závislost směrodatné odchylky na poměru  $W/L$  diferenciálního páru operačního zesilovače, pro každý bod grafu bylo provedeno 250 běhů simulace metodou MonteCarlo

Pro diferenční pár tedy volíme  $W = 40 \mu\text{m}$   $L = 1 \mu\text{m}$

### 3.8.2 Dostavení kompenzační kapacity operačního zesilovače

Jak již bylo zmíněno, kompenzační kapacita je tvořena hradlovou kapacitou PMOS tranzistoru a primárně byla zvolena  $W = 10 \mu\text{m}$   $L = 10 \mu\text{m}$ , což vedlo k fázové jistotě  $73,02^\circ$ . Parametrickou simulací se došlo ke grafu na obrázku 22.



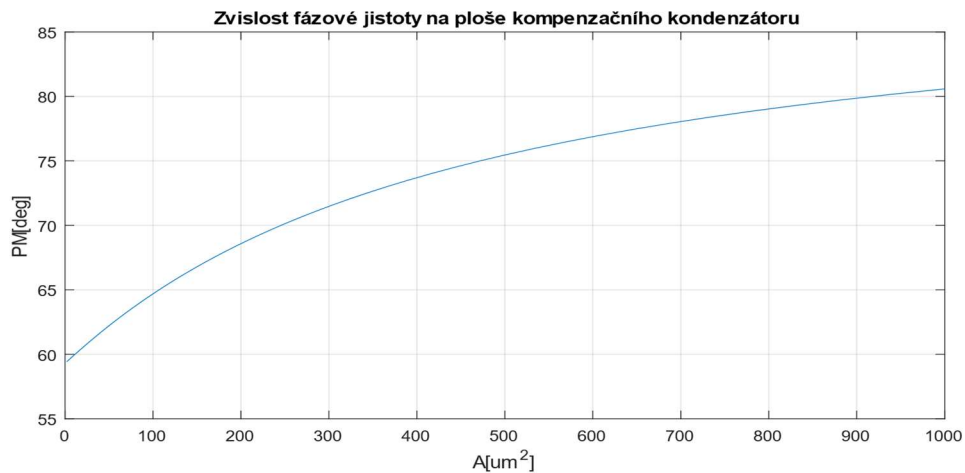
Obrázek 22 Závislost fázové jistoty na ploše kompenzačního kondenzátoru pro řešení s konvenčními tranzistoty

Z grafu byla vybrána plocha  $200 \mu\text{m}^2$  a tedy hodnota  $W = 25 \mu\text{m}$   $L = 8 \mu\text{m}$ , což vedlo k fázové jistotě  $75,73^\circ$  typicky.

### 3.9 Změny v návrhu řešení s cirkulárními tranzistory

První očividnou změnou je změna diferenčního páru. Namísto konvenčních tranzistorů s rozměry  $W = 40 \mu\text{m}$   $L = 1 \mu\text{m}$  volíme cirkulární tranzistory, které ovšem nemají libovolně volitelnou velikost. Místo toho mají pevně stanovenou hodnotu  $W = 9,6 \mu\text{m}$   $L = 2 \mu\text{m}$ , čili použijeme paralelní kombinaci osmi tranzistorů k dosažení hodnoty  $= 76,8 \mu\text{m}$   $L = 2 \mu\text{m}$ . To vede na stejný poměr  $W/L$ .

Přináší to s sebou ovšem další problém, jelikož se hradlová kapacita diferenčního páru oproti konvenčnímu řešení zvýšila, snížila se frekvence nedominantního pólu, a tím se snížila fázová jistota. Bude tedy nutné upravit hodnotu kompenzační kapacity. Využijeme opět parametrické analýzy.



Obrázek 23 Závislost fázové jistoty na ploše kompenzačního kondenzátoru pro řešení s cirkulárními tranzistory

Parametrickou analýzou se došlo k hodnotě  $W = 32 \mu\text{m}$   $L = 13 \mu\text{m}$ , což vedlo k fázové jistotě  $74,56^\circ$  typicky.

Všechny ostatní parametry obvodu zůstaly zachovány a neliší se od řešení s konvenčními tranzistory.

### 3.10 Doplnění dummy prvků do obvodu

Ve schématu se nachází ještě řada dummy součástek, které převážně souvisí se správným provedením layoutu, proto se o nich zmíním až dále v této práci.

### 3.11 Shrnutí finálního schématu

Kompletní finální schéma se nachází v příloze na konci této práce. Po této kapitole známe parametry každé jednotlivé součástky ve schématu a důvod volby každého parametru. Mnoho součástek má parametry rozložené do několika paralelních součástek, a to z více důvodů, o nichž se zmíním v kapitole layoutu.

## 4. Simulace obvodu

Simulace obvodu můžeme rozdělit do čtyř částí:

- Simulace referenčního napětí v závislosti na teplotních, procesních a napěťových rozích
- Simulace spotřeby a startovacího času
- Analýza stability celého obvodu
- Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Všechny tyto simulace budou provedeny jak pro řešení s konvenčními tranzistory, tak pro řešení s cirkulárními tranzistory.

### 4.1 Simulace řešení s konvenčními tranzistory

Pro simulace bylo zhotoveno testovací schéma, jež můžeme nalézt v kapitole přílohy, na konci této práce.

#### 4.1.1 Simulace referenčního napětí přes procesní, teplotní a napěťové rohy

Cílem této simulace je zjištění, do jaké míry je referenční napětí ovlivňováno procesními rohy, a také jak je citlivé na změnu napětí a teploty. Výsledky této simulace též můžou naznačit, jak velký trimovací rozsah bude následně nutný u obvodů využívajících referenci.

Při této simulace využíváme následujících rohů:

Rohy	Celkově 972 rohů	Jednotky
Teplota	-30 27 120	°C
Napájecí napětí	1,5 1,6 1,8 2 2,5 3	V
Rezistory	max typ min	-
Bipolární tranzistory	mc typ	-
CMOS tranzistory 1,8V	ff fsss	-
CMOS tranzistory 5V	ff fsss	-

Tabulka 1 Přehled použitých rohů u simulace referenčního napětí přes procesní, teplotní a napěťové rohy

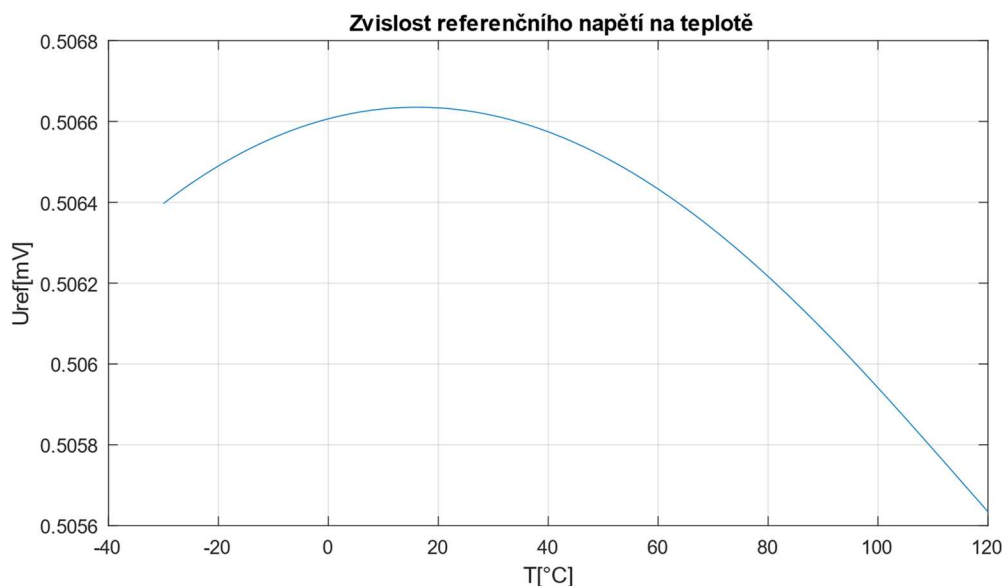
V tabulce 1 si můžeme všimnout všech použitých rohů, které celkově vedou na 973 běhů simulace. V případě napětí a teploty se rohy dostaly až za hranici specifikace. V tabulce 2 můžeme vidět výsledek.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Referenční napětí	Uref	476	506,6	545,1	mV

Tabulka 2 Výsledky simulace referenčního napětí přes procesní, teplotní a napěťové rohy

Měření referenčního napětí využívalo 5,34 M $\Omega$  rezistor, kterým protékal proud hlavního proudového zrcadla bandgapu. Napětí je citlivé hlavně na procesní roh rezistorů, což se dá očekávat. Tento výsledek můžeme považovat za **velice uspokojivý**. Dále se na obrázku 24 můžeme podívat na závislost referenčního napětí na teplotě.





Obrázek 24 Typický průběh závislosti referenčního napětí na teplotě získaný při simulacích

Na obrázku vidíme průběh, který byl předpovězen v rozboru výše v této práci. Pokud se podíváme na napěťovou osu, lze pozorovat, jak nepatrně se referenční napětí mění s teplotou. Tento průběh také **potvrzuje správnost** návrhu jádra bandgapu, protože můžeme vidět, že maximální napětí průběhu je velice blízké pokojové teplotě, což byl záměr.

#### 4.1.2 Simulace spotřeby a startovacího času

Cílem této simulace je zjištění spotřeby obvodu, času potřebného k nastartování celého obvodu, a kontrola, že obvod nastartuje za všech okolností v rámci specifikace.

Při této simulaci využíváme následujících rohů:

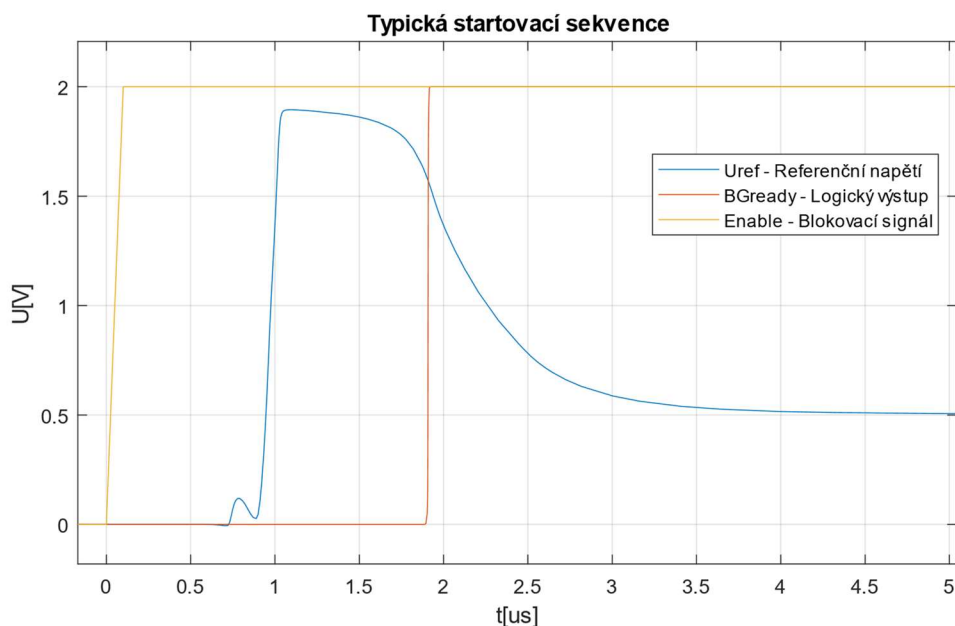
Rohy	Celkově 1458 rohů	Jednotky
Teplota	-30 27 90	°C
Napájecí napětí	1,6 2 2,6	V
Kapacity	max typ min	-
Rezistory	max typ min	-
Bipolární tranzistory	mc typ	-
CMOS tranzistory 1,8V	ff fsss	-
CMOS tranzistory 5V	ff fsss	-

Tabulka 3 Přehled použitých rohů u simulace spotřeby a startovacího času

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Čas nutný ke startu obvodu	t <sub>startup</sub>	1,223	2,063	5,177	us
Spotřeba samotného bandgapu	I <sub>consum_bg</sub>	0,639	1,013	6,98	uA
Spotřeba bandgapu včetně zátěže	I <sub>consum_all</sub>	2,547	3,919	11,64	uA

Tabulka 4 Výsledky simulace spotřeby a startovacího času

V tabulce 4 můžeme vidět, že startovací čas je **v rámci specifikace** a že obvod nastartuje ve všech případech. Dále můžeme vidět, že typická spotřeba **splňuje specifikaci**, spotřeba celého zatíženého bandgapu není součástí specifikace, ale může být užitečná při odhadech spotřeby celého čipu. Na obrázku 25 se můžeme podívat na typickou startovací sekvenci.



Obrázek 25 Typická startovací sekvence obvodu

Je patrné, že referenční napětí nejdříve vystřelí nahoru téměř k napájecímu napětí, což je způsobeno zásahem startovacího obvodu, který prudce zvýší proud jádrem bandgapu. Následně startovací obvod přestane zasahovat do činnosti obvodu a operační zesilovač začne napětí snižovat na požadovanou úroveň. Pokud bychom se ptali, proč není nástup referenčního napětí okamžitý po odblokování obvodu, důvod je následující. Startovací obvod má pracovní proud nastaven pomocí odporu. Jelikož je pracovní proud nízký, jedná se o odpor 10 MΩ, přes který se ovšem v případě odblokování musejí nabít všechny parazitní kapacity v Detektoru, což s sebou samozřejmě přináší zpoždění.

### 4.1.3 Analýza stability

U analýzy stability využijeme možnosti rozpojit zpětnovazební smyčku operačního zesilovače. Při simulaci využijeme STB analýzu, jejímž výstupem je přímo fázová jistota frekvence, na které byla fázová jistota měřena, jistota zesílení a jeho frekvence. Cílem analýzy je ověření stability obvodu.

Při této simulaci využíváme následujících rohů:

Rohy	Celkově 648 rohů	Jednotky
Teplota	-30 27 90	°C
Napájecí napětí	1,6 2 2,5 3	V
Rezistory	max typ min	-
Bipolární tranzistory	mc typ	-
CMOS tranzistory 1,8V	ff fsss	-
CMOS tranzistory 5V	ff fsss	-

Tabulka 5 Přehled použitých rohů u analýzy stability

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Fázová jistota	PM	68,71	75,73	80,85	°
Frekvence fázové jistoty	fPM	117,3	160,2	219,3	kHz
Jistota zesílení	GM	23,62	26,37	29,81	dB
Frekvence jistoty zesílení	fGM	1,391	1,759	2,4	MHz

Tabulka 6 Výsledky analýzy stability

Jak můžeme vidět v tabulce 6, fázová jistota je za všech okolností dostatečně vysoká a obvod je tedy **stabilní**.

#### 4.1.4 Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Cílem této simulace je zjištění směrodatné odchylky referenčního napětí. Z tohoto parametru zjistíme, jak odolný je obvod na odchylky při výrobním procesu a jak konstantní bude referenční napětí tohoto bloku napříč vyrobenými čipy. Metodu Monte Carlo budeme nezvykle provozovat i v teplotních a napěťových rozích a to vždy 500 běhů simulace Monte Carlo v každém rohu. V tabulce 7 můžeme vidět zvolené rohy.

Rohy	Celkově 9 rohů	Jednotky
Teplota	-30 27 90	°C
Napájecí napětí	1,6 2 2,6	V

Tabulka 7 Přehled použitých rohů u simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Měřená veličina	Symbol	Min	Typ	Max	Medián	StdDev	Jednotky
Referenční napětí -MC	Uref MC	476	506,6	545,1	506,7	14,75	mV

Tabulka 8 Výsledky simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

V tabulce 8 je pod označením StdDev k nalezení směrodatná odchylka. Tato hodnota není přímo definována ve specifikaci, pro nás je ovšem zajímavá. Právě tato hodnota totiž bude rozhodující pro porovnání tohoto řešení s řešením s využitím cirkulárních tranzistorů. Pokud je závěr, ke kterému jsme došli v rozboru, správný, měla by tato hodnota být u řešení s cirkulárními tranzistory menší. Dále je z tabulky patrné, že ani v jednom z běhů simulace referenční napětí výrazně nevybočilo, a výsledky lze hodnotit jako **velice uspokojivé**.

#### 4.2 Simulace řešení s cirkulárními tranzistory

Simulace obvodu s cirkulárními tranzistory proběhly, stejně jako v předchozím případě, se stejnými rohy a stejně postaveným testovacím schématem tak, aby se daly výsledky snadno porovnat.

##### 4.2.1 Simulace referenčního napětí přes procesní, teplotní a napěťové rohy

Při této simulaci využíváme rohů popsaných v tabulce 1. Cílem této simulace je zjištění, do jaké míry je referenční napětí ovlivňováno procesními rohy, a také jak je citlivé na změnu napětí a teploty.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Referenční napětí	Uref	476	506,6	545,1	mV

Tabulka 9 Výsledky simulace referenčního napětí přes procesní, teplotní a napěťové rohy pro řešení s cirkulárními tranzistory

Jak můžeme vidět v tabulce 9, v tomto případě se výsledky **nezměnily**, a to z důvodu využití stejného jádra bandgapu v obou případech.

#### 4.2.2 Simulace spotřeby a startovacího času

Při této simulaci využíváme rohů popsaných v tabulce 3. Cílem této simulace je zjištění spotřeby obvodu, času potřebného k nastartování celého obvodu a kontrole, že obvod nastartuje za všech okolností v rámci specifikace.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Čas nutný ke startu obvodu	t startup	1,043	2,028	9,97	us
Spotřeba samotného bandgapu	Iconsum bg	0,639	1,013	6,98	uA
Spotřeba bandgapu včetně zátěže	Iconsum all	2,546	3,919	11,64	uA

Tabulka 10 Výsledky simulace spotřeby a startovacího času pro řešení s cirkulárními tranzistory

V tabulce 10 je zřetelné, že se spotřeba **nezměnila**. Startovací čas se typicky také nezměnil, jeho maximální hodnota je vyšší, ale stále **bezpečně v rámci specifikace**.

#### 4.2.3 Analýza stability

Při této simulaci využíváme rohů popsaných v tabulce 5. Cílem je ověření stability obvodu.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Fázová jistota	PM	66,4	74,56	80,38	°
Frekvence fázové jistoty	fPM	88,51	125,1	175,7	kHz
Jistota zesílení	GM	18,57	21,68	21,68	dB
Frekvence jistoty zesílení	fGM	703,4	955,1	1353	kHz

Tabulka 11 Výsledky analýzy stability pro řešení s cirkulárními tranzistory

Zde můžeme vidět, že se výsledky mírně liší od výsledků s využitím cirkulárních tranzistorů, a to z důvodu jiného umístění pólů. Nedominantní pól diferenčního páru se posunul na nižší frekvenci, v reakci na to byla použita větší kompenzační kapacita, což vedlo k posunu dominantního pólu na nižší frekvenci. Ovšem fázová jistota má stále za všech okolností dostatečnou hodnotu a obvod je tedy **stabilní**.

#### 4.2.4 Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Simulace proběhla v rozích popsaných v tabulce 7, stejně tak jako v případě simulace obvodu s konvenčními tranzistory se jednalo celkově o 5000 běhů simulace.

Měřená veličina	Symbol	Min	Typ	Max	Medián	StdDev	Jednotky
Referenční napětí -MC	Uref MC	462,8	506,6	548,4	506,2	13,97	mV

Tabulka 12 Výsledky simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo pro řešení s cirkulárními tranzistory

Pokud výsledky porovnáme, je patrné, že směrodatná odchylka se zmenšila, a to přibližně o **5 %** proti řešení s konvenčními tranzistory. To je výborné hlavně vzhledem k faktu, že jsme ostatní parametry obvodu nezhoršili a stále splňujeme specifikace.

### **4.3 Shrnutí simulací obvodu**

- Všechny výsledky simulace byly v rámci specifikace
- Simulace u obou řešení potvrdily stabilitu obvodu
- U řešení s cirkulárními tranzistory nedošlo ke změně parametrů až na statistickou odchylku referenčního napětí
- U řešení s cirkulárními tranzistory došlo ke snížení statistické odchylky referenčního napětí
- Návrhy obou řešení jsou připraveny na layout

## 5. Návrh Layoutu

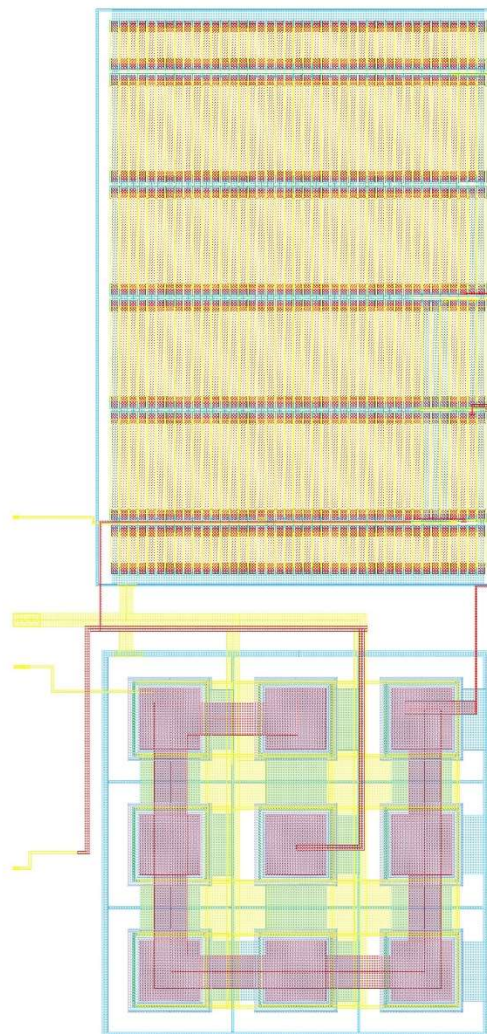
Nyní se dostáváme k návrhu layoutu, obě řešení se skládají z dvou interních podbloků, identických pro obě řešení, a následně layoutu celého bloku, který je v každém řešení odlišný. Návrh layoutu jde tedy rozdělit do čtyř částí:

- Layout Jádra
- Layout Startovacího obvodu
- Layout Bandgapu s konvenčními tranzistory
- Layout Bandgapu s cirkulárními tranzistory

### 5.1 Layout Jádra

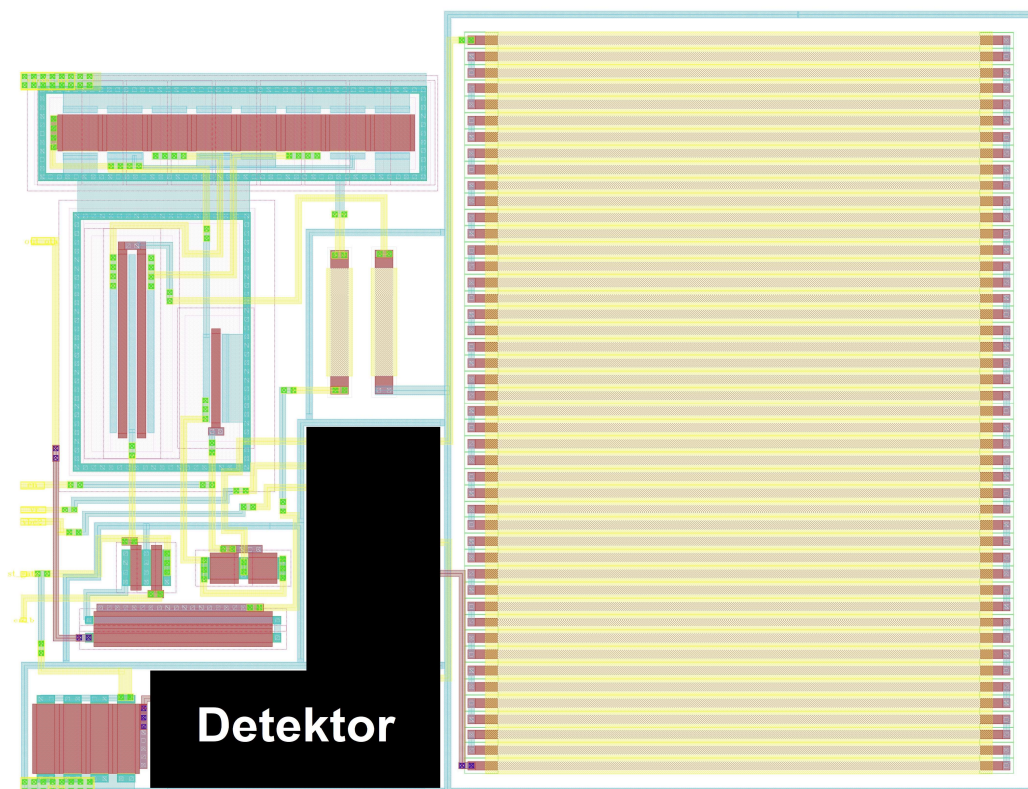
Jádro bandgapu se skládá ze dvou částí - baterie rezistorů a bipolárních tranzistorů. Nejprve se budeme věnovat bipolárním tranzistorům. Jejich plocha byla nastavena v poměru 1:8, to znamená, že zde máme jeden bipolární tranzistor a osm paralelně propojených bipolárních tranzistorů.

Při layoutu součástek je v určitých případech, jako právě v tomto, důležitý tzv. „matching“, jinak řečeno umístění součástek tak, aby každá z nich pracovala ve stejných podmínkách, nebo se tomu alespoň co nejvíce přiblížit. K dobrému „matchingu“ existuje mnoho postupů a doporučení, o kterých se tu postupně zmíním. Jak můžeme vidět v dolní části obrázku 26, bipolární tranzistory tvoří matici 3 x 3, přičemž paralelní kombinace osmi bipolárních tranzistorů je po obvodu. Toto uspořádání zaručí nejlepší možný „matching“. Zároveň také zaručí, že layout tranzistorů bude tzv. „commoncentroid“. To znamená, že geometrická těžiště obou tranzistorů budou ve společném bodě. Díky tomu získá obvod větší odolnost na gradientní změny technologických parametrů napříč čipem. Paralelní propojení je realizováno pomocí tlustých metalových propojení (na obrázku 26 červená, modrá a žlutá barva) tak, aby pracovaly jednotlivé tranzistory ve stejných napěťových podmínkách. Dále si můžeme všimnout, že se matice tranzistorů nachází v mřížce tvořené difuzí, která je na nulovém potenciálu. Difuze omezí rušení substrátem a zaručí, že substrát uvnitř mřížky bude mít co nejnižší potenciál. Celá mříž i tranzistory jsou symetrické, takže tranzistory mají od sebe stejnou vzdálenost a mají stejnou vzdálenost i od mřížky. Dále se posouváme k baterii rezistorů, ve které se nacházejí všechny rezistory obsažené v jádru bandgapu. Jak si můžeme povšimnout, všechny rezistory jsou rozděleny do jednotných bloků, v našem případě po 50 kΩ. Jejich sériovou kombinací je dosaženo rezistivity požadované velikosti. Sériově



paralelní kombinací je vyřešena hodnota odporu  $R_0$ , která není dělitelná  $50\text{ k}\Omega$ . Na horní a dolní straně jsou ovšem rezistory o jiné velikosti. Zde se dostáváme k využití dummy součástek. Vždy, když vytvoříme velkou baterii odporů, musíme uvažovat, že součástky po okrajích nebudou pracovat ve stejných podmínkách jako součástky uvnitř. K vyřešení tohoto problému se využívají právě dummy součástky, neboli součástky, které nemají žádnou obvodovou funkci ve schématu, ale pouze slouží k pokrytí okrajových jevů v layoutu, případně k doplnění do požadovaného geometrického tvaru. Dummy rezistory v tomto případě mají zkratované kontakty připojené na nulový potenciál. V horní a spodní části se nacházejí v kratší délce, protože není nutné, aby měly plnou velikost, a je zbytečné plýtvat místem. Po levé a pravé straně mají shodný rozměr s funkčními rezistory. Několik dummy rezistorů je také použito k doplnění tvaru tak, aby vznikl obdélník. Celá baterie je ještě ohraničena difuzí tak, aby bylo minimalizováno rušení substrátem, a aby měl substrát uvnitř co nejnižší potenciál. Baterie rezistorů s bipolárními tranzistory je propojena druhou a třetí metalovou vrstvou a vyvedena vlevo k pinům pro pozdější propojení v hierarchicky vyšším layoutu.

## 5.2 Layout startovacího obvodu



Obrázek 27 Layout startovacího obvodu

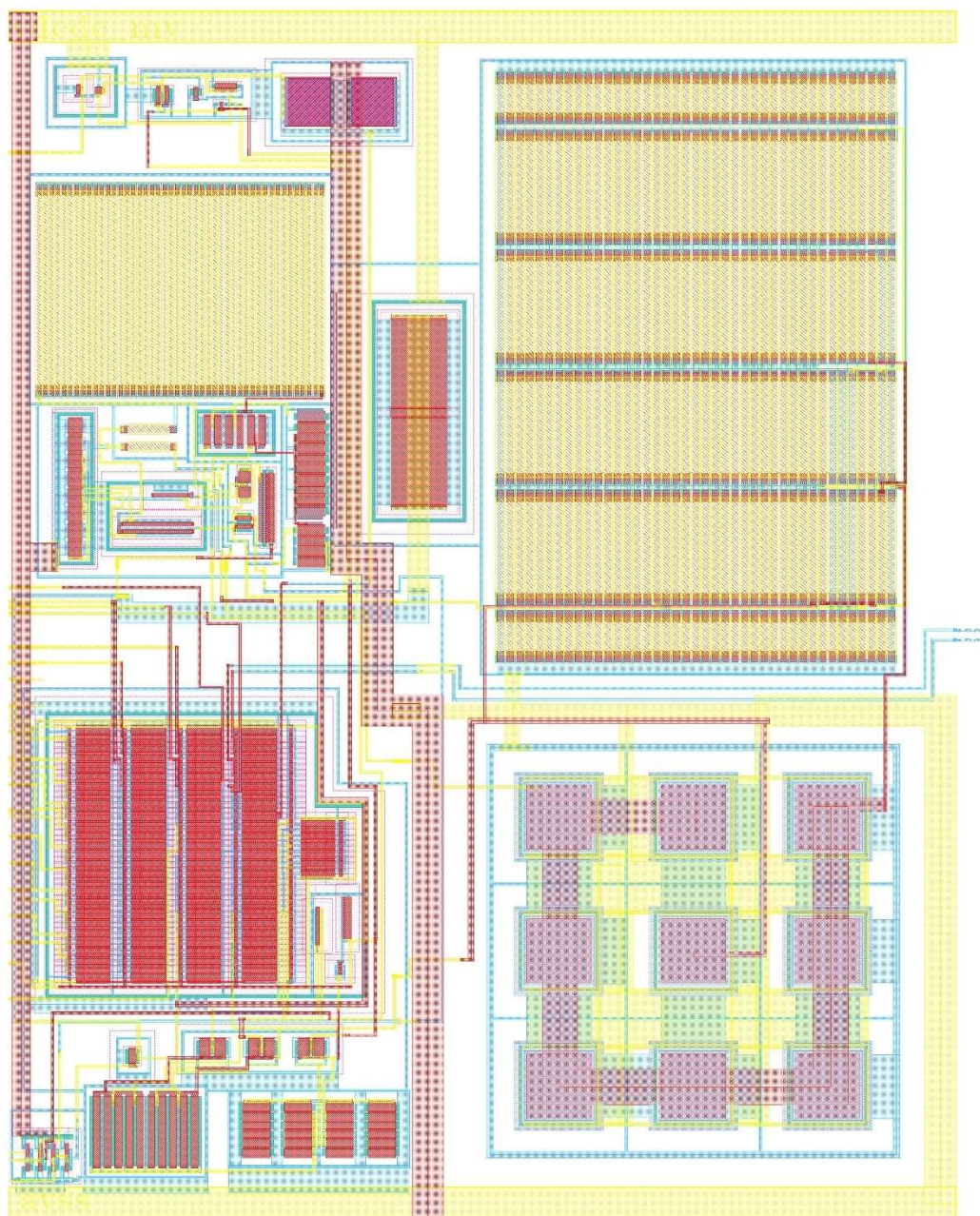
Dalším podblokem v hierarchii layoutu je startovací obvod. Jak vidíme na obrázku 27, jeho velkou část zabírá odpor pro nastavení pracovního proudu v pravé části layoutu. Na rozdíl od odporu jádra bandgapu, u kterého byla důležitá jeho přesná hodnota, zde přesná hodnota není důležitá, proto zde nejsou použity dummy odpory. Jednotlivé odpory mají také poloviční šířku - pouze  $500\text{ nm}$ , což na jednu stranu přináší snížení jejich přesnosti, ale na druhou stranu se tím ušetří využitá plocha čipu, kdy v tomto případě je zbytečné plýtvání

plochou. V levé horní části layoutu se nachází PMOS proudové zrcadlo, které slouží k nastavení proudu pro druhý zesilovací stupeň. Zde se pro dobrý matching využívá jednak dummy tranzistorů po stranách a také vhodného rozmístění. Zrcadlo zrcadlí proud v poměru 1:2, čili tranzistory rozdělíme na poměr 2:4 a v layoutu je umístíme v pořadí b-a-b-b-a-b, tak docílíme nejlepšího možného matchingu. Hradla jsou spojena pomocí polykrystalického křemíku, zbytek propojů je realizován metalovými vrstvami. Jelikož se jedná o PMOS tranzistory, musejí být umístěny v N-well jámě ohraničené difúzí polarizovanou na napájecí napětí tak, aby byla jáma pozitivně polarizována. Dále se posouváme do levé části pod PMOS zrcadlem, zde se nachází ochranný tranzistor, zapojený jako „finger“ pro úsporu plochy, jeden z blokovacích tranzistorů, a dále v pravé části odpory pro ochranu hradel ochranných tranzistorů. PMOS tranzistory jsou opět umístěny v jámě ohraničené difúzí. Pod odpory na ochranu hradel ochranných tranzistorů se nachází detekční obvod. Vzhledem k faktu, že se jedná o „know-how“ firmy ASICentrum, je v obrázku 27 tato část layoutu vynechána. Nalevo od detekčního obvodu se nachází výstupní spínací tranzistor, jeho ochranné tranzistory a blokovací tranzistor. Můžeme vidět, že jeden z ochranných tranzistorů je zkratován tak, aby v případě potřeby šel metalovou opravou čipu uvést do funkčního stavu. U blokovacího a spínacího tranzistoru můžeme vidět využití „fingerů“ pro lepší využití plochy na čipu a snížení parazitní kapacity. A nakonec se dostáváme do dolního levého rohu, kde se nachází tranzistor druhého zesilovacího stupně. Tranzistor druhého zesilovacího stupně je rozdělen na čtyři součástky tak, aby lépe využil plochu čipu a zároveň snížil délku a tím odpor hradla. Všechny jednotlivé součástky jsou ohraničeny difúzí tak, aby nedocházelo k rušení a potenciál substrátu měl v daném místě požadovanou polaritu. Všechny vstupní a výstupní piny jsou vyvedeny na levou stranu, kde budou následně připojeny ve vyšším hierarchickém bloku layoutu.

### 5.3 Layout Bandgapu s konvenčními tranzistory

Nyní se dostáváme k layoutu celého obvodu. Jak můžeme vidět na obrázku 28, jsou v něm zahrnuty layouty obou bloků popsaných výše. V pravé části se nachází jádro bandgapu a v levé horní části se nachází startovací obvod. V pravém dolním rohu se nachází standardní buňky čtyř invertorů. Vpravo od nich se nachází diferenční pár operačního zesilovače, u kterého je kladen důraz na dobrý matching, proto má po stranách dummy tranzistory a je ohraničen difúzí s nulovým potenciálem. Vpravo od diferenčního páru je NMOS proudové zrcadlo, které nastavuje pracovní proud diferenčním párem a také větví generování napětí pro kaskodu hlavního proudového zrcadla bandgapu. Zrcadlo je uspořádáno do matice 4 x 6 a po celém jeho obvodu se nacházejí dummy tranzistory. U dummy tranzistorů v tomto případě využíváme jejich hradlové kapacity. Zvýšením kapacity uzlu hradel proudového zrcadla zlepšíme chování obvodu při startu a s ním souvisejícími přechodovými jevy. Celá matice tranzistorů je ohraničena difúzí s nulovým potenciálem. Nad tímto proudovým zrcadlem jsou tři NATNMOS tranzistory, dva z nich slouží k ochraně diferenčního páru a třetí je součástí větve generování napětí pro kaskodu hlavního proudového zrcadla bandgapu. Pro úsporu plochy a snížení parazitní kapacity je zde využito „fingerů“, tranzistory ohraničené difúzí na nulovém potenciálu. Nalevo od NATNMOS tranzistorů se nachází spínací tranzistor testovacího obvodu, ohraničený samostatnou difúzí na nulovém potenciálu. Nad ním se nachází velká plocha věnovaná hlavnímu proudovému zrcadlu bandgapu.





Obrázek 28 Layout bandgapu s využitím konvenčních tranzistorů

Hlavní proudové zrcadlo je uspořádáno do matice, s čtyřmi hlavními sloupci vždy v páru tranzistor kaskody a tranzistor zrcadla. Po spodní, horní a pravé hraně jsou umístěny dummy tranzistory. V levé části jsou po obvodu umístěny kaskodové tranzistory, takže zde nejsou dummy tranzistory nutné. Aby byl zaručen co nejlepší matching, je dodržena zásada névést metalické spoje nad aktivní oblastí tranzistorů, aby to bylo možné, jsou zrcadla pro menší proudy situované na levé straně a zrcadla pro větší proudy vpravo. Vzhledem k faktu, že výstupní piny jsou vlevo na hraně bloku, se většina zrcadel pro menší proudy, které potřebují větší množství metalových propojení, snadno propojí přímo z levé strany zrcadla. Zatím co zrcadla pro větší proudy, které mají větší množství paralelně zapojených tranzistorů, se nacházejí v pravé části, díky tomu není nutné z centra zrcadla vést velké

množství metalových propojení. Celé zrcadlo, jelikož je tvořeno PMOS tranzistory, je umístěno v Nwell jámě ohraničené difuzí a polarizované na napájecí napětí. V jeho pravé části se ještě nachází několik dalších PMOS tranzistorů, které přímo nesouvisí s hlavním proudovým zrcadlem, pouze mají stejné požadavky na parametry jámy. Jedná se o tranzistor generování napětí pro kaskodu hlavního proudového zrcadla, blokovací tranzistor, a nad nimi aktivní zátěž diferenciálního páru. Těchto osm tranzistorů je ohraničeno dummy součástkami pro dosažení lepšího matchingu.

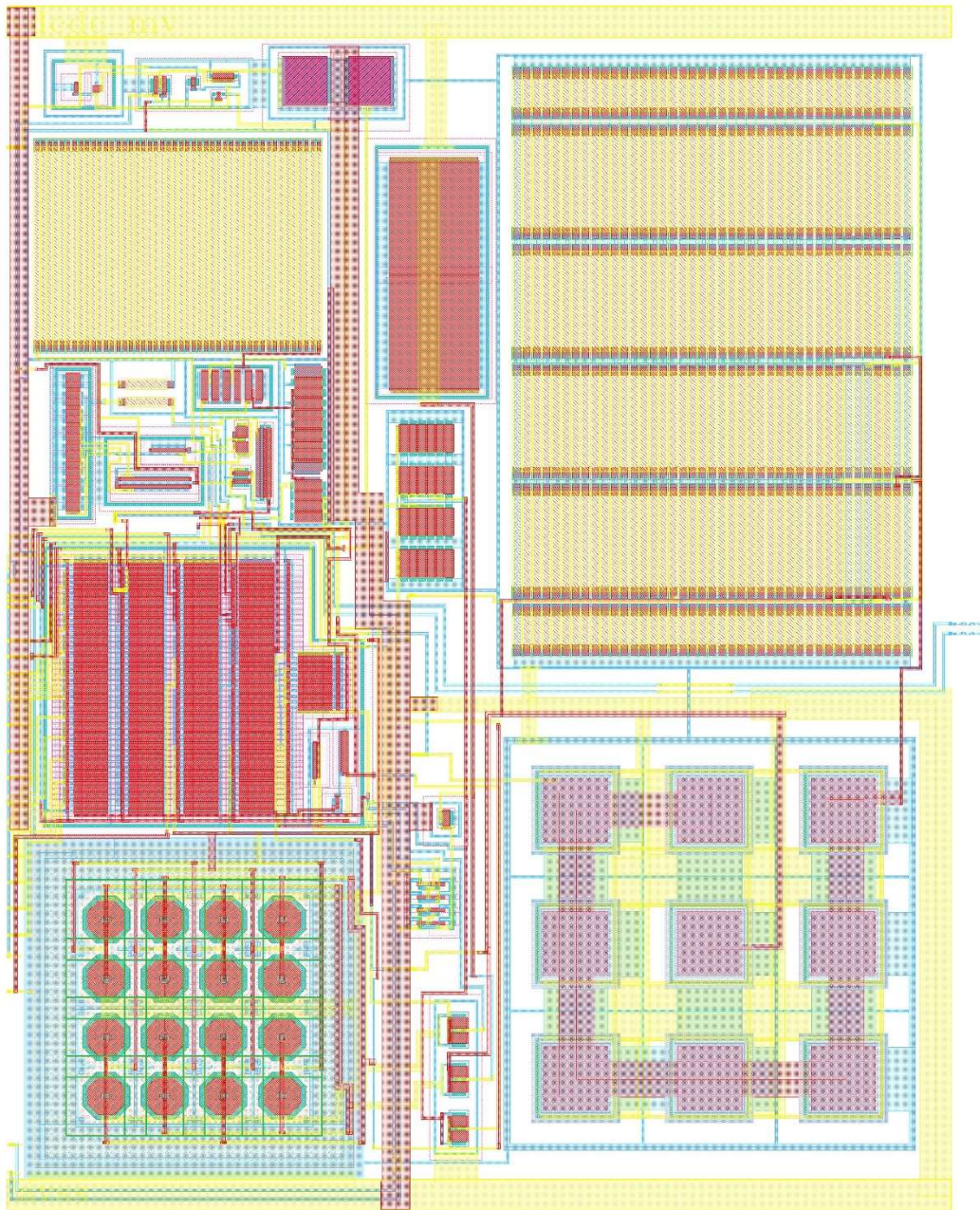
Mezi blokem startovacího obvodu a blokem jádra bandgapu je umístěn kompenzační kapacitor operačního zesilovače. Jelikož je realizován pomocí PMOS tranzistoru, nachází se v Nwell jámě ohraničené difuzí polarizované na napájecí napětí. Nad blokem startovacího obvodu se nachází součástky časového obvodu pro digitální výstup. Máme zde kapacitor časového obvodu, rozdělený do dvou součástí, dále blokovací tranzistory a tranzistory invertorů. Kromě součástí časového obvodu se zde ještě nachází přidružený tranzistor startovacího obvodu. Žádná z těchto součástí nevyžaduje zvláštní pozornost při kreslení layoutu.

Nyní, když máme v layoutu popsané všechny součástky, se ještě zmíním o rozložení pinů bloku. Celá horní strana je věnována pinu napájecího napětí, celá dolní strana pinu nulového potenciálu, v levé části se nachází až na dva většina vstupních a výstupních pinů. V celém návrhu layoutu je dodržena zásada nikdy nenechat Nwell jámu neohraničenou difuzí, tím se předchází jevu „latch-up“ neboli sepnutí parazitní bipolární struktury v substrátu. Dále je dodržena zásada vedení země a napájecího napětí po čipu dostatečně dimenzovanými metalovými cestami tak, aby napříč blokem bylo napětí konstantní.

Layout **prošel** DRC kontrolou, ERC kontrolou a LVS kontrolou. Následně byla vygenerována data pro post-layout simulaci, které se budeme věnovat v následující kapitole.

#### **5.4 Layout Bandgapu s cirkulárními tranzistory**

Když si na obrázku 29 prohlédneme layout bandgapu s cirkulárními tranzistory, hned si všimneme, že je celý layout více nahuštěný. Na jednu stranu se jedná o efektivnější využití plochy, na druhou stranu volnější layout se lépe upravuje v případné metalové opravě, a také se přes něj dají vést metalové cesty ve vyšších hierarchických vrstvách layoutu. Nahuštění je způsobeno velkou prostorovou náročností diferenčního páru. Ve své podstatě se ale tento blok od předchozího řešení příliš neliší, startovací blok a hlavní proudové zrcadlo jsou umístěny výše a blíže k sobě. Standardní buňky, spínací tranzistor testovacího obvodu a NATNMOS tranzistory se přesunuly mezi diferenční pár a bipolární tranzistory jádra bandgapu. Proudové zrcadlo pro nastavení proudu diferenčním párem a generování napětí pro kaskodu hlavního proudového zrcadla se přesunuly mezi startovací obvod a rezistorovou baterii jádra bandgapu. Tyto kroky udělaly plochu rozměrnému diferenčnímu páru s využitím cirkulárních tranzistorů. Vzhledem k jejich velikosti nemohly být využity dummy tranzistory, protože jejich prostorová náročnost by byla enormní. Je tedy alespoň kladen důraz na velice silnou difuzi na nulovém potenciálu po celém obvodu diferenciálního páru. Jednotlivé tranzistory jsou v matici rozmístěny jako barvy na šachovnici, tak je docíleno co nejlepšího matchingu. U cirkulárních tranzistorů se bohužel nejde vyhnout vedení metalových vodičů nad aktivní oblastí tranzistoru, je tady alespoň zvolena vyšší metalová vrstva, a v rámci celé matice tranzistorů je metalový zásah do aktivní zóny symetrický ve všech případech. Vstupní a výstupní piny jsou na přesně stejných souřadnicích, jako v případě předchozího řešení, čili jsou snadno zaměnitelné.



Obrázek 29 Layout bandgapu s cirkulárními tranzistory

Layout **prošel** DRC kontrolou, ERC kontrolou a LVS kontrolou. Následně byla vygenerována data pro post-layout simulaci, které se budeme věnovat v následující kapitole.

## 6. Post-layout simulace obvodu a zhodnocení dosažených parametrů

Po dokončení layoutů byla vygenerována data k simulaci. V obou případech byla využita metoda „C only - coupled“, to znamená, že obvod bude simulován s parazitními kapacitami, bez parazitních rezistorů, a parazitní kapacity budou voleny metodou nejbližší reálným podmínkám na čipu. Metoda do každého obvodu doplnila řádově stovky až tisíce parazitních kapacitorů. Všechny post-layout simulace budou probíhat za přesně stejných podmínek jako pre-layout simulace obvodu, aby se dalo porovnat, jak se parametry změnila a nakolik je ovlivnil layout.

### 6.1 Post-layout simulace řešení s konvenčními tranzistory

#### 6.1.1 Simulace referenčního napětí přes procesní, teplotní a napěťové rohy

Simulace bude probíhat pro identické rohy jako v pre-layout simulaci, tyto rohy jsou vypsány v tabulce 1.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Referenční napětí	Uref	476	506,6	545,1	mV

Tabulka 13 Výsledky post-layout simulace referenčního napětí přes procesní, teplotní a napěťové rohy

Zde **nedošlo ke změně**, což je logické vzhledem k faktu, že se jedná o statické měření.

#### 6.1.2 Simulace spotřeby a startovacího času

Rohy této simulace jsou popsány v tabulce 3.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Čas nutný ke startu obvodu	t_startup	1,238	2,313	17,63	us
Spotřeba samotného bandgapu	Iconsum_bg	0,639	1,017	2,178	uA
Spotřeba bandgapu včetně zátěže	Iconsum_all	2,547	3,919	6,836	uA

Tabulka 14 Výsledky post-layout simulace spotřeby a startovacího času

Zde vidíme mírné změny ve zpoždění i spotřebě, ale všechny parametry jsou stále bezpečně **v rámci specifikace**.

#### 6.1.3 Analýza stability

Rohy této simulace jsou popsány v tabulce 5, simulace probíhala identicky jako v případě pre-layout simulace.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Fázová jistota	PM	66,53	73,83	80,07	°
Frekvence fázové jistoty	fPM	104,3	139	190,5	kHz
Jistota zesílení	GM	37,94	46,73	68,15	dB
Frekvence jistoty zesílení	fGM	1,57	68,12	104,3	MHz

Tabulka 15 Výsledky post-layout analýzy stability

Zde vidíme, že fázová jistota má i v nejhrošším případě hodnotu přes 66°, což **zaručuje obvodu stabilitu**.

### 6.1.4 Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Rohy této simulace jsou popsány v tabulce 7, simulace probíhala identicky jako v případě pre-layout simulace.

Měřená veličina	Symbol	Min	Typ	Max	Medián	StdDev	Jednotky
Referenční napětí -MC	Uref MC	458,2	506,6	553,4	506	15,44	mV

Tabulka 16 Výsledky post-layout simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Zde vidíme, že se směrodatná odchylka zvětšila, čili bude zajímavé porovnat tyto hodnoty s hodnotami řešení s využitím cirkulárních tranzistorů.

## 6.2 Post-layout simulace řešení s cirkulárními tranzistory

### 6.2.1 Simulace referenčního napětí přes procesní, teplotní a napěťové rohy

Simulace bude probíhat pro identické rohy jako v per-layout simulaci, tyto rohy jsou vypsány v tabulce 1.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Referenční napětí	Uref	476	506,6	545,1	mV

Tabulka 17 Výsledky post-layout simulace referenčního napětí přes procesní, teplotní a napěťové rohy pro řešení s cirkulárními tranzistory

Zde **nedošlo ke změně**, jedná se o statické měření.

### 6.2.2 Simulace spotřeby a startovacího času

Rohy této simulace jsou popsány v tabulce 3.

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Čas nutný ke startu obvodu	t startup	1,181	2,117	11,99	us
Spotřeba samotného bandgapu	Iconsum bg	0,639	1,013	2,178	uA
Spotřeba bandgapu včetně zátěže	Iconsum all	2,546	3,919	6,836	uA

Tabulka 18 Výsledky post-layout simulace spotřeby a startovacího času pro řešení s cirkulárními tranzistory

Všechny parametry jsou stále bezpečně **v rámci specifikace**.

### 6.2.3 Analýza stability

Měřená veličina	Symbol	Min	Typ	Max	Jednotky
Fázová jistota	PM	62,29	71,91	79,96	°
Frekvence fázové jistoty	fPM	87,7	113,5	162,9	kHz
Jistota zesílení	GM	16,32	22,2	25,23	dB
Frekvence jistoty zesílení	fGM	0,493	0,822	1,147	MHz

Tabulka 19 Výsledky post-layout analýzy stability pro řešení s cirkulárními tranzistory

Zde vidíme, že fázová jistota má i v nejhorším případě hodnotu přes 62°, což **zaručuje obvodu stabilitu**.

## 6.2.4 Simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo

Rohy této simulace jsou popsány v tabulce 7, simulace probíhala identicky jako v případě pre-layout simulace.

Měřená veličina	Symbol	Min	Typ	Max	Medián	StdDev	Jednotky
Referenční napětí -MC	Uref MC	467,1	506,6	554,7	505,6	13,98	mV

Tabulka 20 Výsledky post-layout simulace statistické odchylky referenčního napětí pomocí metody Monte Carlo pro řešení s cirkulárními tranzistory

Nyní můžeme srovnat směrodatnou odchylku obou řešení přesněji než v případě pre-layout simulace. Směrodatná odchylka je o přibližně **10 % nižší** než v případě řešení s konvenčními tranzistory. Což **potvrzuje** závěry z kapitoly rozboru o statistické odchylce referenčního napětí. Také zmíním, že je možné, že modely konvenčních tranzistorů v takto nízké inverzi mohou být mírně optimistické, což by ještě umocnilo zlepšení dosažené použitím cirkulárních tranzistorů. Pokud by to tak ale skutečně bylo, rozhodně půjde pouze o jednotky procent, nikoliv zásadní změnu.

## 6.3 Porovnání výsledků simulací řešení s konvenčními a cirkulárními tranzistory

Pro porovnání dosažených parametrů obou řešení slouží tabulka 21, ve které je každý simulovaný parametr typický (Typ) a v nejhorším případě (NP). Vše je zhodnoceno vzhledem ke specifikaci a následně srovnáno.

Parametr	Specifikace	Konvenční tr.		Plní spec.	Cirkulární tr.		Plní spec.	%
		Typ.	NP		Typ.	NP		
Referenční napětí	-	506,6 mV	545,1 mV	-	506,6 mV	545,1 mV	-	<b>0 %</b>
Čas nutný ke startu	25us	2,313 us	17,63 us	ANO	2,117 us	11,99 us	ANO	<b>-8,5 %</b>
Spotřeba	1,2uA - typ	1,017 uA	2,178 uA	ANO	1,013 uA	2,178 uA	ANO	<b>-0,4 %</b>
Fázová jistota	-	73,83°	66,53°	-	71,91°	62,29°	-	<b>+2,7 %</b>
Uref StdDev	-	15,44 mV	-	-	13,98 mV	-	-	<b>-10,4 %</b>

Tabulka 21 Srovnání parametrů řešení s konvenčními a cirkulárními tranzistory

V posledním sloupečku tabulky 21 je uvedeno procentuální srovnání typických parametrů obou řešení. Procentuální hodnota udává změnu parametru řešení s cirkulárními tranzistory od parametru řešení s konvenčními tranzistory. Jak je patrné kromě fázové jistoty, která je v obou případech více než dostatečná, všechny parametry hovoří pro řešení s cirkulárními tranzistory.

## 6.4 Srovnání dosažených parametrů s jinými řešeními

Srovnání s jinými provedeními bandgapů je velice obtížné, vzhledem k faktu, že každý obvod je optimalizován pro jiné parametry. Provedení v této práci bylo optimalizováno pro konkrétní aplikaci, ze které vycházely specifikace, čili všechny výsledné hodnoty jsou kompromisem. Willy Sansen uvádí ve svých materiálech [8] parameter FOM, ten bere v potaz teplotní rozsah, nejvyšší hodnotu derivace napětí podle teploty v daném rozsahu,

spotřebu a plochu na čipu. Pro porovnání použijeme typické parametry řešení s cirkulárními tranzistory, a to konkrétně:

$$\text{Rozsah od } -30 \text{ do } 90 = 120 \text{ } ^\circ\text{C}$$

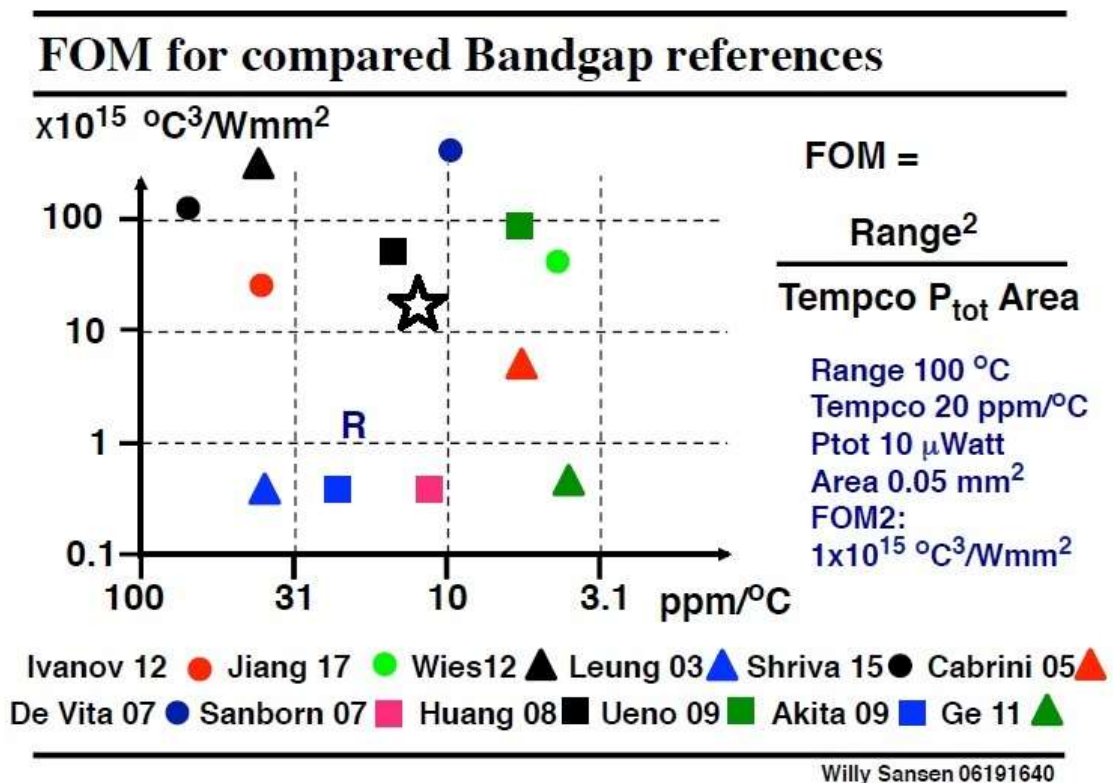
$$\text{Plocha } - A = 173 \cdot 136 = 0,024 \text{ mm}^2$$

$$\text{Nejvyšší hodnotu derivace napětí dle teploty } \frac{dU}{dT} = 13,8 \text{ ppm}/^\circ\text{C} - \text{hodnota pro } 90^\circ\text{C}$$

$$\text{Spotřeba } - P_{tot} = 2 \cdot 1,01 \cdot 10^{-9} = 2,02 \text{ } \mu\text{W}$$

$$FOM = \frac{\text{Rozsah}^2}{\frac{dU}{dT} \cdot P_{tot} \cdot A} = \frac{120^2}{13,8 \cdot 2,02 \cdot 10^{-6} \cdot 0,024 \cdot 10^{-6}} = 21,5 \cdot 10^{15} \text{ } ^\circ\text{C}^3/\text{Wmm}^2$$

V práci zmiňující tento vztah je uvedeno celkem 16 různých provedení bandgapů a jejich parametr FOM se pohybuje od  $0,04 \cdot 10^{15}$  až  $490,5 \cdot 10^{15}$ . Z 16 provedení by se řešení popsané v této práci umístilo na 8. místě, čili v první polovině, což určitě stojí za zmínku, a pokud by byly použity výsledky na minimálním napětí, dostalo by se dokonce na 7. pozici. Na obrázku 30, který je převzat z materiálů definujících vztah FOM, je hvězdičkou označen bandgap navržený v této práci.



Obrázek 30 Grafické zobrazení porovnání různých řešení bandgapů. Přidáno řešení navržené v této práci - označeno hvězdičkou[8]

## 7. Závěr

Závěrem bych rád shrnul dosažené výsledky této práce. Všechny požadavky stanovené v úvodu byly splněny. Obě řešení obvodu byla navržena pro splnění zadané specifikace a simulacemi byly tyto parametry potvrzeny. Všechny parametry byly splněny s rezervou. Bohužel k datu odevzdání této práce ještě nejsou k dispozici vzorky testovacích čipů pro ověření dosažených parametrů laboratorními měřeními. Ovšem je třeba si uvědomit, že laboratorní měření by v našem případě potvrdilo funkčnost obvodů, ale nepřineslo by žádnou užitečnou hodnotu k porovnání statistických vlastností obvodů. K tomu je třeba velké množství vyrobených čipů, které může nabídnout pouze sériová výroba, do které ale půjde pouze jedno řešení obvodu. Na základě výsledků z post-layout simulací byl pro sériovou výrobu zvolen obvod s cirkulárními tranzistory v diferenčním páru. Ten prokázal nižší statistickou odchylku referenčního napětí, při zachování zbývajících parametrů. Referenční napětí s nižším rozptylem zlepšuje statistické vlastnosti každého bloku, který tuto referenci využívá. Díky tomu má bandgap s nižší statistickou odchylkou referenčního napětí jednoznačně pozitivní vliv na chování celého čipu.

Volba řešení s cirkulárními tranzistory v diferenčním páru také potvrzuje závěr, ke kterému jsem došel v rozboru. Použití cirkulárních tranzistorů zabraňuje „hump efektu“ a tím snižuje napětíovou statistickou odchylku diferenčního páru operačního zesilovače. To má za následek snížení směrodatné odchylky referenčního napětí bandgapu. Bylo tedy prokázáno, že využití cirkulárních tranzistorů může zlepšit vlastnosti bandgapu a obecně zlepšit chování každého obvodu, u kterého dochází k „hump efektu“.

Obvod s cirkulárními tranzistory v diferenčním páru jsem také porovnal s ostatními provedeními nízkonapětíových bandgapů. V porovnání si obvod vedl nadprůměrně, a to zejména díky nízké spotřebě, malé využití ploše na čipu a širšímu teplotnímu rozsahu. Je ale nutné zmínit, že každý obvod je navrhován tak, aby co nejlépe vyhověl požadavkům ve svém specifickém případě, což samozřejmě srovnání značně komplikuje.

Rád bych také zmínil, že zvolená metodologie návrhu  $g_m/I_d$  značně zjednodušila návrh. Ukázala se jako velice efektivní nástroj při návrhu obvodu v CMOS technologii. Díky ní se volbou požadované hodnoty  $g_m/I_d$  a pracovního proudu přímo dostáváme k požadované velikosti tranzistorů. Mohu říci, že tuto metodologii i nadále používám při návrhu obvodů a plánuji ji používat i do budoucna.

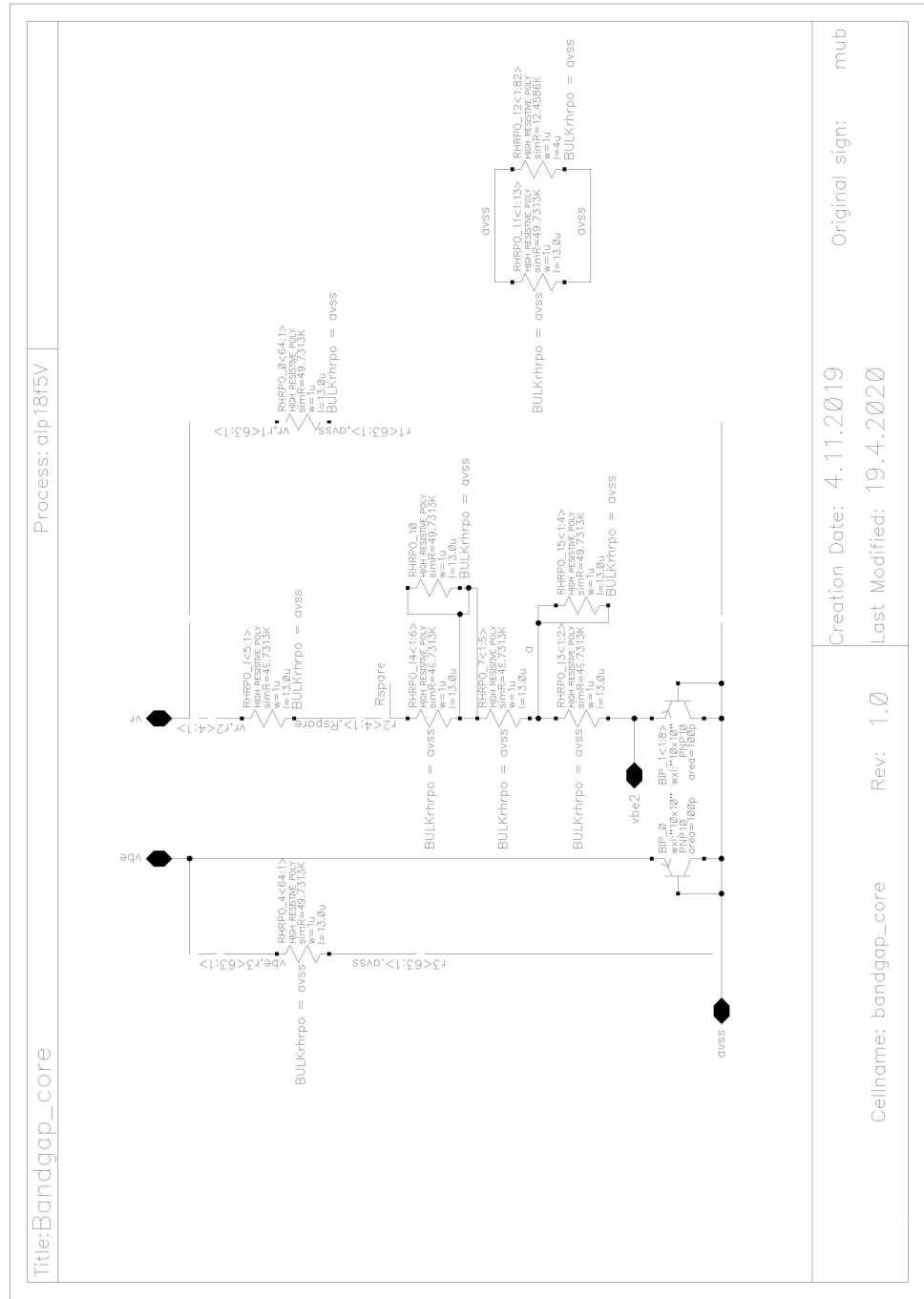
Na konec zmíním, že do cílové aplikace, kterou nemohu prozradit, by se měl tento obvod dostat v průběhu příštího roku. Pokud obvod prokáže bezproblémovou funkčnost i v sériové výrobě, s velkou pravděpodobností bude použit i do dalších čipů a dalších aplikací v této CMOS technologii.



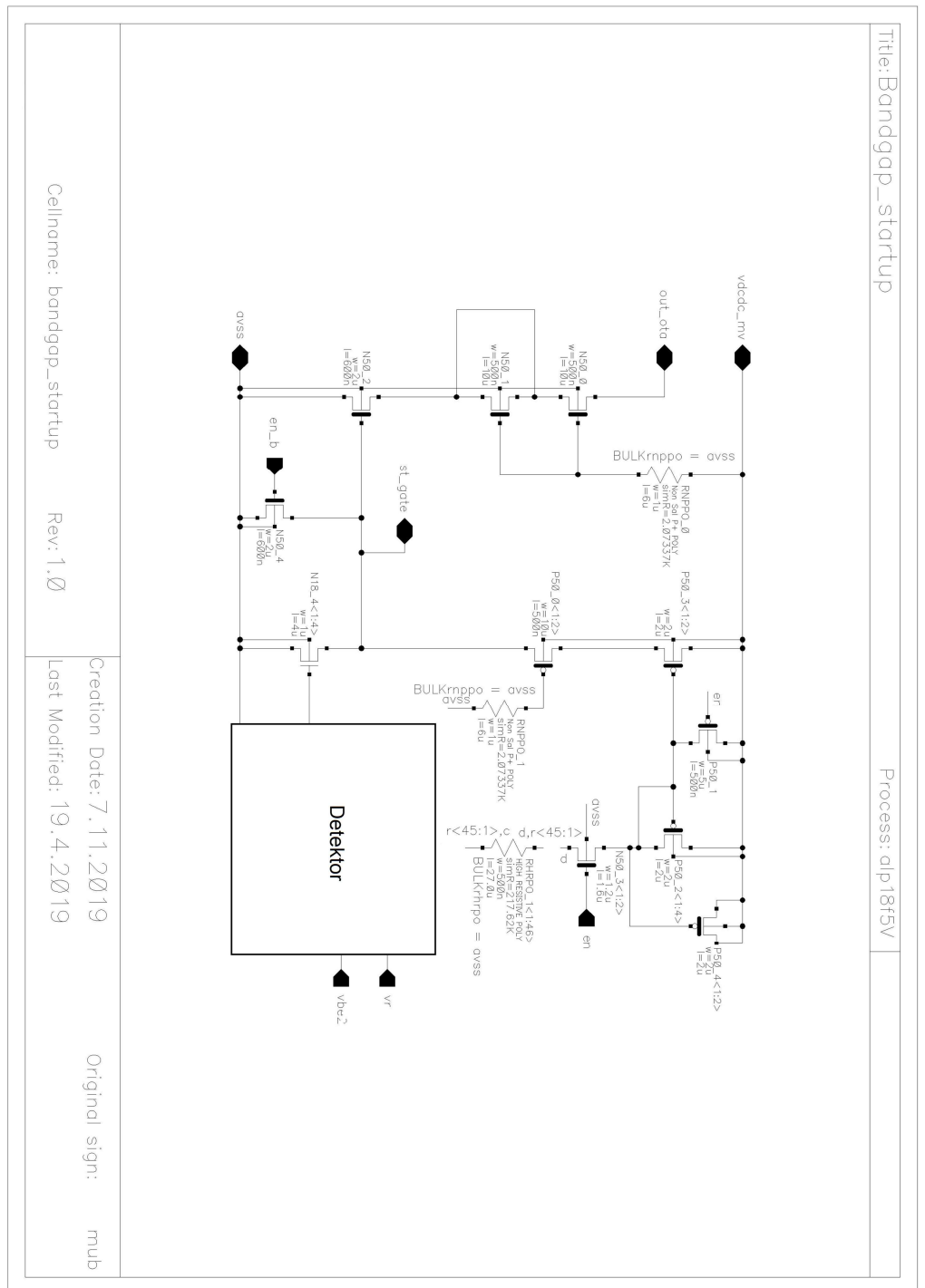
## 8. Zdroje

- [1] KENNEDY, M.P.: Circuits of bandgap references, Lectures from subject "Analog IC Design", University College Cork, Ireland, 2004
- [2] SANSEN, Willy M. C.: Analog design essentials. Dordrecht, TheNetherlands: Springer, 2006. ISBN 978-0-387-25746-4.
- [3] VishalGupta, AN ACCURATE, TRIMLESS, HIGH PSRR, LOW-VOLTAGE,CMOS BANDGAP REFERENCE IC
- [4] HORSKÝ, Pavel: *Design of analog ICs.* , 2008. 128 s.
- [5] BUBLA, Jiří: BANDGAP – PŘESNÁ NAPĚŤOVÁ REFERENCE
- [6]Y. Joly et al.: "Temperature and hump effect impact on output voltage spread of low power bandgap designed in the sub-threshold area," 2011 IEEE International Symposium of Circuits and Systems (ISCAS), Rio de Janeiro, 2011, pp. 2549-2552.
- [7]Y. Joly et al.: "Impact of hump effect on MOSFET mismatch in the sub-threshold area for low power analog applications," 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, Shanghai, 2010, pp. 1817-1819.
- [8] SANSEN, Willy.: BandgapVoltageReferences [online]. EPFL Premises, Lausanne, Switzerland, 2019 [cit. 2019-9-30].

# 9. Přílohy



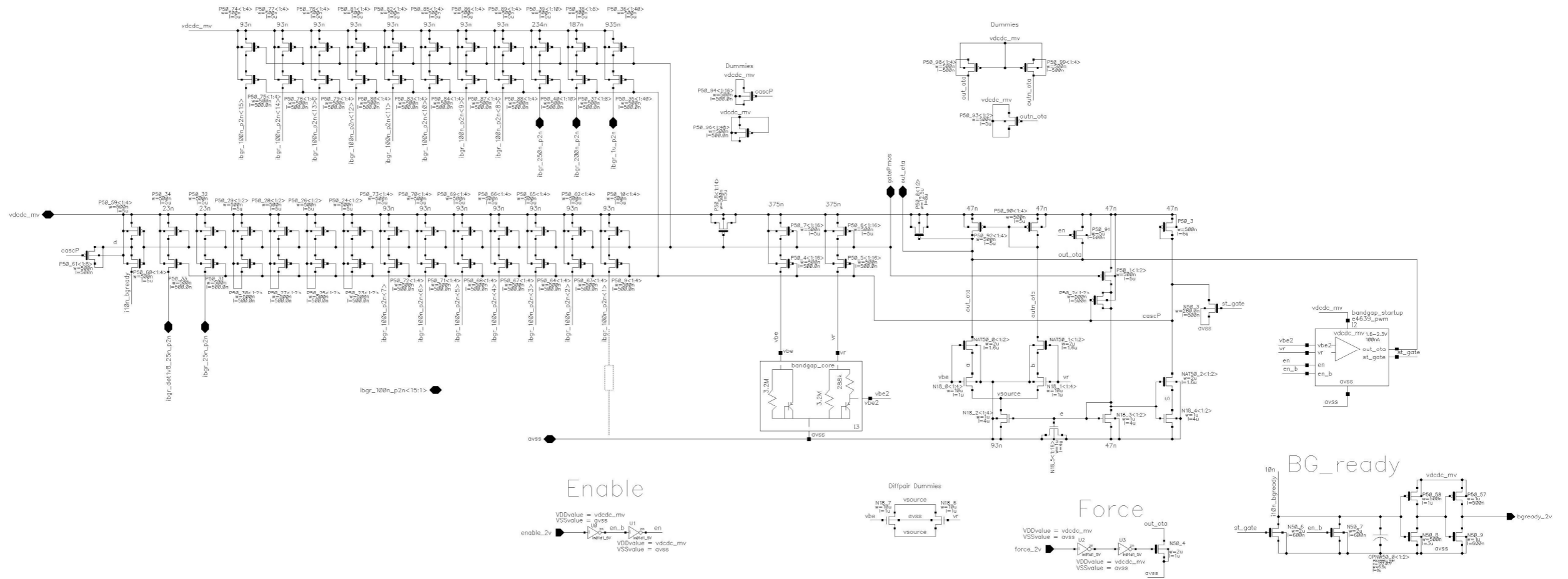
Obrázek 31 Schéma jádra obvodu



Obrázek 32 Schéma startovacího obvodu

Title: Bandgap

Process: alp18f5V



Cellname: bandgap

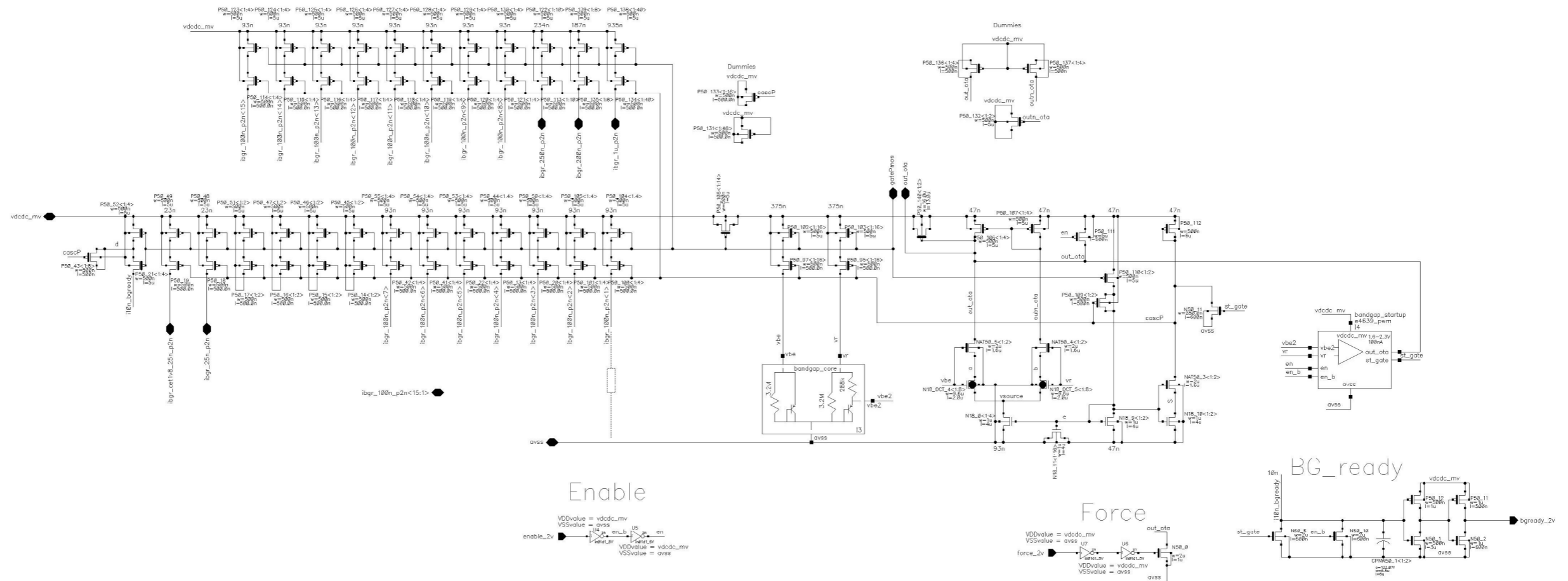
Rev: 1.0

Creation Date: 5.11.2019  
Last Modified: 19.4.2020

Original sign:

mub

Obrázek 33 Kompletní schéma bandgapu s konvenčními tranzistory v diferenčním páru operačního zesilovače



Cellname: bandgap\_circular

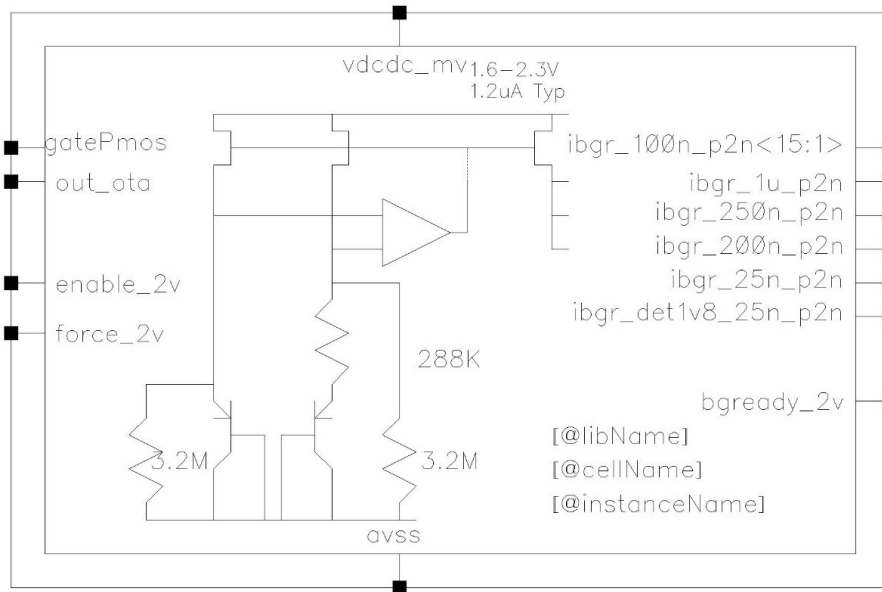
Rev: 1.0

Creation Date: 15.11.2019  
Last Modified: 19.4.2020

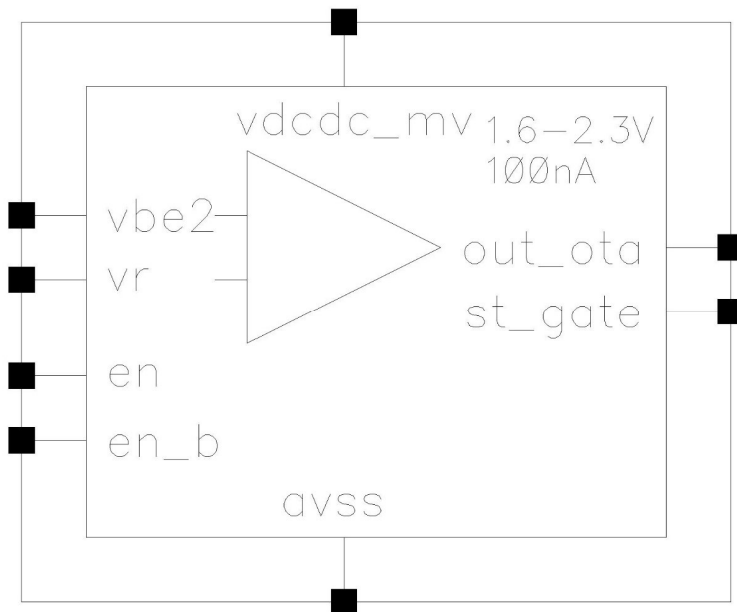
Original sign:

mub

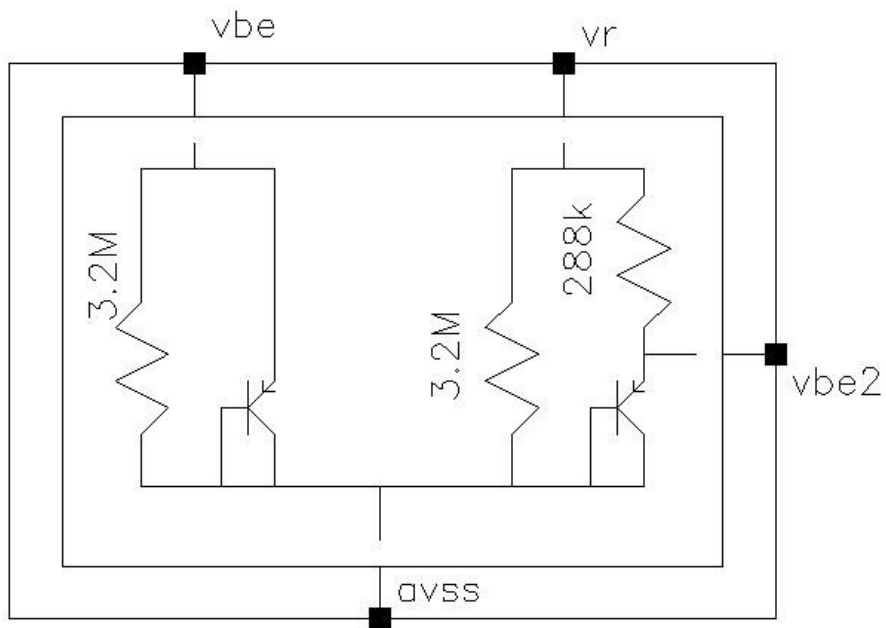
Obrázek 34 Kompletní schéma bandgapu s cirkulárními tranzistory v diferenčním páru operačního zesilovače



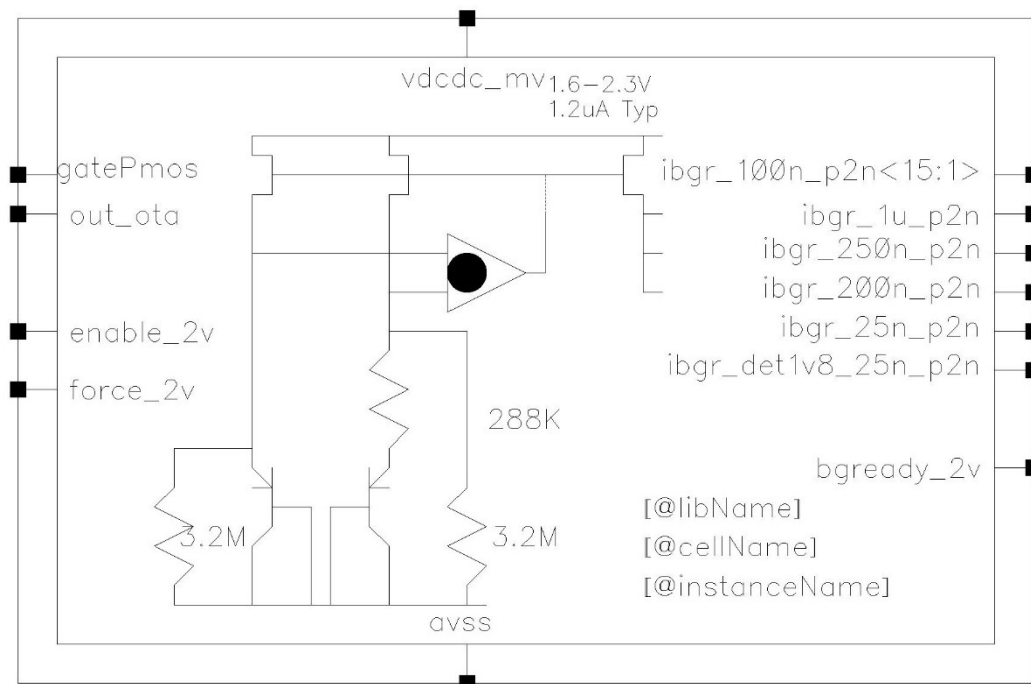
Obrázek 35 Obvodový symbol bandgapu s konvenčními tranzistory v diferencním páru operačního zesilovače



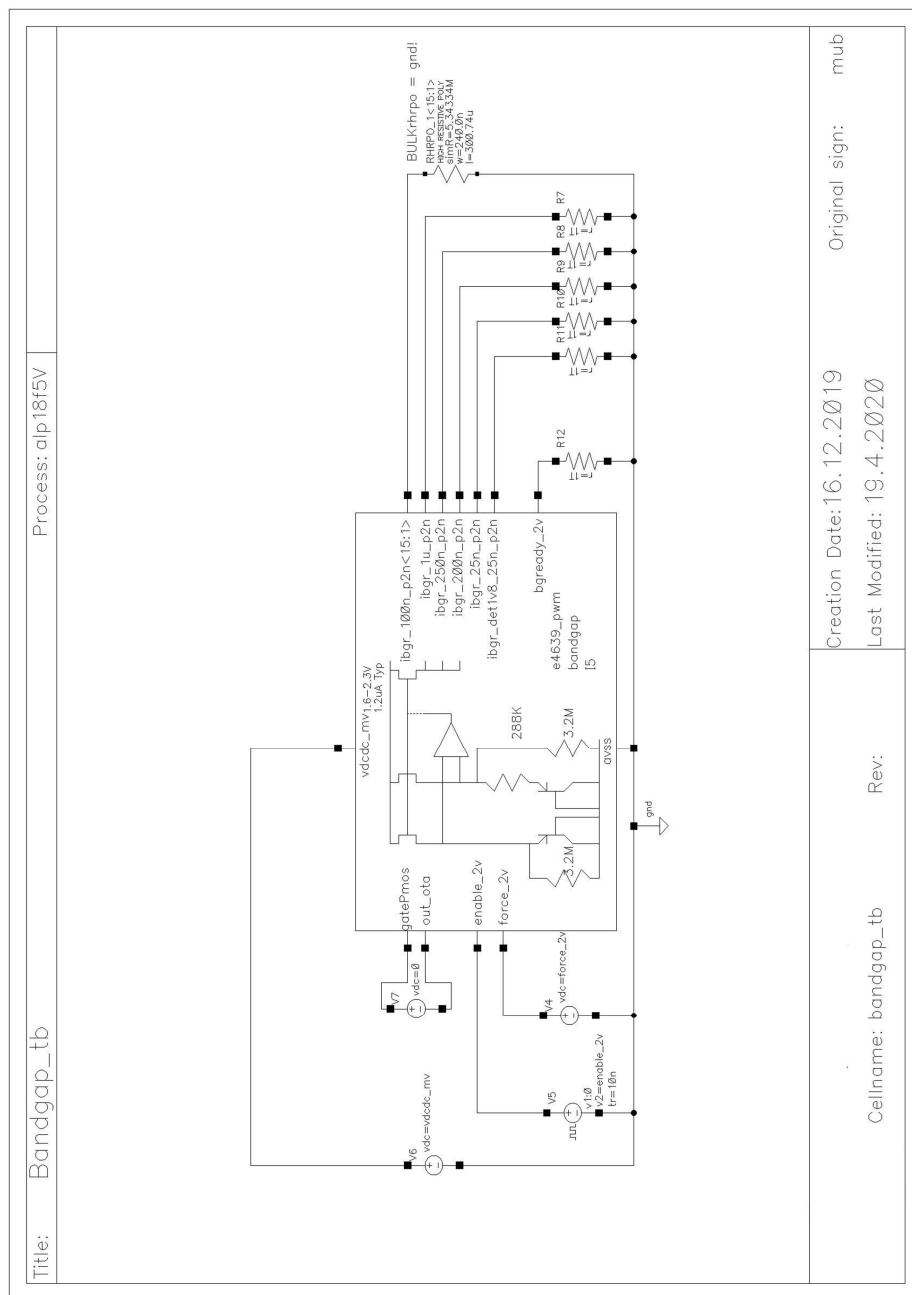
Obrázek 36 Obvodový symbol startovacího obvodu



Obrázek 37 Obvodový symbol jádra bandgapu

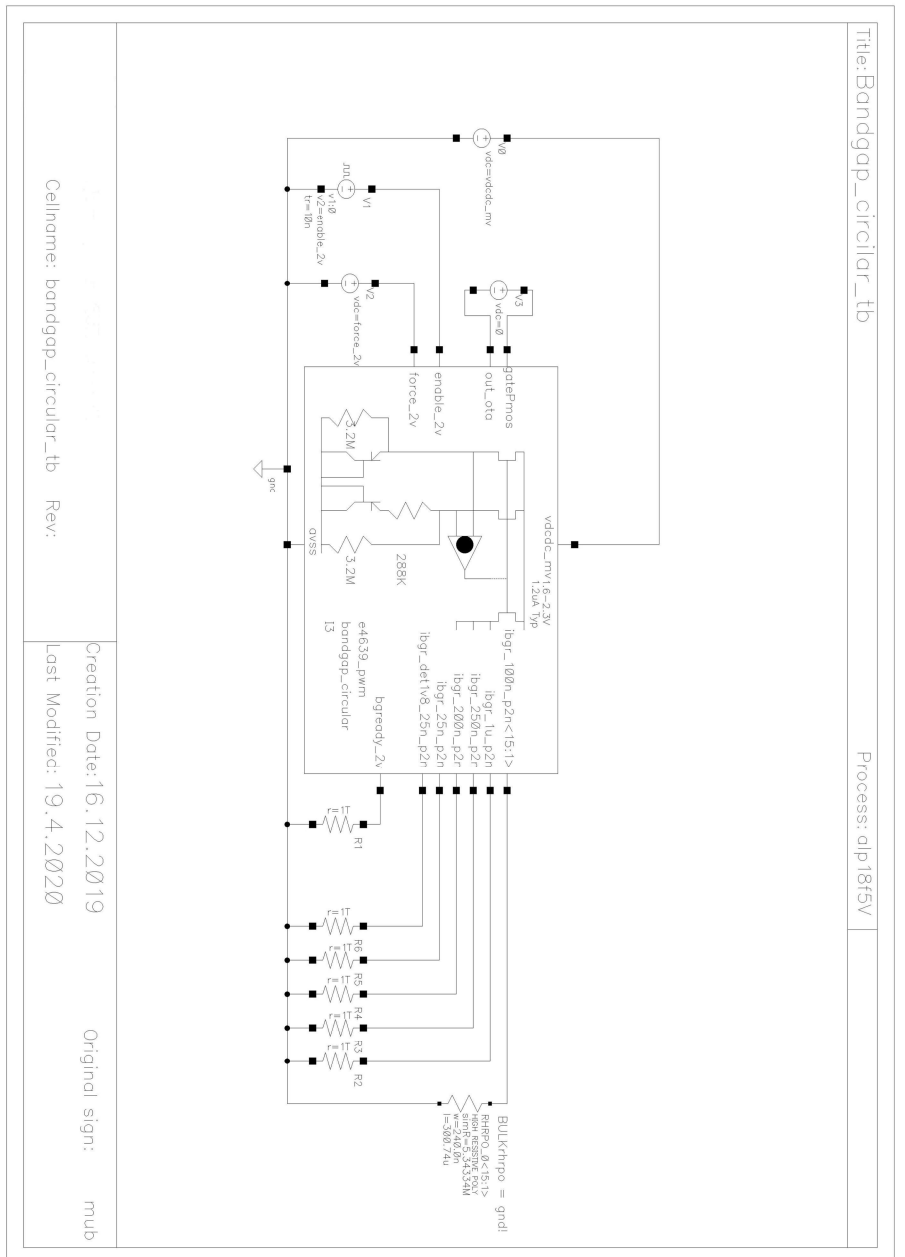


Obrázek 38 Obvodový symbol bandgapu s cirkulárními tranzistory v diferenčním páru operačního zesilovače



Obrázek 39 Schéma testovacího obvodu bandgapu s konvenčními tranzistory v diferenciálním páru operačního zesilovače





Cellname: bandgap\_circular\_tb Rev:

Creation Date: 16.12.2019  
Last Modified: 19.4.2020

Original sign: mub

Obrázek 40 Schéma testovacího obvodu bandgapu s cirkulárními tranzistory v diferenčním páru operačního zesilovače