

České vysoké učení technické v Praze
Fakulta elektrotechnická
Katedra elektroenergetiky

Studijní program: Elektrotechnika, energetika a management
Studijní obor: Elektroenergetika



**Budící obvody pro SiC tranzistory
s nadproudovou ochranou**

SiC transistor driver with overcurrent protection

Diplomová práce

Vypracoval: Roman Mrzena
Vedoucí práce: Ing. Miroslav Lev

2019

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Mrzena** Jméno: **Roman** Osobní číslo: **434900**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra elektroenergetiky**
Studijní program: **Elektrotechnika, energetika a management**
Studijní obor: **Elektroenergetika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Budící obvody pro SiC tranzistory s nadproudovou ochranou

Název diplomové práce anglicky:

SiC transistor driver with overcurrent protection

Pokyny pro vypracování:

1. Tranzistory na bázi karbidu křemíku
2. Základní požadavky na budící obvody a jejich funkce
3. Návrh nadproudové ochrany s Rogowského cívkou
4. Návrh a realizace budícího obvodu

Seznam doporučené literatury:

- [1] Stengl JP, Tihanyi J. Výkonové tranzistory MOSFET. 1. čes. vyd. ed. Praha: BEN - technická literatura; 1999.
[2] Patočka M, Vysoké učení technické v Brně. Magnetické jevy a obvody ve výkonové elektronice, měřicí technice a silnoproudé elektrotechnice. 1. vyd. ed. V Brně: VUTIUM; 2011.
[3] Pavelka J, Čeřovský Z, Lettl J, České vysoké učení technické v Praze. Elektrotechnická fakulta. Výkonová elektronika. Vyd. 3. přeprac. ed. Praha: Nakladatelství ČVUT; 2007.

Jméno a pracoviště vedoucí(ho) diplomové práce:

Ing. Miroslav Lev, katedra elektrických pohonů a trakce FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **14.02.2019**

Termín odevzdání diplomové práce: **07.01.2020**

Platnost zadání diplomové práce: **20.09.2020**

Ing. Miroslav Lev
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Ing. Pavel Ripka, CSc.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

Datum převzetí zadání

Podpis studenta

Prohlášení:

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací. Nemám závažný důvod proti užití tohoto školního díla ve smyslu §60 Zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon).

V Praze dne 7.1.2019

Roman Mrzena

Poděkování:

V první řadě bych rád poděkoval Prof. Ing. Václavovi Papežovi, CSc. a Ing. Janu Hlaváčkovi za umožnění změřit parametry Rogowského cívek. Dále bych rád poděkoval vedoucímu mé diplomové práce Ing. Miroslavovi Lvovi, za ochotu, cenné rady a věnovaný čas. Můj největší dík však patří mé rodině a přátelům, kteří mě podporovali během celé doby studia. A v poslední řadě bych chtěl poděkovat zaměstnancům a kolegům z firmy POLL, s.r.o, bez kterých by nejspíš tato práce vůbec nevznikla.

Roman Mrzena

Abstrakt

Práce se zabývá návrhem zkratové ochrany s Rogowského cívkou pro tranzistory SiC MOSFET. V úvodu jsou popsány tranzistory na bázi karbidu křemíku a jejich porovnání s klasickými křemíkovými. Následuje přehled základních požadavků na budící obvody pro tranzistory. Pokračuje návrhem Rogowského cívek na desku plošného spoje. A v závěru je porovnává navržená zkratová ochrana s Rogowského cívkou s desaturační ochranou.

Klíčová slova

Rogowského cívka, SiC, MOSFET, budič, zkratová ochrana

Abstract

The thesis describes design of a Rogowski current sensor for gate-drive short circuit protection of SiC MOSFET. In the introduction are described transistors based on silicon carbide and their comparison with conventional silicon transistors. The following is an overview of the basic requirements for gate driver circuits for transistors. It continues by designing Rogowski coils on printed circuit board. Finally, it compares the proposed short-circuit protection based on Rogowski coil current sensor with desaturation protection.

Key words:

Rogowski coil, SiC, MOSFET, gate driver, short circuit protection

Seznam Obrázků

Obrázek 1 Směr vývoje výkonových polovodičových součástek (1)	4
Obrázek 2 Výstupní charakteristika tranzistoru N-JFET a jeho schématická značka,	8
Obrázek 3 BJT tranzistory, uspořádání struktury přechodu a schématické značky	8
Obrázek 4 SiC BJT výstupní charakteristika a zesilovací proudový činitel.....	9
Obrázek 5 Výstupní charakteristika SiC MOSFET a schématická značka, zdroj (11).....	10
Obrázek 6 Řízení výkonového tranzistoru zdroj (13)	11
Obrázek 7 Porovnání spínacích časů budiče a mikrokontroléru zdroj: (13).....	12
Obrázek 8 náhradní schéma pro budič s výkonovým MOSFETEM zdroj: (13).....	13
Obrázek 9 Časové odezvy budiče zdroj: (13).....	13
Obrázek 10 Izolační bariéra při zapojení v Half-Bridge zdroj: (13)	15
Obrázek 11 Millerova kapacita (16)	16
Obrázek 12 Boost converter	16
Obrázek 13 náhradní schéma	17
Obrázek 14 Metoda Celkového náboje (16)	18
Obrázek 15 Charakteristika Q_c z katalogu výrobce (17).....	18
Obrázek 16 Ilustrační obrázek pro určení ztrát	19
Obrázek 17 Porovnání výstupních charakteristik IGBT vs SiC MOSFET (19)	21
Obrázek 18 Porovnání výstupních charakteristik SiC MOSFET a IGBT	22
Obrázek 19 Přehled možných poruchových stavů a zapojení sestavy pro testování zkratů (24)	25
Obrázek 20 Zkrat na zátěži bez použití ochrany (24)	26
Obrázek 21 Schéma desaturační ochrany (24)	27
Obrázek 22 Desaturační ochrana - zkrat v sepnutém stavu (24).....	28
Obrázek 23 Desaturační ochrana - zkrat při sepnutí (24).....	29
Obrázek 24 Desaturační ochrana - zkrat na zátěži (24).....	29
Obrázek 25 Schéma ochrany s Rogowského cívkou (24).....	30
Obrázek 26 Rogowského cívka - zkrat v sepnutém stavu (24).....	31
Obrázek 27 Rogowského cívka - zkrat při sepnutí (24).....	31
Obrázek 28 Rogowského cívka - zkrat na zátěži (24)	32
Obrázek 29 Základní uspořádání Rogowského cívky.....	34
Obrázek 30 Náhradní model Rogowského cívky	35
Obrázek 31 Uspořádání Rogowského cívky s obélníkovým průřezem.....	35
Obrázek 32 Náhradní model cívky včetně pasivního integrátoru.....	39
Obrázek 33 Ilustrační obrázek pro počet závitů	42
Obrázek 34 Simulace – odezva na jednotkový skok	45
Obrázek 35 Amplitudová charakteristika Rogowského cívky s použitým integrátorem.....	47
Obrázek 36 UCC21750QDWEVM-025	47
Obrázek 37 Push-pull converter (33)	48
Obrázek 38 Blokové schéma SN6505 a charakteristika spínání (33).....	48
Obrázek 39 SN6505	49
Obrázek 40 Blokové schéma komparátoru TPS3700 a výstupní charakteristiky zdroj: (35).....	50
Obrázek 41 Desaturační ochrana UCC21750 zdroj: (32)	50
Obrázek 42 Test základních funkcí budiče	51
Obrázek 43 SiC MOSFET C2M0080170P zdroj: (37).....	53
Obrázek 44 Bezpečná provozní oblast zdroj: (37).....	53
Obrázek 45 Navržený ochranný obvod.....	54
Obrázek 46 Asynchronní D-klopný obvod SN74LVC1G175 zdroj: (38).....	55
Obrázek 47 Logické hradlo AND zdroj: (39).....	56
Obrázek 48 Blokové schéma testovací sestavy.....	59

<i>Obrázek 49 Zákmity tlačítka.....</i>	<i>60</i>
<i>Obrázek 50 Obvod pro eliminaci zákmitů tlačítka.....</i>	<i>60</i>
<i>Obrázek 51 Prototyp pro testování zkratové ochrany s Rogowského cívkou</i>	<i>61</i>
<i>Obrázek 52 Výsledné měření pro desaturační ochranu budiče</i>	<i>62</i>
<i>Obrázek 53 Výsledné měření pro ochranu s Rogowského cívkou.....</i>	<i>63</i>

Seznam Tabulek

<i>Tabulka 1 Porovnání základních elektrických vlastností Si, GaAs a SiC (4)</i>	6
<i>Tabulka 2 Vypočtené parametry Rogowského cívek</i>	43
<i>Tabulka 3 Změřené parametry Rogowského cívek</i>	44

Seznam Příloh

Příloha č. 1: Výpočetní program ve Wolfram Mathematica	
Příloha č. 2: Schéma vyrobených Rogowského cívek	
Příloha č. 3: Vyrobené Rogowského cívky na desce plošného spoje	
Příloha č. 4: Frekvenční závislost indukčnosti Rogowského cívek	
Příloha č. 5: Pracovní stav	
Příloha č. 6: Poruchový stav	
Příloha č. 7: Resetovací stav	
Příloha č. 8: Schéma navržené ochrany	
Příloha č. 9: Principiální návrh budicího obvodu s implementovanou zkratovou ochranou	
Příloha č. 10: Layout vyrobené desky plošného spoje	

Seznam použitých zkratk

SiC	- Silikon Karbid
GaN	- Galium Nitrid
MOSFET	- Metal Oxide Semiconductor Field Effect Transistor
IGBT	- Insulated Gate Bipolar Transistor
Si	- Silicon
Ga ₂ O ₃	- Oxid gallitý
LPE	- liquid phase epitaxy
CVD	- Chemical Vapor Deposition
MBE	- Molecular-beam epitaxy
JFET	- Junction gate field-effect transistor
BJT	- Bipolar junction transistor
SJT	- Super junction transistor
MCU	- microcontroller unit
TTL	- transistor-to-transistor logic
CMOS	- Complementary Metal–Oxide–Semiconductor
NTC	- Negative temperature coefficient
TCR	- teplotní koeficient
FUL	- Fault under load
HSF	- Hard Switching Fault

Seznam použitých symbolů

I_{DS} (A)	- proud mezi drain-source tranzistoru MOSFET
U_{GS} (V)	- napětí mezi gate-source tranzistoru MOSFET
U_{BE} (V)	- napětí báze-emitor tranzistoru BJT
U_{th} (V)	- threshold voltage, prahové napětí
U_{THQ1} (V)	- treshold voltage pro spínač Q_1
V_{THQ2} (V)	- treshold voltage pro spínač Q_1
V_{DD} (V)	- positive supply voltage
V_{GSQ1} (V)	- napětí mezi gate-source spínače Q_1
V_{GSQ2} (V)	- napětí mezi gate-source spínače Q_2
t_d (s)	- propagation delay
t_r (s)	- rissing time
t_f (s)	- falling time
$R_{DS(ON)}$	- odpor v sepnutém stavu
C_{gd} (F)	- parazitní kapacita gate-drain, Millerova kapacita
C_{gs} (F)	- parazitní kapacita gate-source
I_g (A)	- proud do gate tranzistoru
U_{out} (V)	- výstupní napětí
U_{CE} (V)	- napětí kolektor-emitor tranzistoru IGBT
I_C (A)	- proud kolektorem tranzistoru IGBT

1. Obsah

ÚVOD	3
2. TRANZISTORY NA BÁZI KARBIDU KŘEMÍKU	4
2.1 HISTORIE	5
2.2 ELEKTRICKÉ VLASTNOSTI A VÝHODY OPROTI KŘEMÍKU	6
2.3 SiC TRANZISTORY	7
2.3.1 SiC JFET	7
2.3.2 SiC BJTs	8
2.3.3 SiC MOSFET	10
3. ZÁKLADNÍ POŽADAVKY NA BUDÍCÍ OBVODY A JEJICH FUNKCE	11
3.1 FUNKCE ŘÍDÍCÍCH OBVODŮ	11
3.2 ZPOŽDĚNÍ	13
3.3 IZOLACE	14
3.4 VLIV PARAZITNÍCH KAPACIT NA VLASTNOSTI TRANZISTORU MOSFET	15
3.4.1 Metoda ekvivalentního kapacitoru	16
3.4.2 Metoda Celkového náboje	18
3.5 ZTRÁTY	19
3.6 HARDWAROVÉ OCHRANY	20
3.7 NADPROUDOVÁ OCHRANA PRO SiC TRANZISTORY	21
3.8 POROVNÁNÍ MEZI OCHRANOU S ROGOWSKÉHO CÍVKOU A DESATURAČNÍ OCHRANOU	25
3.8.1 Chování tranzistoru během zkratu	26
3.8.2 Desaturační ochrana	27
3.8.3 Zkratová ochrana s Rogowského cívkou	30
3.8.4 Shrnutí	32
4. ROGOWSKÉHO CÍVKA	33
4.1 PRINCIP ČINNOSTI	33
4.2 NÁHRADNÍ MODEL	35
4.3 MATEMATICKÝ POPIS	35
4.4 ROGOWSKÉHO CÍVKA PRO MĚŘENÍ IMPULZNÍCH PROUDŮ	39
4.5 VÝPOČET PARAMETRŮ	41
4.6 NÁVRH ROGOWSKÉHO CÍVKY NA DESCE PLOŠNÉHO SPOJE	42
4.7 PARAMETRY VYROBENÝCH CÍVEK	44
4.7.1 Ověření parametrů vybrané Rogowského cívky	45
5. NÁVRH A REALIZACE BUDÍCÍHO OBVODU	47
5.1 POPIS TESTOVANÉHO BUDIČE	48
5.2 NÁVRH NADPROUDOVÉ OCHRANY S VYUŽITÍM ROGOWSKÉHO CÍVKY	52
5.3 SIMULACE	53
5.3.1 Pracovní stav	55
5.3.2 Poruchový stav	57
5.3.3 Resetovací stav	58
5.4 NÁVRH DESKY PLOŠNÉHO SPOJE	59
5.5 OVĚŘENÍ FUNKCE NAVRŽENÉ OCHRANY	61
5.5.1 Výsledky s desaturační ochranou	62
5.5.2 Výsledky s nadproudovou ochranou s Rogowského cívkou	63

6.	ZÁVĚR	64
7.	CITOVANÁ LITERATURA.....	65

Úvod

Ve výkonové elektronice existuje celá řada různých aplikací, které nacházejí uplatnění v oblastech od spotřební elektroniky, přes napájecí zdroje, řízení výkonů až po systémy přenosu a distribuci elektrické energie. Použité polovodičové součástky se značně liší svými parametry v závislosti na použité oblasti. V současné době je převážná většina výkonových součástek vyrobena z křemíku a vývoj v této oblasti je na samé hranici materiálových vlastností.

Z tohoto důvodu se začínají objevovat alternativní součástky na bázi SiC a GaN, které umožňují využití v aplikacích pro vysoké teploty, velké výkony a vyšší spínací frekvence. Současně jsou kladeny zvýšené nároky na budící obvody a zkratovou ochranu tranzistorů. V této práci bude pojednáno hlavně o tranzistorech SiC MOSFET. Z důvodu odlišnosti výstupní charakteristiky, oproti křemíkovým tranzistorům IGBT bude nastíněna problematika využití desaturační ochrany, která v případě SiC tranzistorů nemusí spolehlivě fungovat.

Tato diplomová práce se zabývá návrhem zkratové ochrany pro SiC tranzistor MOSFET. V úvodní části je pojednáno o tranzistorech na bázi SiC a porovnání jejich vlastností s křemíkovými součástkami. Další část má čtenáře seznámit se základními požadavky na budící obvody pro tranzistory a s jejich funkčností. Hlavní část se věnuje návrhu zkratové ochrany s využitím proudového snímače s Rogowského cívku. Přičemž návrh Rogowského cívky je realizován na desce plošného spoje. Zkratová ochrana vychází z výsledků provedené simulace v simulačním programu LTspice a výsledně je porovnána s desaturační ochranou.

Cíle diplomové práce jsou:

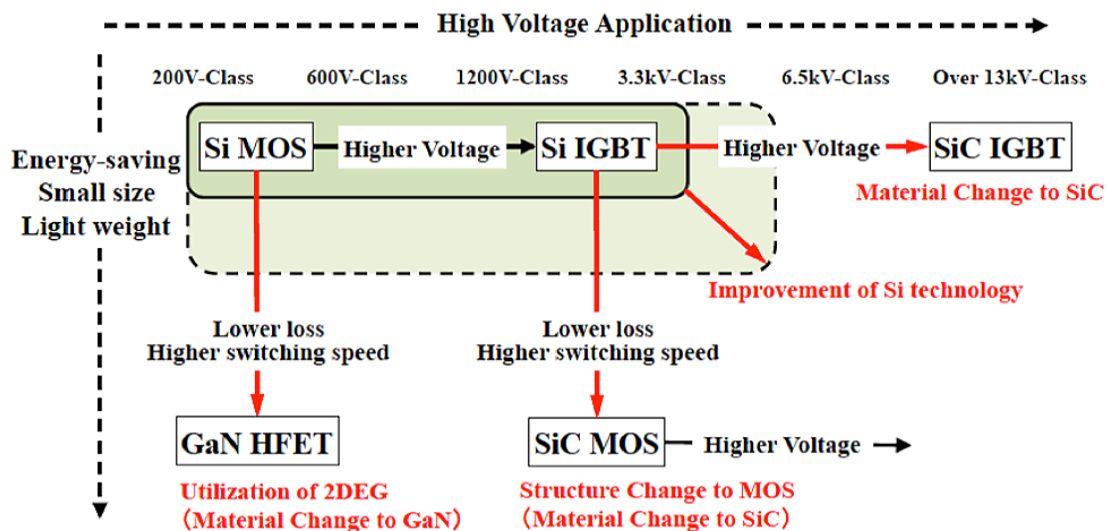
- Nastudovat a navrhnout Rogowského cívku na desce plošného spoje
- Naučit se v simulačním prostředí LTspice
- Provést simulaci a návrh zkratové ochrany s využitím Rogowského cívky
- Ověřit funkčnost navržené ochrany na vývojovém kitu UCC21750QDWEVM - 25
- Porovnat dynamické parametry ochrany s Rogowského cívku oproti desaturační ochraně s cílem zlepšit reakční čas ochrany
- Schématický návrh budícího obvodu s přídatnou ochranou s Rogowského cívku

Tato práce je vytvořena na základě zadání společnosti POLL, s.r.o.

2. Tranzistory na bázi karbidu křemíku

Klíčovými komponenty výkonové elektroniky jsou výkonové tranzistory a diody, které jsou využívány v měničích elektrické energie. V měničích se tranzistory používají zejména jako spínače a diody jako usměrňovače. Jejich komplexním řízením spolu s pasivními prvky lze měnit parametry elektrické energie (napětí, frekvence atd.). Přičemž jsou kladeny nároky na nízký ztrátový výkon, vysokou spínací schopnost aktivních prvků a velké blokovací napětí.

Vývoj v oblasti výkonových polovodičových prvků se ubírá dvěma směry. První směr počítá s používáním součástek, které povedou ke zvýšení účinnosti zařízení, zmenšení jeho rozměrů a hmotnosti při zachování stejného výkonu. Toho lze dosáhnout v případě, že zařízení bude pracovat s vysokou spínací frekvencí. Druhý směr počítá s rozšířením aplikací výkonové elektroniky v oblasti vysokého napětí, což je dáno zvětšováním blokovacího napětí součástek. Směr vývoje výkonových polovodičových součástek je ukázán na obrázku č. 1.



Obrázek 1 Směr vývoje výkonových polovodičových součástek (1)

Nicméně se předpokládá, že výrazné zlepšení v aplikacích výkonové elektroniky s použitím křemíkových součástek bude velmi obtížné. Proto se vhodnou alternativou jeví polovodiče s velkou šířkou zakázaného pásma. Do této kategorie patří součástky na bázi karbidu křemíku (SiC) a galium nitridu (GaN). Šířka zakázaného pásma pro křemík (Si) je 1,1 eV. SiC má naproti tomu, v závislosti na použité krystalické struktuře, šířku třikrát větší. (1)

Šířka zakázaného pásma udává energii, kterou potřebuje elektron, k překonání z valenčního do vodivostního pásu. Větší šířka zakázaného pásma dovoluje materiálu odolat silnějšímu elektrickému poli, takže v porovnání s křemíkem bude součástka na bázi SiC (pro dané napětí) menší a zvládne přenést větší výkon. Zájem o součástky s širokým zakázaným pásmem je hlavně kvůli jejich vlastnostem umožňující využití v aplikacích pro vysoké teploty, velké výkony a vyšší spínací frekvence. Tedy v podmínkách, ve kterých by křemíkové součástky pracovaly na mezi svých schopností.

V současné době jsou polovodičové součástky na bázi SiC a GaN, komerčně dostupné, ale jejich rozvoj brzdí vysoké pořizovací náklady. Proto se z ekonomických důvodů stále nacházejí uplatnění křemíkové součástky.

Vývoj, v oblasti polovodičů s velkou šířkou zakázaného pásma, dělá v posledních letech velké pokroky, což dokazuje otestovaný polovodič na bázi Ga₂O₃, který disponuje šířkou zakázaného pásma 4,4 – 4,9 eV v závislosti na krystalové struktuře. Kvůli jeho vysoké hodnotě průrazného napětí se předpokládá, že bude použit v aplikacích s velkými výkony. Nevýhodou u tohoto materiálu je nízká tepelná vodivost, kterou je zhoršen odvod tepla ze součástky. (2)

Důležité je zmínit, že tranzistory na bázi karbidu křemíku (SiC) a galium nitridu (GaN) jsou považovány za alternativní náhrady stávajících křemíkových součástek. Je jen otázkou času, než se zlevní jejich výroba natolik, aby mohli cenově konkurovat stávajícím křemíkovým součástkám.

2.1 Historie

Karbid křemíku (SiC) byl poprvé syntetizován v 19. století a stal se předmětem výzkumu na další desítky let. I přes úspěšný vývoj v oblasti SiC se nepovedlo získat materiál potřebné čistoty, navíc byla jeho výroba finančně nákladná, a tak se upustilo od jeho rozvoje. Místo v komerčním sektoru zaujaly dnes už dobře známé součástky na bázi křemíku (Si). Důvodem byl objev metody, která pomohla snížit počet defektů ve struktuře křemíku, což se u SiC do té doby nepovedlo. Použití součástek na bázi SiC se zúžilo na armádní a kosmický sektor.

Výzkum v oblasti polovodičů na bázi SiC pokračoval dál. Významný zlom nastal koncem 80let 20. století, kdy začaly být komerčně dostupné SiC wafery od firem Cree Research a Northrop Grumman, které tak vytvořili příležitosti pro další vývoj. V této době pokročil i proces výroby tenkých vrstev, kdy epitaxe z kapalně fáze (LPE – *liquid phase epitaxy*) byla nahrazena vyspělejšími metodami, jako je např. chemická depozice z plynné fáze (CVD), nebo epitaxe z molekulárních svazků (MBE). Až s příchodem nových technologií začal opět růst zájem o součástky na bázi SiC, které překonávají stávající křemíkové. Široký zakázaný pás, vysoká tepelná vodivost a mechanická pevnost z nich dělají vhodného kandidáta pro použití v polovodičové technice. (3)

Materiál SiC tvoří krystalové struktury, kterým se říká polytypy. Atomy křemíku (Si) a uhlíku (C) jsou v krystalové mřížce různě uspořádány, a tak má každý polytyp jiné elektrické a optické vlastnosti. I přesto, že je známo více než 170 polytypů SiC, jen několik z nich je vhodných pro výrobu polovodičových součástek. Mezi nejběžnější typy vhodné pro elektroniku patří 3C-SiC, 6H-SiC a 4H-SiC. Pozn.: Ramsdellovy symboly (3C, 6H, ...) se zapisují ve tvaru nX , kde číslo n udává počet vrstev tvořící opakující se sekvenci polytypu. Písmeno X označuje krystalickou soustavu, kam polytyp náleží, např. (C – kubická). Podrobnější analýza není na místě, a proto postačí základní informace o odlišnostech struktur. (4)

2.2 Elektrické vlastnosti a výhody oproti Křemíku

Můžeme zmínit 3 základní parametry, které dělají z karbidu křemíku perspektivní polovodičový substrát (tepelná vodivost, velikost průrazného elektrického pole, velká šířka zakázaného pásu). Elektrické vlastnosti nejběžnějších polytypů SiC jsou porovnány s (Si a GaAs) (viz. **Chyba! Nenalezen zdroj odkazů.**). Je potřeba zmínit, že veličiny v tabulce jsou různě teplotně závislé.

Tabulka 1 Porovnání základních elektrických vlastností Si, GaAs a SiC (4)

Parametr	Si	GaAs	4H-SiC	6H-SiC	3C-SiC
Šířka zakázaného pásma [eV]	1,1	1,42	3,2	3	2,3
Relativní dielektrická konstanta	11,9	13,1	9,7	9,7	9,7
Průrazné elektrické pole při $N_D=10^{17} \text{ cm}^{-3}$ [$\text{MV}\cdot\text{cm}^{-1}$]	0,6	0,6	s c-osou: 3	s c-osou: 3,2 ⊥ s c-osou: >1	>1,5
Tepelná vodivost [$\text{W}\cdot\text{cm}^{-1}\cdot\text{K}^{-1}$]	1,5	0,5	3-5	3-5	3-5
Intrinsická koncentrace nosičů n_i [cm^{-3}]	10^{10}	$1,8 \cdot 10^6$	$\approx 10^{-7}$	$\approx 10^{-5}$	10
Pohyblivost elektronů při $N_D=10^{16} \text{ cm}^{-3}$ [$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$]	1200	6500	s c-osou: 800 ⊥ s c-osou: 800	s c-osou: 60 ⊥ s c-osou: 400	780
Pohyblivost děr při $N_D=10^{16} \text{ cm}^{-3}$ [$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$]	420	320	115	90	40
Nasycená elektronová rychlost [$10^7 \cdot \text{cm}\cdot\text{s}^{-1}$]	1	1,2	2	2	2,5
Přidávané typy donorů	P,As	Si	N,P	N,P	N
Přidávané typy akceptorů	B	Be, Mg, C	Al, B	Al, B	Al
Komerčně vyráběné (rok 2003) pláty [cm]	30	15	8	8	-

Velká šířka zakázaného pásu a nízká vlastní (intrinsická) koncentrace nosičů dovoluje polovodičům na bázi SiC pracovat ve velmi vysokých teplotách oproti křemíkovým. SiC má v širokém rozsahu teplot zanedbatelnou koncentraci vlastních (intrinsických) nosičů, proto se vodivost zajišťuje přidáním příměsi. Intrinsická koncentrace nosičů n_i se s teplotou exponenciálně zvyšuje, tím roste i zbytkový proud v polovodiči, který je úměrný n_i v některých případech dokonce n_i^2 . Při vysokých teplotách začne převládat vlastní vodivost nad příměsovou, až může dojít ke zničení součástky. V závislosti na provedení křemíkové součástky je omezena pracovní teplota přechodu na méně než 300 °C. Několikanásobně menší intrinsická koncentrace nosičů dovoluje pracovat SiC součástkám při teplotě 600 °C, která byla experimentálně ověřena a teoreticky je možné dosáhnout teplot až 800 °C. Prozatím je limitujícím faktorem použité pouzdro, takže mají SiC součástky stejné omezení jako ty křemíkové. Pro využití součástek ve vysokých teplotách bude třeba vyvinout nová pouzdra, jelikož stávající polymerová nevyhovují. (4)

Vysoké průrazné napětí a široká oblast zakázaných energií u SiC umožňuje výrobu extrémně rychlých výkonových součástek. Statické měniče s použitím SiC součástek, tak mohou pracovat na vyšších kmitočtech a s vyšší účinností. Při vyšší spínací frekvenci se zmenšuje potřebná kapacita, indukčnost a velikost transformátoru, takže dojde ke snížení rozměrů a hmotnosti zařízení. Zmenšení odporu v sepnutém stavu a vyšší spínací kmitočet minimalizuje ztráty, takže dochází k menšímu ohřívání součástky.

Vysoká tepelná vodivost umožňuje lepší odvod tepla. Zároveň se s rostoucí teplotou součástky zvyšuje rozdíl teplot, mezi okolím a pouzdem součástky. Tím se více tepla vyzáří do okolního prostředí a součástka se účinněji chladí. To dovoluje zmenšení chladicího systému, nebo dokonce jeho odstranění. (4)

2.3 SiC Tranzistory

Za poslední desetiletí se naplňuje potenciál SiC součástek a počítá se s nimi jako s alternativou za křemíkové (Si), především v aplikacích, kde je cílem dosáhnout vysoké účinnosti, vysoké spínací frekvence a provozu při zvýšených teplotních podmínkách. Experimentální studie a simulace prokázaly zmíněné výhody oproti křemíkové technologii. Naproti zmíněným výhodám stojí výzva pro řídicí obvody, které zajišťují řádné spínání tranzistoru a musí obsahovat ochranné prvky, stejně jako splnit požadavky na elektromagnetickou kompatibilitu.

První známky o tom, že SiC tranzistory budou pro výkonovou elektroniku dostupné, začaly okolo roku 2000. Pouze několik návrhů SiC tranzistorů dokázalo překonat různé překážky a byly k dispozici pouze jako zkušební vzorky, které se později staly komerčně dostupnými. Při vývoji byly dominantní tři typy SiC tranzistorů, těmi jsou: SiC JFET, SiC BJT a později SiC MOSFET. Z počátku byla kvalita SiC součástek nedostatečná, ale postupem času se zlepšila kvalita monokrytalického SiC a tím i kvalita součástek. Prozatím jsou součástky na bázi SiC několikanásobně dražší než křemíkové, a to brání jejich většímu růstu. (5)

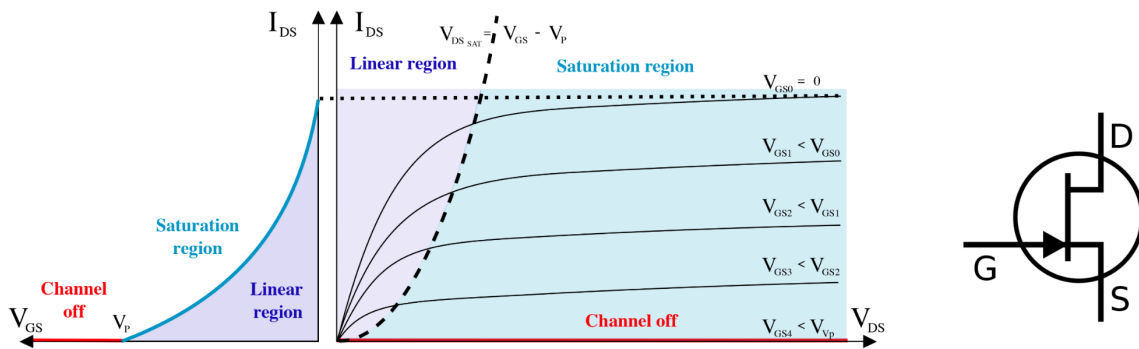
Porovnáme-li dva tranzistory MOSFET s trvalým proudem $I_D = 40 \text{ A}$, přičemž první bude Si MOSFET (SIHF065N60E-GE3) s průrazným napětím $U_{DS} = 600 \text{ V}$, tak SiC MOSFET (C2M0080170P) se shodným proudem I_D má průrazné napětí $U_{DS} = 1700 \text{ V}$. Při cenovém srovnání těchto dvou variant vychází SiC tranzistor pětikrát draž než křemíkový. Porovnání je ze dne 6. 1. 2010 od dodavatele elektronických součástek Mouser Electronics

2.3.1 SiC JFET

SiC JFET (*Silicon Carbide Junction Field Effect Transistor*) je nejjednodušší polem řízená polovodičová součástka. První pokusy o návrh a výrobu SiC JFET byly na začátku 90let minulého století. Cílem v té době bylo vyrobit tranzistor pro vysoké frekvence. Avšak relativně nízká vodivost kanálu a obtíže při výrobním procesu nepřinesly uspokojivé výsledky.

SiC JFET je polovodičová součástka se třemi elektrodami s označením **G** (anglicky *Gate*), **S** (anglicky *Source*), **D** (anglicky *Drain*). Moderní SiC JFET tranzistory byly vyvinuty až později po roce 2000 a podle typu dotace vodivostního kanálu rozlišujeme dva typy tranzistorů: N-JFET (s kanálem typu N) a P-JFET (s kanálem typu P). SiC JFET je též označován jako „*normally-ON*“ zařízení, to znamená, že bez přiloženého napětí na řídicí elektrodu je ve vodivém stavu a mezi elektrodami *Drain* a *Source* může protékat proud. Na obrázku č. 2 je znázorněna výstupní charakteristika tranzistoru JFET s kanálem typu N.

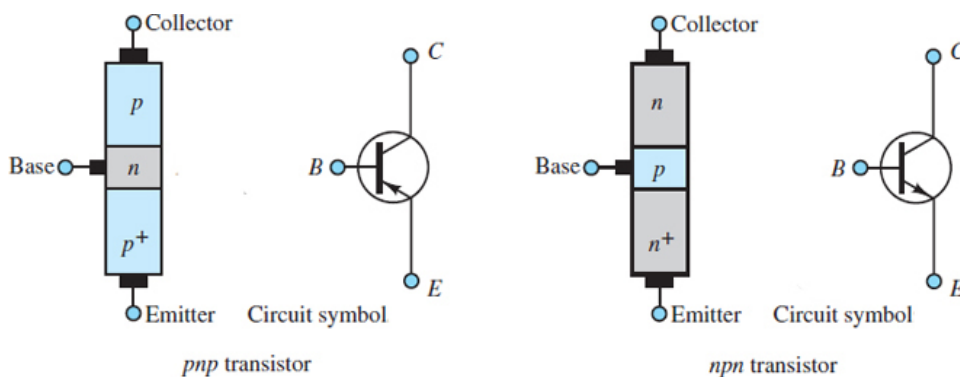
Velikost proudu I_{DS} se řídí přiložením správné polaroty napětí mezi elektrody *Gate* a *Source*. Vlivem elektrického pole dochází k zužování oblasti vodivého kanálu a tím zmenšení protékajícího proudu. Pokud přiložené napětí U_{GS} klesne pod prahové napětí U_p , dojde k zavření tranzistoru. Tranzistor N-JFET lze vypnout záporným napětím U_{GS} , a naopak k vypnutí tranzistoru P-JFET je potřeba kladné napětí U_{GS} . Hodnota U_p není pevně stanovená, ale nachází se v určitém intervalu, např. SiC N-JFET od firmy UnitedSiC s označením UJ3N065025K3S má prahové napětí v rozmezí -14 V až -6 V. (5) (6) (7)



Obrázek 2 Výstupní charakteristika tranzistoru N-JFET a jeho schématická značka, zdroj: JFET_n-channel.svg: Phirosiberia

2.3.2 SiC BJTs

BJT (*Bipolar Junction Transistor*) je bipolární tranzistor řízený proudem báze a oproti SiC JFETu jde o „normally-OFF“ zařízení. Jedná se o třívrstvou polovodičovou strukturu s různým typem vodivosti, kde rozlišujeme základní dva typy bipolárních tranzistorů – PNP a NPN, jejichž schématická značka je znázorněna na obrázku č. 3 spolu s polovodičovou strukturou, která je tvořena dvojicí PN přechodů.

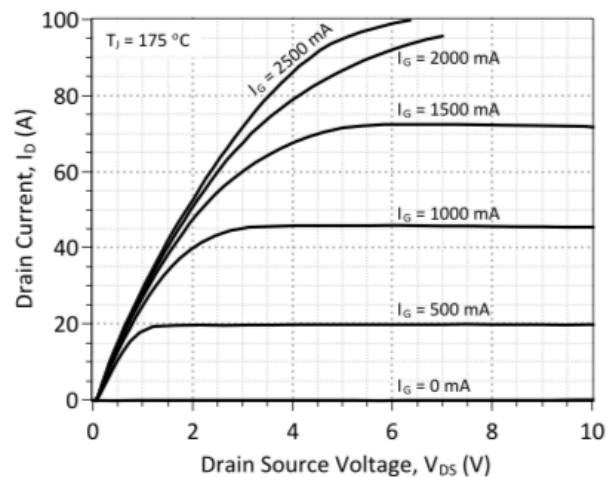
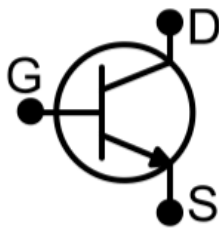


Obrázek 3 BJT tranzistory, uspořádání struktury přechodu a schématické značky

Ke každé oblasti je připojen jeden vývod součástky. Přičemž prostřední oblast je označovaná jako báze **B** (anglicky *Base*) a krajní jsou emitor **E** (anglicky *Emitter*) a kolektor **C** (anglicky *Collector*). Jak bylo naznačeno, tak oblasti jsou různě silně dotovány. V případě NPN tranzistoru je více dotována oblast Emitoru, která obsahuje více volných nosičů než kolektor. Na jejich rozhraní dojde k rekombinaci elektronů a děr a vytvoří se oblast

prostorového náboje. Aby mohl mezi kolektorem a emitorem protékat proud, je potřeba mezi bází a emitor připojit zdroj napětí. Zvyšováním napětí U_{BE} dochází ke zmenšování oblasti prostorového náboje, která v případě křemíku zcela vymizí, pokud napětí dosáhne $\approx 0,7$ V. Pokud budeme chtít tranzistor vypnout, je třeba odčerpat přebytečné elektrony z oblasti báze, takže musíme otočit polaritu napětí U_{BE} . Důležitý parametr, který je třeba zmínit je proudový zesilovací činitel h_{21E} , ten je definovaný jako poměr kolektorového a bázového proudu. Zesilovací činitel udává o kolik je I_C zesílen oproti I_B . U výkonových křemíkových součástek bývá v rozmezí 10 až 100. (8)

SiC BJT (Silicon Carbide *Bipolar Junction Transistor*) je „normally-OFF“ zařízení, které je řízené proudem báze, podobně jako u křemíkového tranzistoru. Avšak proudové zesílení, které koresponduje s proudem báze a kolektoru je u SiC BJT stále velmi malé. Proto musí budící obvod dodávat větší proud do báze, aby udržel tranzistor v saturaci. V budoucnu bude dosaženo většího proudového zesílení, kterého bude dosaženo lepší pasivací povrchu SiC BJT.



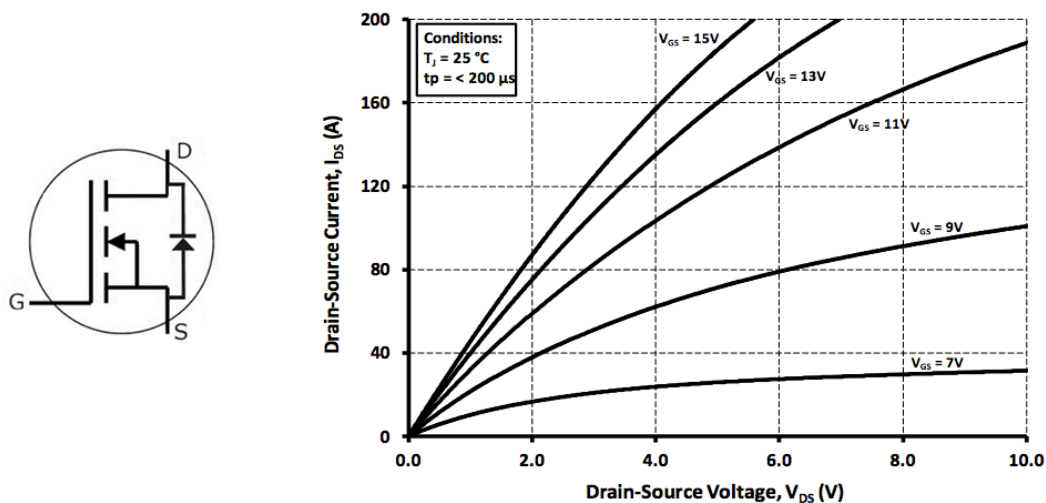
Obrázek 4 SiC BJT výstupní charakteristika a zesilovací proudový činitel

Experimentálně bylo ověřeno, že SiC BJT se při řízení v oblasti saturace chovají jako unipolární zařízení, které jsou naopak řízeny napětím. V důsledku toho může být dosaženo velmi rychlého spínání, která závisí na rychlosti nabití vnitřní kapacity báze – emitor. Více informací je popsáno v článku. (9)

Někdy je možné tranzistory SiC BJT najít pod názvem SiC SJT (*Silicon Carbide Super Junction Transistor*), jehož výstupní charakteristika a schématická značka je na obrázku č. 4, konkrétně se jedná o tranzistor GA50JT12-247 od GeneSiC Semiconductor. (10)

2.3.3 SiC MOSFET

SiC MOSFET (*Silicon Carbide Metal Oxide Semiconductor Field Effect Transistor*) je polovodičová součástka se třemi elektrodami s označením **G** (anglicky *Gate*), **S** (anglicky *Source*), **D** (anglicky *Drain*). Jedná se o unipolární tranzistor, u kterého se vodivost kanálu ovládá pomocí elektrického pole, respektive přiložením správné polaroty napětí U_{GS} . Obecně se tranzistory MOSFET rozlišují na tranzistory se zabudovaným kanálem a s indukovaným kanálem. Kanálem se rozumí oblast polovodiče mezi drain a source a podle typu dotace jsou tranzistory s kanálem typu N, nebo P. Elektroda gate je od zbytku struktury oddělena pomocí oxidové vrstvy, která je v drtivé většině tvořena SiO_2 .



Obrázek 5 Výstupní charakteristika SiC MOSFET a schématická značka, zdroj (11)

Na obrázku č. 5 je znázorněná schématická značka tranzistoru MOSFET s indukovaným kanálem typu N a jeho výstupní charakteristika. V tomto případě se jedná o charakteristiku SiC tranzistoru C3M0021120D od firmy Cree. (11)

Přiložením kladné polaroty napětí U_{GS} mezi elektrody gate a source, začne být indukovaný kanál vodivý. Jen v případě, že přiložené napětí U_{GS} je větší, než prahové napětí U_{th} (anglicky *threshold voltage*). V opačném případě, když je $U_{GS} < U_{th}$ tak vodivý kanál nevznikne a tranzistor zůstane zavřený. (12)

Tranzistory MOSFET jsou ve velké míře využívány ve výkonové elektronice, ale jejich použití je limitováno křemíkovou technologií na aplikace do 600 V. S příchodem SiC tranzistorů MOSFET došlo k výraznému rozšíření oblasti využití do 1700 V. Jsou teorie, že tranzistory SiC bude možné v budoucnu používat v aplikacích s napětím až 40 kV. (5)

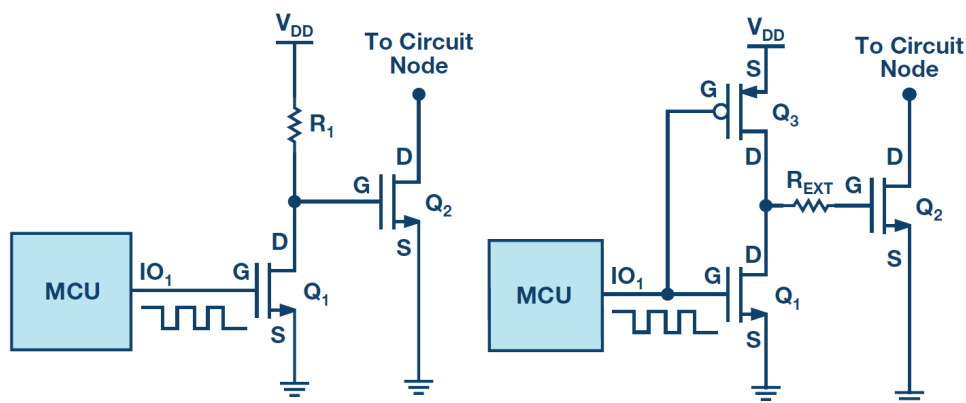
3. Základní požadavky na budící obvody a jejich funkce

Budící obvod (budič, driver) je na rozhraní mezi řídicí částí a výkonovým prvkem. Jeho cílem je generování řídicího signálu na elektrodu spínaného tranzistoru na požadovanou napěťovou a proudovou úroveň. Při zajištění galvanického oddělení řídicího signálu od výkonového prvku. Mezi další důležité požadavky patří rychlé ochrany, které musí zajistit potřebnou ochranu výkonového prvku a v případě poruchových stavů je ohlásit řídicímu systému.

3.1 Funkce řídicích obvodů

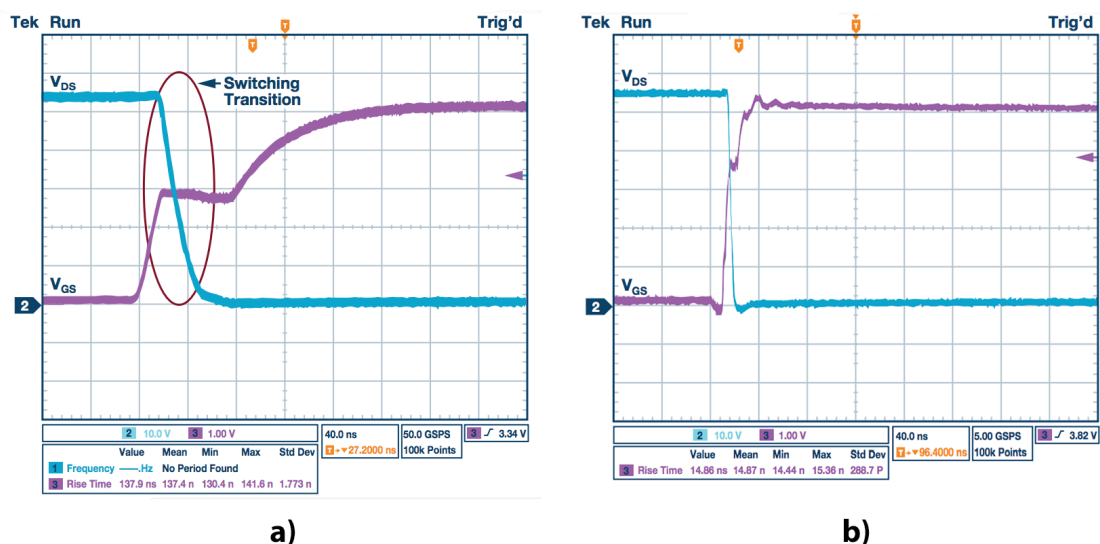
Řídicí elektroda výkonových součástek IGBT/MOSFET se tváří jako nelineární kapacita. Nabití vstupní kapacity umožní sepnutí tranzistoru a mezi elektrodami drain a source může protékat proud. Vybitím této kapacity se tranzistor vypne, mezi elektrodami drain a source neprotéká skoro žádný proud a je na nich drženo plné napětí zdroje. Minimální napětí, na které se musí vstupní kapacita nabít, se označuje jako prahové napětí, anglicky „*threshold voltage*“ a značí se U_{th} . Toto napětí se liší podle typu použitého tranzistoru a je vždy uvedeno v katalogu výrobce. Pro ovládání tranzistoru, jakožto spínače, by mělo být přivedeno napětí mezi hradlo a *source/emitor* podstatně větší než U_{th} .

Uvedme si příklad. Chceme řídit výkonový tranzistor MOSFET pomocí mikrokontroléru (MCU), který dokáže produkovat PWM signál od 0 do 5 V. V takovém případě nedokážeme výkonový tranzistor dostatečně rychle a plně otevřít. Obecně platí, že pro tranzistory ve výkonových aplikacích je řídicí napětí vyšší, než standardní logické napětí CMOS/TTL. Proto je potřeba rozhraní mezi řídicím obvodem a výkonovým spínačem. To lze realizovat pomocným obvodem s n-kanálovým MOSFETEM, jak je vidět na obrázku č. 6.



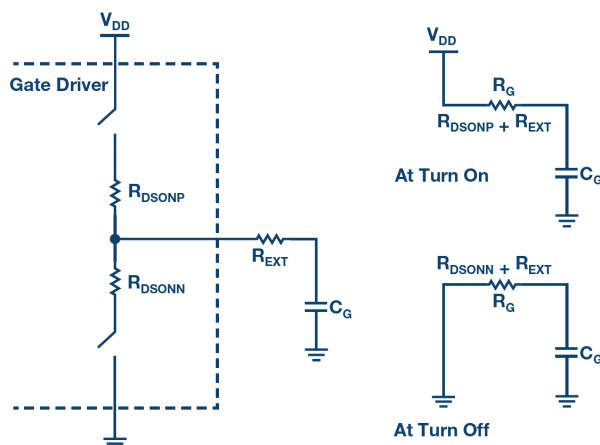
Obrázek 6 Řízení výkonového tranzistoru zdroj (13)

Mikrokontrolér generuje pulzy na tranzistor Q_1 , ten zůstane vypnutý do té doby, než je na hradlo přivedeno napětí větší než U_{THQ1} . Dolní tranzistor Q_1 je vypnutý a na gate výkonového tranzistoru Q_2 je přiváděno řídicí napětí $V_{DD} > V_{THQ2}$ přes pull-up rezistor R_1 a ten sepne. V opačném případě je přivedeno napětí $V_{GSQ1} > U_{THQ1}$ na dolní tranzistor, ten sepne a vybije hradlovou kapacitu C_{GQ2} do země. To má za následek pokles napětí $V_{GSQ2} < V_{THQ2}$, pod úroveň prahového napětí a tranzistor Q_2 je vypnutý. Problémem tohoto zapojení je maření energie na rezistoru R_1 , pokud je tranzistor Q_2 ve vodivém stavu. Možné řešení problému je ukázáno v pravé části obrázku, kdy je pull-up rezistor nahrazen p-kanálovým MOSFETEM Q_3 . Jeho výhodou je nízký odpor v sepnutém stavu, a naopak velmi velký odpor, když je vypnutý. Tím jsou ztráty v obvodu významně sníženy. Do obvodu je dále přidán odpor R_{ext} , který slouží k omezení strmosti nárůstu proudu, kterým je nabíjena hradlová kapacita. Další výhodou použití tranzistoru namísto odporu je snadnější realizace na matici čipu. Popsané zapojení tak lze vyrobit formou integrovaného obvodu, které na vstupu přijímá logické napětí 0 až 5 V, a to se dokáže na výstupu zvýšit na potřebnou úroveň. Takto integrovaný budicí obvod bude vybaven dalšími podpůrnými obvodů pro zlepšení funkčnosti, ale hlavním účelem je generování řídicích pulzů na výkonový tranzistor.



Obrázek 7 Porovnání spínacích časů budiče a mikrokontroléru zdroj: (13)

Otázka vhodného řídicího napětí je zajištěna pomocí budiče, jak bylo zmíněno výše. Hradlová kapacita se však nenabije skokem z nulového na požadované napětí, nějakou dobu to trvá. Během této doby se tranzistor nachází ve stavu, že jím začíná protékat proud. Abychom minimalizovali spínací ztráty, je potřeba sepnutí provést co nejrychleji. K tomu je potřeba relativně velký přechodný proud, který za krátkou dobu nabije, nebo vybije hradlovou kapacitu. Na obrázku č. 7 je k porovnání, jak to vypadá, když je tranzistor spínán pouze pomocí MCU a s použitím budiče. Z obrázku 7 a) je patrné, že mikrokontrolér není schopen dodat dostatečně velký proud k rychlému nabití vstupní kapacity. To je dáno tím, že výstupní proud u mikrokontroléru bývá řádově v desítkách miliampér. Pokud bychom se přesto rozhodli použít k buzení výkonové tranzistoru pouze MCU, může se stát, že dojde k jeho zničení přehřátím. Pokud porovnáme spínací časy, tak použití budiče nám umožní sepnout a vypnout tranzistor v řádu desítek nanosekund. Tím se snižují spínací ztráty a zvyšuje účinnost systému. Proto je jedním z důležitých parametrů při výběru budiče proud, který je schopný dodat



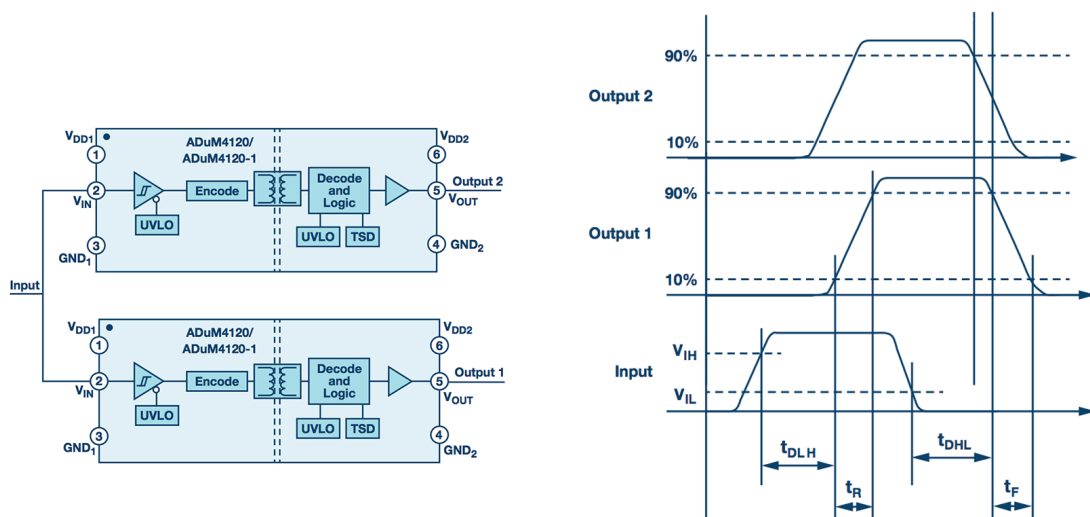
Obrázek 8 náhradní schéma pro budič s výkonovým MOSFETEM zdroj: (13)

S proudem, který je budič schopný dodat, koresponduje odpor v sepnutém stavu $R_{DS(ON)}$ příslušného MOSFETU. V ideálním případě by tento odpor měl být nulový, ale vzhledem k fyzikální struktuře MOSFETU je řádově v jednotkách ohmů. $R_{DS(ON)}$ nám definuje maximální možný proud, který je budič schopný dodat. Zároveň se do série přidává externí odpor R_{EXT} , kterým se dá snížit proud tekoucí do hradla a ovlivnit tak rychlost sepnutí tranzistoru. Při zapínání tranzistoru je hradlový odpor tvořen sériovou kombinací $R_{DS(ONP)} + R_{EXT}$, jak je patrné z obrázku č. 8 a při vypínání kombinací $R_{DS(ONN)} + R_{EXT}$.

Velikost $R_{DS(ON)}$ přímo ovlivňuje ztráty vznikající uvnitř budiče, které se přemění na teplo. Nižší hodnota $R_{DS(ON)}$, tak dovoluje použít větší externí odpor R_{EXT} a ztrátová energie se přemění na teplo mezi příslušné odpory. Tím je odvedeno více tepla z čipu. (13)

3.2 Zpoždění

Vstupní signál přivedený na vstup budiče se objeví na výstupu s určitým zpožděním. Přičemž platí, že zpoždění není pro všechny budiče stejné. V této části budou vysvětleny základní parametry.



Obrázek 9 Časové odezvy budiče zdroj: (13)

Zpoždění signálu ze vstupu na výstup je označeno jako t_d , anglicky „*propagation delay*“. A jedná se o čas, za který se náběžná hrana vstupního signálu objeví na výstupu. Zpoždění náběžné hrany t_{DLH} lze podle obrázku č. 9 definovat, jako čas mezi tím, kdy vstupní signál dosáhne prahového napětí V_{IH} a náběžná hrana na výstupu 10 % své konečné hodnoty. Obdobně lze určit zpoždění sestupné hrany vstupního signálu t_{DHL} , jako rozdíl časů, kdy se sestupná hrana na vstupu dostane pod napětíovou úroveň V_{IL} a na výstupu klesne napětí pod úroveň 90 %. Přičemž zpoždění pro náběžnou hranu signálu se může lišit od sestupné. Dále jsou na obrázku znázorněny časy t_r (anglicky „*rising time*“) a t_f (anglicky „*falling time*“) výstupního signálu, které odpovídají zapínací a vypínací době tranzistoru. Tyto doby se liší podle použitého tranzistoru, přivedeném proudu, atd. O tom bude pojednáno v dalších kapitolách.

3.3 Izolace

Galvanické oddělení mezi různými částmi systému znamená, že nejsou napřímo vodivě spojené. To umožňuje, aby jednotlivé funkční bloky měly různý potenciál vůči zemi. Signál může mezi izolovanými bloky projít přes induktivní, optickou, nebo kapacitní vazbu. Galvanické oddělení lze rozdělit na 3 základní způsoby izolování řídicího signálu:

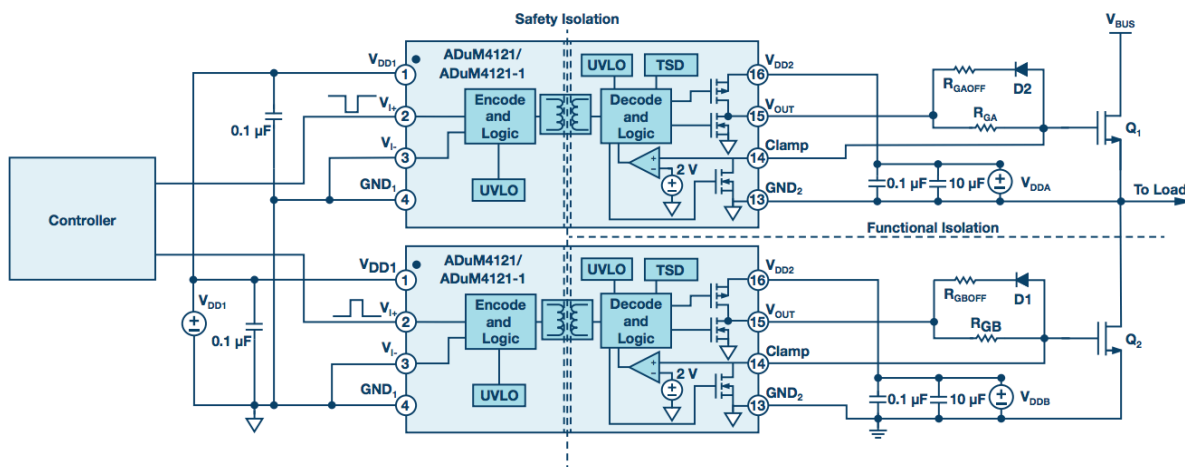
- Opticky
 - Optočlen
 - Optické vlákno
- Magneticky
 - Impulsní transformátor
- Kapacitní
 - Izolační vrstva

Podle typu použitého tranzistoru se může strmost napětí du/dt při přechodu z jednoho stavu do druhého měnit se sklonem $\pm 10 \text{ kV}/\mu\text{s}$ až $\pm 120 \text{ kV}/\mu\text{s}$. Použití optočlenů se stínící mřížkou garantuje odolnost proti rušení vlivem du/dt do $5 \text{ kV}/\mu\text{s}$ až $15 \text{ kV}/\mu\text{s}$, což v některých aplikacích nestačí, a tak je řídicí signál primárně přenášen magnetickou cestou. Dokonalým řešením je přenos informace pomocí optických vláken, ale ty se z důvodu vysokých nákladů vyplatí u vysokonapětových aplikací a měničů velkých výkonů (nad 1 MW). (14)

V systému, kde jsou použité výkonové budící obvody může být požadavek na galvanické oddělení z důvodu bezpečnosti a funkčnosti zařízení. V případě, že se na ovládací straně předpokládá zásah člověka je nezbytné galvanicky oddělit řídicí obvod od vysokého napětí. Pokud nastane porucha na straně vysokého napětí, tak díky izolační bariéře nedojde k ohrožení zdraví obsluhy. Chrání se také elektronika na straně nízkého napětí. Budící obvody mohou mít rovněž oddělený napájecí zdroj, zde se galvanické oddělení primárně realizuje přes malé impulsní transformátory.

Kromě bezpečnostních důvodů může být oddělení nezbytné pro správný chod zařízení. Požadavek na galvanické oddělení je zřejmý z obrázku č. 10. kde je znázorněna topologie *Half-*

-bridge. V takovém zapojení je spodní tranzistor Q_2 připojen k zemi a řídicí napětí U_{GSQ2} na hradlo tranzistoru je vztaženo k zemi. Problém nastává v případě horního tranzistoru Q_1 , jehož source je připojen do uzlu. V tomto případě je řídicí napětí U_{GSQ1} vztaženo právě k tomuto bodu. Zde se však napětí mění v závislosti na tom, jestli je sepnutý spodní tranzistor. Když sepne Q_2 , tak se uzel nachází na potenciálu země, v opačném případě na napětí sběrnice V_{BUS} . Jak bylo vysvětleno dříve, tak k sepnutí horního tranzistoru Q_1 je potřeba přivést napětí U_{GSQ1} , jenže v tomto případě pokud by nebyl budící obvod galvanicky oddělen, tak je nutné pro sepnutí horního tranzistoru přivést napětí $U_{GSQ1} > V_{BUS}$, které bývá řádově stovky voltů. Což je velmi neefektivní. (13)



Obrázek 10 Izolační bariéra při zapojení v Half-Bridge zdroj: (13)

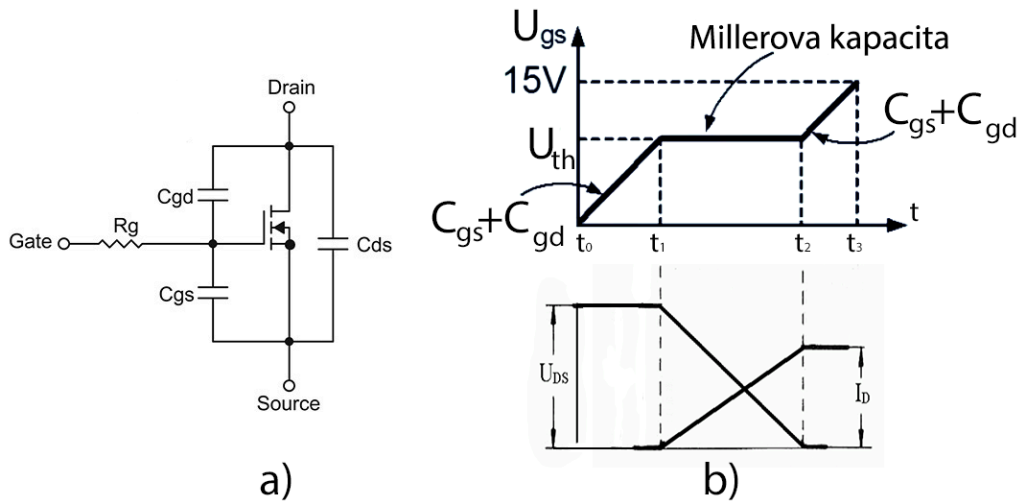
3.4 Vliv parazitních kapacit na vlastnosti tranzistoru MOSFET

Na začátku kapitoly bylo zmíněno, že řídicí elektroda se tváří jako nelineární kapacita, kterou je potřeba nabít na napětí větší než U_{th} , abychom sepnuli tranzistor. Nevýhodou je, že při podmínce rychlého spínání výkonového prvku musíme nabít kromě hradlové kapacity i tu parazitní. Vlivem parazitních kapacit se spínání a vypínání tranzistoru zpomaluje a na to má značný vliv Millerova kapacita C_{gd} , která se podle Millerova efektu tváří jako ekvivalentní vstupní impedance a tím je ovlivněn i budící signál na gate. Parazitní kapacity tranzistoru MOSFET jsou znázorněny na obrázku 11a. (15)

Spínání

Proces spínání je naznačen v obrázku 11b. V čase t_0 je tranzistor zavřený a narůstá budící napětí U_{gs} , zároveň se nabíjí kapacity C_{gd} a C_{gs} . V čase t_1 dosahuje napětí U_{gs} prahového napětí U_{th} , tranzistor začíná otvírat, drainem protéká proud I_D a zároveň klesá napětí U_{DS} . Vlivem Millerova jevu roste vstupní kapacita, což ovlivňuje nárůst napětí U_{gs} do té doby, než se tranzistor dostane do saturační oblasti v čase t_2 . Zde se přestane projevovat Millerův jev a

proces spínání je ukončen nabitím kapacit C_{gd} a C_{gs} , v tomto případě na 15 V. Spínání je do jisté míry ovlivněno velikostí výstupního napětí, vnitřní impedancí a maximálním proudem, který je budicí obvod schopný dodat.



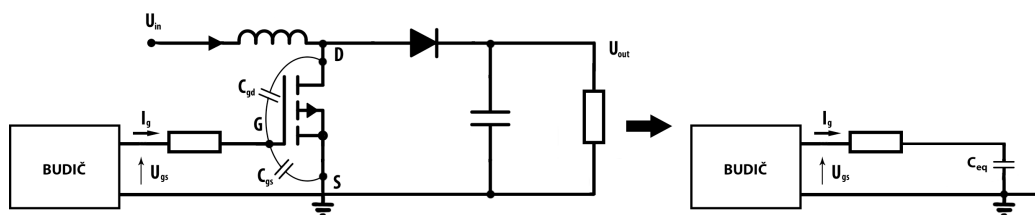
Obrázek 11 Millerova kapacita (16)

Dříve bylo naznačeno, že pro rychlé sepnutí a vypnutí tranzistoru je potřeba v krátkém čase dodat velký proud, kterým se nabíjí kapacita hradla. Také bylo naznačeno, že kapacita, kterou je potřeba najít se chová nelineárně. Jenže jak velký proud je potřeba do hradla dodat, abychom sepnuli tranzistor za požadovaný čas? V další části si proto ukážeme dvě metody, jak tento proud určit a čím je ovlivněn. První bude metoda ekvivalentního kapacitoru a druhá výpočet elektrického náboje. (16)

3.4.1 Metoda ekvivalentního kapacitoru

Budeme vycházet z rovnice (3.1). Idea je taková, že kapacitu hradla nahradíme ekvivalentní kapacitou C_{eq} . V tomto případě nám náhradní kapacita C_{eq} nereprezentuje děj při spínání a vypínání tranzistoru. Slouží nám pouze pro výpočet celkového náboje Q_c , který je nutný dodat, abychom dostali požadované napětí U_{gs} . Celé si to objasníme na příkladu, který je na obrázku č. 12, kde je schématické zapojení Boost convertoru.

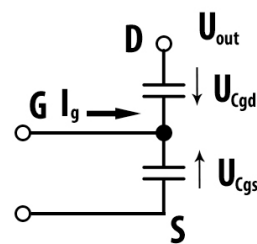
$$Q = C \cdot U \quad C_{eq} = \frac{Q_c}{U_{gs(max)}} \quad (3.1)$$



Obrázek 12 Boost converter

$$U_{C_{gs}}(0) = 0 \quad U_{C_{gs}}(\infty) = U_{gs(\max)}$$

$$U_{C_{gd}}(0) = -U_{out} \quad U_{C_{gd}}(\infty) = U_{gs(\max)}$$



Obrázek 13 náhradní schéma

Jak bylo zmíněno dříve, tak spínání a vypínání je ovlivněno parazitními kapacitami C_{gs} a C_{gd} , které jsou znázorněné ve schématu na obrázku č. 12. V případě, že je tranzistor vypnutý a na gate příslušného tranzistoru je nulové napětí, tak i $U_{C_{gs}}$ se rovná nule. To samé neplatí pro kapacitu C_{gd} , která už je nabitá na napětí $U_{C_{gd}} = -U_{out}$, což je lépe vidět na překresleném schématu na obrázku č. 13. Teď přejdeme do stavu, kdy je tranzistor plně saturovaný a vstupní kapacita C_{gs} je nabitá na maximální řídicí napětí, které dodává budič. Jak je ukázáno v části spínání (obrázek č. 11), tak napětí mezi drain a source začíná klesat, a klesá i napětí $U_{C_{gd}}$, které je teď vztažené proti zemi. Nastává tak velký napěťový skok, kdy se napětí na Millerově kapacitě mění z hodnoty $-U_{out}$ na $U_{gs(\max)}$. Vezmeme-li v úvahu všechny změny, tak lze dle rovnice (3.3) určit ekvivalentní kapacitu C_{eq} .

$$Q_c = U_{gs} \cdot C_{gs} + (U_{gs} + U_{out}) \cdot C_{gd} \quad (3.2)$$

$$C_{eq} = \frac{Q_c}{U_{gs(\max)}} = C_{gs} + C_{gd} \cdot \left(1 + \frac{U_{out}}{\underbrace{U_{gs(\max)}}_{\text{Miller efekt}}} \right) \quad (3.3)$$

C_{eq} je dána součtem kapacity C_{gs} a Millerovi kapacity C_{gd} , která podléhá změně napětí reprezentované členem $(1 + U_{out}/U_{gs(\max)})$. Výstupní napětí U_{out} , může však nabývat velké hodnoty, řádově stovek voltů. Oproti tomu napětí $U_{gs(\max)}$ řekněme, že je 15 V. Podělením těchto dvou napětí dostáváme hodnotu, o kterou se pomyslně zvětšuje kapacita C_{gd} , toto se též nazývá Millerův jev.

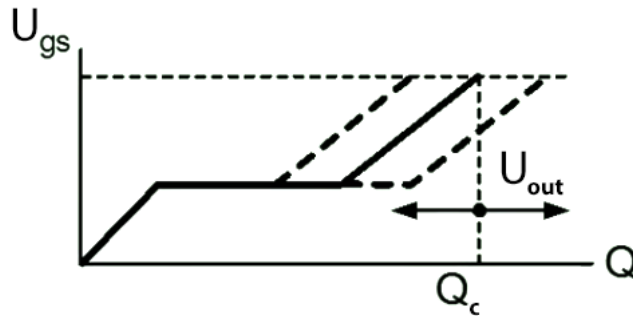
Jestliže známe ekvivalentní kapacitu C_{eq} z rovnice (3.3), tak můžeme dopočítat celkový potřebný náboj na nabití gate na požadovanou napěťovou úroveň a z toho pak určit požadovaný proud. (16)

$$Q_c = I_g \cdot t_r = C_{eq} \cdot U_{gs(\max)} \quad (3.4)$$

$$I_g = \frac{C_{eq} \cdot U_{gs(\max)}}{t_r}$$

3.4.2 Metoda Celkového náboje

Druhá metoda spočívá v odečtu celkového náboje Q_c konkrétního tranzistoru z katalogu výrobce, kde je potřeba nalézt podobnou křivku, jako je na obrázku č. 14. V předchozí metodě jsme si ukázali, že velikost náboje Q_c je ovlivněna výstupním napětím U_{out} . Takže platí, že se zvětšujícím napětím U_{out} musíme do gate pumpovat větší náboj, což je patrné i z obrázku níže.

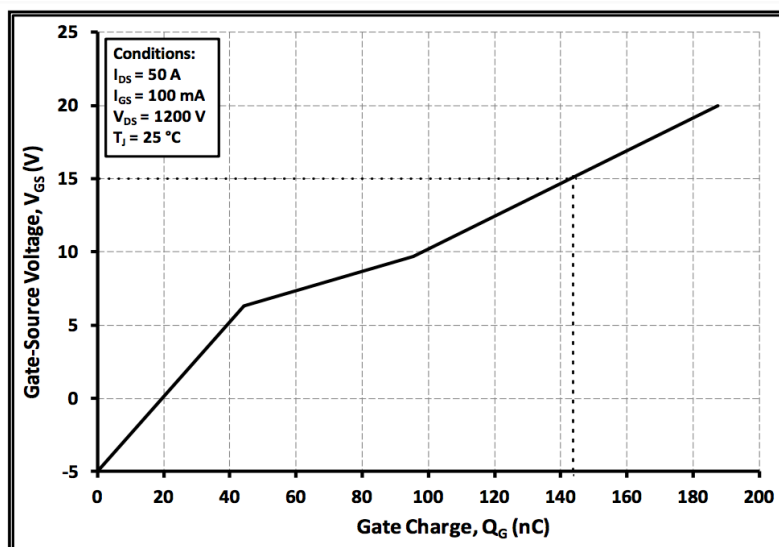


Obrázek 14 Metoda Celkového náboje (16)

Pokud tedy známe velikost výstupního napětí a máme vybraný tranzistor, tak si z katalogu odečteme hodnotu Q_c a potřebný proud I_g můžeme spočítat z rovnice:

$$I_g = \frac{Q_c}{t_r} \quad (3.5)$$

Ještě si vše ukážeme na příkladu. Zvolíme si SiC MOSFET tranzistor C2M0045170D od firmy Cree a v katalogu výrobce (17) nalezneme potřebnou charakteristiku, která je na obrázku č. 15, odpovídá napětí $U_{DS} = 1200$ V. Tento tranzistor budeme chtít sepnout za dobu t_r odpovídající 50 ns, při napětí $U_{gs} = 15$ V. Potřebné údaje si odečteme z grafu a pro řídicí napětí 15 V nám vychází celková kapacita $Q_c \approx 145$ nC.



Obrázek 15 Charakteristika Q_c z katalogu výrobce (17)

Proud tedy určíme z rovnice (3.5), jako:

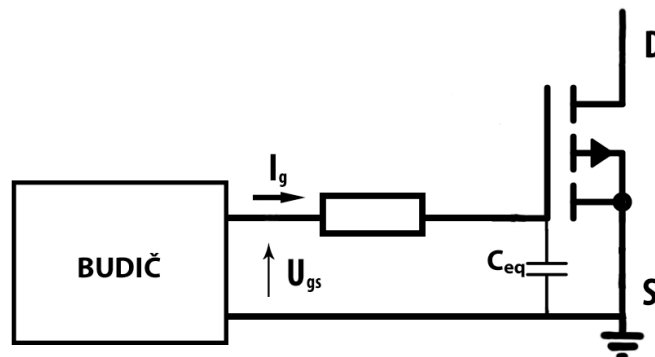
$$I_g = \frac{Q_c}{t_r} = \frac{145}{50} = 2,9 \text{ A} \quad (3.2)$$

Po dobu spínání t_r je třeba nabíjet hradlo proudem 2,9 A, což je poměrně velký proud a jak už jsme si řekli, tak na to pouhý mikrokontrolér nestačí. Proto musíme použít vhodný budící obvod. Abychom nezapomněli na vypnutí tranzistoru, tak pro podobně rychlý vypínací čas t_f je potřeba odčerpát náboj z gate, což znamená vybit jeho kapacitu. Pro vypínání platí stejný problém s Millerovou kapacitou. Abychom tento proces co nejvíce urychlili, tak je mezi gate a source přiloženo záporné napětí, aby se nashromážděný náboj odčerpal co nejrychleji. (16)

3.5 Ztráty

Jedním z problémů, na které je dobré se zaměřit, jsou ztráty vzniklé při zapínání a vypínání tranzistoru z pohledu budiče, o kterých jsme se zmínili, ale více do detailu neanalyzovali. S poměrně velkým proudem, který je nutný dodat jsou spojeny ztráty na R_{ext} a $R_{ds(ON)}$ samotného budiče. Co se tedy přesněji děje – budič nám poskytuje potřebný proud k nabití hradla na požadované napětí a energie uložená v této kapacitě C_{eq} , je dána rovnicí:

$$E = \frac{1}{2} \cdot C \cdot U^2 = \frac{U_{gs}^2 \cdot C_{eq}}{2} \quad (3.7)$$



Obrázek 16 Ilustrační obrázek pro určení ztrát

Co se vypínání týče, tak dodaný náboj je potřeba z hradla odvést a stejná energie z rovnice (3.7), je mařena na odporu R_{ext} , který je v případě vypínání uzemněn, viz obrázek č. 16. Takže celková ztrátová energie při jednom cyklu je součtem energie při sepnutí a vypnutí. Ztrátový výkon bude dále záviset na frekvenci spínání a velikosti náboje. Na problematiku se můžeme dívat z pohledu toho, že je budič zdrojem energie, který dodává potřebný náboj a pak pro jeden cyklus platí:

$$E = U_{gs} \cdot Q \quad (3.8)$$

$$P = U_{gs} \cdot Q \cdot f_s$$

Úpravou dostáváme druhou část rovnice (3.8), která nám vyjadřuje výkon v závislosti na spínací frekvenci tranzistoru. (16) Opět si to ukážeme na příkladu SiC MOSFET tranzistoru C2M0045170D, kde $U_{gs} = 15$ V, potřebný náboj jsme odečetli z grafu jako $Q \approx 145$ nC a spínací frekvence řekněme, že bude 100 kHz. Po dosazení do rovnice (3.8) pro výkon dostáváme:

$$P = U_{gs} \cdot Q \cdot f_s = 15 \cdot 145 \cdot 10^{-9} \cdot 100 \cdot 10^3 = 0,2175 \text{ W} \quad (3.9)$$

Na tuto hodnotu je potřeba brát ohled při dimenzování R_{ext} .

3.6 Hardwarové ochrany

Budící obvody bývají vybaveny ochranami, které mají zajistit bezpečné vypnutí tranzistoru v případě poruchy, nebo jiného chybové stavu. V případě nežádoucího stavu ho musí včas vyhodnotit a dát povel řídicí jednotce. Komparátorové ochrany bývají standardně na sekundární straně budiče, aby se minimalizovalo zpoždění. Dále bude uveden přehled nejčastějších ochran, kterými bývají budící obvody vybaveny. Není podmínkou, že všechny budiče zmíněné ochrany mají. (14)

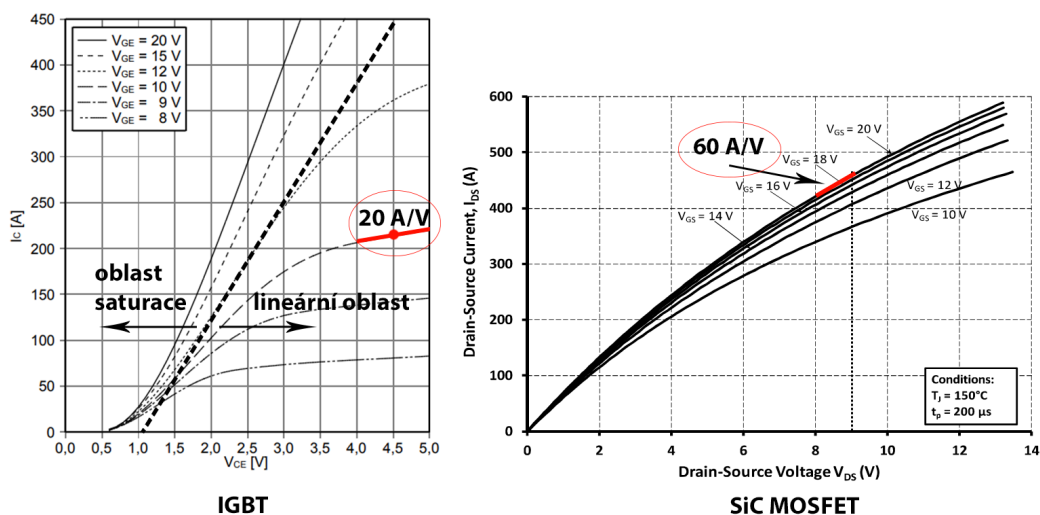
- **Hlídaní přítomnosti řídicího napětí** – cílem je hlídat kladnou a zápornou úroveň napájecího napětí, která určuje velikost řídicího napětí na hradlo tranzistoru. Toto lze realizovat pomocí dvou komparátorů s hysterezí. V případě poklesu kladného napětí se tranzistor nemusí dostat do saturační oblasti, protože bude spínán nižším řídicím napětím. To povede k nárůstu napětí mezi drain a source, zvýšení ztrátového výkonu a reakci saturační ochrany. Pokud dojde k poklesu záporné úrovně napájecího napětí, bude při zahájení cyklu vypínání mezi gate a source nižší vypínací napětí, které bude mít za následek pomalejší odvod náboje z kapacity hradla. To má za následek nárůst vypínací doby tranzistoru. Proto by každý budič pro zajištění správné funkčnosti měl být vybaven touto ochranou.
- **Měření teploty** – čidlo pro měření teploty by mělo být umístěno na chladiči co nejbližší výkonovým prvkům. V případě modulů je čidlo zabudované přímo na stejné základně, jako výkonové čipy. Nejčastěji se používá NTC (Negative temperature coefficient) termistor, který s rostoucí teplotou snižuje svůj odpor, jehož měřením lze zpětně dopočítat z katalogu výrobce odpovídající teplotu. Obvykle měří v rozsahu -50 °C až 200 °C. Díky své jednoduchosti se používá jako ochrana proti přehřátí. Jeho nevýhodou je pomalá odezva na rychlý nárůst teploty, takže je absolutně nevhodný jako nadproudová ochrana. (18)
- **Hlídaní napětí meziobvodu** – když je tranzistor vypnutý je na něm plné napětí meziobvodu. Toto napětí je v řádu stovek voltů, až jednotek kilovoltů, podle typu měniče a napájecí sítě z které pracuje. Proto abychom uměli vyhodnotit napětí v meziobvodu je potřeba ho snížit na rozumnou mez, což se dá provést pomocí napěťového děliče. Poté už se dá přivést na příslušný komparátor, který podle nastavené reference vyhodnotí, zda došlo k přepětí a nepovolí sepnutí tranzistoru.

- **Desaturační ochrana** – tato ochrana slouží k detekci nadproudu v případě, že se tranzistor dostane do zkratu a hrozí jeho zničení. Proto je důležité, aby reakční doba byla co nejrychlejší. Tato ochrana využívá faktu, že při použití výkonových tranzistorů jako spínačů je snaha držet je v saturační oblasti V-A charakteristiky (v případě IGBT), aby se eliminoval ztrátový výkon. V případě zkratu přejde tranzistor do lineární oblasti a napětí mezi kolektorem a emitorem vzroste. Princip ochrany je založen na snímání napětí U_{CE} v sepnutém stavu.

3.7 Nadproudová ochrana pro SiC tranzistory

Na začátku byly zmíněny pozitivní přínosy tranzistorů na bázi karbidu křemíku, které přinášejí slibný trend v nahrazování stávajících IGBT tranzistorů za SiC MOSFET. Limitujícím faktorem je zejména cena, která zatím několikanásobně přesahuje pořizovací cenu IGBT tranzistorů. Dalším faktorem je zkratová odolnost, která je v porovnání s IGBT technologií menší, a proto je potřeba klást zvýšené nároky na návrh nadproudové ochrany.

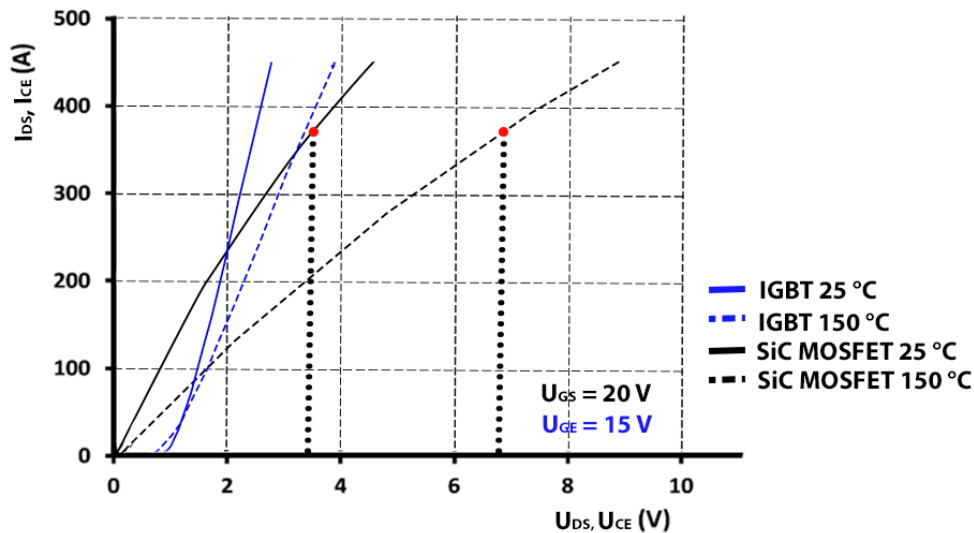
Nejvíce používanou zkratovou ochranou z pohledu IGBT tranzistorů je desaturační ochrana porovnávající napětí mezi kolektorem a emitorem v sepnutém stavu, které je podle výstupní charakteristiky závislé na velikosti proudu I_C a teplotě. Při návrhu zkratové ochrany pro SiC MOSFET byla desaturační ochrana převzata, ale jak se ukázalo, tak nemusí být tak efektivní, jako u IGBT tranzistorů, a to ze dvou důvodů. (19)



Obrázek 17 Porovnání výstupních charakteristik IGBT vs SiC MOSFET (19)

- 1) Pokud dojde ke zkratu u IGBT tranzistoru, tak ten podle výstupní charakteristiky přejde z oblasti saturace do lineární oblasti, kde proud nenarůstá tak strmě. Včasně vypnutí pak lze dosáhnout i s přípustným zpožděním. Naproti tomu SiC MOSFET se podle výstupní charakteristiky nachází v lineární oblasti a v případě zkratu přejde do saturační oblasti, kde je narůstající proud mnohem větší než u IGBT. Navíc přechod mezi lineární a saturační oblastí je větší, než u IGBT a děje se při větším napětí U_{DS} . Spolu s tím se neustále zvětšuje proud drainem a může se stát, že tranzistor se zničí před tím, než se

dostane z jedné oblasti do druhé. Proto jakékoli zpoždění či chyby při detekci napětí v sepnutém stavu mohou zvýšit riziko zničení tranzistoru v důsledku pozdního vypnutí. Toto je ukázáno na obrázku č. 17, kde je porovnán IGBT modul FF225R17ME4 od firmy Infineon (20) a SiC MOSFET modul CAS300M17BM2 od firmy Cree (21).



Obrázek 18 Porovnání výstupních charakteristik SiC MOSFET a IGBT

- 2) Na obrázku č. 18 jsou porovnány výstupní charakteristiky modulů SiC MOSFETU CAS300M17BM2 (černá) a IGBT FF225R17ME4 (modrá). Z obrázku je patrné, že u SiC MOSFET je napětí U_{DS} výstupní charakteristiky více teplotně závislé než u IGBT. Pokud je desaturační ochrana nastavená pro maximální teplotu přechodu 150 °C, pak nebude efektivní pro nízké teploty při startu zařízení. Naopak nastavením ochrany na nízkou teplotu přechodu, může ochrana mylně vybavit při vysoké teplotě a odstavit tak zařízení, které bylo v chodu. V důsledku výrazného rozdílu výstupních charakteristik v závislosti na teplotě přechodu u SiC MOSFET, je velmi obtížné nastavit desaturační prahové napětí U_{th}

Porovnáním SiC MOSFETu a Si IGBT tranzistoru o podobné proudové úrovni a průrazném napětí zjistíme, že SiC prvek má menší oblast čipu, což znamená menší parazitní kapacity a větší rychlost spínání oproti IGBT. Nicméně menší oblast čipu vede ke zhoršenému odvodu tepla. Pokud dojde ke zkratu, tak protékající proud generuje významné množství tepla, které může za velmi krátký čas zničit čip tranzistoru.

Jak bylo zmíněno, tak desaturační ochrana nemusí spolehlivě fungovat v případě SiC MOSFET, proto se podíváme na další možné způsoby detekce nadproudu. Snímače pro měření proudu jsou ve výkonové elektronice nezbytnou součástí pro řízení a ochranu výkonových prvků. S nárůstem integrovaných výkonových modulů je potřeba najít vhodné řešení. (19)

Integrovaná proudová čidla se zaměřují na dosažení následujících vlastností:

- Kompaktní provedení
- Cena
- Vysokofrekvenční měření
- Rychlá odezva
- Vysoká spolehlivost
- Vysoká odolnost proti rušení
- Teplotní stabilita

Dále budou zmíněny jednotlivé metody pro měření proudu bočnickem, proudovým transformátorem, rogowského cívkou a halovou sondou.

Odporový bočník

Bočníky jsou finančně nejvýhodnější proudové snímače, které dokážou měřit jak střídavý, tak stejnosměrný proud. Typicky má bočník odpor v řádu mili-ohmů a zapojuje se sériově se zátěží. Pokud jím prochází proud, tak napěťový úbytek, který na něm změříme je podle Ohmova zákona úměrný protékajícímu proudu. Pro přesnější měření mají bočníky nízký teplotní koeficient (TCR) a často využívají k měření čtyřbodovou metodu (Kelvinovu), která eliminuje odpor přívodů. Prakticky není bočník čistě odporový, ale vždy má nějakou parazitní indukčnost, která limituje frekvenční rozsah a přesnost měření. Při měření střídavého proudu vysoké frekvence se odpor bočnicku může lišit oproti použití při měření stejnosměrného proudu, což může být způsobeno vlivem skin nebo proximity efektu. Takže při návrhu měřícího obvodu by tyto nepříznivé jevy měly být brány v potaz. Pro měření v širokém frekvenčním pásmu se bočníky dělají koaxiální a nejčastěji válcového tvaru. Bočníky v tomto provedení bývají velmi dobře imunní proti rušení s rychlou odezvou měřeného proudu, ale rozměrově náročné. Nevýhodou odporových bočnicků je přímé spojení s měřeným obvodem.

Proudový transformátor

Proudové transformátory jsou běžně používané pro snímání střídavého proudu s frekvencí do desítek MHz. Jejich výhodou je galvanické oddělení od měřeného obvodu. Primární vinutí je připojeno do obvodu s měřeným proudem a na sekundární straně je připojen měřící přístroj. V případě proudových transformátorů musíme brát v potaz saturaci jádra pokud se objeví stejnosměrná složka či proud o nízké frekvenci. Hystereze materiálu jádra tak snižuje přesnost měření. Proudové transformátory mohou být provedeny jako planární a tím se snižuje jejich profil a hmotnost. Měřící transformátor proudu se nesmí nikdy odlehčit, jinak by došlo k jeho zničení.

Sensor na principu Hallova jevu

Sensor pracuje na principu snímající magnetické pole na základě Hallova jevu. Je tvořen tenkou plochou polovodičovou destičkou, která může být dotována příměsemi, takže vznikne polovodič typu P, nebo N. V závislosti na dotaci je určená polarita výstupního napětí. Destičkou o tloušťce d prochází řídicí proud I , vložením do magnetického pole s magnetickou indukcí B kolmou na směr řídicího proudu se ve směru kolmém na obě předešlé veličiny objeví Halovo napětí U_h , pro které platí (22):

$$U_h = \frac{R_h}{d} \cdot I \cdot B \quad (3.10)$$

kde R_h je materiálová konstanta pro použitý polovodič,

d (m) tloušťka destičky,

I (A) řídicí proud,

B (T) magnetická indukce

Sensor pracující na principu hallova jevu je izolované zařízení, které dokáže měřit stejnosměrný i střídavý proud v řádu stovek kHz. Díky své jednoduché struktuře holze koupit i jako integrovaný čip.

Rogowského cívka

Rogowského cívka je vzduchová cívka umístěná okolo vodiče, kterým protéká proud. Cívka je navinuta na nemagnetické jádře konstantního průřezu. Velikost indukovaného napětí v této cívce je úměrná změně proudu di/dt , přenásobeného vzájemnou indukčností. Pro získání průběhu proudu je nutné výstupní napětí integrovat. Rogowského cívka je vhodná pro měření přechodných dějů a dále ji bude věnována celá kapitola a bude popsán její návrh.

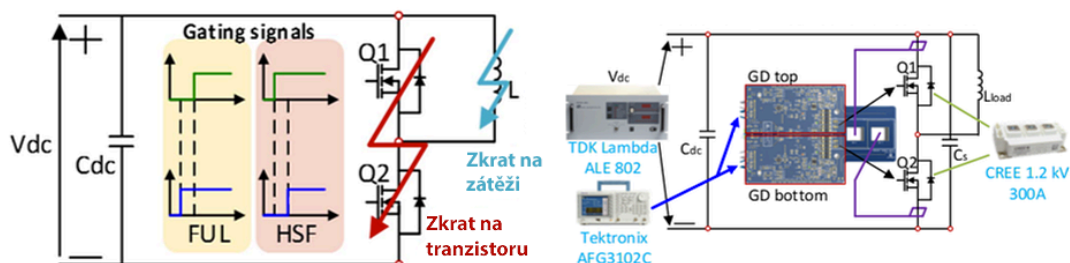
Rogowského cívka nabízí měření proudů v širokém frekvenčním rozsahu, díky absenci magnetického jádra má lineární převodní charakteristiku. Také poskytuje dobrou integrovatelnost do systému. Dokáže měřit pouze střídavý nebo impulzní proud a poskytuje galvanické oddělení od měřeného systému. (23)

3.8 Porovnání mezi ochranou s Rogowského cívkou a desaturační ochranou

Na zkratovou ochranu pro tranzistory SiC MOSFET jsou kladeny přísné nároky. Je to zejména z důvodu, že zkratový proud roste s vysokou strmostí di/dt , která je způsobena malou vnitřní indukčností a malým odporem v sepnutém stavu. Během krátkého intervalu je zkratový proud schopen dosáhnout vysoké hodnoty. Proto je důležitá spolehlivá ochrana, která detekuje zkrat co nejrychleji, aby nedošlo k tepelnému průrazu součástky. Zároveň je požadavek na měkké vypnutí tranzistoru z důvodu eliminace přepětové špičky při vypínání, která by mohla zničit tranzistor.

SiC MOSFET je schopen zkratovým podmínkám odolat řádově jednotky mikrosekund, oproti tomu IGBT vydrží i 10 mikrosekund. Nižší zkratová odolnost je však způsobená menší oblastí čipu a vyšší proudovou hustotou, než má tranzistor IGBT. Z tohoto důvodu je reakční doba ochrany velmi kritická.

Ve studii (24) je porovnána zkratová ochrana SiC *Half-bridge* modulu CAS300M12BM2 s využitím desaturační ochrany a ochrany s Rogowského cívkou. V zapojení *Half-bridge* existují dva typy zkratů, první je označován jako zkrat na tranzistoru a druhý jako zkrat na zátěži. Přičemž zkrat na tranzistoru lze ještě rozdělit na zkrat v sepnutém stavu a na zkrat při sepnutí. Na obrázku č. 19 je znázorněno schéma zapojení testovací sestavy spolu s přehledem možných poruchových stavů.



Obrázek 19 Přehled možných poruchových stavů a zapojení sestavy pro testování zkratů (24)

- A. **Zkrat na tranzistoru** – Nastane v případě, že se bude překrývat doba sepnutí tranzistorů Q_1 a Q_2 . K tomu dojde, pokud se zničí tranzistor, dioda, selže budící obvod, nebo se zaruší PWM signál. Příčin může být více. V závislosti na podmínkách, při kterých došlo ke zkratu, může být tranzistor Q_2 sepnutý, pak hovoříme o zkratu v sepnutém stavu (anglicky *Fault Under Load* – FUL). Když se tranzistor Q_2 v okamžiku zkratu nachází ve vypnutém stavu, tak hovoříme o zkratu při sepnutí (anglicky *Hard Switching Fault* – HSF).

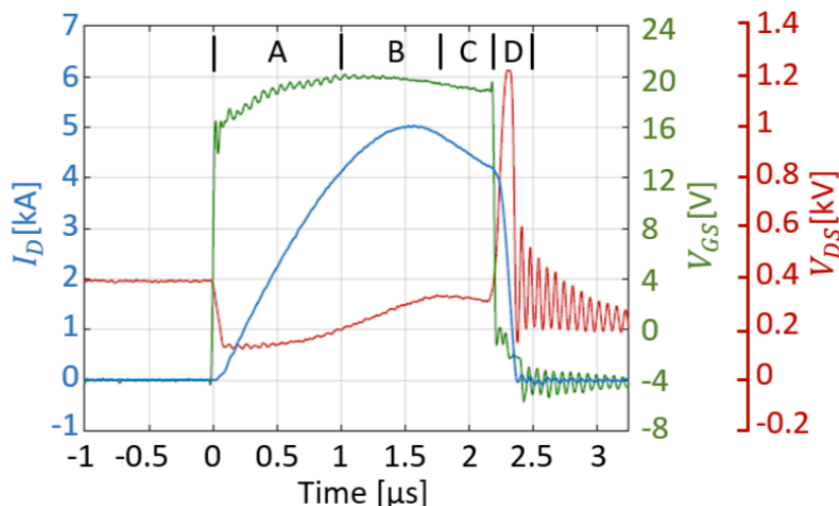
- B. **Zkrat na zátěži** – Kvůli nesprávnému zapojení, proražení izolace zařízení, zkratu na vinutí motoru apod. dojde ke zkratování zátěže. Zkratový proud je omezen velikostí

indukčnosti, která určí, s jakým sklonem bude proud narůstat. Tento typ zkratu je často označován jako nadproud.

Testovací sestava je znázorněná na obrázku č. 19, kde byl k řízení SiC modulu použit budič umožňující ochranu tranzistoru jak pomocí desaturace, tak zabudované Rogowského cívky. Zároveň disponuje dvou úrovněm vypínáním, které v průběhu vypínacího procesu sniží napětí U_{GS} na 7 V. Použitá vstupní kapacita $C_{dc} = 132 \mu\text{F}$ je napájena pomocí vysokonapěťového zdroje. K omezení parazitní indukčnosti napájecí smyčky se blízko k tranzistorům přidává blokovácí kapacita C_s . Ze které v počátcích zkratu teče většina zkratového proudu. Zde je použita $C_s = 1 \mu\text{F}$ a jako zátěž slouží indukčnost $L = 8 \mu\text{F}$. Studie se zaměřuje na chování spodního tranzistoru Q_2 během zkratu.

3.8.1 Chování tranzistoru během zkratu

Před samotným testem ochran je provedeno jedno nedestruktivní měření, které slouží k definování důležitých srovnávacích bodů. Proto byl proveden zkrat na zátěži, jehož průběh je na obrázku č. 20. Vstupní napětí $V_{dc} = 400 \text{ V}$ a řídicí signál na gate tranzistoru je omezen na $2,2 \mu\text{s}$. Tím jsou charakterizovány čtyři fáze zkratu.



Obrázek 20 Zkrat na zátěži bez použití ochran (24)

Ve fázi A je aplikován řídicí pulz na gate tranzistoru a tranzistorem začíná protékat proud I_D . Strmost nárůstu di/dt je dána parazitní indukčností testovaného modulu a indukčností zátěže, kterou v tomto případě tvoří vodič. Na začátku je strmost nárůstu přibližně 5 A/ns , což znamená, že proud může dosáhnout vysokých hodnot krátce po sepnutí tranzistoru. Za dobu $1 \mu\text{s}$ činí velikost proudu 400 A .

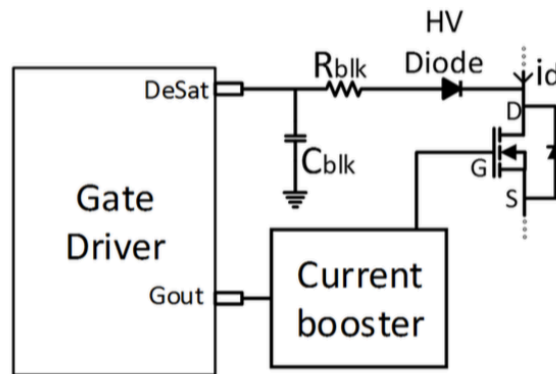
Fáze B začíná, když proud dosáhne úrovně, kde podle výstupní charakteristiky přechází z lineární oblasti do oblasti saturace.

Na začátku fáze C je vidět pokles proudu z vrcholové hodnoty. To je dáno nárůstem odporu modulu vlivem generování tepla. Zařízení je vystaveno vysokému proudu a napětí. Pokud ochrana nezareaguje před vstupem do této fáze je zásadní, aby zareagovala co nejrychleji, jinak může dojít k teplotnímu průrazu součástky.

Fáze D nastává s poklesem řídicího signálu na gate a tranzistor začíná vypínat. Proud začíná strmě klesat a vlivem parazitních indukčností dojde k přepětí, které namáhá součástku v závěrném směru. Z obrázku č. 20 je patrná přepětí špička s vrcholovou hodnotou okolo 1,2 kV. Jelikož je testovací napětí 400 V, a pracovní napětí součástky je 1200 V, tak se dá očekávat i větší přepětí špička, která může způsobit průraz součástky v závěrném směru. K potlačení přepětí vlivem vysokého proudu je jedna z možností měkké vypnutí tranzistoru (anglicky *Soft-turn off*).

3.8.2 Desaturační ochrana

Desaturační ochrana je nejpoužívanější zkratovou ochranou v případě IGBT tranzistorů. Zejména díky spolehlivosti, snadné implementaci a její jednoduchosti. S příchodem SiC tranzistorů je snaha implementovat stejné řešení, jaké je používáno pro IGBT tranzistory. Schéma desaturační ochrany implementované v testovaném budiči je na obrázku č. 21.



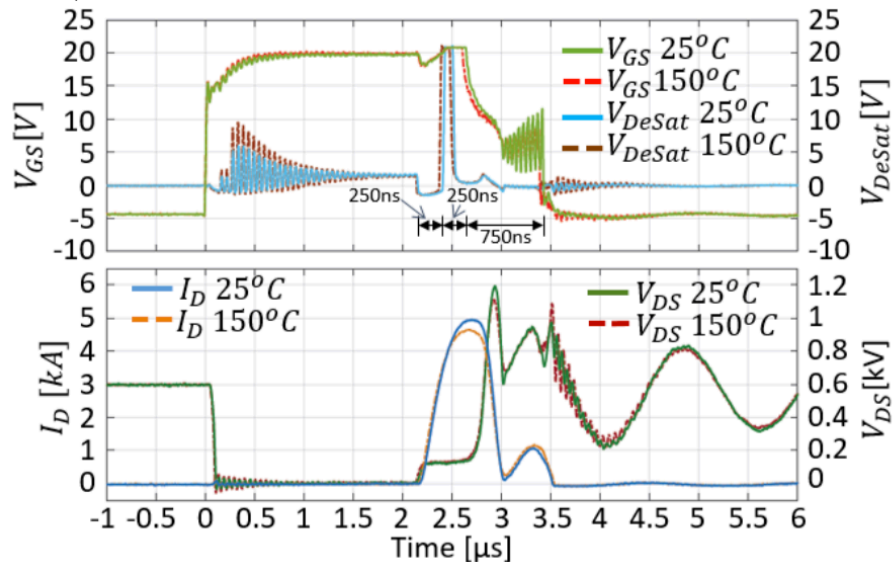
Obrázek 21 Schéma desaturační ochrany (24)

Ve schématu se nachází filtr typu dolní propusti a blokovácí dioda. Použitý RC filtr má za účel odfiltrovat vysokofrekvenční rušení, které vzniká při sepnutí tranzistoru. Navíc C_{BLK} zajistí, že během zapínání tranzistoru nedojde k falešnému zásahu ochrany vytvořením tzv. *blanking time*, což lze přeložit jako slepý čas. Během této doby je C_{BLK} nabíjen interním proudovým zdrojem v budiči, čímž jsou ignorovány oscilace napětí U_{DS} při sepnutí tranzistoru. Zároveň je použita vysokonapětíová dioda, která blokuje napětí, když je tranzistor vypnutý.

Podle výstupní charakteristiky použitého tranzistoru CAS300M12BM2 pro 150 °C je stanovena hranice, od které bude desaturační ochrana aktivní. Zde je to proud 600 A, a jemu odpovídající napětí $U_{DS} = 6$ V. S respektováním úbytků napětí na R_{BLK} a diodě je prahové napětí U_{Desat} stanoveno na 7 V. Budič obvod má zabudovaný *blanking time* 250 ns, plus je přidán *blanking time* od = 24 pF a $R_{BLK} = 470 \Omega$, který je 170 ns. Celkový *blanking time* je tedy něco okolo 420 ns. S tímto nastavením byla odzkoušena funkčnost desaturační ochrany pro výše stanové zkratové stavy.

1) Zkrat v sepnutém stavu – FUL (Fault Under Load)

Na obrázku č. 22 je znázorněn průběh zkratu při napájecím napětí $U_{DC} = 600$ V. Zkrat byl proveden sepnutím tranzistoru Q_1 v čase $2,2 \mu\text{s}$, přičemž tranzistor Q_2 se nacházel ve vodivém stavu. Porovnány jsou průběhy na tranzistoru Q_2 při teplotách 25°C a 150°C , kde je patrné, že rozdíly jsou jen velmi malé. Při vyšší teplotě je proudová špička o trochu menší kvůli většímu odporu, což koresponduje i s menším přepětím při vypnutí.

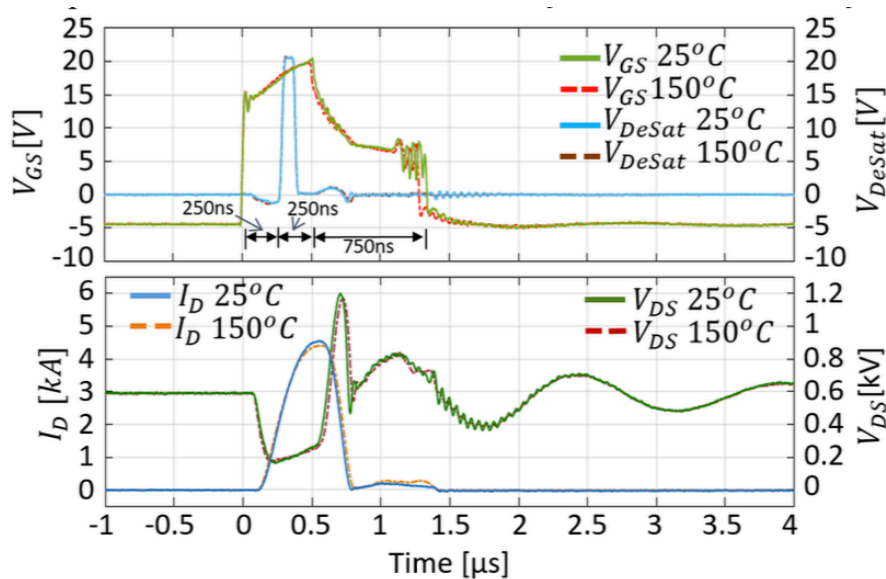


Obrázek 22 Desaturační ochrana - zkrat v sepnutém stavu (24)

V okamžiku sepnutí Q_1 začal narůstat zkratový proud se strmostí 15 A/ns a napětí U_{DS} se skokově změnilo na hodnotu okolo 130 V, způsobenou parazitními indukčnostmi modulu. Než začne být desaturační ochrana aktivní, musí uplynout *blanking time* budiče, který je 250 ns. Dojde k nárůstu desaturačního napětí U_{Desat} na 20 V, překročení prahového napětí a aktivování ochrany. Reakční čas do doby, než je zahájeno vypínání je 250 ns. Nastává dvouúrovňové vypínání, které trvá po dobu 750 ns. Vzniklé přepětí při vypínání zkratového proudu 5 kA činí $1,2$ kV.

2) Zkrat při sepnutí – HSF (Hard Switching Fault)

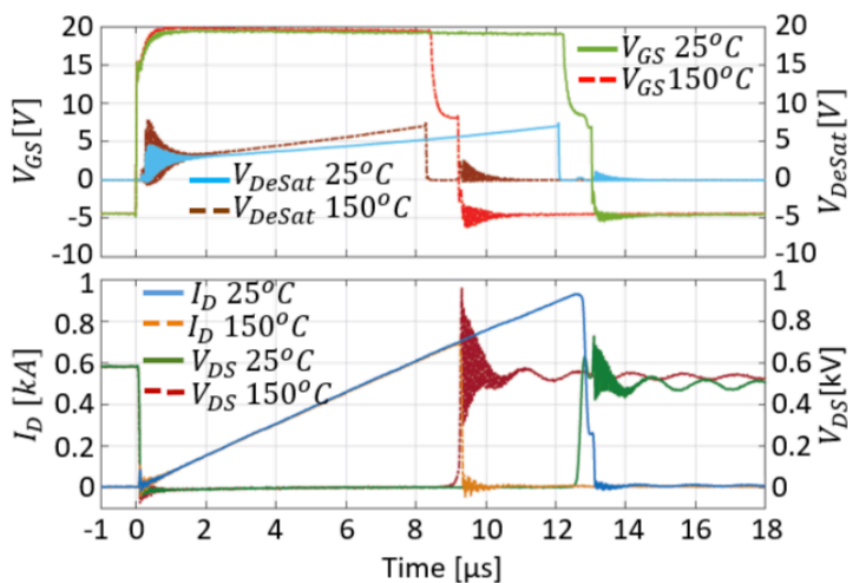
Na obrázku č. 23 je znázorněn průběh zkratu při napájecím napětí $U_{DC} = 600$ V. Tento stav se liší od předchozího tím, že tranzistor se v době poruchy nenachází ve vodivém stavu. Ke zkratu dojde až při sepnutí tranzistoru. Reakční časy jsou shodné s předchozím případem, stejně tak vzniklé přepětí.



Obrázek 23 Desaturační ochrana - zkrat při sepnutí (24)

3) Zkrat na zátěži – Load Fault

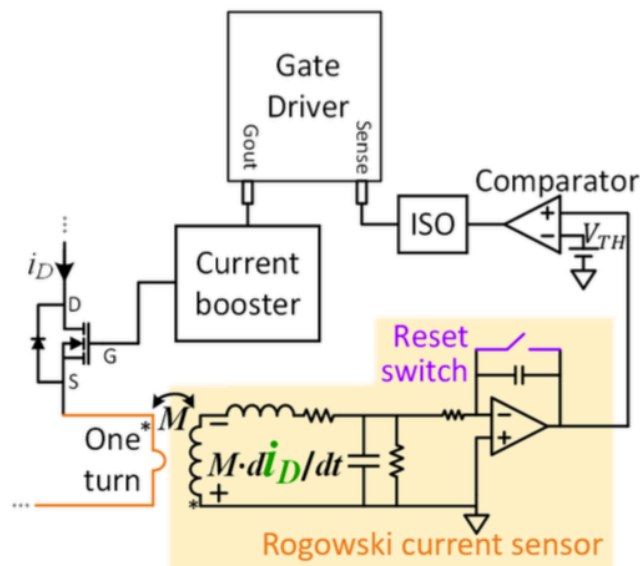
V tomto případě se dá hovořit o nadproudu, jelikož podle indukčnosti zátěže může proud narůstat velmi pomalu. Pokud by nastal zkrat v blízkosti svorek tranzistoru, tak bude výsledná indukčnost menší a proud bude narůstat s vyšší strmostí. Na obrázku č. 24 je znázorněn průběh pro indukčnost zátěže 8 μH. Zajímavé je porovnání desaturační ochrany při rozdílných teplotách 25 °C a 150 °C. V čase $t = 0$, začíná narůstat proud a desaturační ochrana sleduje napětí U_{DS} . Předpokládá se, že k vypnutí proudu dojde rychleji při teplotě 150 °C, jelikož podle výstupní charakteristiky pro tuto teplotu, byla nastavena prahová úroveň desaturačního napětí. Průběhy tento předpoklad potvrzují. Při teplotě 150 °C činila vrcholová hodnota proudu 650 A. V druhém případě pro teplotu 25 °C to bylo 950 A. V obou případech došlo k bezpečnému vypnutí tranzistoru.



Obrázek 24 Desaturační ochrana - zkrat na zátěži (24)

3.8.3 Zkratová ochrana s Rogowského cívkou

Druhý typ ochrany uvedené ve studii používá k detekci zkratového proudu snímač s Rogowského cívkou. Schéma ochrany je na obrázku č. 25

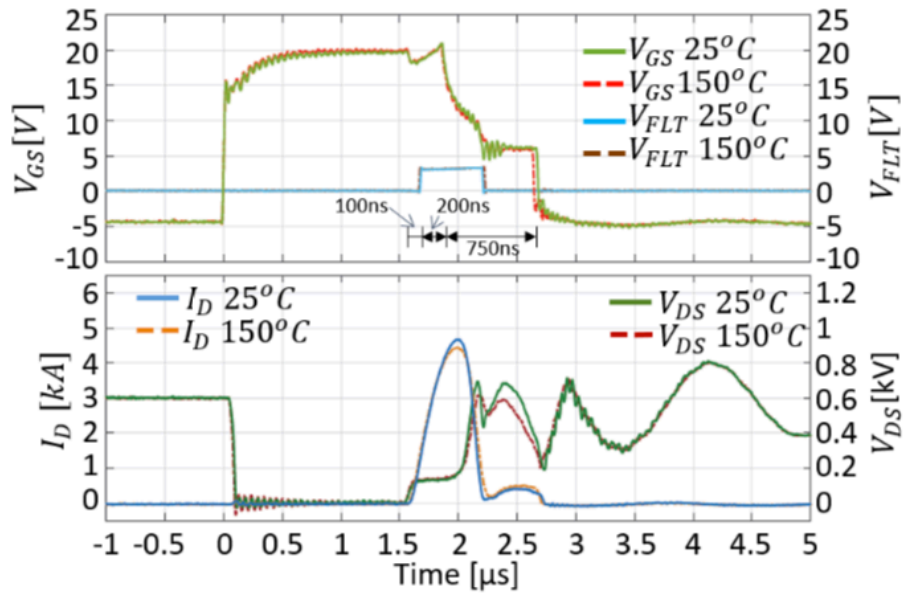


Obrázek 25 Schéma ochrany s Rogowského cívkou (24)

Proudový snímač je tvořen Rogowského cívkou a příslušným integrátorem. V tomto případě výstupní napětí Rogowského cívky poskytuje informaci o strmosti proudu di/dt , vynásobenou vzájemnou indukčností M . Integrováním výstupního napětí získáme zpětně informaci o velikosti proudu. Zde je použit integrátor s aktivním spínačem, který resetuje výstupní hodnotu. Lze tak předejít chybě při integrování. Vždy když je tranzistor vypnutý, je pomocí aktivního spínače resetován výstup integrátoru na nulu. Výstup integrátoru je následně porovnán komparátorem, kde je nastavená komparační hladina odpovídající proudu 600 A. Při překročení této hodnoty komparátor nastaví výstup na úroveň logická 1. Tento signál je následovně přes digitální izolátor připojen na Sense pin budiče. Poté je zahájen proces dvouúrovňového vypínání, jako v případě předchozí ochrany.

1) Zkrat v sepnutém stavu – FUL (Fault Under Load)

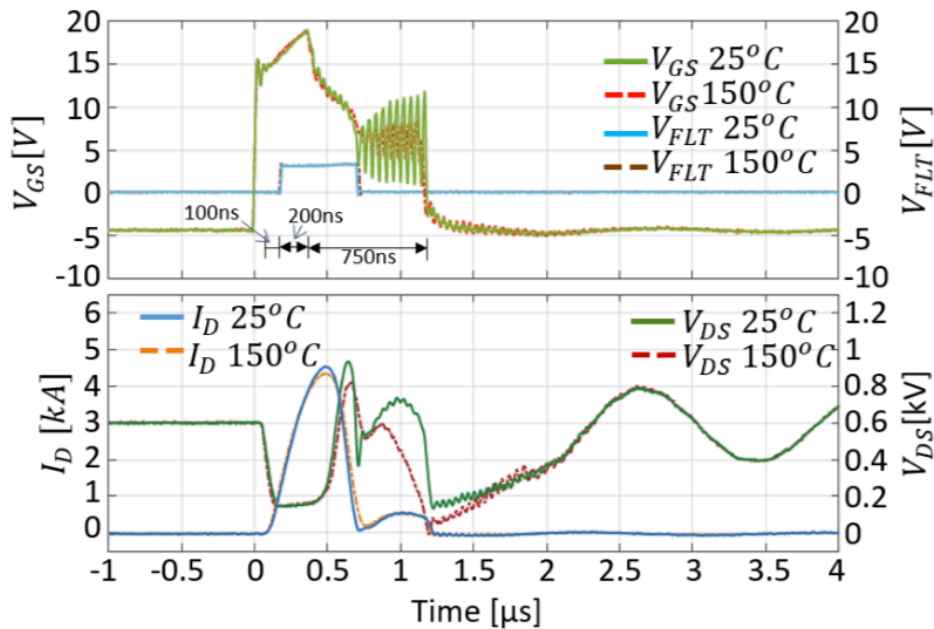
Tranzistor se nachází v sepnutém stavu a v čase 1,6 μs dojde ke zkratu. Průběhy jsou znázorněny na obrázku č. 26. Měření probíhalo při teplotách 25 $^{\circ}\text{C}$ a 150 $^{\circ}\text{C}$ a napájecí napětí bylo stejné jako v předešlých případech 600 V. Na začátku zkratu roste proud se strmostí 15 A/ns a napětí U_{DS} se skokem mění na hodnotu 150 V. Když dojde k detekci proudu většího než 600 A, tak je generován příslušný signál pro vypnutí. Zde je uváděn detekční čas 100 ns, dalších 200 ns trvá zpracování signálu, než je zahájeno dvouúrovňové vypínání. Maximální proudová špička byla 4,6 kA a vygenerované přepětí nepřekročilo 800 V.



Obrázek 26 Rogowského cívka - zkrat v sepnutém stavu (24)

2) Zkrat při sepnutí – HSF (Hard Switching Fault)

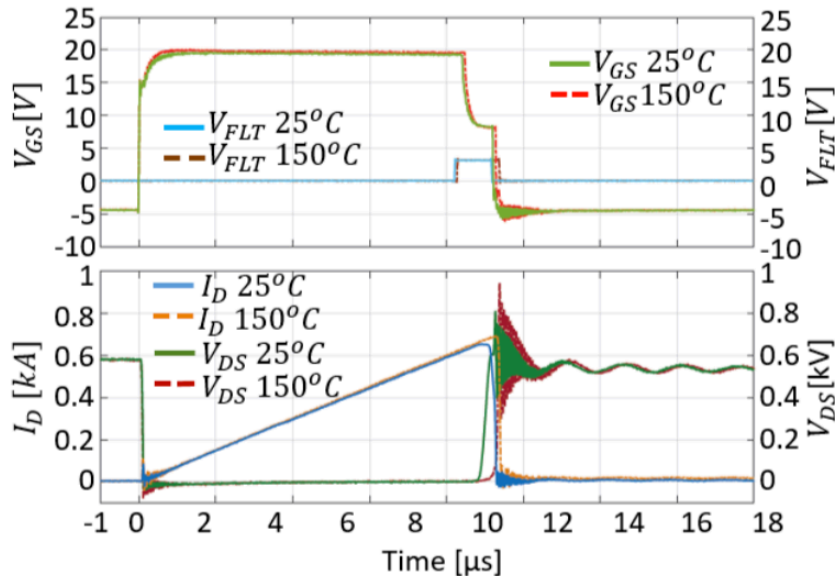
Obdobně jako při testování desaturační ochrany se v tomto případě nenacházel tranzistor ve vodivém stavu. Zkrat nastane až při sepnutí tranzistoru, přičemž byly zachovány podmínky měření. Příslušné průběhy jsou znázorněny na obrázku č. 27. Vygenerované přepětí je v tomto případě trochu větší a činí 900 V.



Obrázek 27 Rogowského cívka - zkrat při sepnutí (24)

3) Zkrat na zátěži – Load Fault

Na obrázku č. 28 jsou znázorněny průběhy pro zkrat na zátěži s indukčností $8 \mu\text{H}$ a vstupním napětím $U_{\text{DC}} = 600 \text{ V}$. Ochrana v tomto případě funguje podobně při teplotě 25°C i 150°C . Na rozdíl od desaturační, kde se průběhy výrazně lišily. Při překonání proudu 600 A je vydán povel ke dvouúrovňovému vypnutí. Detekční čas je shodně 100 ns a reakční 200 ns .



Obrázek 28 Rogowského cívka - zkrat na zátěži (24)

3.8.4 Shrnutí

V popsané studii byly použity dvě odlišné metody k ochraně SiC tranzistoru. Výsledkem je, že obě metody jsou schopné ochránit tranzistor před zkratem. Rogowského cívka si v porovnání s desaturací vedla vždy lépe. Za to může rychlejší detekční čas ($\sim 100 \text{ ns}$), než u desaturační ochrany, kde je 250 ns . Reakční dobu v tomto případě ovlivnit nešlo, jelikož je pevně dána typem použitého budiče.

Při zkratech tranzistoru v sepnutém stavu a při sepnutí vede pomalejší reakce desaturační ochrany k většímu špičkovému proudu. To má za následek vznik většího přepětí při vypínání a zároveň větší disipaci energie. U zkratu na zátěži je patrná teplotní závislost desaturační ochrany, zatímco Rogowského cívka měla konstantní výsledky. Toto chování je způsobeno díky přímému měření zkratového proudu, oproti měření napětí U_{DS} v sepnutém stavu, které je teplotně závislé.

Zároveň studie vyvrací tvrzení, že Desaturační metoda pro SiC tranzistory není dostatečně rychlá. Potvrzuje to provedené měření, kde testovaný modul vydržel všechny typy zkratů.

Přesto, že Rogowského cívka vykazuje výborné vlastnosti a rychlejší reakci, tak jde o komplexnější a dražší variantu, která potřebuje více místa na implementaci. Rogowského cívka se může vyplatit v případě, že je nutné snímat proud v širokém rozsahu a jejím účelem není jen zkratová ochrana.

4. Rogowského cívka

Jedná se o vzduchovou cívku bez feromagnetického jádra, která se využívá k měření střídavého či impulzního proudu a je pojmenována po německém fyzikovi Walteru Rogowském. Tento typ snímače byl poprvé použit v roce 1887 A.P. Chattockem z Bristolské univerzity, který pracoval na vylepšení dynam. K měření magnetické reluktance použil dlouhou cívku navinutou na nemagnetickém jádře, jejíž konce spojil dohromady a zařízení zkalibroval na základě Ampérova zákona. V roce 1912 W.Rogowski a W.Steinheus použili metodu Chatcocka pro měření magnetického potenciálu. Tímto způsobem provedli několik testů a ověřili měřicí schopnosti cívky.

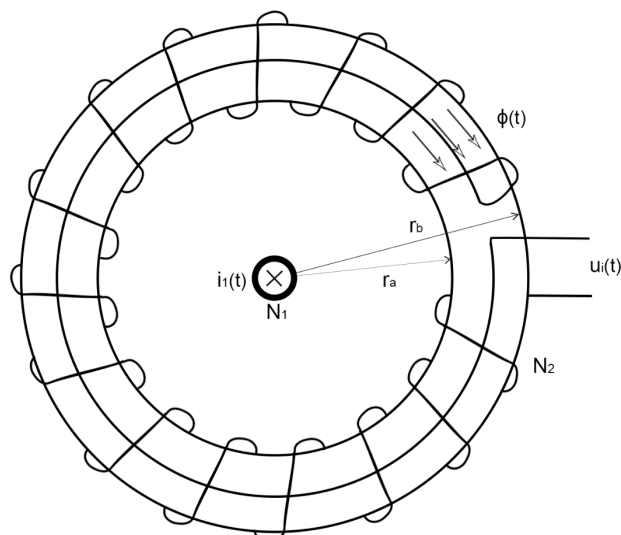
Hlavním omezením z pohledu využití Rogowského cívky bylo velmi malé výstupní napětí při měření proudu s nízkou amplitudou. V prvních etapách bylo použití cívky limitováno pouze na měření rychlé změny proudu o vysoké amplitudě, díky tomu, že výstup cívky je úměrný derivaci proudu.

Vzhledem ke své jednoduché konstrukci a přesným elektronickým zařízením schopných zpracovat její výstupní signál je možné měřit proudy řádově od miliampér po megaampéry. Rogowského cívka jako snímač proudu je preferován díky své linearitě, širokému rozsahu měřeného proudu a jak bylo zmíněno žádné magnetické saturaci. (25)

4.1 Princip činnosti

Uspořádání toroidní Rogowského cívky je patrné z obrázku č. 21, měřenou veličinou je v tomto případě proud $i_l(t)$ protékající vodičem, který je protažen skrz cívku. Časově proměnný proud v primárním vodiči vyvolá nestacionární magnetické pole a tomu odpovídající magnetický tok $\Phi(t)$, který indukuje ve všech závitěch cívky napětí $u_i(t)$. Výsledné napětí je úměrné změně magnetického toku, a tedy i proudu, který ho vyvolal. V případě harmonického průběhu proudu je indukované napětí fázově posunuté o $\frac{\pi}{2}$. K tomu abychom získali časový průběh měřeného proudu je potřeba výstupní napětí integrovat. Pro nízké kmitočty lze použít aktivní integrátor, realizovaný pomocí operačního zesilovače. Na velmi vysokých kmitočtech, které jsou za hranicí mezního kmitočtu operačních zesilovačů, využijeme pasivní integrátor pomocí RC článku typu dolní propusti.

Díky tomu, že má Rogowského cívka vzduchové jádro, tak nijak neovlivňuje magnetické pole primárního vodiče, proto má lineární magnetizační charakteristiku v širokém rozsahu měřených proudů. Nespornou výhodou je galvanické oddělení od obvodu s měřeným proudem. Naopak cívka neumožňuje měřit stejnosměrný proud, což vyplývá z podmínky indukovaného napětí, které je v tomto případě nulové. (26)



Obrázek 29 Základní uspořádání Rogovského cívky

Proud v primárním vodiči lze vyjádřit právě přes indukované napětí, pro které platí:

$$u_i(t) = N_2 \cdot \frac{d\phi_{12}}{dt} = M_{12} \cdot \frac{di_1(t)}{dt} \quad (4.11)$$

kde u_i (V) je indukované napětí ve vinutí Rogovského cívky,
 Φ_{12} (Wb) magnetický tok protékající snímacím vinutím,
 N_2 je počet závitů snímacího vinutí Rogovského cívky a
 M_{12} (H) je vzájemná indukčnost mezi primárním vodičem a vinutím

Po úpravě rovnice (4.11) lze proud primárním vodičem vyjádřit ve tvaru:

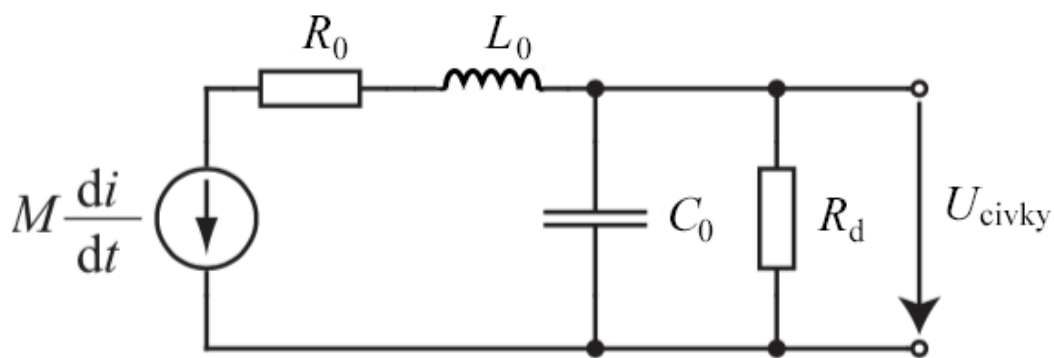
$$i_1(t) = \frac{1}{M_{12}} \cdot \int u_i(t) dt \quad (4.12)$$

Z rovnice (4.12) vyplývá, že hlavním parametrem Rogovského cívky je vzájemná indukčnost mezi vodičem, kterým protéká proud a vinutím cívky. Podle definice udává vzájemná indukčnost podíl magnetického toku Φ_{12} a proudu I_1 . (27)

$$M_{12} = \frac{N_2 \cdot \Phi_{12}}{I_1} \quad (4.13)$$

4.2 Náhradní model

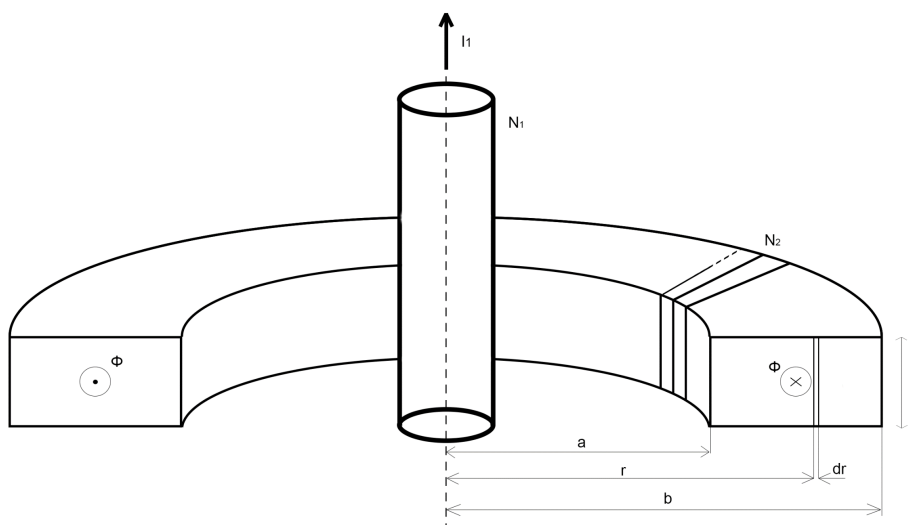
Na obrázku č. 30 je náhradní model Rogowského cívky, který je použitelný do první rezonanční frekvence cívky. Vzájemná indukčnost je modelována jako napěťový zdroj, který představuje celkové indukované napětí korespondující s měřeným proudem. Aby bylo možné simulovat vysokofrekvenční chování cívky, tak je v modelu zahrnuta vlastní indukčnost cívky L_0 , parazitní mezizávitová kapacita vinutí C_0 a celkový odpor vinutí R_0 . Ve skutečnosti jsou prvky v náhradním modelu prostorově rozprostřené a charakterizují jednotlivé závitové vinutí. V tomto případě postačí zjednodušený model na obrázku č. 30, jelikož se Rogowského cívka obvykle používá pro frekvence nižší než rezonanční. Dále je v náhradním modelu tlumící odpor R_d , který bude rozebrán později. (28)



Obrázek 30 Náhradní model Rogowského cívky

4.3 Matematický popis

Obrázek č. 31 znázorňuje toroidní cívku s obdélníkovým průřezem jádra, která nejlépe odpovídá návrhu cívky na desku plošného spoje.



Obrázek 31 Uspořádání Rogowského cívky s obélníkovým průřezem

Matematický popis vychází z Ampérova zákona celkového proudu.

(4.14)

$$\oint_l \vec{B} \cdot d\vec{l} = \mu_0 \cdot \sum I$$

kde B (T) je magnetická indukce,

$\mu_0 = 4 \cdot \pi \cdot 10^{-7}$ (H.m⁻¹) je permeabilita vakua,

l (m) je uzavřená křivka obepínající vodič protékaný proudem I (A).

Pokud v magnetické poli zvolíme uzavřenou dráhu a v každém bodě této dráhy bychom stanovili skalární součin vektoru magnetické indukce B a orientovaného elementu dráhy $d\vec{l}$. Po integraci bude výsledkem celkový proud, který je pomyslně obklopen uzavřenou dráhou a vynásobený permeabilitou vakua μ_0 . Nezáleží přitom na tvaru integrační dráhy, ani počtu vodičů, jejich průřezu či rozložení proudové hustoty. Tento vztah platí obecně pro jakékoliv prostředí, ať jde o vzduch či vakuum.

Vztah (4.14) je možné upravit do tvaru:

(4.15)

$$\oint_l \vec{H} \cdot d\vec{l} = I$$

Kde H (A.m⁻¹) je intenzita magnetického pole

Použijeme Ampérův zákon celkového proudu a zvolíme integrační dráhu podél siločáry, která odpovídá vzdálenosti poloměru r od středu primárního vodiče. Hodnota intenzity magnetického pole H je ve vzdálenosti r od středu primárního vodiče konstantní. Integrál tak přejde v součin intenzity magnetického pole H a délku dráhy l

$$H(r) = \frac{I_1}{2\pi r} \quad (4.16)$$

Kde r (m) je poloměr kružnice se středem v ose vodiče, přičemž musí platit, že r je větší než poloměr vodiče s měřeným proudem a normála plochy ohraničená kružnicí leží v ose vodiče s měřeným proudem. Intenzita magnetického pole je nezávislá na prostředí, pouze na velikosti a rozložení nábojů v podobě elektrického proudu. Naopak na prostředí je závislá magnetická indukce.

Mezi magnetickou indukcí a intenzitou magnetického pole platí vztah:

$$\vec{B} = \mu_0 \cdot \mu_r \cdot \vec{H} \quad (4.17)$$

kde μ_r je relativní permeabilita. Tato závislost není pro magnetické materiály tak jednoduchá, permeabilita nemusí být lineární, ani izotropní veličinou. Pro neferomagnetické

materiály, což je případ vzduchové cívky je $\mu_r = 1$. Pro výpočet magnetického toku Φ využijeme definičního vztahu:

$$\Phi = \iint_S \vec{B} \cdot \vec{dS} \quad (4.18)$$

kde S (m^2) je plocha v které počítáme tok vektoru magnetické indukce. Pokud bude procházet proud I_1 primárním vodičem, vybudí kolem sebe magnetické pole, které se projeví jako magnetický tok v cívce. Při výpočtu využijeme rovnici (4.16), která říká, že intenzita magnetického pole ve vzdálenosti r od primárního vodiče je konstantní. Na ploše S vytkneme malý element o šířce dr a jestli platí, že intenzita magnetického pole je konstantní na poloměru r , bude konstantní i ve vzdálenosti $r + dr$. Integrační plocha je tedy dána obdélníkem o straně $r + dr$ a výšce h , která se nemění. Dvojný integrál přes plochu S_c , tak přejde na určitý integrál a s využitím rovnic (4.16)(4.17), určíme velikost magnetického toku Φ_{12}

$$\begin{aligned} \Phi_{12} &= \iint_{S_c} \vec{B} \cdot \vec{dS}_c = \iint_{S_c} \mu_0 \cdot \vec{H} \cdot \vec{dS}_c = \\ &= \int_a^b \mu_0 \frac{I_1}{2\pi r} \cdot h \cdot dr = \frac{\mu_0}{2\pi} \cdot I_1 \cdot h \cdot \ln\left(\frac{b}{a}\right) \end{aligned} \quad (4.19)$$

kde a (m) je vnitřní poloměr cívky,
 b (m) je vnější poloměr cívky,
 h (m) je výška cívky

Po dosazení vypočteného magnetického toku do rovnice (4.13), dostaneme výsledný vzorec pro výpočet vzájemné indukčnosti M_{21} snímacího vinutí Rogowského cívky pro obdélníkový průřez neferomagnetického jádra

$$M_{21} = \frac{N_2}{I_1} \cdot \frac{\mu_0}{2\pi} \cdot I_1 \cdot h \cdot \ln\left(\frac{b}{a}\right) = \frac{\mu_0}{2\pi} \cdot N_2 \cdot h \cdot \ln\left(\frac{b}{a}\right) \quad (4.10)$$

Výpočet vlastní indukčnosti L_2 snímacího vinutí Rogowského cívky je podobný výpočtu vzájemné indukčnosti. Jen v rovnici (4.15) dosadíme $N_2 \cdot I_2$ namísto proudu I_1 . Intenzita magnetického pole ve vzdálenosti r od středu vodiče je v tomto případě vytvářena N_2 závitů protékány proudem I_2 . Výsledný magnetický tok bude dán výrazem:

$$\Phi_2 = \frac{\mu_0 \cdot I_2 \cdot N_2 \cdot h}{2\pi} \cdot \ln\left(\frac{b}{a}\right) \quad (4.11)$$

Dosazením rovnice (4.11) s využitím statické definice indukčnosti dostáváme výraz pro indukčnost snímacího vinutí Rogowského cívky

$$L_2 = \frac{\mu_0 \cdot N_2^2 \cdot h}{2\pi} \cdot \ln\left(\frac{b}{a}\right) \quad (4.12)$$

Pro výpočet odporu vinutí Rogowského cívky platí:

$$R_2 = \rho_{dr} \cdot \frac{l_{dr}}{S_{dr}} \quad (4.13)$$

kde ρ_{dr} ($\Omega \cdot \text{mm}^2 \cdot \text{m}^{-1}$) je měrný odpor vodiče,
 l_{dr} (m) je délka vinutí,
 S_{dr} (mm^2) průřez vodiče

Pro výpočet indukovaného napětí ve vinutí cívky budeme vycházet z rovnice (3.1), kam dosadíme za vypočtený magnetický tok Φ_{12} z rovnice (4.19)

$$u_i(t) = N_2 \cdot \frac{d\Phi_{12}}{dt} = N_2 \cdot \underbrace{\frac{\mu_0}{2\pi} \cdot h \cdot \ln\left(\frac{b}{a}\right)}_{M_{12}} \cdot \frac{di_1(t)}{dt} \quad (4.14)$$

Z rovnice (4.14) je patrné, že indukované napětí v Rogowského cívce je dáno vzájemnou indukčností M a časovou derivací proudu primárním vodičem. Po úpravě dostáváme

$$u_i(t) = M_{12} \cdot \frac{di_1(t)}{dt} \quad (4.15)$$

Předpokládáme, že průběh střídavého proudu je harmonický a rovnice (3.5) přechází ve tvar:

$$u_i(t) = M_{12} \cdot \frac{dI_m \cdot \sin(\omega t)}{dt} \quad (4.16)$$

Vyřešením derivace v rovnici (4.16) podle času, dostáváme:

$$u_i(t) = M_{12} \cdot \omega \cdot I_m \cdot \cos(\omega t) \quad (4.27)$$

Napětí indukované v cívce je fázově posunuté vůči primárnímu proudu o $\frac{\pi}{2}$. Dosazení do rovnice (4.27) a vyjádření úhlové frekvence získáváme vztah.

$$U_i = M_{12} \cdot I_m \cdot 2\pi \cdot f \quad (4.28)$$

Rovnici (4.28) vyjádříme v efektivních hodnotách proudu a napětí.

$$U_{ef} = M_{12} \cdot 4,44 \cdot I_{ef} \cdot f \quad (4.29)$$

Takže efektivní hodnota výstupního napětí je úměrná efektivní hodnotě proudu primárním vodičem a jeho frekvenci. Tyto vztahy platí, pokud chceme Rogowského cívku použít pro měření střídavého proudu o určitém kmitočtu. (27) (28)

4.4 Rogowského cívka pro měření impulzních proudů

V tomto případě chceme využít Rogowského cívku pro měření zkratového proudu tranzistoru. Mimo jiné by se cívka dala využít ke snímání proudu mezi drain a source tranzistoru MOSFET během zapínacího a vypínacího děje. Tím, že je Rogowského cívka galvanicky oddělená od měřeného obvodu, tak do něj nevnáší přidavnou indukčnost.

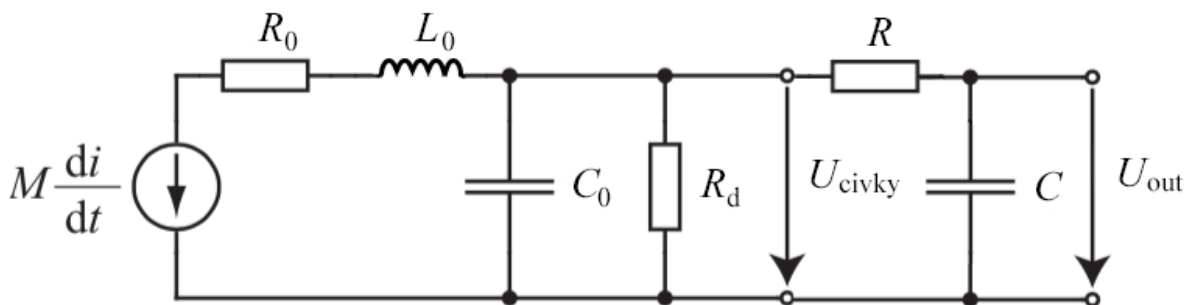
V případě zkratu počítáme, že strmost nárůstu proudu u výkonového tranzistoru bude řádově jednotky kA/μs. Rozlišovací schopnost snímače by v tomto případě měla být v řádu nanosekund. Proto by měl mít proudový snímač, Rogowského cívka, vysoký horní mezní kmitočet. Naopak není požadován nízký dolní kmitočet, což znamená, že cívka může mít relativně malé rozměry při zachování velké citlivosti snímače. (29)

Horní mezní kmitočet Rogowského cívky je omezen parazitní mezizávitovou kapacitou vinutí, která spolu s indukčností cívky vytváří rezonanční frekvenci. Nad touto frekvencí je cívka nepoužitelná. Horní mezní kmitočet je dán časovou konstantou cívky

$$f_h = \frac{1}{2\pi\sqrt{L_0 C_0}} \quad (4.30)$$

Kde L_0 (H) je vlastní indukčnost cívky,
 C_0 (F) je mezizávitová kapacita vinutí

Jak bylo zmíněno, tak výstupní signál Rogowského cívky je potřeba integrovat. Vzhledem k vysokému meznímu kmitočtu využijeme pasivní integrátor v podobě RC článku. Náhradní model Rogowského cívky s pasivním integrátorem je znázorněn na obrázku č. 32.



Obrázek 32 Náhradní model cívky včetně pasivního integrátoru

Podle rovnice (4.11) je měřený proud úměrný integrálu výstupního napětí cívky, které je vynásobené převrácenou hodnotou vzájemné indukčnosti. Pro zjištění průběhu měřeného proudu je nutné na výstup cívky zapojit integrátor.

Pro výstupní napětí integrátoru na obrázku č. 32 platí

$$u_{out}(t) \cong \frac{1}{RC} \cdot \int U_{civky} \cdot dt \Rightarrow \int U_{civky}(t) dt = RC \cdot u_{out}(t) \quad (4.17)$$

Protože pasivní integrátor není ideální, tak je v rovnici použito znaménko přibližnosti. Jestliže vztah (4.27) dosadíme do rovnice (4.12), dostaneme výsledný vztah celého snímače

$$i_1(t) = \frac{1}{M_{12}} \cdot RC \cdot u_{out}(t) \quad (4.18)$$

Z rovnice (4.29) je možné vyjádřit přenos snímače, který platí pro kmitočty ležící mezi dolním mezním a horním mezním kmitočtem. Dolní mezní kmitočet je daný časovou konstantou integrátoru a horní mezní kmitočet rezonanční frekvencí cívky.

$$\frac{u_{out}(t)}{i_1(t)} = \frac{M_{12}}{R \cdot C} \quad (4.19)$$

Dolní mezní kmitočet použitého pasivního integrátoru, lze vyjádřit pomocí časové konstanty τ_d , pro kterou platí:

$$\tau_d = R \cdot C \Rightarrow f_d = \frac{1}{2\pi \cdot \tau_d} \quad (4.20)$$

Horní mezní kmitočet je vyjádřen v rovnici (4.27) z které je patrné, že při požadavku vysokého mezního kmitočtu je potřeba snížit mezizávitovou kapacitu vinutí a vlastní indukčnost cívky. Z rovnice pro vlastní indukčnost cívky (4.12) vyplývá, že zmenšení její hodnoty lze docílit snížením počtu závitů, zmenšením průměru vinutí a výškou desky plošného spoje.

Z náhradního modelu na obrázku č. 32 lze vyjádřit přenos celého snímače (4.35). Výsledný přenos $G_s(s)$ je dán jako poměr Laplaceova obrazu výstupního napětí $U_{out}(s)$ k Laplaceovu obrazu vstupního indukovaného napětí $U_{in}(s)$.

$$G_s(s) = \frac{U_{out}(s)}{U_{in}(s)} = \frac{1}{(L_0 \cdot C_0 \cdot s^2 + \frac{L_0}{R_d} \cdot s + R_0 \cdot C_0 \cdot s + \frac{R_0}{R_d} + 1)} \cdot \frac{1}{(1 + R \cdot C \cdot s)} \quad (4.35)$$

V náhradním modelu Rogowského cívky na obrázku č. 30 je naznačen tlumicí odpor R_d . Tlumicí odpor se dává na výstup cívky, aby v případě překročení rezonanční frekvence nedošlo k překmitu.

$$\zeta = \frac{1}{2\sqrt{L_0 \cdot C_0}} \cdot \sqrt{\frac{R_d}{R_d + R_0}} * \left(\frac{L_0}{R_d} + R_0 \cdot C_0 \right) \quad (4.36)$$

Velikost tlumícího odporu závisí na velikosti činitele tlumení ζ , který se v případě použití Rogowského cívky jako snímače zkratového proudu doporučuje rovný jedné. Omezí se tím oscilace na výstupu cívky. Pro známé parametry Rogowského cívky lze z rovnice **Chyba! Nenalezen zdroj odkazů.** vyjádřit velikost tlumícího odporu R_d . (28) (29)

4.5 Výpočet parametrů

Použitím odvozených rovnic lze vypočítat parametry Rogowského cívky. Jelikož se jedná o výpočty, kde změnou jednoho parametru ovlivníme ostatní, tak je výhodné na jejich určení použít výpočetní software. Pro určení parametrů Rogowského cívky jsem částečně vycházel z aplikačního softwaru od Texas Instruments (30), který jsem si přepsal do programu Wolfram Mathematica.

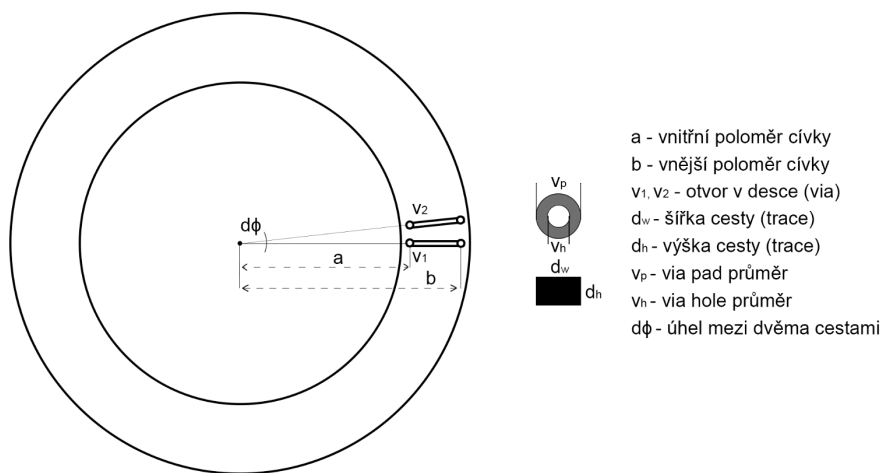
Výpočetní software pro určení parametrů Rogowského cívky musí znát klíčová vstupní data. Efektivní hodnotu střídavého proudu, který chceme cívkou měřit a jeho frekvenci. V tomto případě je stanovena efektivní hodnota proudu na 107 A o frekvenci 100 kHz. V dalším kroku je potřeba zvolit efektivní hodnotu výstupního napětí Rogowského cívky, která bude odpovídat efektivní hodnotě zvoleného proudu. Zde je požadované výstupní napětí 0,6 V. Podle rovnice (4.29) nám program určí velikost vzájemné indukčnosti, kterou by cívka měla mít, aby se rovnaly obě strany rovnice.

Stanovená vzájemná indukčnost a její hodnota je závislá na počtu závitů, šířce vinutí a výšce cívky. Proto je výhodné využít výpočetní software, protože změnou některého ze zmíněných parametrů, lze automaticky dopočítat velikost vzájemné indukčnosti. Do výpočtu nám vstupují i jiné charakteristické veličiny, které souvisejí s návrhem cívky na desce plošného spoje. Jmenovitě se jedná o průměr vrtaného otvoru, průměr pájecí plošky, tloušťku desky plošného spoje, tloušťku měděné vrstvy a šířku vodiče.

Jak bylo výše uvedeno, tak počet závitů na desce plošné spoje je omezen z hlediska výrobních požadavků. Pro tento návrh byla zvolena deska plošného spoje o velikosti 1,5 mm a tloušťce měděné vrstvy 35 μm . Průměr vrtaného otvoru činí 0,2 mm a průměr pájecí plošky 0,5 mm. Šířka použitého vodiče je 0,2 mm. Při zadání těchto parametrů do výpočetního programu vychází celkový počet 96 závitů (v případě cívky č. 5). S ohledem na to, že zvolený vnitřní poloměr cívky je 10 mm a vnější poloměr 16 mm. V neposlední řadě je vypočten odpor vinutí a vlastní indukčnost cívky. Provedené výpočty jsou uvedeny v příloze č. 1

4.6 Návrh Rogowského cívky na desce plošného spoje

Při návrhu Rogowského cívky na desku plošného spoje je počet závitů limitován vnitřním poloměrem cívky a velikostí prokovených otvorů. (anglicky *via*). Vzdálenost mezi dvěma sousedními otvory musí být alespoň trojnásobek šířky pájecí plošky (anglicky *pad*). Toto omezení je z důvodu výroby, aby bylo možné cívku na desce plošného spoje realizovat. Je dobré se ujistit, jaký nejmenší průměr vrtaného otvoru lze při návrhu použít. Tuto informaci lze najít přímo u výrobce, např. PCB Benešov garantuje nejmenší průměr vrtaného otvoru 0,2 mm.



Obrázek 33 Ilustrační obrázek pro počet závitů

Vzdálenost mezi dvěma otvory V_1 a V_2 (obrázek č. 33) označíme jako d , pro které platí:

$$d = a \cdot \sin d\phi \quad (4.37)$$

Zároveň by vzdálenost mezi dvěma vrtanými otvory měla být alespoň trojnásobek šířky pájecí plošky.

$$d = 3 \cdot (v_h - v_p) \quad (4.38)$$

Dosazením rovnice číslo (4.38) do předchozí rovnice (4.37) v nám vyjde velikost úhlu mezi dvěma vodiči vinutí

$$d\phi = \sin^{-1} \left(\frac{3 \cdot (v_h - v_p)}{a} \right) \quad (4.39)$$

Maximální počet závitů, který je možné na desce plošného spoje realizovat se vypočte:

$$N = \left(\frac{360}{d\phi} \right) \quad (4.40)$$

V tomto případě byl při návrhu cívek použit průměr vrtaného otvoru 0,2 mm a nejmenší průměr pájecí plošky 0,4 mm. Nejmenší vzdálenost dvou vrtaných otvorů činí 0,65 mm. Závity Rogowského cívky jsou realizovány plošnými spoji a prokovenými otvory. (28)

V případě, že se v blízkosti cívky nachází vodič protékající proudem, tak výsledné indukované napětí bude ovlivněno jak vodičem, který je uvnitř cívky, tak tím okolním. Aby se eliminoval vliv blízkých vodičů na vinutí Rogowského cívky, provádí se opatření v podobě kompenzace vinutí. V zásadě jsou dvě metody, které se používají. První metoda využívá návratového vodiče z jednoho konce vinutí zpět na jeho začátek. Druhá metoda je založena na vytvoření dvou vinutí, z nichž druhé je vinuto v opačném směru. V tomto případě má vinutí dvojnásobný počet závitů. (19)

Celkem bylo na desce plošného spoje navrženo 7 různých cívek. Šest z nich je realizováno na základě výpočtů sestavených ve Wolfram Mathematica a jedna je inspirována studií (19). Tabulka 2 uvádí přehled vypočtených parametrů cívek.

Tabulka 2 Vypočtené parametry Rogowského cívek

	počet závitů [-]	R [Ω]	L [μ H]	M [nH]
Cívka 1	103	5,2	2,13	20,7
Cívka 2	106	5,34	2,26	21,3
Cívka 3	140	0,84	x	x
Cívka 4	103	5,2	2,13	20,7
Cívka 5	96	2,76	1,3	13,5
Cívka 6	96	1,38	0,72	7,56
Cívka 7	144	3,11	2,3	16,1

S ohledem na náhradní model cívky na obrázku č. 30, chybí v tabulce mezizávitová kapacita vinutí. Pro její stanovení jsou nutné složité numerické výpočty, které jsou v tomto případě spíše odhadem. Proto vycházím z výsledků studií, kde se mezizávitová kapacita navržených Rogowského cívek pohybovala řádově v desítkách pikofaradů. S přihlédnutím na požadavek vysokého mezního kmitočtu z rovnice (4.16) by horní hranice navržených cívek měla být v řádu MHz. V tabulce č. 2 chybí vypočtené hodnoty pro cívku 3. To je z důvodu, že není kruhová, a tak je obtížné spočítat její parametry.

Následně byly cívky vytvořeny v návrhovém prostředí Pads Layout. Výsledné návrhy cívek jsou v příloze č. 2

4.7 Parametry vyrobených cívek

Změřené parametry Rogowského cívek jsou uvedeny v tabulce č. 3, kde jednotlivá číselná označení cívek korespondují s přílohou č. 2. Pro porovnání s návrhem jsou v příloze č. 3 uvedeny reálně vyrobené Rogowského cívky.

Tabulka 3 Změřené parametry Rogowského cívek

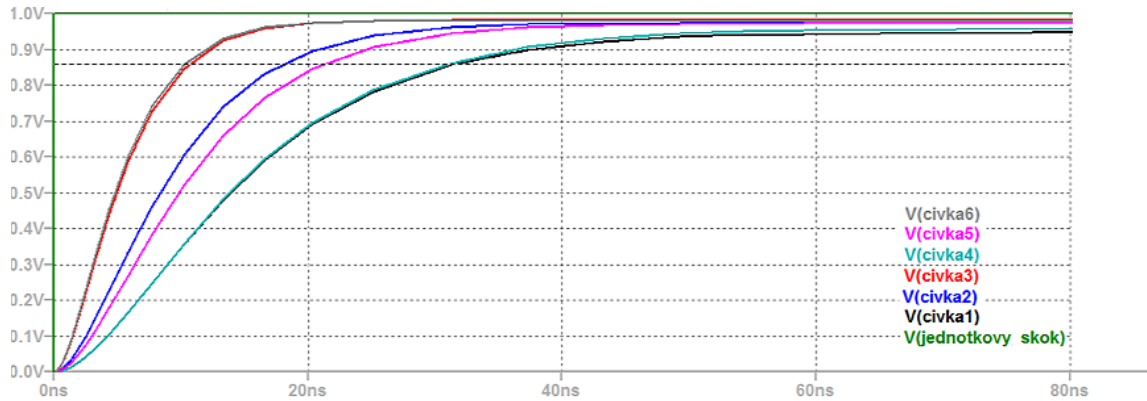
	varianta	počet závitů [-]	R [Ω]	L [μ H]	C [pF]	f _{rez} [MHz]
cívka 1	nestíněná	103	6,45	2,15	16,16	27
	stíněná		7,42	2,15	29,46	20
cívka 2	nestíněná	106	6,61	2,7	4,25	47
	stíněná		7,66	2,7	8,61	33
cívka 3	nestíněná	140	1,94	0,62	4,34	97
	stíněná		2,04	0,62	13,03	56
cívka 4	nestíněná	103	6,05	2,14	16,23	27
	stíněná		5,96	2,14	29,6	20
cívka 5	nestíněná	96	3,23	1,42	13,76	36
	stíněná		3,48	1,42	22,75	28
cívka 6	nestíněná	96	1,79	0,58	9,17	69
	stíněná		2,2	0,59	12,98	58
cívka 7	nestíněná	144	4,88	1,75	x	x
	stíněná		5,26	1,75	x	x

Indukčnost cívek byla změřena LCR metrem Tonghui TH2822A pro kmitočty 100 kHz. K určení odporu čtyřbodovou metodou byl použit stolní multimetr Keithley 2000. Jelikož je mezizávitová kapacita cívek velmi malá, nedokázal ji LCR metr změřit. Proto je výsledná mezizávitová kapacita dopočítána z rezonanční frekvence cívky. Závislost indukčnosti na frekvenci byla změřena na impedančním analyzátoru Agilent E4991A RF pro každou cívku zvlášť, kromě cívky 7 a výsledné grafy jsou uvedeny v příloze č. 4. Jak je z naměřených dat patrné, tak nejnižší mezní kmitočet je 20 MHz.

V tabulce č. 3 jsou uvedeny dvě varianty, stíněná a nestíněná cívka. To je z důvodu, že pro každou cívku bylo navrženo stínění ke zlepšení odolnosti vůči rušení. Stínění je řešeno tak, že na každou cívku byla nalepena izolační folie a na ní hliníková lepicí páska. Stínění, aby bylo funkční, nesmí tvořit závit do krátka. Nevýhodou je, že přidané stínění vnáší do obvodu cívky přidavnou kapacitu. To se projeví snížením horního mezního kmitočtu, což je patrné i z naměřených a vypočtených hodnot kapacit.

4.7.1 Ověření parametrů vybrané Rogowského cívky

Rogowského cívka by měla mít ideálně co nejkratší dobu odezvy na vstupní signál. Proto byl v simulačním programu LTspice vytvořen náhradní model Rogowského cívky včetně tlumicího odporu. Sledována byla odezva na jednotkový skok a doba ustálení výstupního signálu. Za prvky náhradního modelu R_0 , C_0 a L_0 byly dosazeny změřené hodnoty pro stíněné varianty cívek z Tabulky č. 3. Výstup ze simulace je na obrázku č. 34.



Obrázek 34 Simulace – odezva na jednotkový skok

Jelikož je na výstup cívky přidán tlumicí odpor, tak ten spolu s indukčností cívky L_0 vytváří filtr typu dolní propusti. Časová konstanta tohoto filtru udává horní mezní kmitočet cívky, pro který lze psát:

$$f_h = \frac{1}{2\pi \cdot \tau_h} \Rightarrow \tau_h = \frac{L_0}{R_d} \Rightarrow f_h = \frac{R}{2\pi \cdot L_0} \quad (4.41)$$

Za dobu odezvy na jednotkový skok považujeme interval 2τ , (záměrně ne 3τ). Přičemž snímač je schopný přenést signály trvající déle než

$$t_{odezva} = 2 \cdot \tau_h = 2 \cdot \frac{L_0}{R_d} \quad (4.42)$$

Ze simulace na obrázku č. 34 vyplývá, že nejvhodněji se jeví cívky č. 3 a č. 6. Bohužel cívka č. 3 vykazovala špatné chování a její výstupní napětí bylo dosti závislé na natočení cívky vůči vodiči s měřeným proudem. Toto příkládám za vinu špatnému návrhu, jelikož návratový vodič byl veden okolo cívky, což zřejmě způsobilo značnou nesymetrii. Nejlepší by bylo vést vodič středem vinutí, ale to by pro návrh cívek musela být použita čtyřvrstvá deska plošného spoje. Zbývá cívka č. 6, která také nevyhověla, navíc má velmi malou vzájemnou indukčnost. Další v pořadí jsou tedy cívky č. 2 a č. 5. U cívky č. 2 se objevil shodný problém, jako u cívky č. 3, ale v menší míře. Nakonec se uspokojivých výsledků dosáhlo s použitím cívky č. 5. Výpočtem doby odezvy vychází přibližně čas 24 ns, který odpovídá simulaci pro hodnotu $2\tau = 0,865$.

Doba odezvy pro Rogowského stíněnou cívku č. 5

$$t_{odezva} = 2\tau_h = 2 \cdot \frac{L_0}{R_d} = 2 \cdot \frac{1,42 \cdot 10^{-6}}{120} = 23,66 \text{ ns} \quad (4.43)$$

Časovou konstantou je současně omezen horní mezní kmitočet snímače, který podle rovnice (4.41) vychází na $f_h = 13,45 \text{ MHz}$.

Dále byl na výstup Rogowského cívky připojen pasivní integrátor realizovaný pomocí RC filtru. Filtr typu dolní propusti se chová jako integrátor pro frekvence vyšší, než

$$f > f_d = \frac{1}{2\pi \cdot \tau_d}, \text{ kde } \tau_d = R \cdot C \quad (4.44)$$

Za podmínky, že nejsou kladeny nároky na nízký dolní kmitočet, je časová konstanta realizována pomocí odporu $R = 8200 \ \Omega$ a $C = 1 \text{ nF}$. Výsledná časová konstanta $\tau_d = 8,2 \ \mu\text{s}$. Z toho lze odvodit dolní mezní kmitočet, který je dán časovou konstantou integrátoru a vychází $f_d = 19,4 \text{ kHz}$. Tímto jsme získali oblast, ve které může Rogowského snímač pracovat. Dále bude potřeba zjistit převodní konstantu Rogowského cívky, která udává citlivost snímače na měřený proud.

Cívku je tedy nutné zkalibrovat a k tomu využijeme rovnici (4.29) z které si vyjádříme převodní konstantu snímače. Ta nám udává, jak velké je výstupní napětí snímače v závislosti na velikosti měřeného proudu.

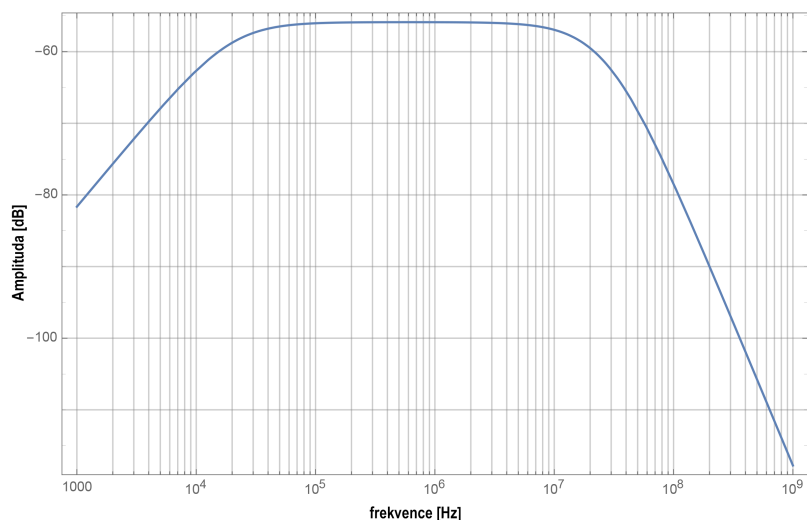
$$\frac{u_{out}(t)}{i_1(t)} = \frac{M}{RC} = \frac{13,5 \cdot 10^{-9}}{8200 \cdot 1 \cdot 10^{-9}} \cong 1,65 \text{ mV/A} \quad (4.45)$$

K ověření převodní konstanty je potřeba zdroj proměnného proudu, nejlépe v širokém rozsahu. Zde je použit malý trik, který spočívá ve využití funkčního generátoru. Na výstupu funkčního generátoru je nastaven sinusový průběh napětí 10 V_{pp} . Následně je z výstupu vyveden vodič, který je 10krát protažen skrze Rogowského snímač a připojen na druhý výstup funkčního generátoru, který má shodně odpor $50 \ \Omega$. V tomto případě využíváme Ampérova zákona celkového proudu, což nám umožňuje získat budící proud I_b o velikosti

$$I_b = \frac{10 \cdot 10 \text{ V}_{pp}}{2 \cdot 50 \ \Omega} = 1 \text{ A}_{pp} \quad (4.46)$$

Při měření byl použit funkční generátor GW Instek AFG-2225 a proud byl snímán osciloskopickou sondou LeCroy CP031A na osciloskopu LeCroy WaveSurfer 44XS.

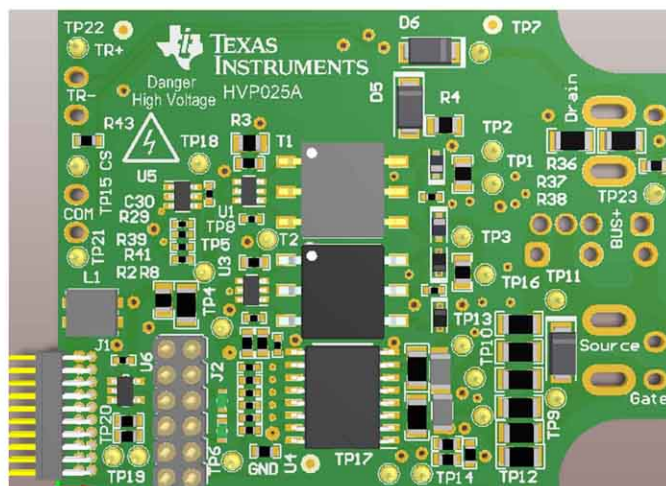
Dá se tak ověřit amplitudová charakteristika snímače, která je na obrázku č. 35, dolní mezní kmitočet je 20 kHz a horní mezní kmitočet $13,45 \text{ MHz}$. (29) (31)



Obrázek 35 Amplitudová charakteristika Rogowského cívky s použitým integrátorem

5. Návrh a realizace budicího obvodu

V rámci diplomové práce jsem od firmy POLL, s.r.o dostal k otestování vývojový kit UCC21750QDWEVM-025 od Texas Instruments (obrázek č. 36). Jedná se o galvanicky oddělený budicí obvod umožňující řídit tranzistorový spínač IGBT, nebo SiC MOSFET. Deska budiče je vybavena potřebnými ochranami a jsou na ní umístěny testovací piny pro lepší diagnostiku. K ochraně tranzistoru před zkratem je použita desaturační ochrana. Cílem je zprovoznit vývojový kit a implementovat zkratovou ochranu v podobě Rogowského cívky a porovnat ji se stávající desaturační ochranou.



Obrázek 36 UCC21750QDWEVM-025

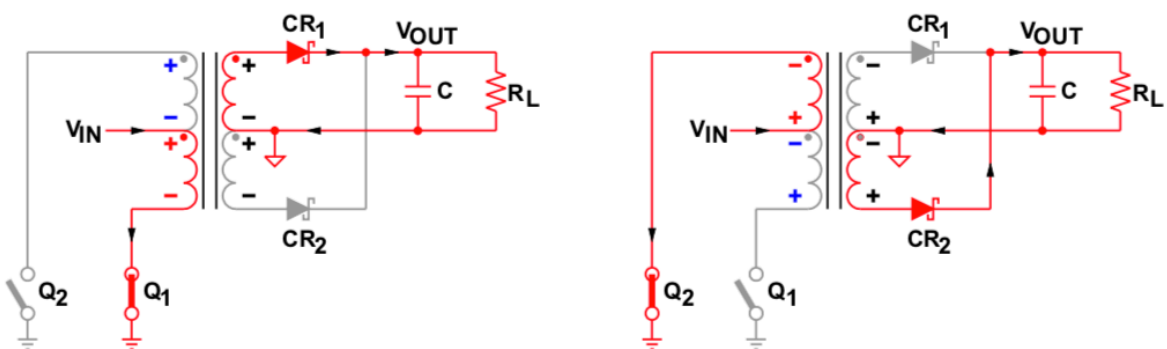
5.1 Popis testovaného budiče

Nejdříve si ve zkratce popíšeme funkce výše zmíněného driveru. Hlavní součástí je pokročilý izolovaný budič UCC21750, který je schopen řídit výkonové prvky s pracovním napětím do 2121 V (DC), což umožňuje jeho použití v aplikacích nad 10 kW. Příkladem může být použití v trakčním střídači, nebo nabíječe baterií pro elektromobily/hybridy. Zároveň budič poskytuje spolehlivé galvanické oddělení řídicích obvodů od částí pod vysokým napětím pomocí kapacitní SiO₂ izolační bariéry. Pro rychlé sepnutí výkonových prvků je budič schopný dodat špičkový proud až 10 A_{peak} a je odolný vůči rušení, které vzniká při rychlém spínání vlivem velkým změny du/dt .

Budič je také vybaven funkcí *active miller clamp*, která zabraňuje náhodnému sepnutí vlivem rychlé změny U_{DS} , změna tohoto napětí vyvolá proud kapacitou C_{dg} a ovlivní tak hradlové napětí. Pokud dojde na zařízení ke zkratu, tak zafunguje desaturační ochrana, která bezpečně vypne tranzistor. V tomto případě je aktivována funkce měkkého vypnutí, čímž se snižuje velikost přepětí při vypnutí tranzistoru. Dále je vygenerováno chybové hlášení FLT na řídicí stranu budiče. V neposlední řadě má budič zabudovanou ochranu pro hlídání napěťové úrovně V_{CC} a V_{DD} , která nedovolí sepnutí tranzistoru, pokud je napětí pod stanovenou úrovní. Další vlastností je možnost snímání teploty výkonového prvku, nebo napětí meziobvodu. Zde byl uveden jen krátký přehled, více informací o funkcích a parametrech budiče lze nalézt v katalogu výrobce. (32)

Řídicí napětí na tranzistor

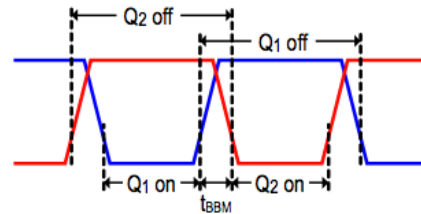
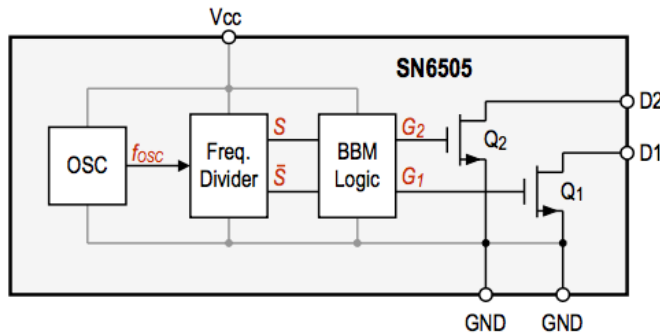
Řídicí napětí pro zapnutí tranzistoru je nastaveno na 17 V a pro vypnutí -5 V, obě napětí jsou generována pomocí dvou *push-pull* konvertorů, které jsou řízené pomocí *push-pull* transformátorových driverů SN6505B pracujících při frekvenci 424 kHz. Pro správnou funkci jsou vyžadovány transformátory s vyvedenou středovou odbočkou.



Obrázek 37 Push-pull converter (33)

Na obrázku č. 37 jsou znázorněny dva stavy, které se mění v závislosti na přepínání spínačů Q_1 a Q_2 . První stav je v případě sepnutí Q_1 , kdy spodní polovinou primárního vinutí protéká proud. Napětí mezi středovou odbočkou a zemí je U_{IN} . Toto napětí se objeví na sekundárním vinutí transformátoru s ohledem na jeho převod. Kladný potenciál na horní polovině vůči středu sekundárního vinutí způsobí, že dioda CR_1 je v propustném směru a prochází přes ní proud, který nabíjí kapacitu C a uzavírá se zpět do středu vinutí. Ve druhém

stavu se sepne Q_2 a Q_1 vypíná. Napětí na horní polovině primárního vinutí mezi středovou odbočkou a zemí je $-V_{IN}$, stejně jako v prvním případě se objeví napětí na sekundární straně transformátoru a tentokrát je v propustné směru dioda CR_2 , přes kterou protékající proud nabíjí kapacitu C a uzavírá se zpět do středu vinutí.



Copyright © 2016, Texas Instruments Incorporated

Obrázek 39 SN6505

Proces spínání je lépe patrný na obrázku č. 39, kde je znázorněno i blokové schéma součástky SN6505B (33). Bylo zmíněno, že řídicí napětí pro sepnutí tranzistoru je 17 V, ale napájecí napětí SN6505 je jen 5 V, takže ke zvýšení je potřeba použít transformátor s vhodným převodem. V tomto případě je použit transformátor s transformačním poměrem 3,5:1 od firmy Würth electronic. Výstupní napětí V_{OUT} na kondenzátoru C je pak dáno podle vzorce:

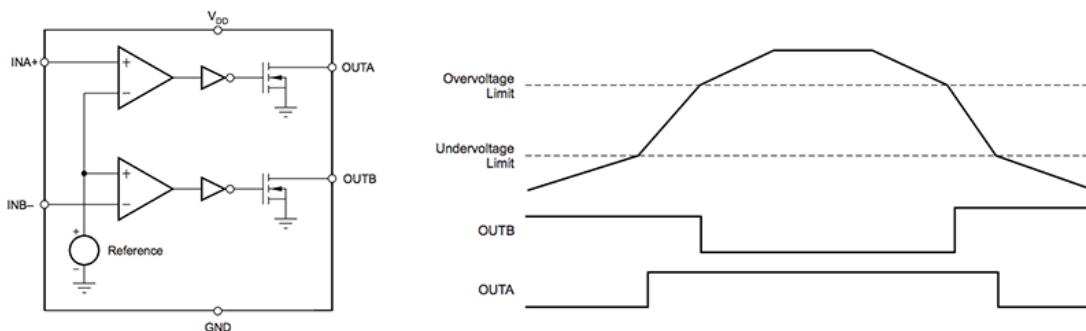
$$V_{OUT} = V_{IN} * \frac{N_2}{N_1} = 5 * \frac{3,5}{1} = 17,5 V \quad (5.47)$$

kde N_2/N_1 je transformační poměr

Záporné vypínací napětí tranzistoru -5 V není potřeba zvyšovat, jak tomu bylo v předchozím případě, taktéž je použit transformátor od firmy Würth, ale s transformačním poměrem 1,1:1 a označením 750313734. (34)

Hlídaní přítomnosti řídicího napětí

Poskytuje dodatečnou ochranu řídicího napětí na sekundární straně budiče pomocí hlídání napájecího napětí V_{CC1} na primární straně. Úroveň napájecího napětí V_{cc1} je hlídána pomocí komparátoru s hysterezí od 4,5 V (UVLO) do 5,5 V (OVLO), konkrétně je použita součástka TPS3700-Q1, jejíž schéma je znázorněno na obrázku č. 21. Na komparátorové vstupy $INA+$ a $INB-$ se přes odporové děliče nastavují požadované úrovně napětí, které se mají sledovat. Na obrázku č. 40 je dolní mez naznačena jako *Undervoltage Limit* a horní mez *Overvoltage Limit*. Pokud se sledované napětí pohybuje uvnitř oblasti, tak jsou oba výstupy $OUTA$ i $OUTB$ sepnuté a přes pull-up rezistor je přiveden signál k povolení chodu pro transformátorové drivery. V případě poklesu, nebo vzrůstu napájecího napětí V_{cc1} to příslušný komparátor vyhodnotí a vypne jeden z výstupů, tím dojde k zakázání chodu. Řídicí napětí na tranzistor je tak v případě změny napájecího napětí V_{cc1} drženo v požadovaných mezích. (35)



Obrázek 40 Blokové schéma komparátoru TPS3700 a výstupní charakteristiky zdroj: (35)

Desaturační ochrana

Na obrázku č. 41 je znázorněno schéma desaturační ochrany, která je implementována v budiči UCC21750 a zajišťuje rychlou ochranu proti zkratu a nadproudu u výkonového prvku. Desaturační pin budiče má prahové napětí stanovené na 9 V. Při sepnutí tranzistoru se aktivuje interní proudový zdroj, což znamená aktivní ochranu pouze, když je tranzistor ve vodivém stavu. V případě, že je výkonový tranzistor vypnutý, tak pomocí vnitřní logiky sepne interní MOSFET a desaturační pin je držěn ve stavu logická 0. Tím je zabráněno chybné detekci, pokud je tranzistor vypnutý.

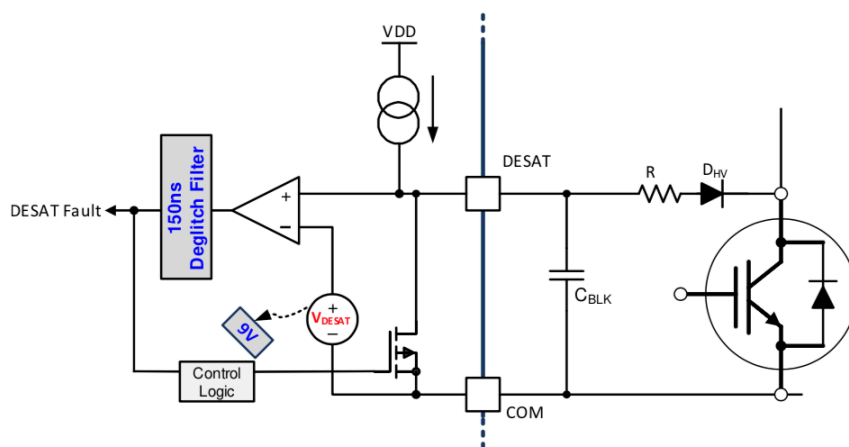
K detekci zkratu dojde v případě, že napětí U_{DS} v sepnutém stavu překročí prahové napětí. Na toto napětí se rychle nabije kondenzátor C_{BLK} , na což zareaguje příslušný komparátor a ten dá povel k vypnutí tranzistoru. Zároveň je vyhlášen poruchový stav na pinu FLT. Čas, za který se nabije kapacitor C_{BLK} je označován, jako *blanking time*, což můžeme volně přeložit, jako slepý čas a lze ho vypočítat následovně. (36)

$$t_B = \frac{C_{BLK} \cdot U_{DESAT}}{I_{CHG}} = \frac{27 \cdot 10^{-12} \cdot 9}{500 \cdot 10^{-6}} = 486 \text{ ns} \quad (5.48)$$

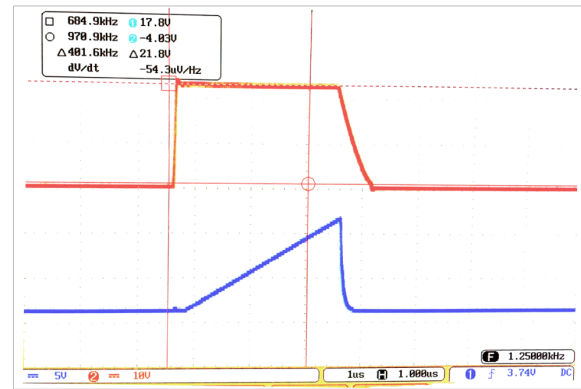
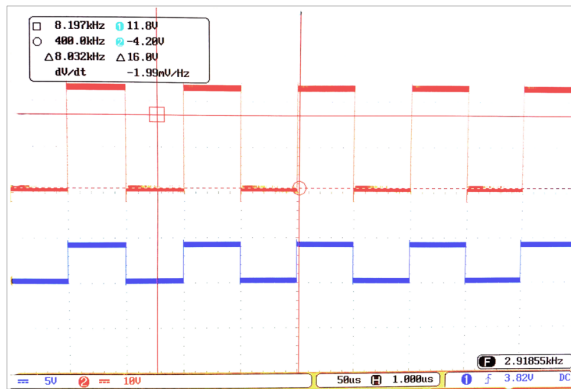
Kde U_{DESAT} (V) je desaturační napětí,

I_{CHG} (A) je interní nabíjecí proud,

C_{BLK} (F) je externí desaturační kapacita



Obrázek 41 Desaturační ochrana UCC21750 zdroj: (32)



Obrázek 42 Test základních funkcí budiče

Pro testovaný budič výrobce doporučuje zapojení Schottkyho diody mezi DESAT a COM pin, aby se zabránilo poškození budiče záporným napětím. Ještě je paralelně přidána Zenerova dioda, která omezuje vstupní napětí. Samozřejmostí je vysokonapěťová dioda, která blokuje napětí, když je tranzistor ve vypnutém stavu. (32)

Po seznámení se s vývojovou deskou budiče byly otestovány její základní funkce. Místo tranzistoru je pro zkoušení funkčnosti budiče mezi gate a sourc přidána kapacita 10 nF. Ta musí být před připojením tranzistoru odstraněna, protože by výrazně zvětšovala kapacitu tranzistoru a jeho sepnutí by trvalo delší dobu. Základní funkcí budiče je generování řídicích signálů na požadovanou napěťovou úroveň, což je patrné z levé části obrázku č. 42. Nutnou součástí funkčního testu je ověření správné funkčnosti desaturační ochrany. V případě, že bychom připojili tranzistor na vysoké napětí a ochrana byla nefunkční, tak pravděpodobně dojde k jeho zničení. Z pravé části obrázku č. 42 je patrná správná funkčnost desaturační ochrany, včetně *blanking time*, neboli slepého času, kdy není ochrana aktivní. Zároveň je z oscilogramu dobře patrné měkké vypínání tranzistoru.

5.2 Návrh nadproudové ochrany s využitím Rogowského cívky

S použitím vývojové kitu UCC21750QDWEVM-025 bude navržena nadproudová ochrana, která k detekci využívá Rogowského cívku a je schopna zajistit vypnutí tranzistoru v případě zkratu.

Úvaha

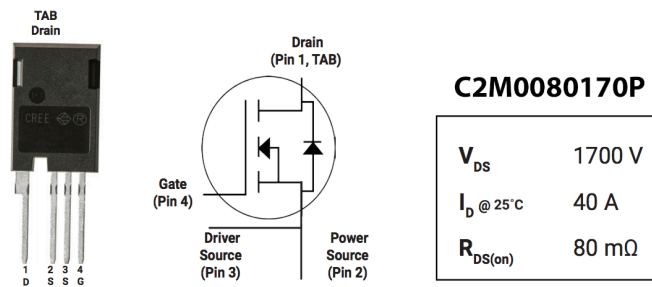
Informaci o nadproudu nám poskytne snímač v podobě Rogowského cívky. Cílem je tedy vymyslet řešení, které v případě detekce zkratu dokáže zajistit vypnutí tranzistoru. Budič UCC21750, jak bylo několikrát zmíněno, je vybaven desaturační ochranou, která reaguje na napětí tranzistoru U_{DS} v sepnutém stavu. Při překročení detekčního prahového napětí, které je v tomto případě stanoveno na 9 V se aktivuje měkké vypnutí. V úvahu tedy připadá návrh obvodu, který když zaznamená zkratový proud z Rogowského cívky, tak ho vyhodnotí a na příslušný desaturační pin budiče přivede napětí větší, než 9 V. Toto řešení je nevhodné z důvodu špatné implementace, do již stávající ochrany. Naproti tomu by bylo dosaženo měkkého vypnutí při vypínání zkratu.

Jedním z možných řešení je využít pin \overline{RST}/EN budiče, který slouží dvěma způsoby. Prvním z nich je povolení chodu budiče a druhým reset signálu FLT, chybového hlášení od desaturační ochrany. Ochranný obvod s Rogowského cívkou by byl připojen na tento pin přes pull-up rezistor. Při běžném chodu zařízení by byl pin \overline{RST}/EN nastaven na úroveň logické 1 a v případě detekce nadproudu na úroveň logické 0, tím by došlo k zakázání chodu budiče a vypnutí pulzů na tranzistor. Z katalogu lze však vyčíst, že reakční doba od přivedení logické nuly je 650 ns, takže ochrana nebude o nic rychlejší než použitá desaturace.

Řešení, které bylo nakonec při návrhu použito vychází z toho, že budič má velmi krátké zpoždění pulzů ze vstupu na výstup. To znamená, že v případě detekování zkratového proudu pomocí cívky je vypnut pulz na primární straně budiče, což vede k vypnutí řídicího pulzu na tranzistor. V katalogu výrobce je uvedeno zpoždění t_{PDHL} okolo 90 ns. Toto řešení se zdá nejslibnější a nejrychlejší variantou, jak vypnout tranzistor v případě zkratu. Návrh ochranného obvodu, který dokáže zpracovat výstupní signál z Rogowského cívky, rozhodnout a poté vypnout řídicí pulz, byl odsimulován v prostřední LTspice a dále bude podrobněji popsána jeho funkce. Tento způsob lze navíc využít i v případě použití jednoduchého budiče bez RST, EN a DESAT.

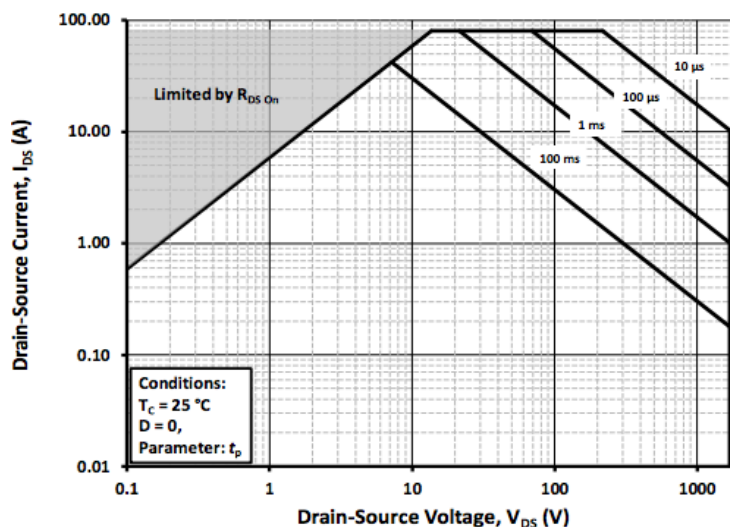
5.3 Simulace

Podobně jako u desaturační ochrany musí být stanovena hranice, od které je zkratová ochrana aktivní. Oproti výše zmíněné desaturační ochraně, která snímá napětí na tranzistoru v sepnutém stavu je u cívky měřen přímo zkratový proud. A to je velký rozdíl, jelikož pokud dokážeme velmi přesně snímat měřený proud pomocí Rogowského cívky, lze tak nastavit úroveň, od které má ochrana zasáhnout. Ta se bude lišit podle použitého tranzistoru. V tomto případě je použit SiC MOSFET od firmy Cree s označením C2M0080170P, který je na obrázku č. 43. (37)

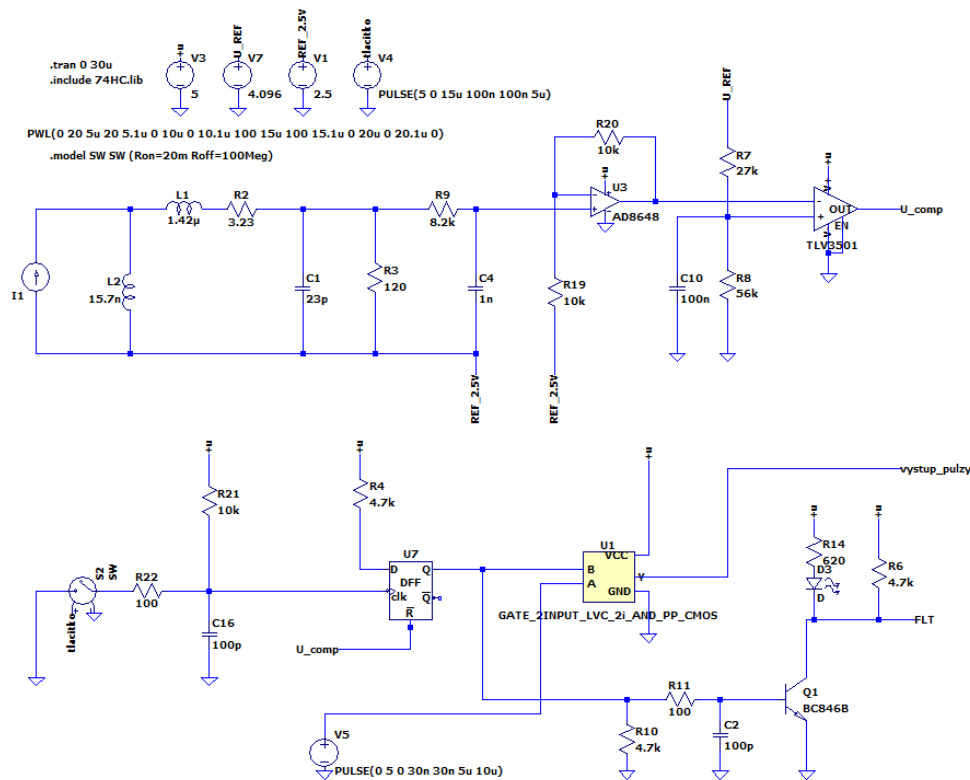


Obrázek 43 SiC MOSFET C2M0080170P zdroj: (37)

Z katalogu výrobce můžeme zjistit maximální pracovní proud $I_D = 40$ A při teplotě 25°C a maximální pulzní proud $I_{D(PULSE)} = 80$ A. U pulzního proudu je šířka pulzu závislá na teplotě přechodu a lze ji rovněž vyčíst z katalogu výrobce. Pro představu je přidán obrázek č. 25, kde je znázorněná bezpečná pracovní oblast tranzistoru. S ohledem na to, nastavíme nadproudovou ochranu na úroveň 100 A. Takže při překročení této hranice je nadproud detekován pomocí Rogowského cívky a na jejím výstupu je naintegrováno příslušné napětí, které bude sloužit jako referenční pro příslušný komparátor. V případě překročení referenčního napětí komparátor vybaví a dojde k vypnutí řídicích pulzů na tranzistor.



Obrázek 44 Bezpečná provozní oblast zdroj: (37)



Obrázek 45 Navržený ochranný obvod

Na obrázku č. 45 je znázorněn navržený obvod v simulační prostředí LTspice, který si teď popíšeme. Začneme z levé části, kde je náhradní model Rogowského cívky s příslušným pasivním integrátorem. Výstup z pasivního integrátoru je připojen na neinvertující zesilovač, který v případě potřeby zesílí výstupní napětí dle rovnice (5.49)

$$U_{výst} = U_{vst} \left(1 + \frac{R_2}{R_1} \right) \quad (5.49)$$

Zesílení je zde přidáno kvůli lepší komparaci výstupního napětí. Jako neinvertující zesilovač je použit operační zesilovač AD8646. K tomu, aby na jeho vstup nebylo připojeno záporné napětí je spolu s cívkou a pasivním integrátorem zapojen na 2,5 V referenci. Díky tomu je výstupní napětí integrátoru posunutě o 2,5 V nahoru. V dalším kroku je na napěťovém děliči nastavená napěťová úroveň, která odpovídá referenční hodnotě pro 100 A. Tato reference je připojena na vstup rychlého komparátoru, který v případě jejího překročení zareaguje a změní výstupní signál z logické úrovně 1 do logické 0. Signál z komparátoru je přiveden na asynchronní D klopný obvod, který plní důležitou úlohu. Ten nastavením výstupu povolí/ zakáže pulzy, které jsou přiváděny z generátoru pulzů na primární stranu budiče přes hradlo typu AND. Zároveň zajistí, aby při vypínání tranzistoru nedošlo k jeho opětovnému sepnutí. Pulzy na budič nejsou přiváděny do té doby, než je stav resetován pomocí tlačítka. K tomu všemu je přidána signalizace pomocí pull-up rezistoru, kde je signalizační LED dioda a ta svítí v případě, že jsou pulzy aktivní. Dá se tak jednoduše orientovat v kterém stavu se navržený obvod nachází. V krátkosti bylo popsáno simulační schéma, kde byla ověřena myšlenka s vypínáním řídicích pulzů pro tranzistor. Popsané simulační schéma se může nacházet ve 3 stavech:

1. **Pracovní** – Normální stav, při kterém jsou povoleny pulzy na tranzistor do té doby, než přejde obvod do druhého stavu.
2. **Poruchový** – Stav, při kterém byl detekován nadproud a pulzy na tranzistor jsou zakázány do doby, než dojde k resetování chyby.
3. **Resetovací** – V tomto stavu jsou pulzy neaktivní do doby, než je zmáčknuto tlačítko. Tím dojde k resetování chyby a obvod přejde do pracovního stavu.

Výše popsané stavy budou dále více rozepsány, včetně použitých součástek a výsledků simulace.

5.3.1 Pracovní stav

Je stav, při kterém zařízení pracuje podle stanovených podmínek, dokud na něm nedojde k poruše a přechodu do jiného stavu. V našem případě se jedná o povolení pulzů na primární stranu budiče. Výsledek simulace pro tento stav je v příloze č. 5.

Jak je z výsledku simulace patrné, tak výstupní napětí integrátoru zesílené přes neinvertující zesilovač je pod nastavenou komparační úroveň. Komparační úroveň je nastavena pomocí odporového děliče z referenčního napětí $U_{REF} = 4,096 \text{ V}$, které je výstupem napěťové reference. V tomto případě je použita napěťová reference REF3040.

Komparátor tedy porovnává napětí mezi neinvertujícím vstupem, kam je připojena komparační úroveň z napěťového děliče a invertujícím vstupem. V tomto případě je použit rychlý komparátor TLV3501 s push-pull výstupem. Pokud je napětí na invertujícím vstupu menší než nastavená komparační hladina, tak je na výstupu komparátoru 5 V.

Výstup komparátoru je připojen na pin \overline{CLR} klopného obvodu typu D s asynchronním resetem SN74LVC1G175, jehož schéma je na obrázku č. 46. (38)

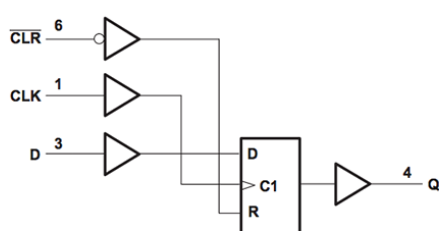


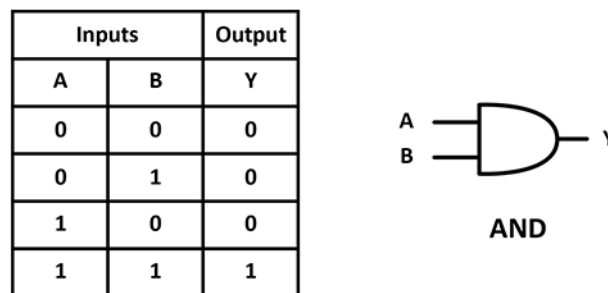
Table 1. Function Table

INPUTS			OUTPUT Q
\overline{CLR}	CLK	D	
H	↑	L	L
H	↑	H	H
H	H or L	X	Q_0
L	X	X	L

Obrázek 46 Asynchronní D-klopný obvod SN74LVC1G175 zdroj: (38)

Písmeno *H* v tabulce na obrázku č. 46 znamená úroveň „*High*“ a písmeno *L*, úroveň „*Low*“. Těchto úrovní je dosaženo podle velikosti přiloženého napětí a z katalogu výrobce lze tyto hodnoty vyčíst. Pro to, aby se vstup nacházel ve stavu *Low* je potřeba na daný pin připojit napětí menší než 1,5 V. Naopak, aby se dostal do stavu *High* musí přivedené napětí být větší než 3,5 V. Pro zjednodušení budeme dále pro úroveň *High* používat označení *logická 1* a označení *logická 0* pro úroveň *Low*.

Předtím, než si vysvětlíme funkci klopného obvodu je potřeba se zmínit o tom, že pulzy na primární stranu budiče jsou generovány z funkčního generátoru a procházejí přes logické hradlo AND. V tomto případě byla vybrána součástka SN74LVC1G08. (39)



Obrázek 47 Logické hradlo AND zdroj: (39)

Na obrázku č. 47 je naznačená schématická značka hradla AND a jeho pravdivostní tabulka. Výstup z funkčního generátoru je připojen na hradlový vstup *A*. K tomu, aby se pulzy dostaly na výstup hradla a dále na budič, je potřeba podle pravdivostní tabulky nastavit vstup *B* do hodnoty *logická 1*. Vstup *B* bude nastaven pomocí výstupu klopného obvodu. Zpátky k funkci klopného obvodu. Pokud je asynchronní vstup \overline{CLR} nastaven na úroveň *logická 1*, data ze vstupního pinu *D* jsou převedena na výstup *Q* na náběžnou hranu hodin *CLK*. Abychom výstup *Q* dostali na úroveň *logické 1* je zapotřebí nastavit vstup *D* na stejnou úroveň, což je provedeno připojením pinu *D* na 5 V. Náběžná hrana hodin je zde realizována stisknutím tlačítka.

Pro lepší orientaci, že se obvod nachází v pracovním stavu je výstup klopného obvodu připojen na pull-up rezistor, když je výstup *Q* aktivní, rozsvítí se signalizační LED dioda. Zároveň je to použito pro nastavení poruchového stavu FLT, který je v tomto případě na úrovni *logická 0*.

5.3.2 Poruchový stav

Znamená, že zařízení, které se do té doby nacházelo v pracovním stavu, vlivem vnějšího zásahu přechází do stavu poruchového. V našem případě se jedná o detekování zkratové proudu, kdy musí být vypnuty řídicí pulzy na tranzistor a vysláno chybové hlášení, že se zařízení nachází v poruše. Výsledek simulace pro poruchový stav je znázorněn v příloze č. 6.

Poruchový stav je detekován komparátorem, pokud napětí na invertujícím vstupu přesáhne nastavenou referenční hodnotu. V takovém případě je na výstupu komparátoru nastaveno nulové napětí. Nulové napětí je na výstupu drženo do té doby, než opět napětí na invertujícím vstupu klesne pod referenční hodnotu. Ovšem, když dojde k vypnutí tranzistoru a zániku zkratového proudu, který přes něj tekł, tak je výstup komparátoru opět nastaven na 5 V. Dále je potřeba zmínit, jak funguje proces vypnutí pulzů na primární stranu budiče.

Jak bylo popsáno výše, pulzy na budič jsou generovány z funkčního generátoru a procházejí přes hradlo typu AND. Výstup z funkčního generátoru je připojen na vstup A hradla AND. Pokud se podíváme na pravdivostní tabulku v obrázku č. 47, tak proto aby se dostaly pulzy na výstup hradla, je potřeba vstup B nastavit na úroveň *logické 1*. Při zjištění poruchy je potřeba pulzy vypnout, čehož lze podle pravdivostní tabulky docílit nastavením hradlového vstupu B na úroveň *logické 0*. Takže by stačilo připojit výstup komparátoru na hradlový vstup B, který by byl v případě poruchového stavu držen na úrovni *logická 0*. Jenže, zde narážíme na problém, že zkratový proud odezní a na výstupu komparátoru se opět objeví 5 V. To by znamenalo nastavení úrovně na vstupu hradla do úrovně *logická 1*, pulzy na budič budou opět aktivní a dojde k opětovnému sepnutí tranzistoru. U desaturační ochrany je tomu tak, že v případě detekce zkratu a vypnutí tranzistoru čeká na povel reset, než opět povolí řídicí pulzy na tranzistor, alespoň tak je tomu u budiče UCC21750. Tady narážíme na problém u navrhovaného řešení, že při vypnutí pulzů na primární stranu budiče se při jejich opětovné aktivaci nečeká na povel reset. Proto je mezi výstup komparátoru a vstup hradla AND umístěn klopný obvod typu D, který řeší výše zmíněný problém s aktivací pulzů až s povellem reset.

Proces vypnutí pulzů u navrženého řešení funguje následovně. Příslušný komparátor zaznamená poruchový stav a na svém výstupu nastaví nulové napětí. Výstup komparátoru je připojen na asynchronní reset klopného obvodu typu D, který je na pinu \overline{CLR} . Tím, že se na pinu \overline{CLR} objeví nulové napětí, nastaví se do úrovně *logická 0* a automaticky přepne výstup klopného obvodu do úrovně *logická 0*. Výstup *Q* klopného obvodu je připojen na vstup B hradla AND, čímž je splněna podmínka pro vypnutí pulzů na primární stranu budiče. Zároveň dojde k vypnutí tranzistoru u pull-up rezistoru, zhasnutí signalizační LED diody, která tak signalizuje poruchový stav a nastavení chybového hlášení FLT na 5 V. Přehledněji je vše vidět z výstupu simulace, která je umístěna v příloze č. 6.

5.3.3 Resetovací stav

Resetovací stav je fáze mezi poruchovým a pracovním stavem. Přičemž na zařízení byla detekována porucha a pro přechod do pracovního stavu je potřeba se ujistit, že už porucha odezněla. V takovém případě, lze dát povel k přechodu do pracovního stavu. V navrhovaném řešení se resetovacím stavem rozumí povel, který aktivuje pulzy na primární stranu budiče, které byly vypnuty z důvodu detekce zkratu. V tomto případě je reset proveden pomocí tlačítka, které je připojeno na vstup hodinového signálu CLK, klopného obvodu typu D. Výsledek simulace pro tento stav je v příloze č. 7.

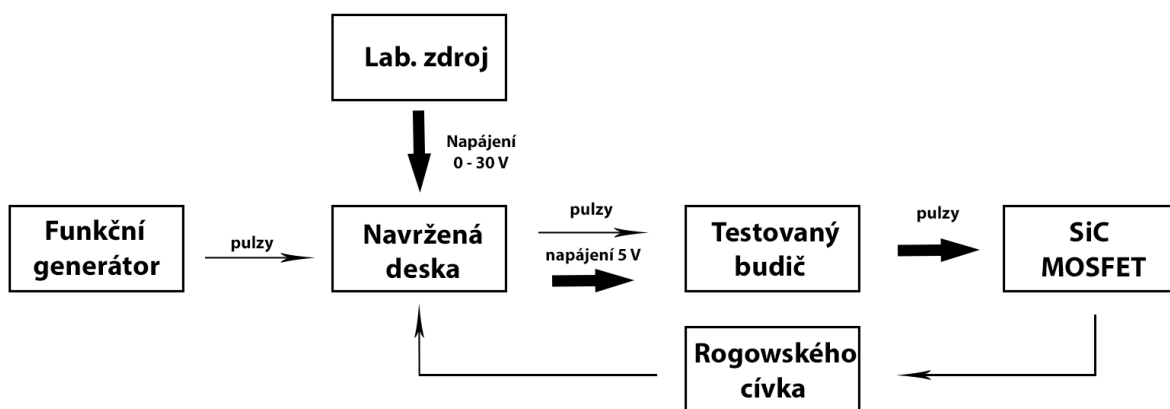
Resetovací stav bylo nutné uvažovat kvůli tomu, aby samovolně nedošlo k aktivaci pulzů na budič. Z tabulky na obrázku č. 46 je patrné, že při poruchovém stavu se pin \overline{CLR} nachází na úrovni *logická 0*, přičemž stejná úroveň je automaticky nastavena na výstupu klopného obvodu. V tomto případě jsou ignorovány úrovně na pinech D a CLK do doby, než je opět pin \overline{CLR} nastaven do stavu *logická 1*. Teprve tehdy je možné resetovat poruchový stav. Přechod do pracovního stavu nastává v případě, že je na pinu CLK detekována náběžná hrana signálu a ta je vytvořena pomocí stisknutí tlačítka. Je tím splněna podmínka v tabulce na obrázku č. 46 a na výstup Q je znovu přivedena *logická 1*. Tím přejde zařízení do pracovního stavu a pulzy na budič jsou opět aktivní.

V této fázi bylo navržené řešení ověřeno pomocí simulace v programu LTspice, který umožňuje použít modely reálných součástek za podmínky, že jsou tyto modely dostupné. Z důvodu nedostupnosti některých součástek byly použity obecné modely obsažené v knihovně LTspice. Dalším krokem při realizaci návrhu byl výběr součástek, které byly z velké části už použity v rámci simulace a vytvoření návrhu na desce plošného spoje, aby se navržená ochrana dala otestovat na vývojové kitu UCC21750QDWEVM-025.

5.4 Návrh desky plošného spoje

Cílem je navrhnout desku plošného spoje, která umožní ověřit funkčnost zkratové ochrany s použitím Rogowského cívky. Požadavky na návrh desky vychází z obrázku č. 48, kde je znázorněno blokové schéma testovací sestavy. Deska by měla zajistit:

- Napájecí napětí 5 V pro testovaný vývojový kit UCC21750QDWEVM-025
- Zpracování pulzů z funkčního generátoru a přivedení na budič
- Umožnit napájení z laboratorního zdroje
- Zkratovou ochranu pro SiC MOSFET s využitím Rogowského cívky

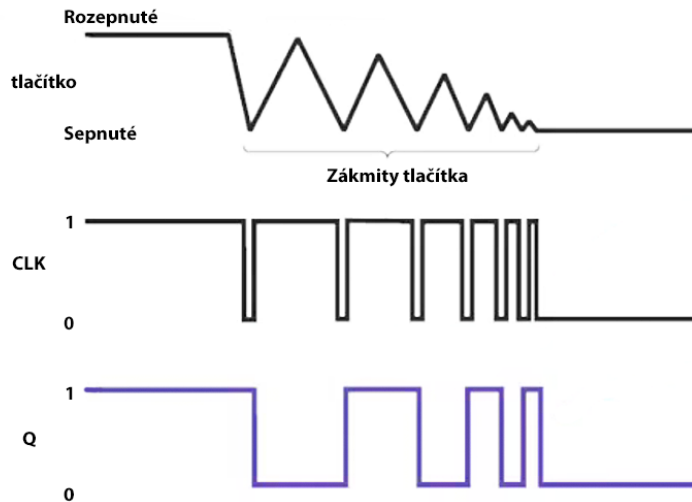


Obrázek 48 Blokové schéma testovací sestavy

Návrh desky z velké části vychází z obvodu vytvořeném v simulačním prostředí LTspice. Protože se jedná o zkušební přípravek, tak se předpokládá napájení z laboratorního zdroje. Zkušební přípravek je možné napájet od 7 V do 30 V, protože je na desce použit snižující DC/DC zdroj pro 5 V. Tento zdroj zároveň napájí testovanou desku budiče. Na jeho vstup je pro jistotu přidána ochranná dioda proti přepólování vstupního napájení z laboratorního zdroje. Dále je na desce realizován ochranný obvod, jehož funkce byla ověřena pomocí simulace a vstupní konektor pro připojení Rogowského cívky.

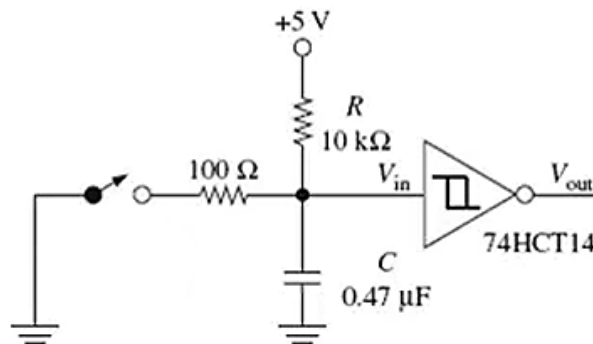
Návrh 5 V zdroje je realizován pomocí snižujícího DC/DC měniče. V tomto případě je použita součástka LM2592HVS-5. Schéma zapojení 5 V zdroje je převzato od firmy Poll, jelikož se očekává, že podobné napájení bude realizováno i v případě využití budiče.

Při testování je nutné resetovat navržený ochranný obvod pomocí tlačítka, pokud ochrana zareaguje. Problém, který je při použití tlačítka nutné ošetřit jsou jeho zákmity v případě sepnutí a rozepnutí. Tyto zákmity mohou trvat řádové desítky milisekund a způsobit problémy naznačené na obrázku č. 49, kde je tlačítko použito jako zdroj hodinového signálu CLK. Jelikož je v návrhu desky použit klopný obvod, který nastavuje svůj výstup Q na náběžnou hranu hodinové signálu CLK, je provedeno opatření k eliminaci zákmitů.



Obrázek 49 Zámkity tlačítka

Zapojení obvodu pro eliminaci zámkitů tlačítka je znázorněno na obrázku č. 50. Kondenzátor C je nabíjen přes odpor $10\text{ k}\Omega$ na napětí V_{in} . V případě stisknutí tlačítka se kondenzátor vybíjí přes odpor $100\ \Omega$ na napětí, které je pod prahovou úrovní Schmittova klopného obvodu. Jelikož je pro nabíjení použit odpor $10\text{ k}\Omega$, tak se kondenzátor rychleji vybíjí, než nabíjí a to znamená, že se napětí V_{in} už znovu nedostane nad prahovou úroveň. Hodinový signál má pak potřebnou strmou náběžnou hranu, bez zámkitů.

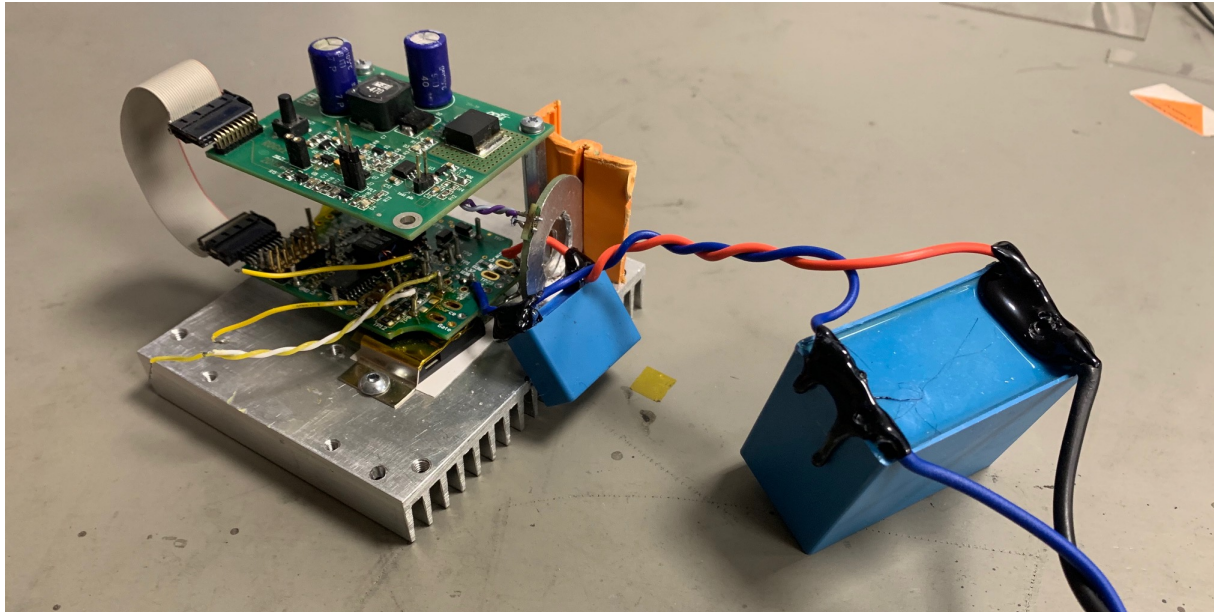


Obrázek 50 Obvod pro eliminaci zámkitů tlačítka

Navržené schéma zapojení bylo vytvořeno v programu Pads Logic 9.5 a návrh desky (rozmístění součástek na desce plošného spoje) v programu Pads Layout 9.5. V případě použitých součástek bylo respektováno doporučené zapojení udané výrobcem, včetně blokujících kondenzátorů. Výsledné schéma návrhu desky je v příloze č. 8 a Layout desky je v příloze č. 10.

5.5 Ověření funkce navržené ochrany

Poté co navržená deska přišla z výroby, byla provedena optická kontrola, osazení součástek na desku a ověřena funkčnost připojením na zdroj napětí. Před připojením desky budiče byl vytvořen zkušební přípravek a obě desky propojeny pomocí flex kabelu. Propojením desek vznikl testovací prototyp pro ověření funkčnosti navržené ochrany, který je na obrázku č. 51



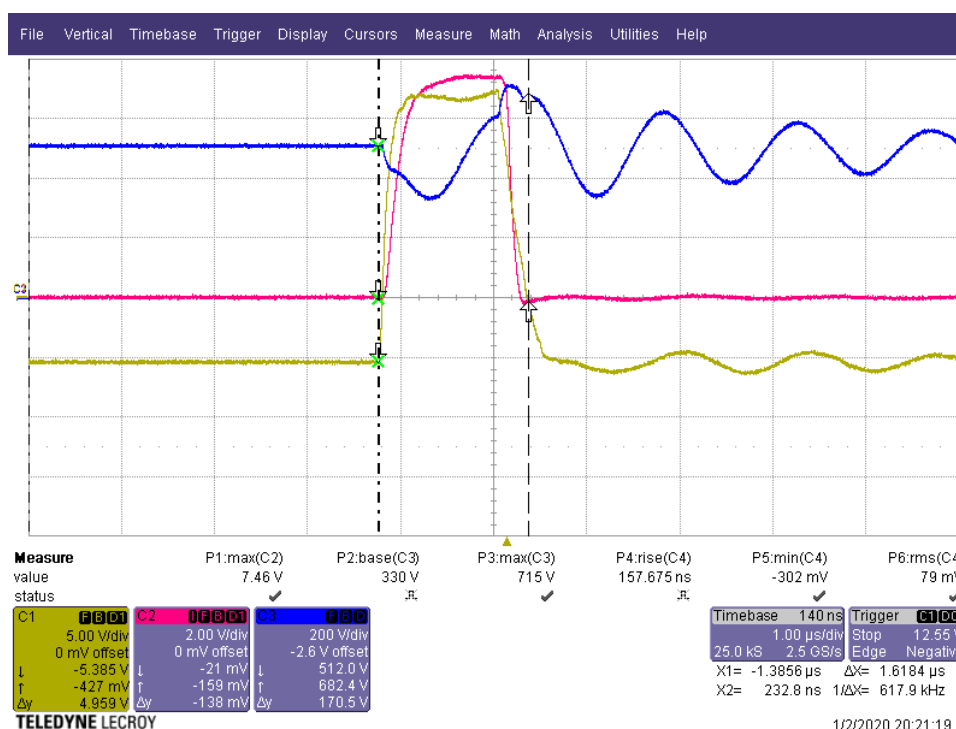
Obrázek 51 Prototyp pro testování zkratové ochrany s Rogowského cívkou

Zapojení pro ověření zkratové ochrany vychází ze schématu, které bylo popsáno v případě testování na *Half-bridge* modulu. Jen s tím rozdílem, že zde není použit druhý spínač, a tak je možné realizovat jen sepnutí do zkratu. Mezi drain a source je připojena blokovácí kapacita 1 μF , ke které je paralelně připojena vstupní kapacita 10 μF . Přičemž snahou je mít blokovácí kapacitu co nejbliž k vývodům tranzistoru, aby se omezila indukčnost přívodů a nárůst zkratového proudu byl co nejstrmější. Rogowského cívka je podle obrázku připojena na Drain tranzistoru.

Nejprve byla testována ochrana při napájecím napětí 120 V z laboratorního zdroje, aby se ověřilo, zda opravdu funguje. V případě, že navržená ochrana nezareaguje je v záloze desaturační ochrana, takže tranzistoru nehrozí zničení. Tím, že byla ověřena funkčnost ochrany při nízkém napětí, následuje testování při napájecím napětí 500 V. Zde byl jako zdroj využit usměrněný výstup autotransformátoru 0 – 1000 V DC.

5.5.1 Výsledky s desaturační ochranou

Nejprve byla ověřena zkratová ochrana pomocí desaturace. Oscilogram z provedeného měření je na obrázku č. 52. Modrý průběh C3 – napětí U_{DS} , červený průběh C2 – zkratový proud I_D , zlatý průběh C1 – napětí U_{GS} . Vstupní napájecí napětí bylo nastaveno na 500 V. Zkratový proud byl měřen komerční Rogowského cívkou s převodem 20 mV/A a napětí U_{DS} vysokonapěťovou sondou LeCroy.



Obrázek 52 Výsledné měření pro desaturační ochranu budiče

Do oscilogramu jsem chtěl změřit ještě průběh desaturačního napětí z kterého by bylo lépe patrné, kdy ochrana zareagovala. Nemile mě překvapilo, že připojením osciloskopické sondy na testovací piny desaturační ochrany se prodlouží reakční čas. To je nejspíše způsobeno přidavnou kapacitou měřící sondy, takže by výsledné měření bylo znehodnoceno.

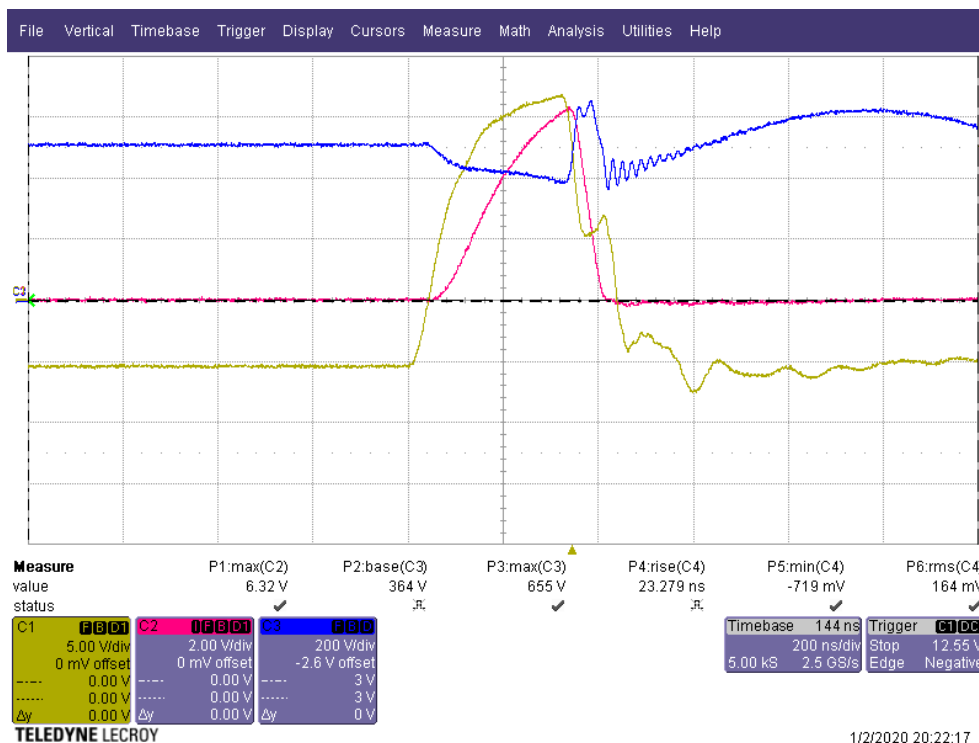
Předtím než je na tranzistor přiveden pulz k sepnutí je na něm napájecí napětí 500 V. V okamžiku sepnutí tranzistoru začne narůstat zkratový proud a napětí U_{DS} poklesne na přibližně 370 V. Testovaný budič má interní *blanking time* 200 ns, než je desaturační ochrana aktivní. Poté se začne nabíjet desaturační kapacita, která v případě překročení 9 V zareaguje a dá povel k vypnutí. Doba zpoždění od překročení prahového napětí 9 V k zahájení měkkého vypínání je 200 ns, což by měla být reakční doba ochrany. Bylo spočítáno, že desaturační kapacita C_{BLK} se nabije na prahové napětí pomocí interního zdroje za 486 ns. Detekční čas desaturační ochrany je z oscilogramu přibližně určen na 800 ns, včetně interního *blanking time*. Takže na nabití desaturační kapacity zbývá 600 ns, což je více než vypočtená hodnota. To může být dáno tím, že interní zdroj nedodává přesně 500 μA . Druhou možností je, že paralelně připojené diody k C_{BLK} přidávají parazitní kapacitu, takže by se čas prodloužil. V tomto případě je detekční čas určen na 1 μs a reakční doba na 200 ns. Poté je iniciováno měkké vypnutí

tranzistoru, které trvá přibližně 300 ns. Zkratový proud dosáhl špičkové hodnoty 373 A, vygenerované přepětí v důsledku vypínání velkého proudu je 715 V a díky měkkému vypnutí není přepětí tak velké.

5.5.2 Výsledky s nadproudovou ochranou s Rogowského cívkou

Na obrázku č. 53 je výsledný oscilogram z provedeného měření při kterém byla odzkoušena funkčnost navržené ochrany. Modrý průběh C3 – napětí U_{DS} , červený průběh C2 – zkratový proud I_D , zlatý průběh C1 – napětí U_{GS} . Vstupní napájecí napětí bylo nastaveno na 500 V. Zkratový proud byl měřen komerční Rogowského cívkou s převodem 20 mV/A a napětí U_{DS} vysokonapěťovou sondou LeCroy.

Navržená ochrana předvedla velmi dobré výsledky. V tomto případě je reakční čas dán dobou zpoždění pulzů z primární na sekundární stranu budiče, ten se pohybuje řádově okolo 100 ns. Z oscilogramu na obrázku č. 52 lze odečíst celkový čas od počátku zkratu, až po čas, kdy je zahájeno vypínání tranzistoru. Odečtený čas je přibližně 280 ns. Z toho lze určit detekční čas ochrany na 180 ns. V tomto případě není zahájeno měkké vypnutí jako u desaturační ochrany a proud poklesne ze své vrcholové hodnoty na nulu řádově za 120 ns. Vzniklé přepětí při vypínání tranzistoru v důsledku vysokého proudu je 655 V a maximální zkratový proud dosáhl hodnoty 316 A.



Obrázek 53 Výsledné měření pro ochranu s Rogowského cívkou

6. Závěr

Cílem této práce bylo seznámit se s problematikou zkratové ochrany pro SiC tranzistory MOSFET a navrhnout alternativní metodu k desaturační ochraně. Ta využívá Rogowského cívky a na rozdíl od desaturační ochrany měří zkratový proud přímo. Jak bylo uvedeno, napětí v sepnutém stavu není závislé pouze na proudu tranzistorem, U_{ds} vykazuje silnou teplotní závislost a volba prahového napětí, od kterého bude desaturační ochrana aktivní, může být problematická. V případě nastavení prahového napětí z výstupní charakteristiky tranzistoru pro vysoké teploty (např. 150 °C), bude desaturační ochrana pro nízké teploty méně efektivní. Naopak nastavením prahového napětí z výstupní charakteristiky tranzistoru pro nízké teploty (například 25 °C) může ochrana nesprávně vybavit při vysokých teplotách, aniž by došlo ke zkratu. Také z tohoto důvodu se využití Rogowského cívky jeví jako lepší variantou, protože ochrana reaguje přímo na měřený proud a je schopna poskytnout konstantní výsledky v závislosti na teplotě.

Proto byla celá jedna kapitola věnována návrhu Rogowského cívek. Kde se úspěšně podařilo sepsat podrobný návod pro návrh Rogowského cívky na desce plošného spoje, přičemž je vytvořeno 7 různých variant. Pro tyto varianty je dodatečně vytvořeno stínění z hliníkové pásky, aby se zvýšila odolnost cívek vůči rušení. Při ověřování funkčnosti se přišlo na to, že některé cívky jsou dosti závislé na poloze vodiče protékajícího proudem. V ideálním případě by vinutí mělo být kolmé na vodič umístěný ve středu cívky. Tento problém přisuzuji návrhu desky plošného spoje, jelikož návratový vodič není veden středem cívky, ale po obvodu. Tato záležitost by se dala odstranit vhodným návrhem na čtyřvrstvou desku plošného spoje, kde by návratový vodič byl veden prostřední vrstvou. Nakonec byla vybrána jedna z navržených cívek, která je využita při návrhu zkratové ochrany.

Zároveň se jedna část zabývá základními požadavky na budící obvody pro tranzistory, které spočívají v generování pulzů pro řízení tranzistoru a galvanickém oddělení řídicí části od vysokonapěťové. Za podmínky, že musí být zajištěna ochrana tranzistoru v případě poruchového stavu. Na což navazuje kapitola srovnávající zkratovou ochranu s Rogowského cívkou oproti desaturační. Z této části se vychází při ověřování zkratové ochrany.

Na základě výsledků ze simulačního programu LTSpice je navrženo obvodové schéma zkratové ochrany, které je následně vytvořeno na desce plošného spoje. Pro ověření funkčnosti ochrany je sestaven testovací prototyp s využitím vývojového kitu UCC21750QDWEVM – 25, na kterém je možné ověřit funkčnost navržené ochrany. Měřením je zjištěno, že navržená ochrana dosahuje slibných výsledků v porovnání s desaturační ochranou.

Závěrem bych chtěl říci, že navržený prototyp slouží k ověření zkratové ochrany s Rogowského cívkou a jedná se o zkušební vzorek, který bude sloužit k dalším testům. Tento obvod by bylo nutné před použitím ve finálním výrobku upravit a přizpůsobit požadavkům dané aplikace.

7. Citovaná literatura

1. **Okumura, H.** "Power electronics innovation by Silicon Carbide power semiconductor devices,". *2014 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)*. [Online] 2014.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=6867086&isnumber=6867036>.
2. **Slovick, Murray.** Wide Bandgap Semiconductors: Gallium Oxide is Next in Line. *www.ttiinc.com*. [Online] 31. 1 2019.
<https://www.ttiinc.com/content/ttiinc/en/resources/marketeye/categories/new-technology/meslovick-20190131.html>.
3. **Park, Yoon Soo.** *SiC Materials and Devices*. místo neznámé : Academic Press, 1998. 0-12-752160-7.
4. **Tomáš Křeček, VŠB-TU Ostrava, Fakulta elektrotechniky a informatiky, Katedra elektroniky.** [Online] 17. 11 2017.
<http://old.roznovskastredni.cz/dwnl/pel2007/03/Krecek.pdf>.
5. **Dimosthenis Pefitsis, Jacek Rabkowski.** Gate and Base Drivers for Silicon Carbide Power Transistors: An Overview. *IEEE*. [Online] 10 2016.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=7360923&isnumber=7475920>.
6. **UnitedSiC.** Datasheet UJ3N065025K3S. *www.unitedsic.com*. [Online] 12 2018.
www.unitedsic.com/products/sic-jfets/uj3n065025k3s/.
7. **JFET, Wikipedie: Otevřená encyklopedie:.** [Online] 2018.
<https://cs.wikipedia.org/w/index.php?title=JFET&oldid=16369683>.
8. **tranzistor, Wikipedie: Otevřená encyklopedie: Bipolární.** [Online] 2019.
https://cs.wikipedia.org/w/index.php?title=Bipol%C3%A1rn%C3%AD_tranzistor&oldid=16947180.
9. **Domeij, A. Lindgren and M.** Fast switching 1200 V 50 A silicon carbide BJT's in boost converters. *in Proc. 14th Eur. Conf. Power Electron. Appl.* [Online] 2011.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=6020401&isnumber=6020091>.
10. **Semiconductor, GeneSiC.** GA50JT12-247. [Online] 12 2015.
<http://www.genesicsemi.com/sic-junction-transistors/>.
11. **Cree.** C3M0021120D. *www.wolfspeed.com*. [Online] 08 2019.
<https://www.wolfspeed.com/media/downloads/1529/C3M0021120D.pdf>.
12. **encyklopedie, Wikipedie: Otevřená.** MOSFET. [Online] 2019.
<https://cs.wikipedia.org/w/index.php?title=MOSFET&oldid=17421404>.
13. **Sapre, Sanket.** *analog.com*. [Online] 6 2018.
<https://www.analog.com/media/en/analog-dialogue/volume-52/number-2/isolated-gate-drivers-what-why-and-how.pdf>.

14. **Ing. Pavel Vorel, Ph.D. a Patočka, Doc. Dr. Ing. Miroslav.** Budiče výkonových tranzistorů MOSFET a IGBT. *Elektrorevue*. [Online] 21. 5 2004.
<http://www.elektrorevue.cz/clanky/04030/index.html>.
15. **Koubek, Ondřej.** [Online] <http://cvut.falconis.cz/semestr-4/vst/2-koubek.pdf>.
16. **Ben-Yaakov, Prof. Shmuel.** Ben-Gurion University of the Negev Faculty of Engineering Sciences Department of Electrical and Computer Engineering. *Switch Mode DC-DC Converters*. [Online] 2017. http://www.ee.bgu.ac.il/~dcdc/slides/DC-DC%20part%208%20_Triple.pdf.
17. **Cree.** C2M0045170D. *www.wolfspeed.com*. [Online] 6 2016.
<https://www.wolfspeed.com/media/downloads/886/C2M0045170D.pdf>.
18. **Doumergue, Pierre-Laurent.** *www.microsemi.com*. [Online] 2012.
https://www.google.cz/url?sa=t&rct=j&q=&esrc=s&source=web&cd=11&ved=2ahUKEwjdy8izgbvmAhXaUBUIHZA5AWkQFjAKegQIBRAC&url=https%3A%2F%2Fwww.microsemi.com%2Fdocument-portal%2Fdoc_download%2F14732-using-ntc-temperature-sensors-integrated-into-power-modules&usg=.
19. **J. Wang, Z. Shen, R. Burgos and D. Boroyevich.** Design of a high-bandwidth Rogowski current sensor for gate-drive shortcircuit protection of 1.7 kV SiC MOSFET power modules. *IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Blacksburg, VA, 2015, pp. 104-107*. [Online] 2015.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=7369315&isnumber=7369025>.
20. **Infineon.** *www.infineon.com*. [Online] 6 2014.
https://www.infineon.com/dgdl/Infineon-FF225R17ME4-DS-v02_04-EN.pdf?fileId=db3a30431ddc9372011e1c4df9f53c3d.
21. **Cree.** *www.wolfspeed.com*. [Online] 2018.
<https://www.wolfspeed.com/downloads/dl/file/id/185/product/102/cas300m17bm2.pdf>.
22. **KOUTNÝ, Jaroslav a Ivo VLK.** *eluc.kr-olomoucky.cz*. [Online] 2009.
<https://eluc.kr-olomoucky.cz/verejne/lekce/617>.
23. **Chucheng Xiao, Lingyin Zhao, T. Asada, W. G. Odendaal and J. D. van Wyk.,** An overview of integratable current sensor technologies. *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference, 2003., Salt Lake City, UT, USA*. [Online] 2003.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=1257710&isnumber=28117>.
24. **al., S. Mocevic et.** Comparison between desaturation sensing and Rogowski coil current sensing for shortcircuit protection of 1.2 kV, 300 A SiC MOSFET module. *2018 IEEE Applied Power Electronics Conference and Exposition (APEC), San Antonio, TX., [Online] 2018*.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=8341393&isnumber=8340970>.
25. **M. H. Samimi, A. Mahari, M. A. Farahnakian and H. Mohseni.** The Rogowski Coil Principles and Applications: A Review. *in IEEE Sensors Journal, vol. 15, no. 2, pp.* [Online] 2015.
<http://ieeexplore.ieee.org.ezproxy.techlib.cz/stamp/stamp.jsp?tp=&arnumber=6922615&isnumber=6962917>.

26. **V.Pankrác.** Pomocné texty k přednáškám z teorie elektromagnetického pole ZS,LS 2013/2014. [Online] 2013.
https://elmag.fel.cvut.cz/sites/default/files/users/pankrac/files/text_A1B17EMP.pdf.
27. **Hlavacek, Jan & Prochazka, Radek & Draxler, Karel & Kvasnicka, Vladislav.** The Rogowski Coil Design Software. . [Online] 2008.
https://www.researchgate.net/publication/242707361_The_Rogowski_Coil_Design_Software.
28. **Instruments, Texas.** High Accuracy AC Current Measurement Reference Design Using PCB Rogowski Coil Sensor. *www.ti.com*. [Online] 2016.
<http://www.ti.com/lit/ug/tidubv4a/tidubv4a.pdf>.
29. **Patočka, Miroslav.** *Magnetické jevy a obvody ve výkonové elektronice, měřicí technice a silnoproudé elektrotechnice*. Brno : 1.vydání VUTIUM, 2011. ISBN - 978-80-214-4003-6.
30. **Instruments, Texas.** TIDA-01063 Software Rogowski Coil Calculator. [Online] 2016. <http://www.ti.com/tool/TIDA-01063>.
31. **Helmut L. Votzi, Markus Vogelsberger and Hans Ertl.** Power Electronics Section, Vienna University of Technology, Austria helmut.votzi@tuwien.ac.at. *Low-Cost Current Sensor for Power Capacitors Based on a PCB Rogowski-Coil*. [Online] 2011.
https://publik.tuwien.ac.at/files/PubDat_197220.pdf.
32. **instruments, Texas.** *ww.ti.com*. [Online] 12 2019.
<http://www.ti.com/lit/ds/slusd78b/slusd78b.pdf>.
33. **Instruments, Texas.** *www.ti.com*. [Online] 07 2019.
<http://www.ti.com/lit/ds/sllsep9h/sllsep9h.pdf>.
34. **Elektronik, Würth.** *www.we-online.de*. [Online] <https://www.we-online.de/catalog/datasheet/750313734.pdf>.
35. **Instruments, Texas.** tps3700-q1. *www.ti.com*. [Online] 7 2017.
<http://www.ti.com/lit/ds/symlink/tps3700-q1.pdf>.
36. —. slua863a. *www.ti.com*. [Online] 3 2019.
<http://www.ti.com/lit/an/slua863a/slua863a.pdf>.
37. **Cree.** *www.wolfspeed.com*. [Online] 05 2018.
<https://www.wolfspeed.com/downloads/dl/file/id/1238/product/286/c2m0080170p.pdf>.
38. **Instruments, Texas.** sn74lvc1g175. *www.ti.com*. [Online] 06 2015.
<http://www.ti.com/lit/ds/symlink/sn74lvc1g175.pdf>.
39. —. sn74lvc1g08. *www.ti.com*. [Online] 05 2019.
<http://www.ti.com/lit/ds/symlink/sn74lvc1g08.pdf>.
40. —. UCC21750QDWEVM-025. *www.ti.com*. [Online] 05 2019.
<http://www.ti.com/tool/UCC21750QDWEVM-025>.

Příloha č. 1

```
In[1140]:= Quiet@Remove["Global`*"];
$HistoryLength = 2;
SetDirectory[NotebookDirectory[]];
```

Zadane parametry

```
In[1143]:= Nzavity = 96; (*maximalni pocet zavitu*)
μ0 = 4 * Pi * 10^-7; (*permeabilita vakua*)
h = 1.5 * 10^-3; (*m, tloustka PCB*)
a = 10 * 10^-3; (*m, vnitřni polomer*)
b = 16 * 10^-3; (*m, vnější polomer*)
f = 100000; (*Hz, frekvence vstupního proudu*)
Imax = 107; (*A, maximalni proud RMS*)
Umax = 0.6; (*V, výstupní napětí cívky RMS*)
mils = 2.54 * 10^-5;
vh = 8 * mils; (*průměr vřtaného otvoru*)
vp = 20 * mils; (*průměr pájecí plošky *)
oz = 1.37 * mils; (*tloušťka medene vrstvy*)
dh = 1 * oz;
dw = 8 * mils;
ρ = 1.68 * 10^-8; (*Ωm, rezistivita medi*)
dl = b - a;
```

Zmerene parametry

```
Lzmerena = 1.42 * 10^-6;
Czmerena = 13.76 * 10^-12;
Rzmereny = 3.23;
frezonancni = 36.1 * 10^6; (*Hz*)
Solve[frezonancni ==  $\frac{1}{2 * Pi * \sqrt{Lzmerena * Cpom}}$ , Cpom];
```

Zmerene parametry - stinena

```
Ls = 1.42 * 10^-6;
Cs = 22.75 * 10^-12;
Rs = 3.48;
frezonancni = 27.6 * 10^6; (*Hz*)
Solve[frezonancni ==  $\frac{1}{2 * Pi * \sqrt{Lzmerena * Cpom}}$ , Cpom];
```

Vzajemna indukcnost - vypoctena

```
In[1167]:= M = Nzavity *  $\frac{\mu_0 * h}{2 * Pi}$  * Log[ $\frac{b}{a}$ ]; (*H*)
```

Vzajemna indukcnost pro zadane parametry

```
In[1168]:= Mpotrebna =  $\frac{\frac{Umax}{\sqrt{2}} * 1.}{4.44 * f * \frac{Imax}{\sqrt{2}}}$ ; (*H*)
```

vlastni indukcnost pro zadane parametry

```
In[1169]:= L = Nzavity^2 *  $\frac{\mu_0 * h}{2 * Pi}$  * Log[ $\frac{b}{a}$ ]; (*H*)
```

Vypocet odporu vinuti cívky

```
In[1170]:= R = 2 * Nzavity * 2 *  $\left(\rho * \frac{dl}{dw * dh}\right)$ ; (*H*)
```

Vypocet TF function

```
ts = TransferFunctionModel[  
  {{ $\frac{1}{Ls * Cs * (s^2 + s * \frac{1}{Ls + Cs} * (\frac{Ls}{Rd} + Cs * Rs)) + \frac{1}{Ls + Cs} * \frac{Rd + Rs}{Rd}}$ }}, s]; (* $\frac{Vo(s)}{Vin(s)}$ *)  
tsSol = ts /. Rd -> 122;  
BodePlot[tsSol[{2 Pi f}], {f, 1000, 10^9}, GridLines -> Automatic];
```

rezonancni frekvence

```
In[1174]:= f0 =  $\frac{1}{2 * Pi * \sqrt{Ls * Cs}}$  *  $\sqrt{\frac{Rd + Rs}{Rd}}$  /. Rd -> 122;  
fres =  $\frac{1}{2 * Pi * \sqrt{Ls * Cs}}$ ;
```

damping factor

```
ε =  $\frac{1}{2 * \sqrt{Ls * Cs}}$  *  $\sqrt{\frac{Rd}{Rd + Rs}}$  *  $\left(\frac{Ls}{Rd} + Cs * Rs\right)$ ;  
Rdsol = Solve[1 == ε, Rd];
```

prenos cívky s Rd odporem

```
Gs = TransferFunctionModel[{{ $\frac{M * s}{Ls * Cs * s^2 + (\frac{Ls}{Rd} + Rs * Cs) * s + (1 + \frac{Rs}{Rd})}$ }}, s];
```

```
Gs2 = TransferFunctionModel[{{ $\frac{M * \frac{Rd}{Rd + Rs} * s}{\frac{Rd + Ls + Cs}{Rd + Rs} * s^2 + (\frac{Ls}{Rd + Rs} + \frac{Rs + Cs * Rd}{Rd + Rs}) * s + 1}$ }}, s];  
GsSol = Gs /. Rd -> 122;  
GsSol2 = Gs2 /. Rd -> 122;
```

```
In[1182]:= BodePlot[GsSol[{2 Pi f}], {f, 1000, 10^9}, GridLines -> Automatic];  
BodePlot[GsSol2[{2 Pi f}], {f, 1000, 10^9}, GridLines -> Automatic];
```

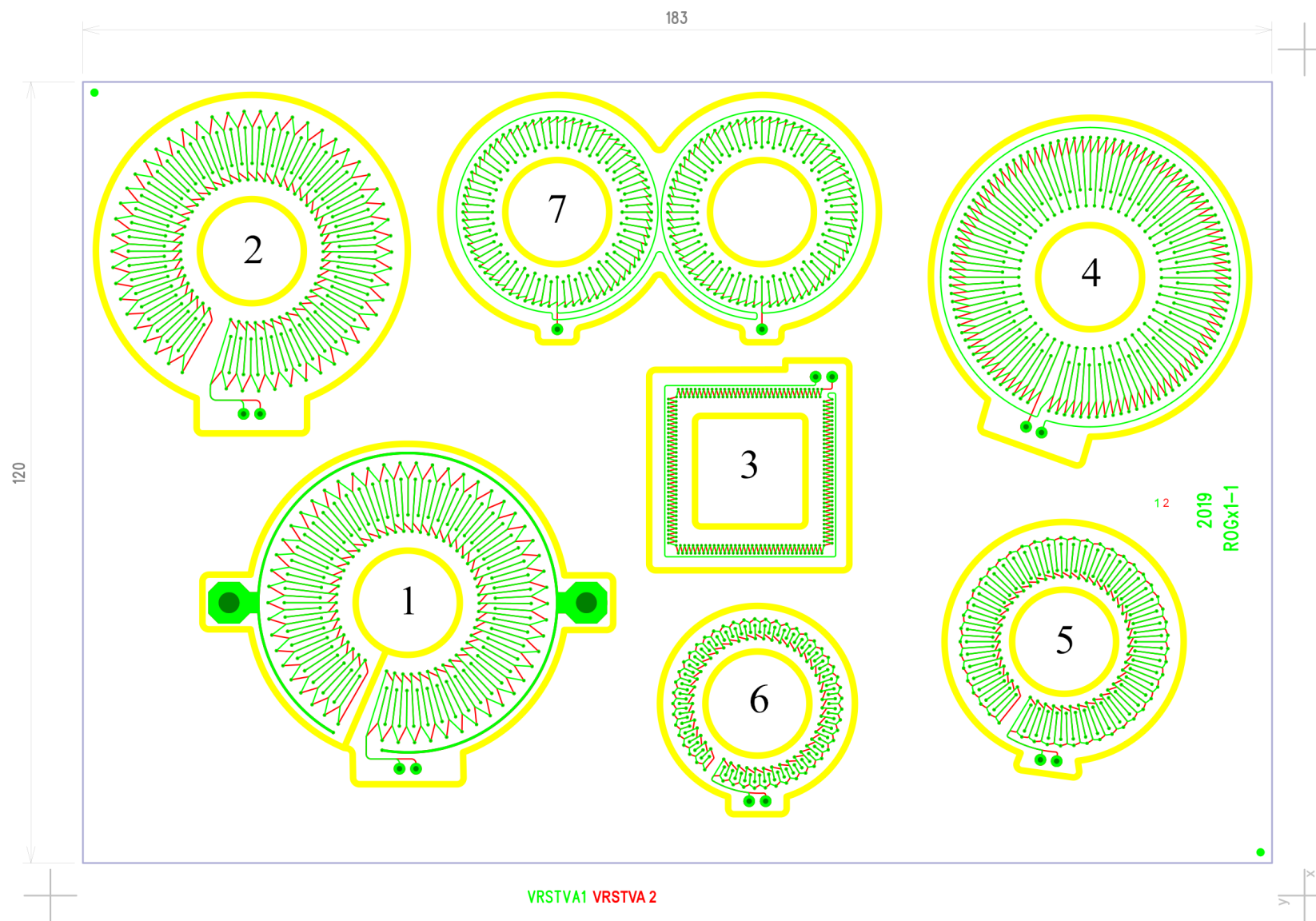
INTEGRATOR

```
In[1184]:= R1 = 8200;  
C1 = 1 * 10^-9;  
τ1 = R1 * C1;  
f1 =  $\frac{1}{2 * Pi * τ1}$ ;  
GRC = TransferFunctionModel[{{ $\frac{1}{(1 + R1 * C1 * s)}$ }}, s];  
BodePlot[GRC[{2 Pi f}], {f, 100, 10^9}, GridLines -> Automatic];
```

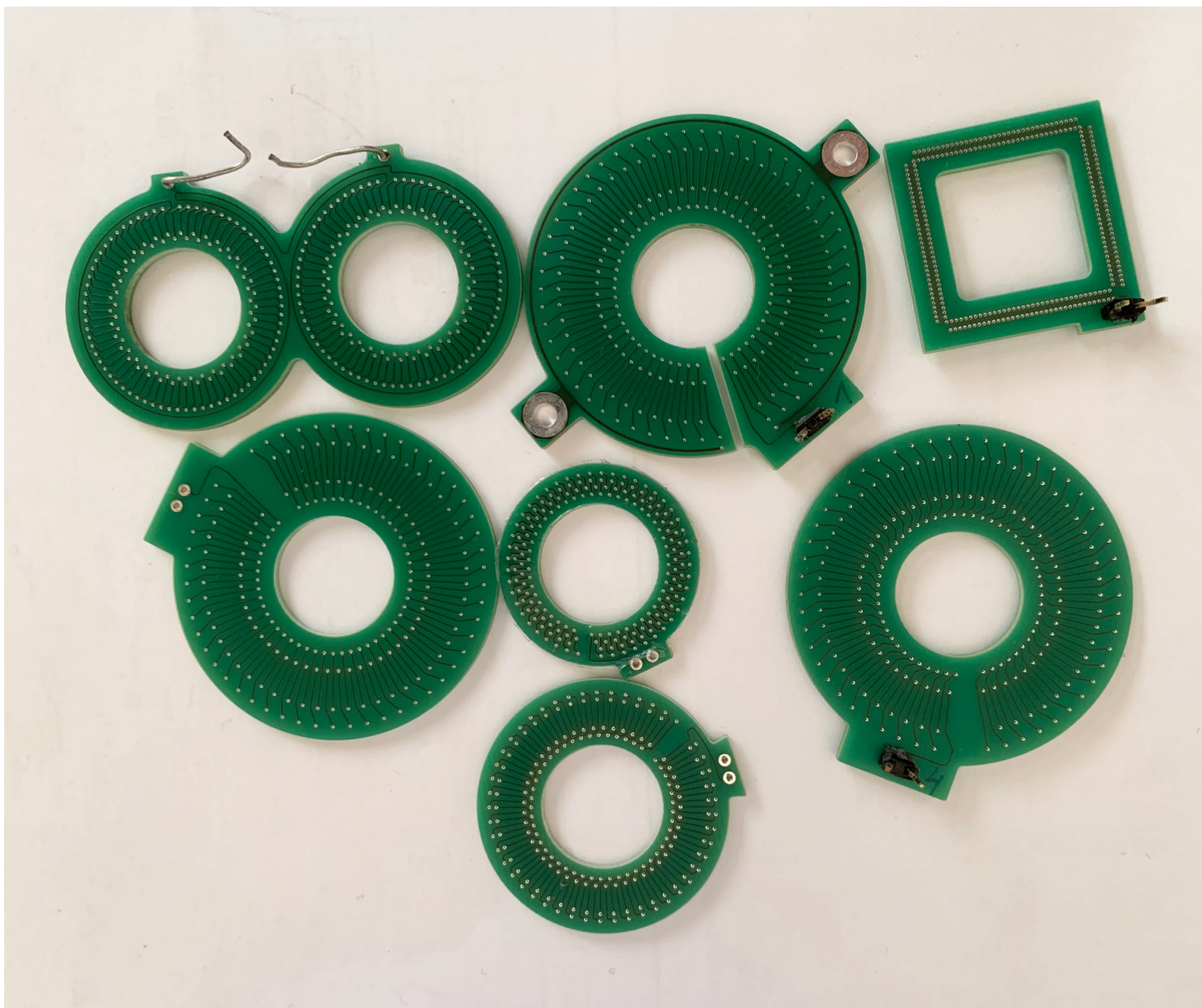
prenos ceheho zapojeni

```
In[1190]:= GRogRC = TransferFunctionModel[  
  {{ $\frac{M * \frac{Rd}{Rd + Rs} * s}{\frac{Rd + Ls + Cs}{Rd + Rs} * s^2 + (\frac{Ls}{Rd + Rs} + \frac{Rs + Cs * Rd}{Rd + Rs}) * s + 1} * \frac{1}{(1 + R1 * C1 * s)}}$ }}, s];  
GRogRCSol = GRogRC /. Rd -> 122;  
BodePlot[GRogRCSol[{2 Pi f}], {f, 1000, 10^9}, GridLines -> Automatic];
```

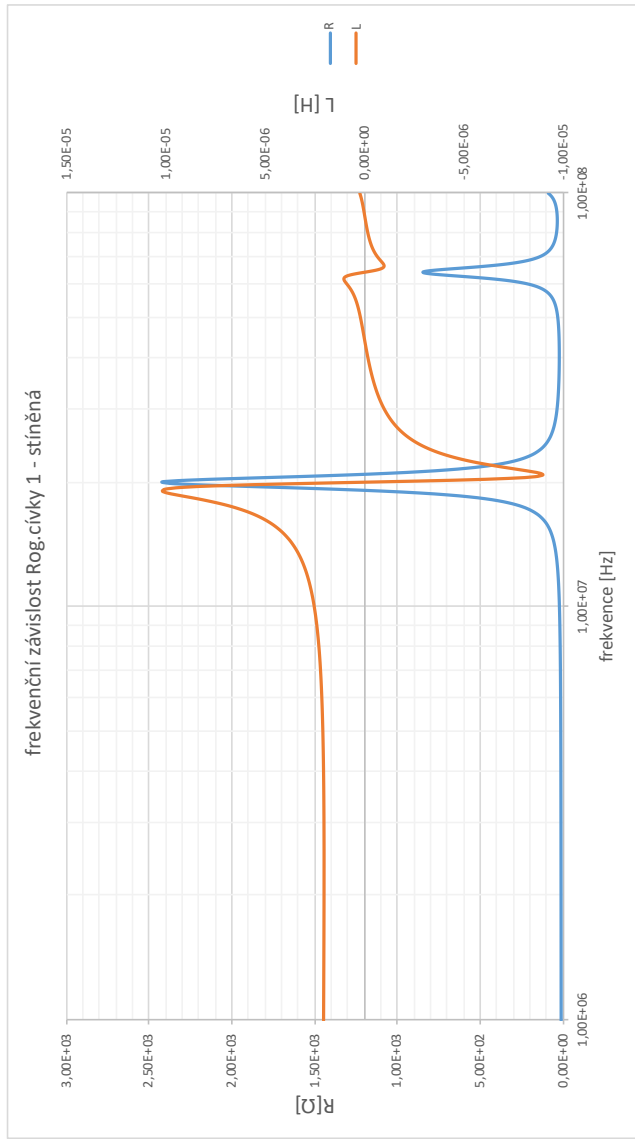
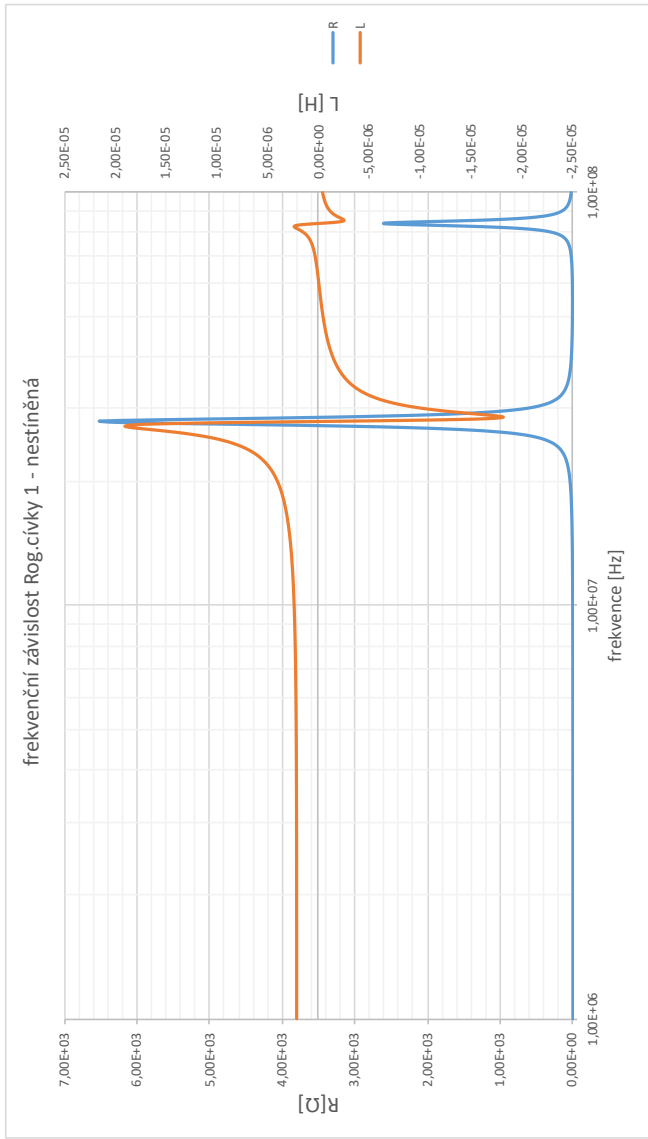
Příloha č. 2

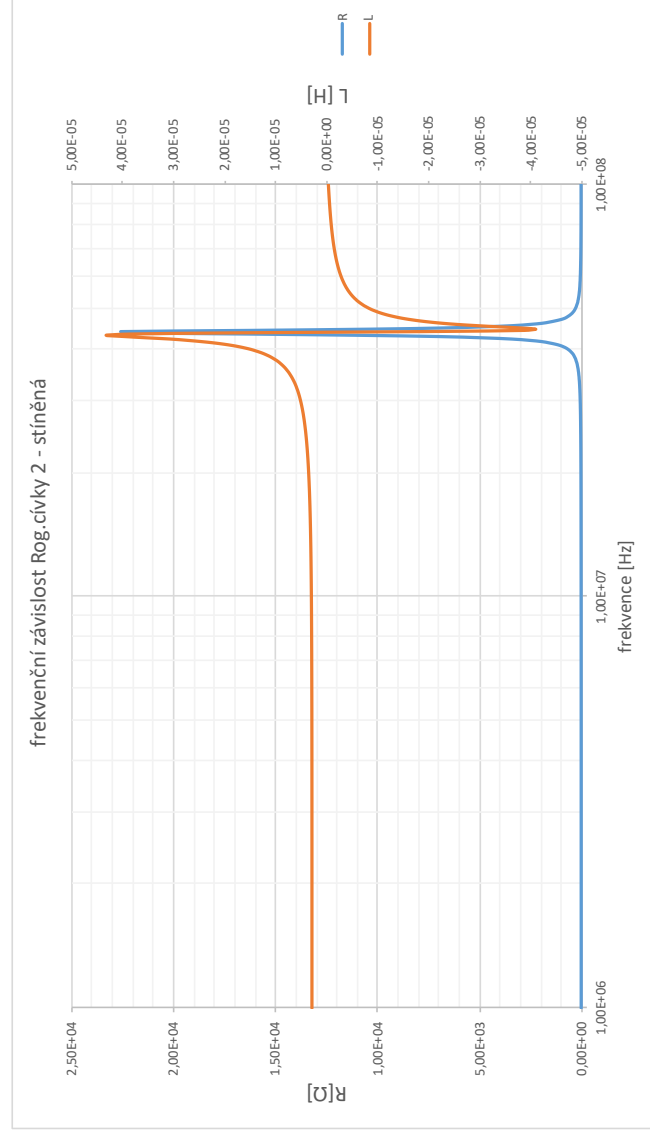
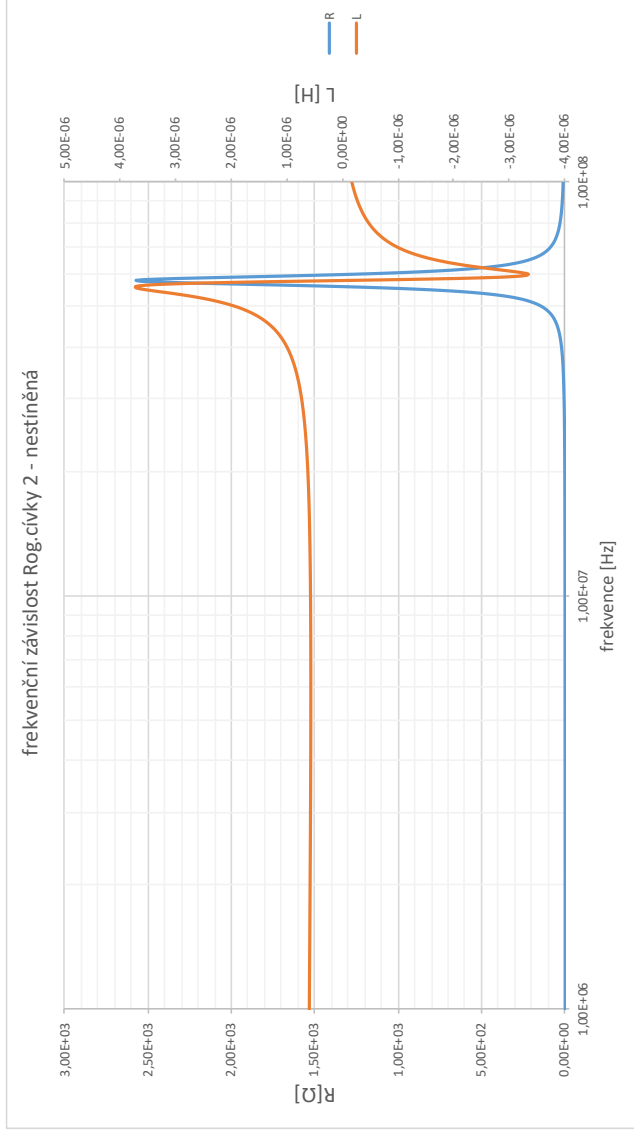


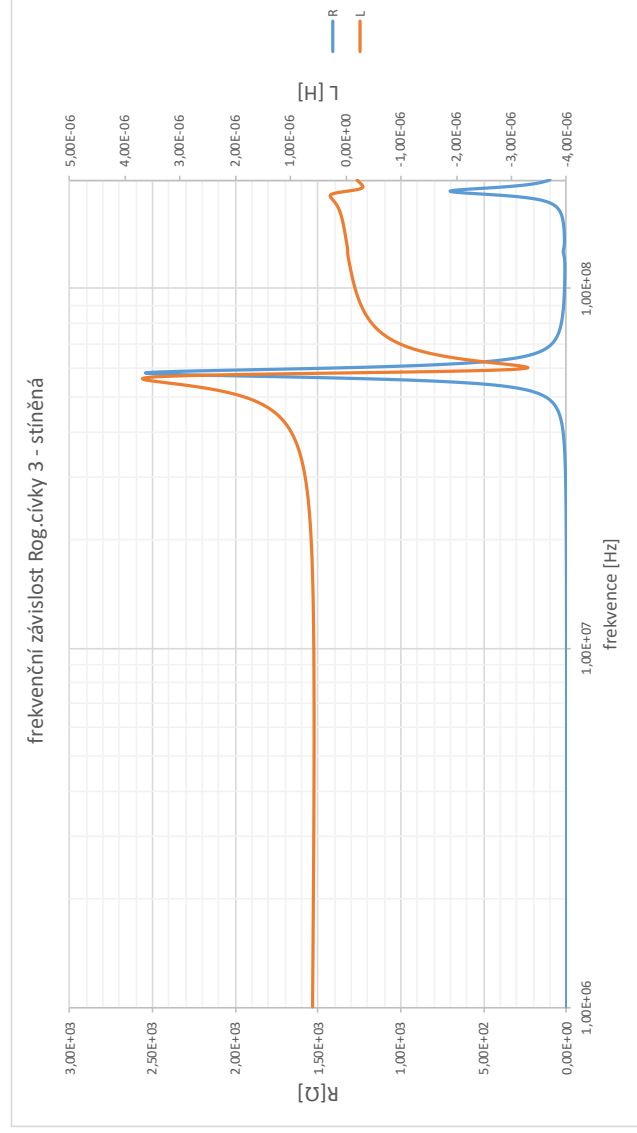
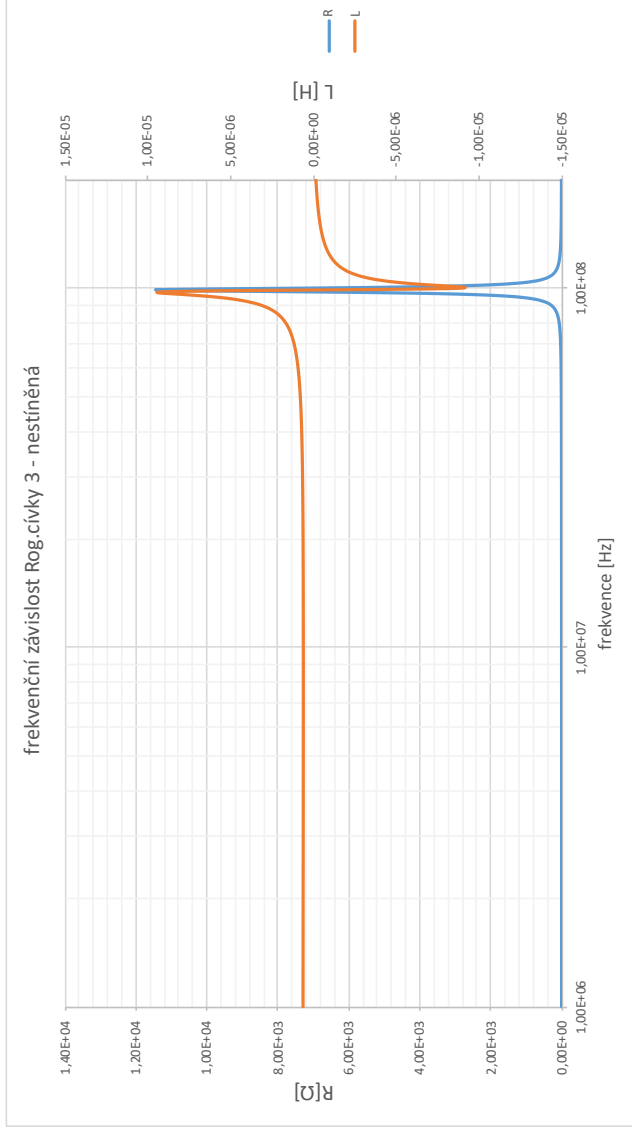
Příloha č. 3

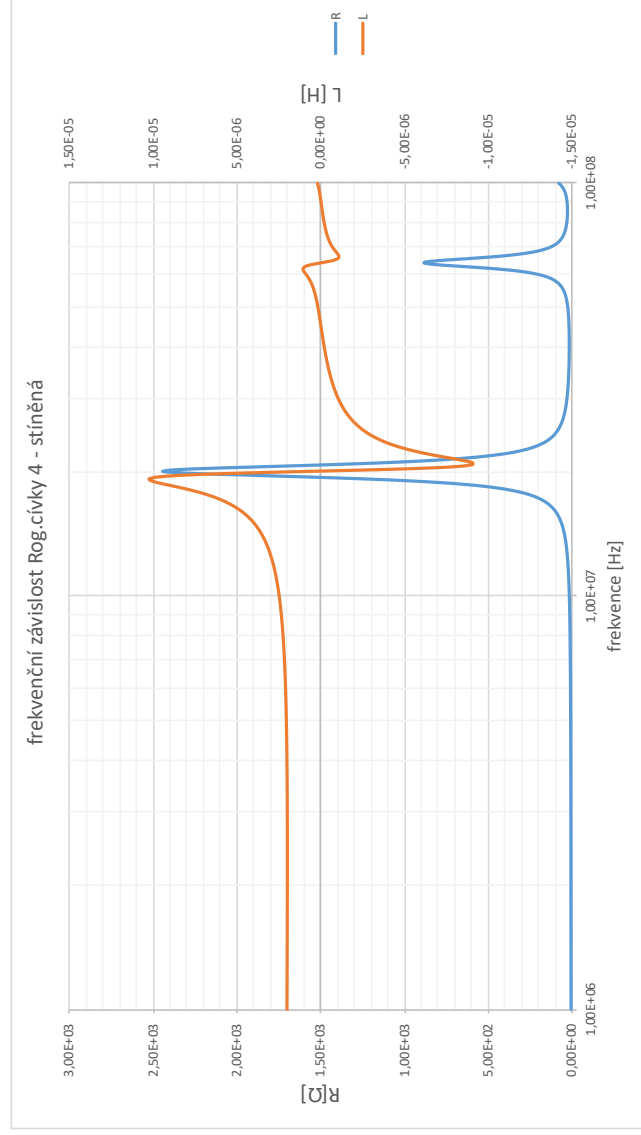
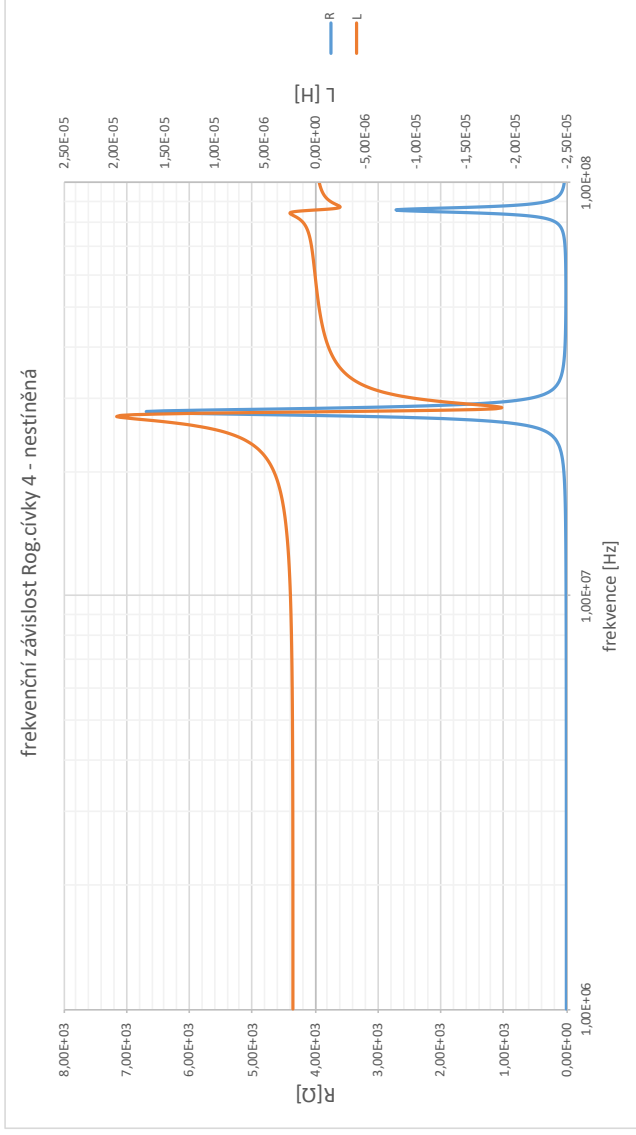


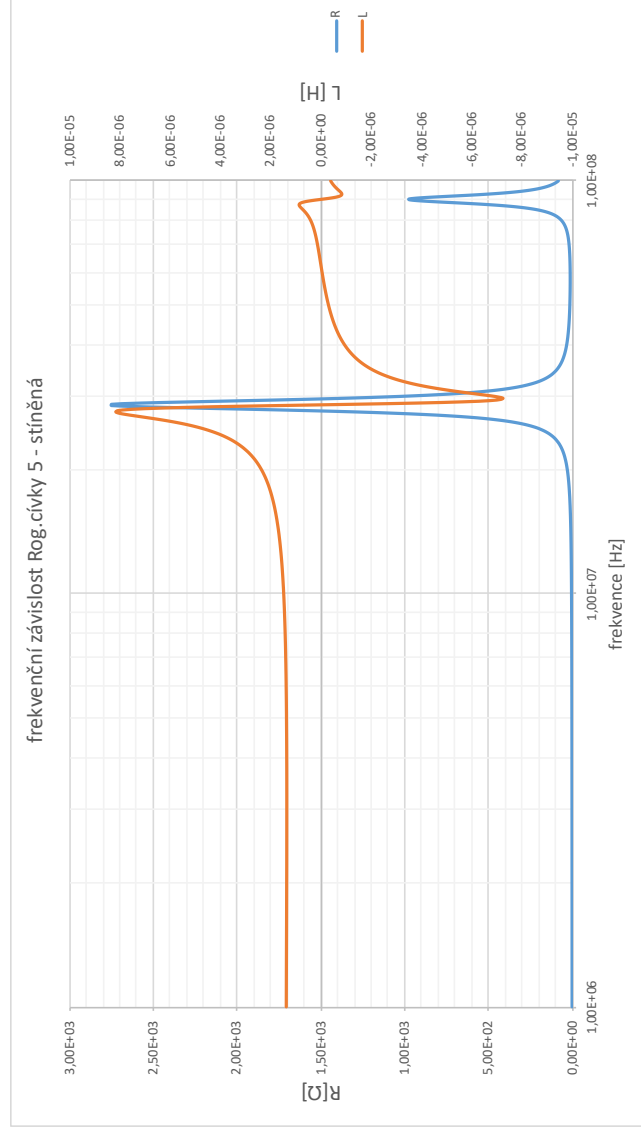
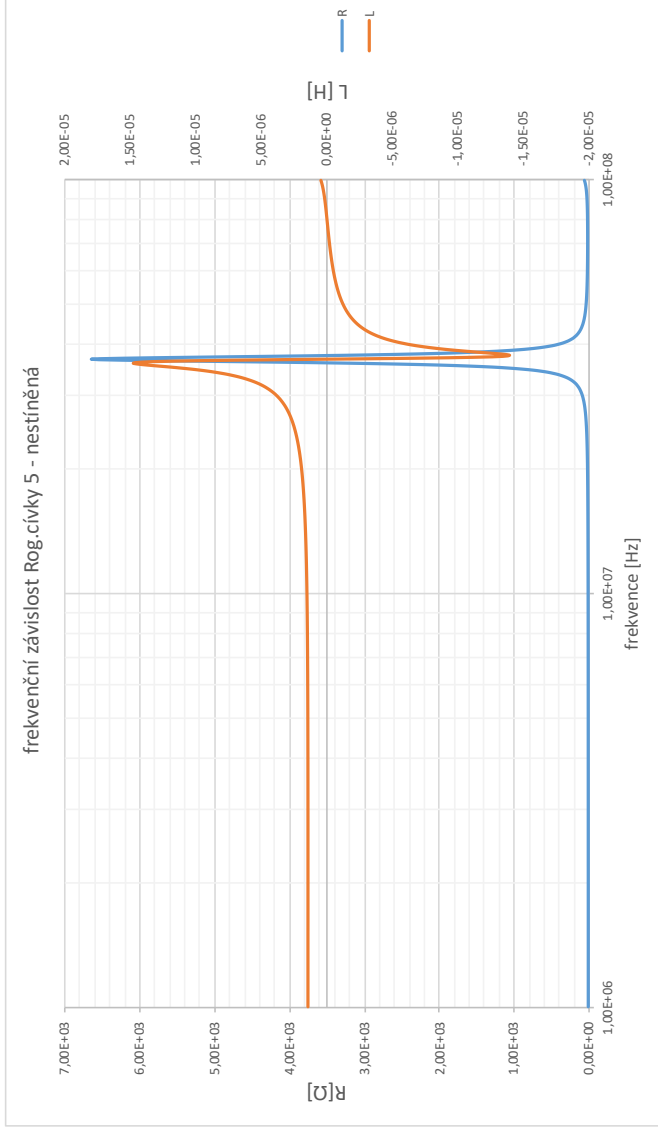
Příloha č. 4

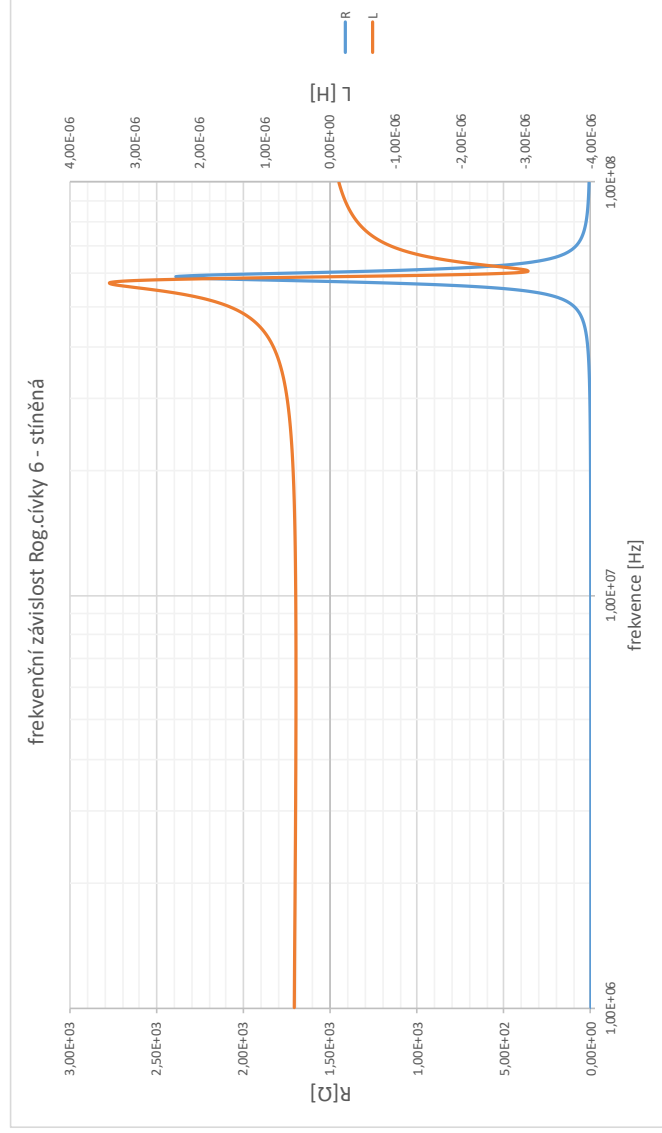
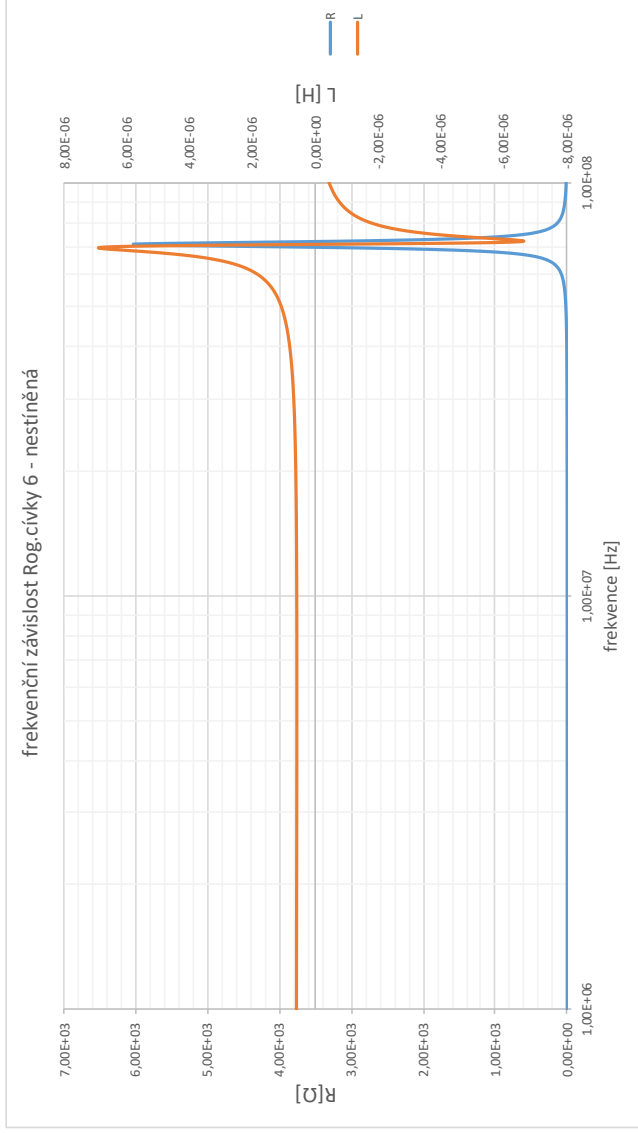




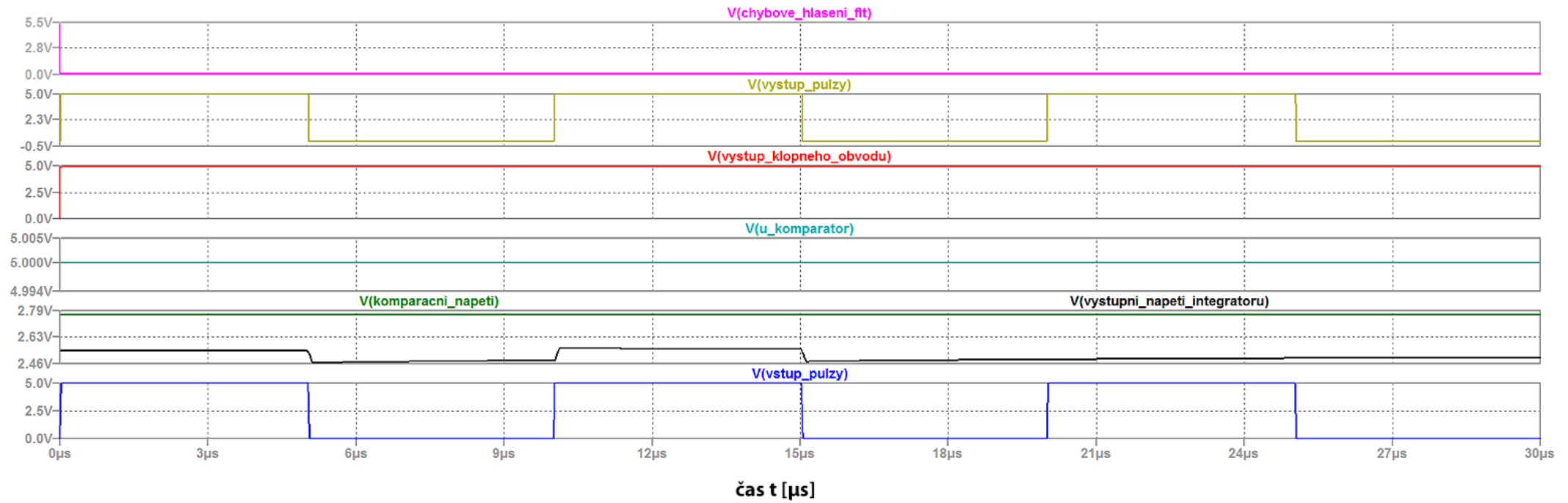




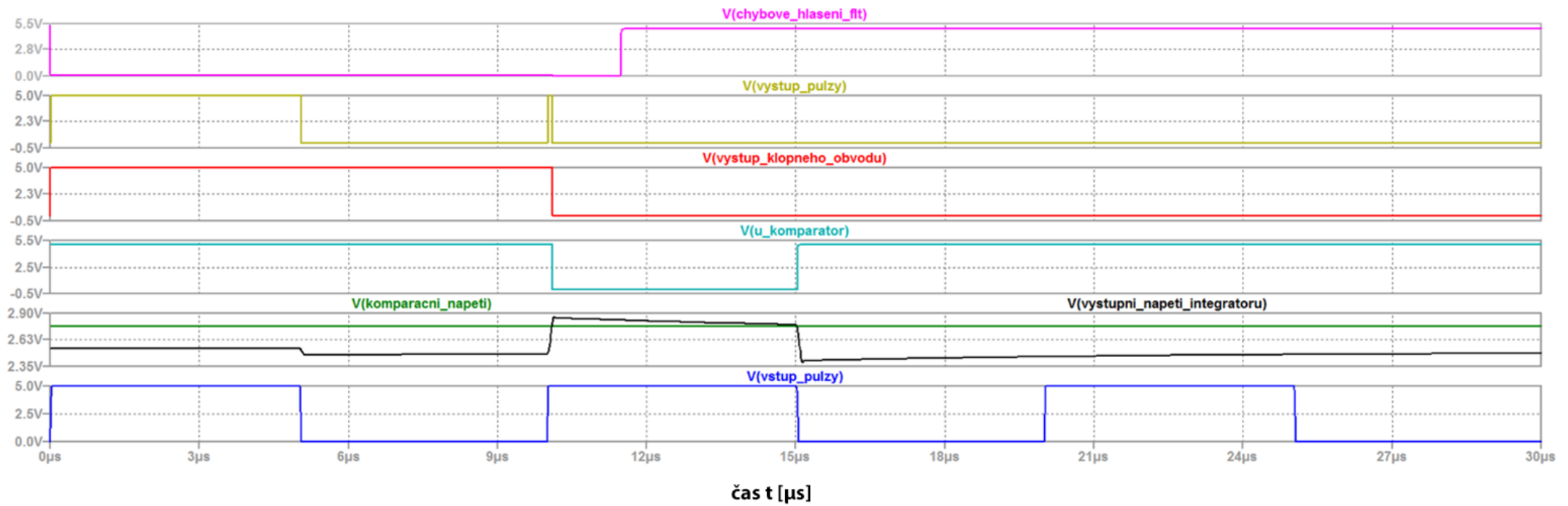




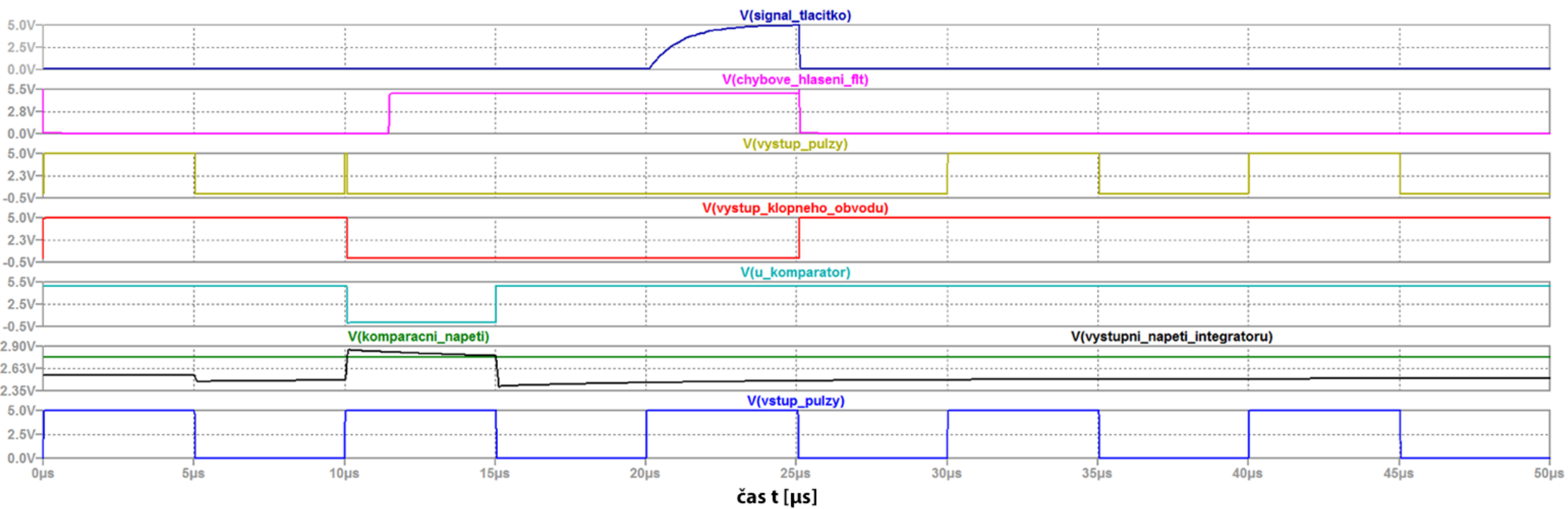
1. PRACOVNÍ STAV



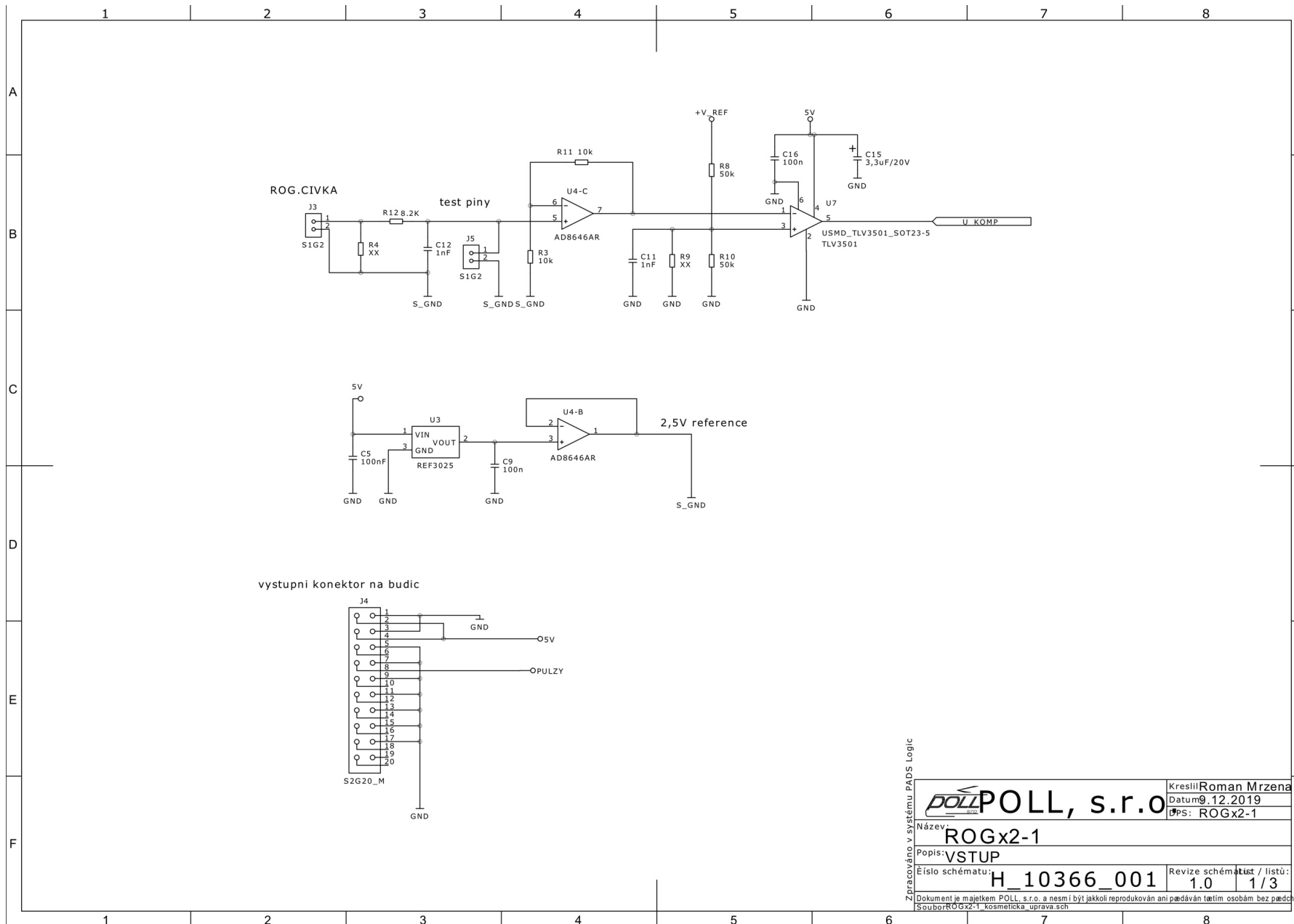
2. PORUCHOVÝ STAV



3. RESETOVACÍ STAV

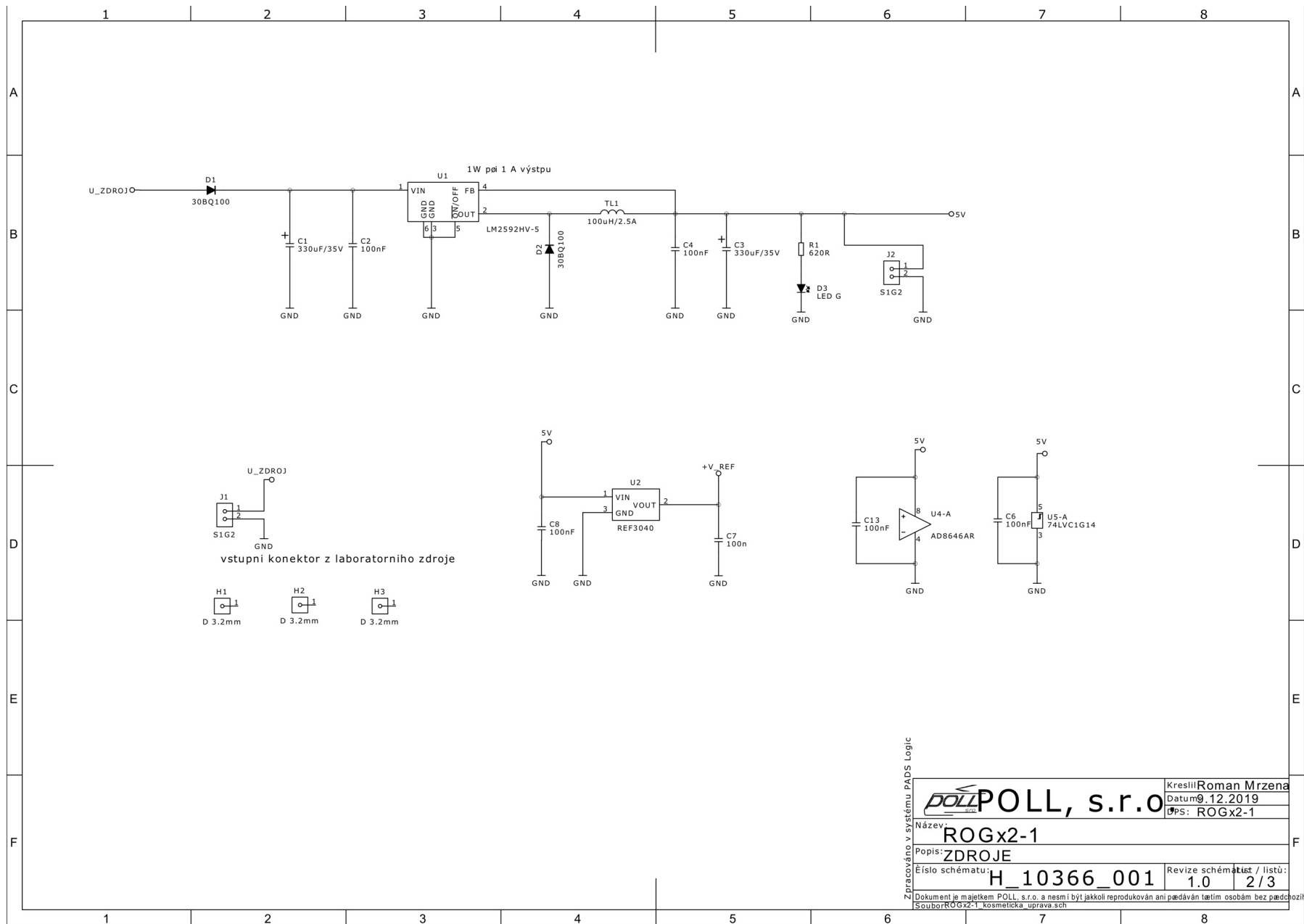


Příloha č. 8



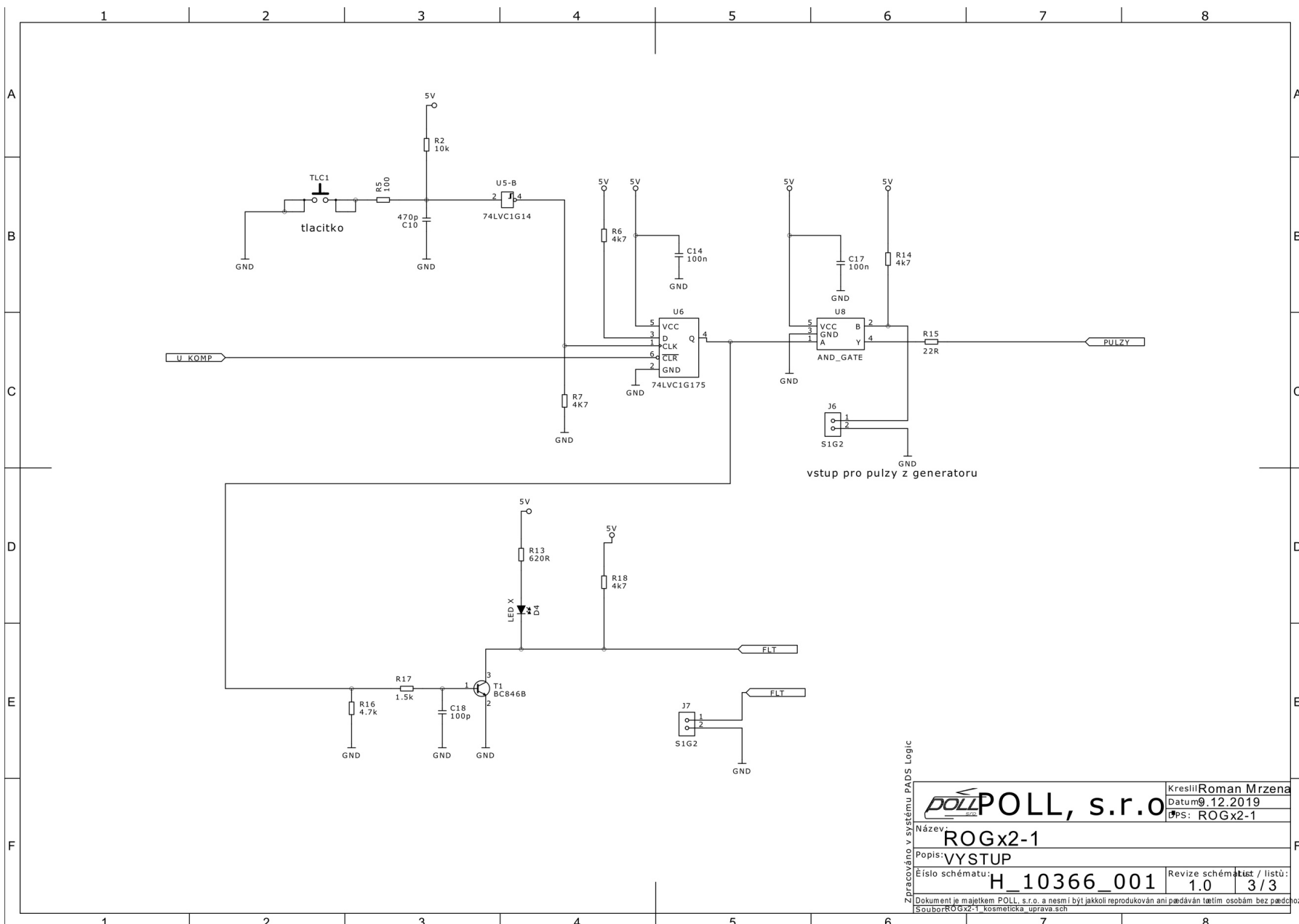
Zpracováno v systému PADS Logic

POLL POLL, s.r.o.		Kreslil: Roman Mrzena
Datum: 9.12.2019		PS: ROGx2-1
Název: ROGx2-1		
Popis: VSTUP		
Číslo schématu: H 10366 001	Revize schématu: 1.0	List / listů: 1 / 3
<small>Dokument je majetkem POLL, s.r.o. a nesmí být jakkoli reprodukován ani předáván třetím osobám bez předchozího souhlasu. Soubor: ROGx2-1_kosmeticka_uprava.sch</small>		



Zpracováno v systému PADS Logic

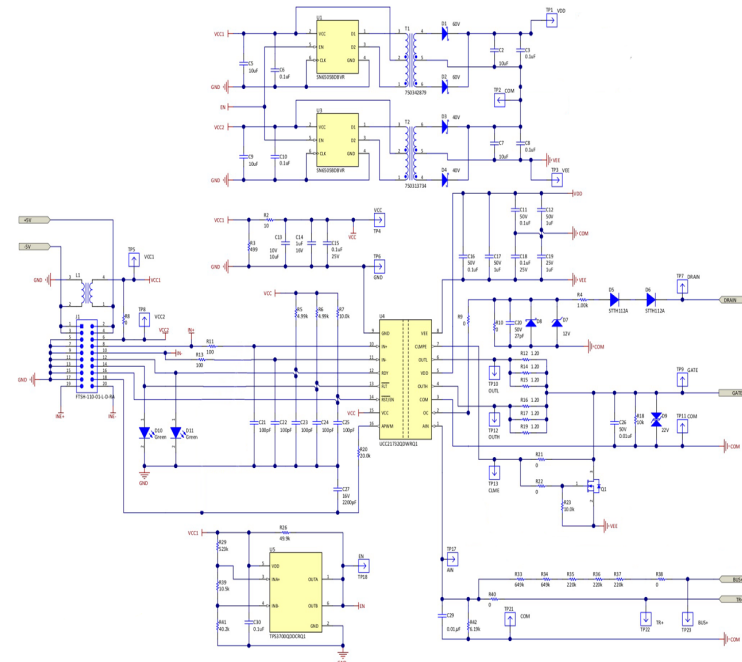
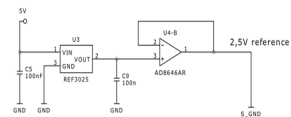
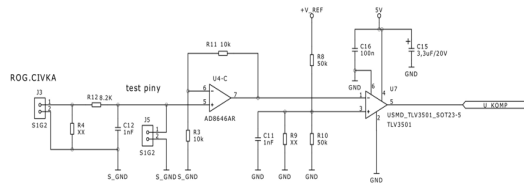
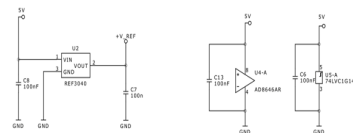
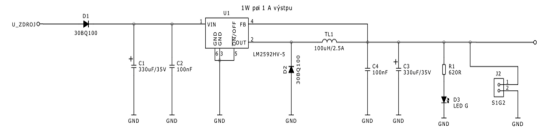
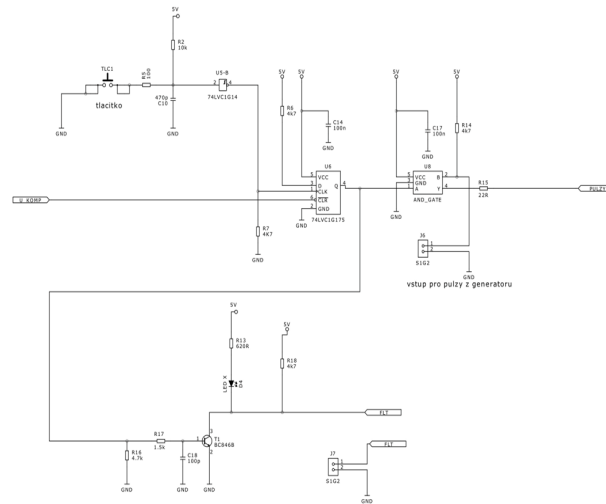
POLL, s.r.o.		Kreslí: Roman Mrzena	
		Datum: 9.12.2019	
Název: ROGx2-1		Číslo schématu: H_10366_001	
Popis: ZDROJE		Revize schématu: 1.0	
Dokument je majetkem POLL, s.r.o. a nesmí být jakkoli reprodukován ani předáván třetím osobám bez předchozího souhlasu.		List / listů: 2 / 3	



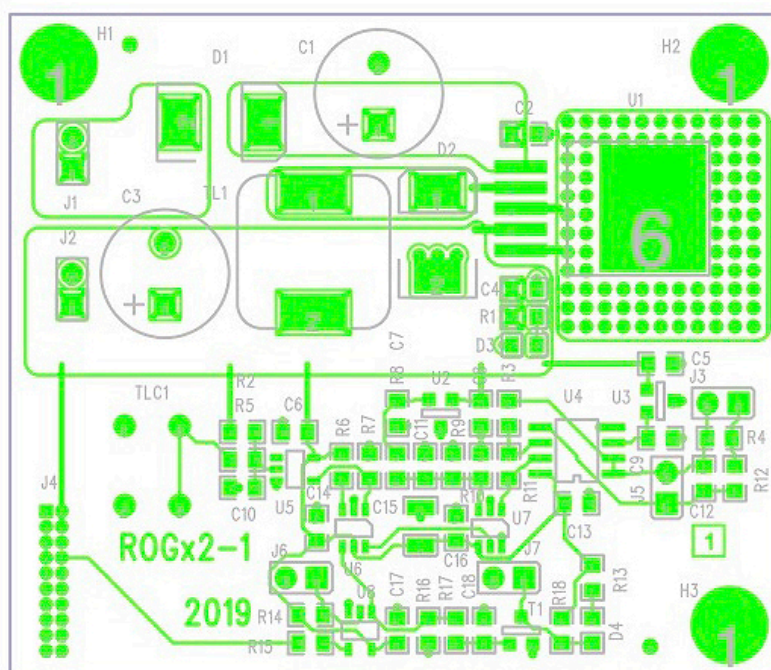
Zpracováno v systému PADS Logic

POLL, s.r.o.		Kreslil: Roman Mrzena
Datum: 9.12.2019		DPS: ROGx2-1
Název: ROGx2-1		
Popis: VYSTUP		
Číslo schématu: H_10366_001	Revize schématu: 1.0	List / listů: 3 / 3
<small>Dokument je majetkem POLL, s.r.o. a nesmí být jakkoli reprodukován ani předáván třetím osobám bez předchozího souhlasu. Soubor: ROGx2-1_kosmeticka_uprava.sch</small>		

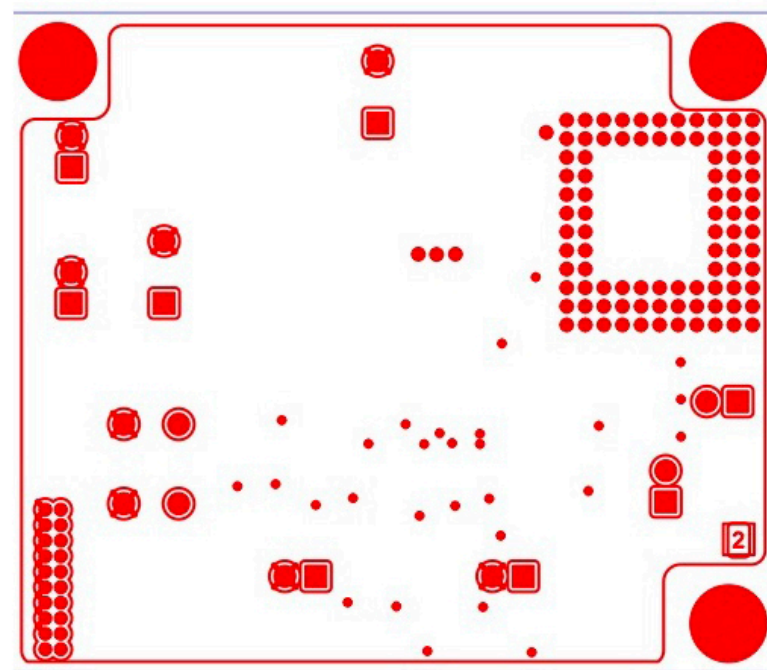
Příloha č. 9



Příloha č. 10



VRSTVA1



VRSTVA2