

České vysoké učení technické v Praze  
Fakulta elektrotechnická  
Katedra mikroelektroniky

Externí USB zvuková karta

External USB sound card

Diplomová práce

Lukáš Kroulík

Květen 2019

Studijní program: Elektronika a komunikace  
Studijní obor: Elektronika

Vedoucí práce: doc. Ing. Petr Skalický, CSc.,  
katedra radioelektroniky FEL

## I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Kroulík** Jméno: **Lukáš** Osobní číslo: **371742**  
Fakulta/ústav: **Fakulta elektrotechnická**  
Zadávající katedra/ústav: **Katedra mikroelektroniky**  
Studijní program: **Elektronika a komunikace**  
Studijní obor: **Elektronika**

## II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

**Externí USB zvuková karta**

Název diplomové práce anglicky:

**External USB sound card**

Pokyny pro vypracování:

Navrhněte a ověřte formou funkčního vzorku externí USB zvukovou kartu se dvěma kanály. Při návrhu ověřte použití převodníku SAR, který primárně není předurčen pro zpracování zvukového signálu na místo A/D sigma-delta převodníku.

Seznam doporučené literatury:

Cortex-M7 Procesor – ARM [online]. ARM Ltd. [cit. 2016.04.15]. Dostupné z: <https://www.arm.com/products/processors/cortex-m/cortex-m7-processor.php>  
Xilinx Inc. : Programmable Logic Design – Quick Start Hand Book.  
Skalický P.: Číslicové systémy v radiotechnice, Skriptum. Vydavatelství ČVUT, Praha 2003

Jméno a pracoviště vedoucí(ho) diplomové práce:

**doc. Ing. Petr Skalický, CSc., katedra radioelektroniky FEL**

Jméno a pracoviště druhého(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **15.02.2019** Termín odevzdání diplomové práce: **24.05.2019**

Platnost zadání diplomové práce: **20.09.2020**

\_\_\_\_\_  
doc. Ing. Petr Skalický, CSc.  
podpis vedoucí(ho) práce

\_\_\_\_\_  
podpis vedoucí(ho) ústavu/katedry

\_\_\_\_\_  
prof. Ing. Pavel Ripka, CSc.  
podpis děkana(ky)

## III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

\_\_\_\_\_  
Datum převzetí zadání

\_\_\_\_\_  
Podpis studenta

# Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne 24. května 2019

.....  
Lukáš Kroulík

# Poděkování

Chci poděkovat vedoucímu své práce, doc. Ing. Petrovi Skalickému, CSc. za to, že mi umožnil věnovat se tématu podle mého zájmu a že projevoval velkou důvěru v moje schopnosti.

Dále chci poděkovat především kolegům z mého zaměstnání, kteří si vždy najdou chvíli pro přátelský rozhovor nejen o elektronice.

# Abstrakt

Pro záznam a reprodukci zvuku s využitím počítače je potřeba zařízení pro převod signálu mezi analogovou a digitální doménou. Tato práce se zabývá návrhem takového přístroje, nazývaného zvuková karta. Je popsán celý postup vývoje hardwaru, od počátečního konceptu až po detailní řešení jednotlivých obvodů. Zařízení je k počítači připojeno prostřednictvím USB rozhraní a má symetrické stereo vstupy a výstupy pro analogový signál linkové úrovně. Pro digitalizaci signálu byl použit moderní AD převodník s postupnou aproximací za účelem ověření jeho vlastností v audio aplikaci. Přístroj dále obsahuje sigma-delta DA převodník a zesilovač pro sluchátka. V závěru práce je nastíněn další postup vývoje, týkající se zejména firmwaru použitého mikrokontroléru. Navržený hardware má kvalitativní potenciál konkurovat profesionálním zařízením.

**Klíčová slova:** audio, zvuková technika, USB rozhraní, AD převodník, SAR, DA převodník, analogové obvody

# Abstract

For recording and playback of sound with the use of a computer, a device to interface between analog and digital domain is needed. This thesis deals with the design of such an instrument, called a sound card. The whole process of hardware development is described, from the initial concept to the detailed description of implementation of individual circuits. The device is connected to the computer using USB interface and has symmetrical stereo inputs and outputs for analog line level signals. For signal digitization, a modern successive approximation AD converter was used to verify its performance in an audio application. The instrument also contains sigma-delta DA converter and a headphone amplifier. In the conclusion, there are outlined the next steps of a future development especially concerning the firmware of the used microcontroller. The proposed hardware has the qualitative potential to compete with professional devices.

**Keywords:** audio, sound equipment, USB interface, AD converter, SAR, DA converter, analog circuits



# Obsah

<b>1</b>	<b>Úvod</b>	<b>1</b>
<b>2</b>	<b>Systémový návrh zařízení</b>	<b>3</b>
<b>3</b>	<b>Návrh digitální části</b>	<b>7</b>
3.1	Výběr mikrokontroléru . . . . .	7
3.2	Propojení AD převodníků s mikrokontrolérem . . . . .	8
3.3	Oscilátory a rozvod hodinových signálů . . . . .	12
<b>4</b>	<b>Návrh analogových obvodů</b>	<b>15</b>
4.1	Požadavky na analogovou část zařízení . . . . .	15
4.2	Vstupní část (frontend) pro AD převodník . . . . .	15
4.2.1	Driver pro AD převodník . . . . .	15
4.2.2	Vstupní předzesilovač . . . . .	22
4.2.3	Zhodnocení navrženého frontendu . . . . .	38
4.3	Výstupní filtr pro DA převodník . . . . .	39
4.4	Zesilovač pro sluchátka . . . . .	42
<b>5</b>	<b>Návrh napájecích zdrojů</b>	<b>43</b>
5.1	Požadavky na napájecí zdroje . . . . .	43
5.2	Napájecí zdroj pro operační zesilovače . . . . .	43
5.3	Zdroj pro napájení digitálních obvodů . . . . .	51
5.4	Vstupní část napájecího systému . . . . .	53
5.5	Ostatní napájecí zdroje . . . . .	57
5.6	Celkový popis činnosti napájecího systému . . . . .	58
<b>6</b>	<b>Praktická realizace přístroje</b>	<b>59</b>
<b>7</b>	<b>Závěr</b>	<b>63</b>
	<b>Použitá literatura</b>	<b>65</b>
<b>A</b>	<b>Schéma zapojení zvukové karty</b>	<b>69</b>
<b>B</b>	<b>Výkresy desky plošných spojů</b>	<b>81</b>
<b>C</b>	<b>Zdrojový kód konfigurace CPLD</b>	<b>87</b>
<b>D</b>	<b>Výpočet optimálního snubberu</b>	<b>89</b>

# Obsah přiloženého CD

- Tato práce ve formátu PDF
- Výrobní data pro navrženou desku plošných spojů



# Seznam obrázků

1.1	Zvukové rozhraní ADI-2 Pro FS německého výrobce RME . . . . .	2
2.1	Blokové schéma zapojení navrženého přístroje . . . . .	4
2.2	Výstupní amplitudové spektrum AD převodníku AD4003 při buzení harmonickým signálem . . . . .	5
3.1	Průběh komunikace s převodníkem AD4003 . . . . .	9
3.2	Blokové schéma propojení AD převodníků, CPLD a FlexIO periferie v mikrokontroléru . . . . .	10
3.3	RTL schéma zapojení implementovaného v CPLD . . . . .	10
3.4	Časový diagram navrženého způsobu přenosu dat z AD převodníků do mikrokontroléru . . . . .	11
3.5	Blokové schéma zapojení systému pro generování a rozvod hodinových signálů . . . . .	13
4.1	Blokové schéma zapojení analogové vstupní a výstupní části přístroje	16
4.2	Schéma zapojení pro kompenzaci kapacitní zátěže operačního zesilovače . . . . .	17
4.3	Schéma zapojení zvolené topologie low-pass filtru a driveru AD převodníku . . . . .	17
4.4	Závislost harmonického zkreslení (THD) převodníku AD4003 na frekvenci a vnitřní rezistanci zdroje signálu . . . . .	18
4.5	Spektrální hustota šumového napětí jednotlivých zdrojů šumu filtru v závislosti na frekvenci při různé maximální velikosti šumového zisku . . . . .	20
4.6	Finální zapojení antialiasingového filtru a driveru AD převodníku	21
4.7	Jedno z možných řešení vstupního předzesilovače, použití dvou operačních zesilovačů v neinvertujícím zapojení . . . . .	22
4.8	Schéma zapojení symetrického mikrofonního předzesilovače s proudovou zpětnou vazbou . . . . .	23
4.9	Další varianta zapojení mikrofonního předzesilovače s proudovou zpětnou vazbou . . . . .	24
4.10	Schéma zapojení zvolené topologie vstupního předzesilovače . . . . .	25
4.11	Ekvivalentní malosignálové zapojení poloviny předzesilovače . . . . .	26
4.12	Ekvivalentní znázornění transimpedance zesilovače . . . . .	28
4.13	T-model JFET tranzistoru s vnitřním dynamickým odporem $r_o$ . . . . .	28
4.14	Ekvivalentní zapojení zesilovače pro šumovou analýzu . . . . .	29
4.15	Závislost šumového čísla tranzistoru 2SK209 na proudu drainu . . . . .	31

4.16	Převodní charakteristika tranzistoru 2SK209 . . . . .	32
4.17	Schéma simulačního zapojení pro měření zesílení ve smyčce zpětné vazby (loop transfer) předzesilovače . . . . .	33
4.18	Průběh zesílení ve smyčce zpětné vazby (loop transfer) předzesilovače s kompenzací dominantním pólem . . . . .	34
4.19	Průběh zesílení ve smyčce zpětné vazby (loop transfer) předzesilovače s dvoupólovou kompenzací . . . . .	35
4.20	Relativní příspěvky jednotlivých šumových výkonů k celkovému šumu předzesilovače . . . . .	35
4.21	Schéma zapojení vstupní části předzesilovače . . . . .	36
4.22	Velikost vstupní common-mode impedance zesilovače v závislosti na frekvenci . . . . .	37
4.23	Potlačení souhlasného signálu (CMRR) v závislosti na frekvenci . . . . .	38
4.24	Hypotetické zapojení frontendu pro AD převodník využívající pouze jeden operační zesilovač . . . . .	40
4.25	Schéma zapojení výstupního filtru pro DA převodník . . . . .	40
4.26	Amplitudová frekvenční charakteristika a závislost skupinového zpoždění na frekvenci přenosové funkce filtrů pro AD a DA převodníky . . . . .	41
4.27	Schéma zapojení jednoho kanálu zesilovače pro sluchátka . . . . .	42
5.1	Blokové schéma zapojení navrženého napájecího subsystému . . . . .	44
5.2	Principiální zapojení invertujícího buck-boost měniče s přídavným flyback vinutím . . . . .	45
5.3	Průběh velikosti impedance keramického kondenzátoru 10 $\mu$ F/25 V X7R 1210 v závislosti na frekvenci . . . . .	46
5.4	Schéma zapojení výkonnové části spínaného napájecího zdroje pro operační zesilovače . . . . .	47
5.5	Schéma zapojení ovládací části spínaného napájecího zdroje pro operační zesilovače . . . . .	49
5.6	Layout napájecího zdroje pro operační zesilovače . . . . .	51
5.7	Schéma zapojení ovládací části spínaného napájecího zdroje +3,3 V . . . . .	52
5.8	Layout napájecího zdroje +3,3 V . . . . .	53
5.9	Schéma zapojení vstupní části napájecího systému přístroje . . . . .	54
5.10	Schémata zapojení pro simulaci vstupního LC filtru . . . . .	55
5.11	Simulované chování vstupního napájecího LC filtru . . . . .	56
6.1	Rozmístění jednotlivých funkčních bloků na desce plošných spojů . . . . .	60
B.1	Vizualizace osazené desky plošných spojů při pohledu shora . . . . .	82
B.2	Vizualizace desky plošných spojů při pohledu zespodu . . . . .	82
B.3	Pohled na vrchní vrstvu (strana součástek) desky plošných spojů . . . . .	83
B.4	Pohled na první vnitřní vrstvu (spojitá zemnicí plocha) desky plošných spojů . . . . .	84
B.5	Pohled na druhou vnitřní vrstvu (rozvod napájecích napětí) desky plošných spojů . . . . .	84
B.6	Pohled na spodní vrstvu (strana spojů) desky plošných spojů . . . . .	85
B.7	Osazovací výkres desky plošných spojů . . . . .	86

D.1 Schéma zapojení LC filtru se zatlumením pomocí snubberu . . . 89

## Seznam tabulek

4.1 Přehled integrovaného šumového napětí jednotlivých částí analogového frontendu . . . . . 39



# Kapitola 1

## Úvod

Záznam a následné zpracování audio signálu probíhá v dnešní době téměř výhradně digitální cestou. Počítač se stal centrálním nástrojem v procesu pořizování hudebních nahrávek. Pro tyto účely je potřeba zařízení, které zprostředkuje rozhraní mezi analogovými signály a digitální doménou. Téměř každý počítač je vybaven takovou komponentou, která je známá jako zvuková karta.

Při vyšších nárocích na zvukovou kvalitu a vybavenost se používají samostatné přístroje, které jsou k počítači připojeny některým z digitálních rozhraní, jako je USB nebo Thunderbolt.

Na trhu je k dispozici velká nabídka takových zařízení. Od přístrojů pro amatérské, domácí použití až po profesionální zvuková rozhraní určená pro studia.

Na obrázku 1.1 je příklad zvukové karty pro profesionální použití. Tento přístroj výrobce RME je připojen USB rozhraním a má analogové stereo vstupy a výstupy. Toto zařízení posloužilo jako inspirace pro předloženou práci.

Cílem této práce je navrhnout zvukové rozhraní pro osobní počítač, které bude připojeno prostřednictvím USB rozhraní a bude realizovat analogově-digitální i digitálně-analogový převod signálů. Zařízení bude navrženo tak, aby mohlo být využito v prostředí zvukového studia, především pro pořizování nahrávek. Vývoj takového přístroje je poměrně komplexní záležitost, která zahrnuje návrh analogových i digitálních obvodů, digitální zpracování signálu a tvorbu softwarového vybavení.

V následujících kapitolách bude postupně předveden proces návrhu jednotlivých částí přístroje. Snahou bylo vždy uvést rozbor dané problematiky a teoretickou diskuzi, ze které následně vyplyne zvolený způsob řešení problémů.



Obrázek 1.1: Zvukové rozhraní ADI-2 Pro FS německého výrobce RME; obrázek převzat z internetových stránek výrobce

## Kapitola 2

# Systemový návrh zařízení

Na základě diskuze uvedené v úvodní kapitole byly stanoveny následující požadavky na navrhované zvukové rozhraní:

- symetrické stereo vstupy a výstupy pro signál linkové úrovně
- výstup pro připojení sluchátek
- podpora vzorkovací frekvence až 192 kHz
- připojení k počítači pomocí USB rozhraní s podporou třídy Audio Class 2
- napájení USB kabelem z hostitelského počítače, případně pomocí síťového adaptéru
- kompaktní rozměry celého přístroje

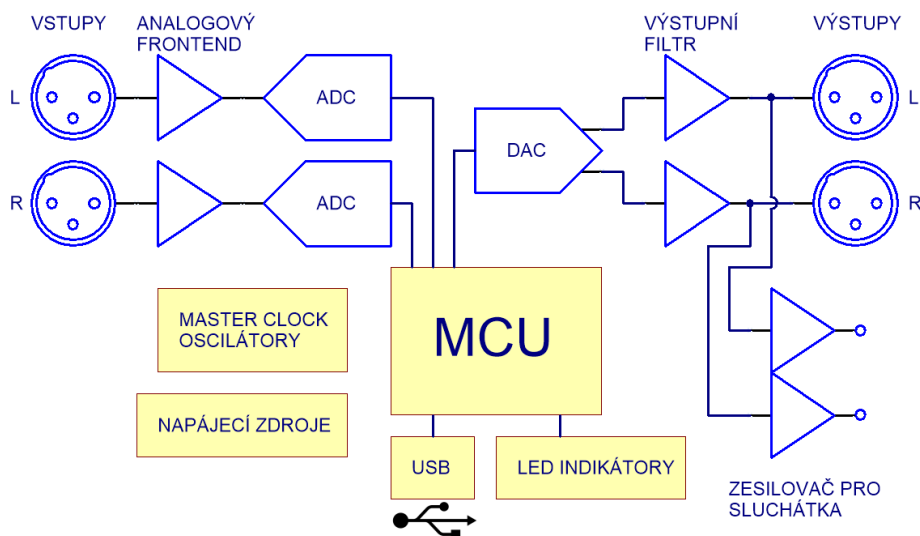
Na obrázku 2.1 je blokové schéma zapojení navrženého přístroje. Vstupní signál připojený prostřednictvím XLR konektorů prochází analogovými obvody, tzv. frontendem, které provádějí potřebnou úpravu signálu pro následnou AD konverzi. Výstupní signály z DA převodníku procházejí analogovým filtrem a jsou vyvedeny rovněž na konektory typu XLR. Z těchto výstupů je signál zaveden zároveň do zesilovače pro sluchátka. Řízení činnosti přístroje zajišťuje centrální mikrokontrolér. Ten především zprostředkovává přenos dat mezi hostitelským počítačem a datovými převodníky. Další částí zařízení je blok oscilátorů, jejichž hodinový signál je použit pro odvození vzorkovací frekvence všech převodníků. Potřebnou součástí je samozřejmě také blok napájecích zdrojů.

Pro digitalizaci zvukových signálů se v dnešní době používají výhradně AD převodníky založené na principu sigma-delta modulace. Typickým představitelem je integrovaný obvod CS5381 výrobce Cirrus Logic. Tento převodník je určen pro zařízení s nejvyššími nároky na kvalitu konverze. Jeho uváděné parametry jsou: dynamický rozsah 120 dB (s A-vážením) a odstup harmonického zkreslení a šumu  $-110$  dB.

Alternativou je použití AD převodníku s postupnou aproximací (SAR). Tyto převodníky byly využívány pro digitalizaci audio signálu v prvních aplikacích pulzně-kódové modulace (PCM) v 70. letech 20. století<sup>1</sup>. V 80. letech potom v souvislosti se všeobecným pokrokem v oblasti digitální techniky a integrace

---

<sup>1</sup>Přehled historie AD převodníků je uveden v [3]



Obrázek 2.1: Blokové schéma zapojení navrženého přístroje; ADC = AD převodník, DAC = DA převodník, MCU = mikrokontrolér

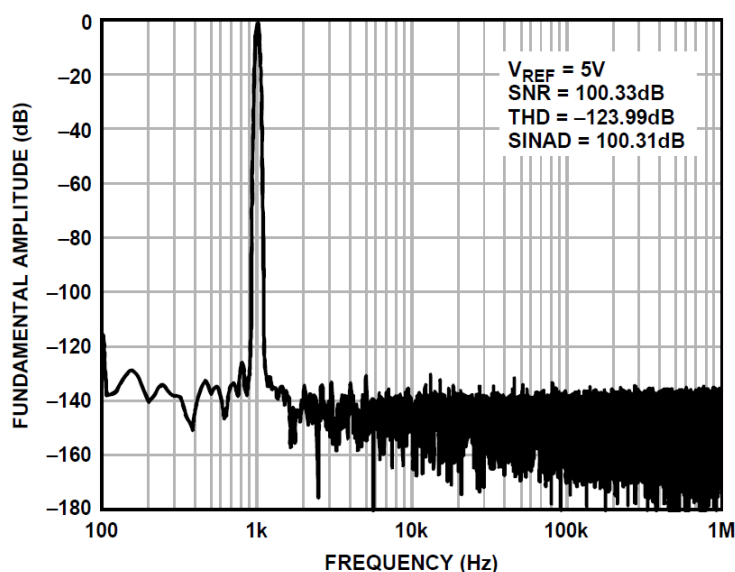
začal prudký vývoj metod sigma-delta modulace. Ty umožnili realizaci AD i DA převodníků s podstatně lepšími parametry, než měly tehdejší SAR převodníky. Tato architektura je velmi vhodná pro levnou výrobu integrovaných obvodů a během 90. let došlo k rozšíření sigma-delta převodníků do prakticky všech zařízeních provádějících analogově-digitální konverzi audio signálu. Sigma-delta převodníky nabízí velmi dobré objektivní parametry, které jsou zcela adekvátní pro zajištění subjektivně perfektní zvukové kvality. Zároveň však pokračuje vývoj SAR převodníků, přičemž moderní typy, které jsou dostupné několik posledních let, dosahují parametrů srovnatelných s těmi nejlepšími sigma-delta obvody, v některých ohledech dokonce lepších.

Jedním z cílů této práce je ověřit možnost použití SAR AD převodníku pro audio aplikace. Byl zvolen integrovaný obvod AD4003 výrobce Analog Devices. Jedná se o 18-bitový převodník s maximální vzorkovací frekvencí 2 MHz a diferenciálními vstupy. Obvod pracuje na principu přerozdělení náboje, takže obsahuje síť binárně váhovaných kondenzátorů přepínaných analogovými přepínači. Tento převodník je primárně určen pro aplikace v měřicí technice a pro akvizici např. biologických signálů. Jeho špičkové vlastnosti ukazují spektrum výstupního signálu na obrázku 2.2. Je vidět, že vyšší harmonické složky budícího signálu vzniklé nelinearitou jsou potlačeny o cca. 130 dB.

V grafu je uveden vypočítaný údaj odstupů signál-šum 100,33 dB. Tento údaj platí při použité vzorkovací frekvenci 2 MHz a vztahuje se k Nyquistově širce pásma 1 MHz. V navrhovaném audio zařízení bude použit princip převzorkování (oversampling), takže dosažený odstup v audio pásmu bude podstatně vyšší, jak bude dále popsáno. Výsledné parametry zařízení samozřejmě záleží na kvalitě návrhu celého systému a nejsou dány jen vlastnostmi použitého integrovaného obvodu.

Mezi výhody použití SAR AD převodníku v audio aplikacích patří:





Obrázek 2.2: Výstupní amplitudové spektrum AD převodníku AD4003 při buzení harmonickým signálem o frekvenci 1 kHz s amplitudou  $-0,5$  dBFS; obrázek převzat z datasheetu obvodu

- velmi vysoká linearita i pro velké amplitudy vstupních signálů; sigma-delta převodníky mají typicky horší linearitu při amplitudě vstupního signálu blízké plné úrovni
- při použití převzorkování je možné navrhnout vlastní decimátor přesně podle specifických požadavků; u běžných audio převodníků jsou použité digitální filtry pevně zvoleny výrobcem čipu

Nevýhody jsou potom:

- komunikace s rozhraním pro přenos digitálních dat z převodníku často vyžaduje použití programovatelných logických obvodů FPGA nebo CPLD, což klade větší nároky na složitost digitální části zařízení
- poměrně vysoká cena integrovaných obvodů; řešení se SAR převodníkem je asi  $2\times$  až  $5\times$  dražší, než použití audio sigma-delta převodníků<sup>2</sup>

Pro DA převod signálu byl zvolen integrovaný obvod AK4493EQ výrobce Asahi Kasei Microdevices. Převodník je připojen k mikrokontroléru rozhraním I2S sloužícím pro přenos vzorků audio signálu a rozhraním SPI pro konfiguraci nastavení obvodu.

Analogové vstupy a výstupy přístroje jsou koncipovány jako linkové. Nelze tedy např. do vstupu přímo připojit mikrofon, protože by bylo potřeba použít samostatný předzesilovač. Po prostudování specifikace různých komerčně dostupných přístrojů pro profesionální studiové použití byla zvolena velikost napětí  $+13$  dBu =  $3,46 V_{RMS}$  odpovídající plné úrovni převodníků (full scale).

<sup>2</sup>Cena použitého obvodu AD4003 je podobná, jako u zmiňovaného obvodu CS5381. Ten ale obsahuje dva vstupní kanály.

Navrhované zařízení dále obsahuje zesilovač pro sluchátka, což je výhodné např. pro monitorování probíhajícího nahrávání.

Klíčovou částí navrhovaného zvukového rozhraní pro počítač je implementace USB rozhraní. Tu lze provést několika způsoby:

- použití specializovaných integrovaných obvodů pro tento účel (jako je např. CP2615 výrobce Silicon Labs); Tyto obvody často podporují pouze nízké vzorkovací frekvence. Jejich použití je jednoduché, ale neflexibilní.
- použití mikrokontroléru XMOS, jejichž výrobce nabízí kompletní řešení včetně potřebného firmwaru; jedná se o velice populární způsob realizace USB audio rozhraní
- použití mikrokontroléru s periferií USB rozhraní
- někteří výrobci (např. RME) používají implementaci USB rozhraní v FPGA obvodu; kontrolér může být realizován hardwarově, nebo pomocí soft-core procesoru

Pro navrhované zařízení byla zvolena implementace pomocí mikrokontroléru pro obecné použití. Toto řešení je náročnější z hlediska úsilí potřebného pro vývoj firmwaru, ale nabízí vysokou flexibilitu a možnost naprosté kontroly funkcionality systému.

V následujících kapitolách této práce bude detailně popsán výběr vhodných řešení jednotlivých částí přístroje a postup jejich návrhu. Velká pozornost byla věnována zejména analogovým obvodům.

## Kapitola 3

# Návrh digitální části

### 3.1 Výběr mikrokontroléru

Nejdůležitější požadavky kladené na volbu mikrokontroléru jsou následující:

- procesorové jádro z rodiny ARM Cortex-M
- dostatečný výkon umožňující využít procesor pro digitální zpracování signálu
- interní periferie pro USB High Speed rozhraní
- I2S periferie pro připojení audio převodníků
- běžné komunikační periferie jako je I2C nebo SPI
- nízká cena

Podmínka procesorového jádra ARM byla stanovena proto, že tyto procesory jsou velmi rozšířené a existuje pro ně řada volně dostupných vývojových nástrojů. Zásadním požadavkem je přítomnost periferie pro USB rozhraní v mikrokontroléru. Na trhu je velký výběr obvodů, které toto rozhraní podporují. Pokud výběr omezíme na mikrokontroléry a neuvažujeme komplexní aplikační procesory, většinou je podporována USB komunikace pouze na rychlosti Full Speed, případně je pro High Speed přenos potřeba k obvodu připojit externí transceiver nazývaný PHY. V případě navrhovaného zařízení bylo preferováno jednočipové řešení a bylo tedy potřeba zvolit mikrokontrolér se zabudovaným USB High Speed PHY. Výběr takových obvodů není moc široký a většinou se jedná o čipy s výkonným jádrem Cortex-M7.

Jako vhodný kandidát byl vybrán mikrokontrolér STM32F723 výrobce STMicroelectronics, který splňuje všechny zadané požadavky. Následně byla vyrobena testovací deska pro zhodnocení možnosti použití tohoto obvodu. Při tom se ukázala jako zásadní faktor podpora vývoje aplikací využívající USB ze strany výrobce.

Vzhledem ke komplikovanosti USB rozhraní je implementace jeho funkcionality poměrně náročná. Výrobci mikrokontrolérů proto typicky nabízejí již hotové softwarové knihovny pro usnadnění vývoje, které obsahují i realizaci komunikačního protokolu rozhraní, tzv. USB stack. Ve zpracování těchto knihoven a jejich

dokumentace existují znatelné kvalitativní rozdíly mezi jednotlivými výrobci. V případě procesoru STM32F723 se podařilo dosáhnout funkčního stavu USB rozhraní, ovšem softwarová podpora výrobce se nezdála být úplně vhodná pro potřeby navrhovaného zařízení. Vývoj zcela vlastní implementace obsluhy USB periferie by byl sice možný, ale byl by velmi náročný kvůli nedostatečně podrobné dokumentaci hardwaru periferie. Proto byla dána přednost mikrokontroléru od jiného výrobce. Výhodou obvodů od STMicroelectronics je to, že některé typy obsahují propojení z USB periferie do jednoho z vnitřních čítačů, což umožňuje velice přesné měření frekvence master clock oscilátoru relativně vůči frekvenci USB rámců. Lze tak snadno realizovat zpětnou vazbu asynchronního přenosu izochronních audio dat[1].

Výrobce integrovaných obvodů NXP nabízí řadu mikrokontrolérů i.MX RT. Jedná se o obvody na pomezí hodně výkonných mikrokontrolérů a aplikačních procesorů. Z této perspektivní řady byl vybrán typ RT1015, který se zdá být téměř ideální pro uvažovanou aplikaci. Mezi jeho vlastnosti patří:

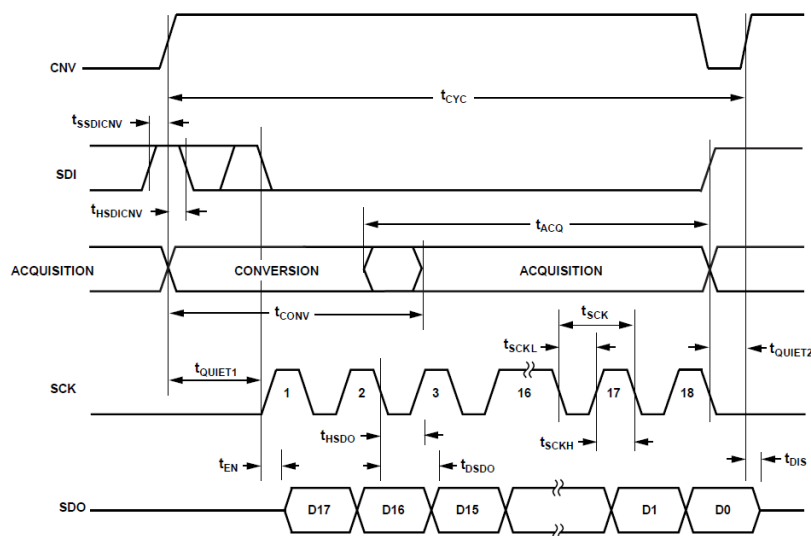
- Procesorové jádro ARM Cortex-M7 pracující na frekvenci až 500 MHz
- 128 kb SRAM paměti
- interní USB High Speed periferie, několik rozhraní I2S pro digitální audio, periferie pro I2C a SPI rozhraní
- pouzdro LQFP100

Zajímavostí obvodu je to, že obsahuje zabudovaný synchronní step-down měnič pro napájení procesorového jádra. Jedná se také o jeden z vůbec nejlevnějších mikrokontrolérů na trhu s USB High Speed periferií. Výrobce bezplatně poskytuje vývojové prostředí MCUXpresso. Důležité je, že dodávané softwarové knihovny pro podporu USB rozhraní se jeví jako dobře použitelné. Ukázkové zdrojové kódy demonstrující jejich použití dokonce zahrnují plně funkční implementaci asynchronního audio rozhraní, ze které se bude vycházet při tvorbě firmwaru navrhovaného přístroje.

Nevýhodou zvoleného mikrokontroléru je to, že neobsahuje interní Flash paměť pro program a je nutné připojit vnější paměť prostřednictvím SPI rozhraní. Tím se mírně komplikuje návrh zařízení i firmwaru, ale SPI Flash paměti mají velmi nízkou cenu.

### 3.2 Propojení AD převodníků s mikrokontrolérem

Jeden z problémů, který bylo potřeba vyřešit v souvislosti s použitím SAR AD převodníků byl způsob, jakým přenášet data z AD převodníků do mikrokontroléru. Sigma-delta AD převodníky určené pro audio účely jsou vybaveny I2S rozhraním, které lze jednoduše připojit přímo k příslušné periférii mikrokontroléru. Použité převodníky AD4003 jsou vybaveny sériovým komunikačním rozhraním SPI. Na obrázku 3.1 je časový diagram průběhu přenosu vzorku z převodníku. Vzestupná hrana na vstupu CNV zahájí konverzi nového vzorku. Po 190 ns ( $t_{\text{QUIET1}}$ ) je možné signál SDI (fungující jako chip select) nastavit do log. 0 a pomocí osmnácti hodinových impulsů na vstupu SCK přečíst data předchozího vzorku na výstupu

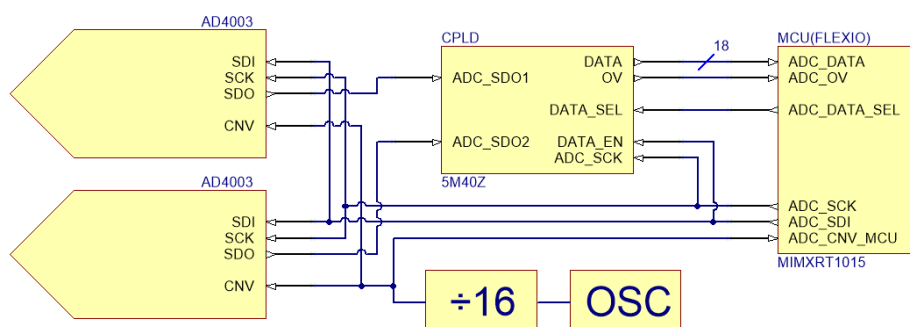


Obrázek 3.1: Průběh komunikace s převodníkem AD4003 v režimu „4-Wire Turbo Mode“; obrázek převzat z datasheetu obvodu

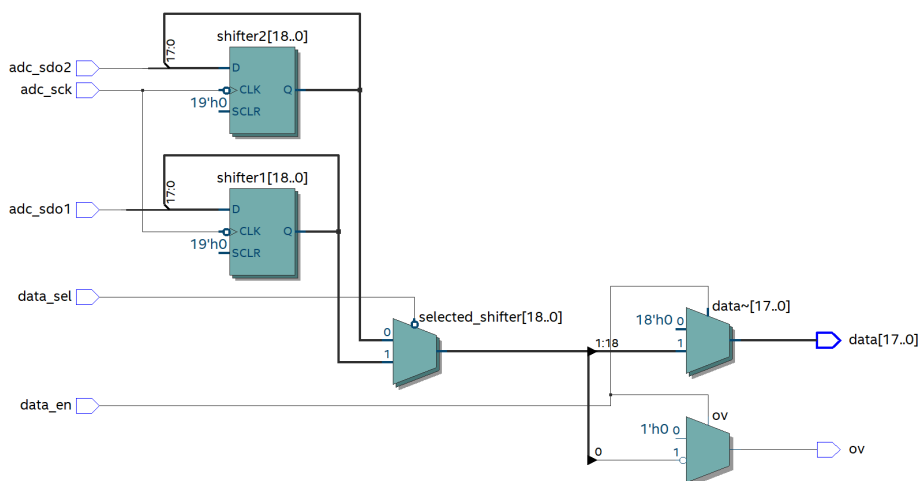
SDO. Následně je nutné nastavit SDI zpět na log. 1 alespoň 60 ns ( $t_{\text{QUIET2}}$ ) před začátkem další konverze. Při vzorkovací frekvenci 1,536 MHz je vzorkovací perioda  $t_{\text{CYC}}$  651 ns. Z uvedených údajů vyplývá, že hodinová frekvence na vstupu SCK sériového rozhraní musí být alespoň 45 MHz, aby se v dovoleném komunikačním okně stihlo přečíst osmnáctibitový vzorek.

Vybraný mikrokontrolér sice disponuje periferií SPI rozhraní, ale maximální hodinová frekvence je pouze 30 MHz. Použití vyšší frekvence umožňuje speciální SPI periferie určená pro komunikaci s externí pamětí, avšak její použití pro připojení AD převodníků by nebylo vhodné. Ostatní komunikační periferie mikrokontroléru nejsou dostatečně rychlé pro přenos potřebného objemu dat, respektive by jejich použití bylo velmi nepraktické (UART, I2C, I2S). Jak je vidět z časového diagramu na obrázku 3.1, přenos dat musí být navíc synchronizován se vzorkovacím signálem CNV, který je odvozen z master clock oscilátoru nezávislém na procesoru.

Mikrokontrolér obsahuje velice zajímavou periferii s názvem FlexIO. Jedná se o kombinaci osmi 32 bitových posuvných registrů a osmi čítačů/časovačů, kterou lze flexibilně využít pro hardwarovou implementaci různých komunikačních rozhraní s využitím 22 pinů čipu. Každý pin lze nastavit jako vstupní nebo výstupní a chování čítačů/časovačů a posuvných registrů je plně programovatelné. Tato periferie by sama o sobě umožňovala implementovat sériové rozhraní pro připojení AD převodníků, což by bylo ideální řešení, ale maximální použitelná frekvence komunikace by byla pouze 30 MHz, takže tuto možnost bohužel použít nelze. Bylo tedy navrženo řešení, využívající kombinaci FlexIO periferie v mikrokontroléru a externí logiky implementované v programovatelném obvodu CPLD.



Obrázek 3.2: Blokové schéma propojení AD převodníků, CPLD a FlexIO periferie v mikrokontroléru



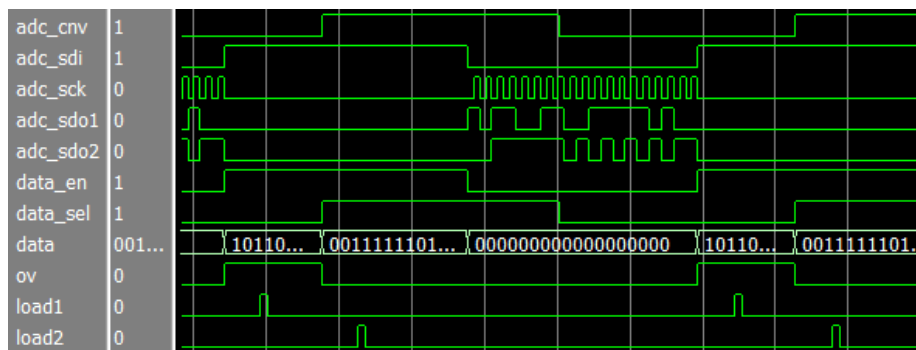
Obrázek 3.3: RTL schéma zapojení implementovaného v CPLD

Na obrázku 3.2 je blokové schéma propojení AD převodníků, CPLD a mikrokontroléru. Funkce tohoto řešení spočívá v tom, že přenos dat z převodníků a generování potřebných signálů je řízeno periferií mikrokontroléru zatímco CPLD provádí rychlou deserializaci dat, která jsou následně načtena procesorem po paralelní 18 bitové sběrnici.

Na obrázku 3.3 je RTL schéma zapojení implementovaného v CPLD. Datové výstupy obou AD převodníků jsou připojeny na vstupy dvou 19 bitových posuvných registrů<sup>3</sup> taktovaných signálem ADC\_SCK, který je generovaný procesorem. Signál DATA\_SEL ovládá multiplexer, přes který lze na výstupní paralelní sběrnici připojit data nasunutá do jednoho nebo druhého registru. Signál DATA\_EN umožňuje nastavit na všechny vodiče výstupní sběrnice log. 0.

Nyní bude vysvětlen způsob přenosu dat z AD převodníků do mikrokontroléru s pomocí časového diagramu na obrázku 3.4, který byl získán behaviorální simulací modelu zapojení.

<sup>3</sup>Vzorek má délku 18 bitů. 19. bit je příznak OV indikující aktivaci vnitřního omezovače napětí v převodníku způsobenou silným přebuzením vstupů. Tento signál je zaveden do mikrokontroléru pro potřeby případné signalizace tohoto stavu uživateli přístroje.



Obrázek 3.4: Časový diagram navrženého způsobu přenosu dat z AD převodníků do mikrokontroléru

- Vstupy CNV obou převodníků jsou připojeny na hodinový signál udávající vzorkovací frekvenci, jehož vzestupná hrana zahájí konverzi nových vzorků obou kanálů. Tento signál je zároveň zaveden do FlexIO periferie mikrokontroléru a vzestupná hrana aktivuje jeden z časovačů.
- Přibližně 200 ns po začátku konverze časovač nastaví vstupy SDI převodníků do log. 0. Aktivuje se další FlexIO čítač/časovač, který vygeneruje 19 hodinových impulzů s frekvencí 60 MHz na signálu SCK. Data z výstupů SDO převodníků jsou nasunuta do posuvných registrů v CPLD. Data jsou registrována na sestupnou hranu SCK, aby bylo zajištěno dodržení předstihu (setup time) CPLD, protože změna dat na výstupech SDO převodníků je rovněž řízena sestupnou hranou SCK (s určitým propagačním zpožděním). Během sériového přenosu dat jsou všechny vodiče výstupní sběrnice CPLD nastaveny do log. 0 pomocí signálu DATA\_EN, který je spojen se signálem SDI. Díky tomu se při nasouvání dat do registrů nemění stav výstupní sběrnice, což by jinak zbytečně zvyšovalo spotřebu zapojení.
- Po přenosu 19 bitů procesor nastaví signál SDI do log. 1 a na paralelní sběrnici se objeví datové slovo vzorku z prvního převodníku. Zároveň se aktivuje časovač v mikrokontroléru, který po době potřebné pro ustálení dat na sběrnici a dodržení doby předstihu provede načtení dat do jednoho z registrů FlexIO periferie. Tento okamžik je na diagramu znázorněn impulzem na signálu „load1“.
- Změnou úrovně signálu DATA\_SEL (který lze pro zjednodušení přímo propojit se signálem CNV, jak je uvedeno na obrázku) dojde k přepnutí multiplexeru a na sběrnici se objeví datové slovo vzorku z druhého převodníku. Opět se aktivuje časovač, který po určité době načte data do FlexIO registru, jak je naznačeno impulzem na signálu „load2“.
- Popsaný průběh přenosu se opakuje každou vzorkovací periodu.
- Datové registry FlexIO periferie jsou použity jako FIFO a po přenosu čtyř vzorků každého kanálu je provedeno uložení dat do operační paměti mikrokontroléru prostřednictvím DMA transferu.

Popsaný způsob přenosu dat z AD převodníků do paměti mikrokontroléru probíhá zcela v režii hardwaru a nevyžaduje žádnou intervenci procesorového jádra. Je při tom efektivně využito možností, které nabízí FlexIO periferie mikrokontroléru, což umožnilo zjednodušit potřebné externí digitální obvody.

Pro implementaci byl použit programovatelný logický obvod řady Max V od výrobce Intel (dříve Altera). Zapojení využívá 38 klopných obvodů, takže bylo možné použít nejmenší a nejlevnější obvod z řady obsahující 40 logických elementů. Časové parametry byly zkontrolovány pomocí gate-level simulace modelující zpoždění logických obvodů na čipu. Zdrojový kód konfigurace CPLD v jazyce VHDL je uveden v příloze C.

### 3.3 Oscilátory a rozvod hodinových signálů

Navrhované zařízení potřebuje pro svou činnost několik řídicích signálů různých frekvencí. Jedná se zejména o signály udávající vzorkovací frekvenci AD a DA převodníků. Aby bylo vzorkování všech převodníků synchronní, všechny řídicí signály jsou odvozeny od frekvence jednoho oscilátoru zvaného master clock oscilátor. Volba frekvence tohoto oscilátoru je dána především požadavky DA převodníku, který vyžaduje master clock frekvenci minimálně  $128 \times$  respektive  $256 \times f_s^4$ , kde  $f_s$  je vzorkovací frekvence. DA převodník potřebuje takto vysokou řídicí frekvenci, protože tímto signálem je taktován vnitřní digitální interpolační filtr a sigma-delta modulátor s výstupním filtrem pracujícím na principu spínaných kapacitorů.

Aby přístroj podporoval všechny standardně používané vzorkovací frekvence pro audio, jsou použity dva master clock oscilátory. Jeden o frekvenci 24,576 MHz (pro  $f_s = 48$  kHz a vyšší násobky) a druhý s frekvencí 22,5792 MHz (pro  $f_s = 44,1$  kHz a vyšší násobky). Oba oscilátory mají třístavový výstup a pomocí pull-down rezistorů na jejich ovládacím vstupu jsou implicitně drženy ve vypnutém stavu. Podle vzorkovací frekvence zvolené v hostitelském počítači mikrokontrolér aktivuje příslušný oscilátor.

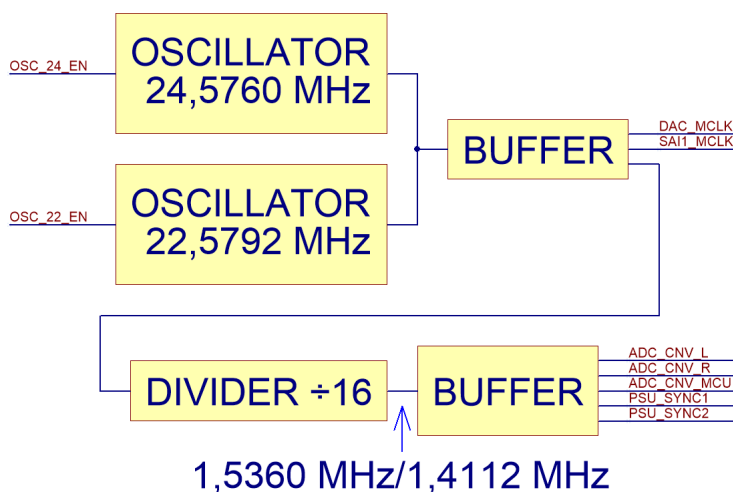
Na obrázku 3.5 je blokové schéma zapojení systému pro generování a rozvod hodinových signálů. Je vidět, že signál z právě aktivního master clock oscilátoru vede do tzv. fanout bufferu, odkud je zapojen do DA převodníku a do mikrokontroléru. Ten používá master clock frekvenci pro generování potřebných signálů I2S sběrnice použité pro připojení DA převodníku. Procesor zároveň používá master clock frekvenci pro řízení asynchronního přenosu dat přes USB rozhraní.

Řídicí signál na CNV vstupu AD převodníků přímo udává jejich vzorkovací frekvenci, která je 1,536 MHz (pro  $f_s = 48$  kHz a vyšší násobky) nebo 1,4112 MHz (pro  $f_s = 44,1$  kHz a vyšší násobky). Tato frekvence je získána z master clock oscilátoru vydělením šestnácti.

Frekvenční dělička je implementována pomocí čtyřbitového synchronního binárního čítače 74LVC161. Vydělená frekvence se odebírá z výstupu nejvyššího bitu. V případě použití synchronního čítače vstupní hodinový signál prochází pouze přes jeden klopný obvod (cestou k výstupu), čímž je minimalizován vliv děličky na fázový šum signálu. Ten se projevuje v časové oblasti jako jitter, tedy náhodná fluktuace periody vzorkovacího signálu. Velký jitter způsobuje degradaci dynamického rozsahu SAR AD převodníků. Vliv jitteru na funkci DA převodníku závisí na architektuře konkrétního integrovaného obvodu. Z

<sup>4</sup>Minimální potřebná master clock frekvence závisí na konkrétní zvolené vzorkovací frekvenci.





Obrázek 3.5: Blokové schéma zapojení systému pro generování a rozvod hodinových signálů

hlediska degradace fázového šumu hodinového signálu je méně vhodné použití asynchronního čítače (ripple counter), jelikož v tomto zapojení jsou všechny klopné obvody zapojeny kaskádně za sebou. Charakterizace vlivu frekvenční děličky na fázový šum vyžaduje měření specializovaným vybavením. Podle [2] je aditivní fázový šum synchronního čítače velmi malý v případě použití rychlé řady logických obvodů.

Za děličkou frekvence je zapojen další buffer a z něj je signál zaveden do vzorkovacích vstupů CNV obou AD převodníků a do mikrokontroléru, kde slouží pro synchronizaci přenosu dat z převodníků. Tento hodinový signál je také využit pro synchronizaci spínaných napájecích zdrojů, což je vysvětleno v kapitole 5.

Vstup asynchronního resetu čítače je spojen s resetovacím signálem DA převodníku a je ovládán mikrokontrolérem. Tímto je zajištěno vynulování čítače při zapnutí přístroje, takže před aktivací master clock oscilátoru je výstup čítače a tedy i vstupy CNV AD převodníků v log. 0. To umožňuje nahrát počáteční konfiguraci do AD převodníků.

Důvod použití bufferů pro rozvod hodinových signálů je ten, že umožňují vést signály od jednoho výstupu obvodu k jednomu vstupu dalšího obvodu. Takto lze snadno použít sériové zakončení přenosových vedení na desce pro zajištění dobré signálové integrity. Pokud by byl signál z jednoho výstupu zaveden do více vstupů a fyzická délka propojení by byla dostatečná na to, aby se projevilo chování přenosového vedení, bylo by nutné zajistit stejnou délku všech vedení, nebo použít pro každou trasu vedení jinou velikost zakončovacího rezistoru. Buffery také snižují zatěžovací kapacitu zdroje signálu. Ve schématu zapojení je uvedena hodnota zakončovacích rezistorů 30 Ω. Praktickým měřením průběhu signálů na desce lze optimalizovat hodnotu každého z rezistorů (závislé na výstupním odporu logického obvodu a charakteristické impedanci vedení na desce) tak, aby se dosáhlo co nejlepší kvality signálu.



## Kapitola 4

# Návrh analogových obvodů

### 4.1 Požadavky na analogovou část zařízení

Na obrázku 4.1 je blokové schéma zapojení analogové části přístroje. Analogové obvody vytvářejí rozhraní mezi vstupními/výstupními konektory a AD/DA převodníky. Jejich úkolem je přizpůsobení napěťových úrovní a impedancí, což musí být provedeno s minimální degradací parametrů analogového signálu. Zejména je nutné obvody navrhnout tak, aby měly dostatečně nízký šum a vysokou linearitu.

Signálový řetězec AD převodu začíná vstupním XLR konektorem, kterým se připojí zdroj symetrického signálu linkové úrovně. Vstupní předzesilovač má vysokou vstupní impedanci a zesílení  $+0,19$  dB, které je jen o málo větší než jednotkové. To je potřeba pro přizpůsobení zvolené maximální vstupní úrovně na napětí odpovídající plné úrovni AD převodníku, které je dáno velikostí použitého referenčního napětí 5 V. Za předzesilovačem je zařazen obvod, který kombinuje funkci antialiasingového low-pass filtru a budiče (driveru) vstupů převodníku. Zmíněné úrovně napětí jsou uvedeny na obrázku 4.1.

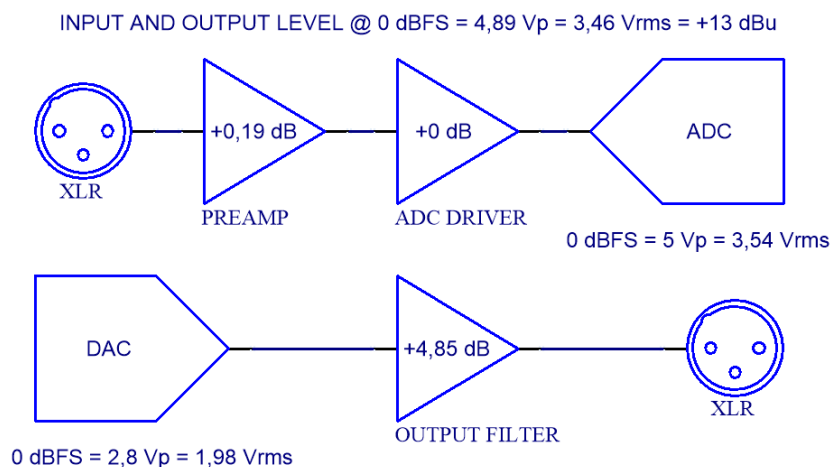
Mezi výstupem DA převodníku a výstupním XLR konektorem je zapojen obvod low-pass filtru, který potlačuje zbytky nežádoucích signálů na výstupu převodníku a svým zesílením  $+4,85$  dB přizpůsobuje výstupní úroveň požadovanému výstupnímu napětí linkové úrovně.

V následujících sekcích bude detailně popsán postup návrhu jednotlivých částí analogového signálového řetězce.

### 4.2 Vstupní část (frontend) pro AD převodník

#### 4.2.1 Driver pro AD převodník

Účelem driveru (budiče) je zprostředkovat signálové napětí na vstupech AD převodníku při současném splnění několika požadavků. Při vzorkování signálu se nabíjejí vnitřní kondenzátory v převodníku, takže do jeho vstupů teče proud. Pokud by byl vstup AD převodníku připojen přímo na výstup operačního zesilovače, tyto impulzní proudy by tvořily velmi nelineární zátěž pro zesilovač, jehož zpětná vazba by nestačila dostatečně rychle reagovat na tyto jevy. Proto je nutné na vstupy AD převodníku připojit kondenzátory poskytující zásobu náboje pro pokrytí tranzientních vstupních proudů. Výrobci převodníků zpravila

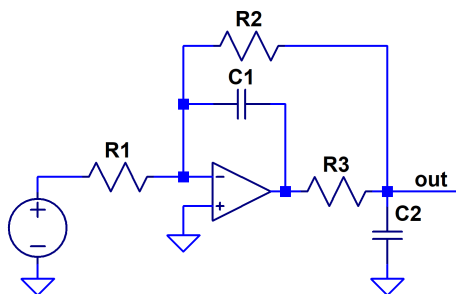


Obrázek 4.1: Blokové schéma zapojení analogové vstupní a výstupní části přístroje (s výjimkou zesilovače pro sluchátka); u převodníků jsou uvedena signálová napětí odpovídající jejich plné úrovni (maximální hodnotě digitálního slova); všechny uvedené úrovně signálu jsou diferenciální

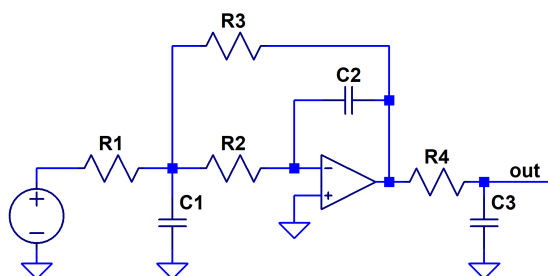
doporučují určitou minimální kapacitu těchto kondenzátorů. Zesilovač potom dodává pouze proud potřebný pro udržení stabilního napětí na kondenzátoru, jehož střední hodnota je velmi malá. Kondenzátorem samozřejmě teče proud při změně signálového napětí. Obvod budícího zesilovače musí být navržen tak, aby mohl pracovat s touto kapacitní zátěží.

Driver AD převodníku typicky slouží zároveň jako antialiasingový filtr, takže dalším požadavkem je, aby měl obvod přenosovou funkci typu low-pass. Použití mnohonásobného převzorkování (oversamplingu) při AD převodu značně snižuje nároky na analogový filtr. Typické sigma-delta převodníky používané pro audio účely vzorkují na frekvenci  $128\times$  větší, než je výsledná vzorkovací frekvence  $f_s$ , takže pro  $f_s = 48$  kHz probíhá vzorkování na frekvenci 6,144 MHz. V případě navrhovaného zařízení AD převodník pracuje na frekvenci 1,536 MHz pro výslednou  $f_s = 48$  kHz, takže je použito převzorkování  $32\times$ . Jelikož jsou signály nad Nyquistovou frekvencí výsledné  $f_s$  prakticky eliminovány digitálním decimačním filtrem, k aliasingu může docházet pouze v pásmech širokých asi 40 kHz kolem násobků vzorkovací frekvence AD převodníku[4]. Velké rozpětí mezi horní frekvencí audio pásma a první zónou aliasingu umožňuje použít filtr nízkého řádu.

V audio technice se typicky používají filtry 2. řádu. Takové filtry nezabrání vzniku aliasingu za všech okolností (ani u sigma-delta převodníků), např. v případě, že by vstupní signál obsahoval nějaké silné rušení ve specifickém frekvenčním rozsahu. To ale není problém, protože lze předpokládat, že výstupní signál běžných audio zařízení resp. elektroakustických měničů nemá významnou energii na frekvencích podstatně vyšších než akustických. Hlavním účelem antialiasingového filtru tedy je omezit širokopásmový šum budícího zesilovače, který by se jinak překládal do základního pásma a zhoršoval dynamický rozsah pro audio signál.



Obrázek 4.2: Schéma zapojení pro kompenzaci kapacitní zátěže operačního zesilovače

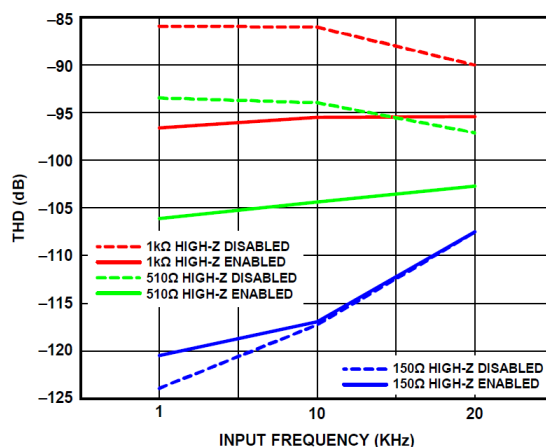


Obrázek 4.3: Schéma zapojení zvolené topologie low-pass filtru a driveru AD převodníku

Na obrázku 4.2 je zapojení pro kompenzaci kapacitní zátěže operačního zesilovače (někdy nazývané in-loop compensation[5]), které se často používá jako driver AD převodníku. Zatěžovací kapacita  $C2$  vytváří společně s výstupní open-loop rezistancí zesilovače pól ve smyčce zpětné vazby, který je kompenzován nulou zavedenou oddělovacím rezistorem  $R3$ . Intuitivní princip zapojení je takový, že pro vysoké frekvence je zpětná vazba zavedena přes kondenzátor  $C1$  přímo z výstupu zesilovače, zatímco pro nízké frekvence se zpětnovazební signál odebrá až na výstupním kondenzátoru  $C2$ , přes rezistor  $R2$ . Díky tomu má obvod velice nízkou výstupní impedanci v audio pásmu, což je podmínkou pro dosažení nízkého zkreslení vzhledem k nelineárnímu vstupnímu proudu AD převodníku.

Popsané zapojení se chová jako low-pass filtr 2. řádu. V literatuře se často uvádí postup návrhu tohoto zapojení pouze s ohledem na stabilitu zpětné vazby zesilovače[6, 7], což vede k neoptimální přenosové funkci. Pro použití obvodu jako driveru AD převodníku je potřeba provést návrh podle požadované přenosové funkce. Zajištění stability potom není problém, pokud má rezistor  $R3$  dostatečnou velikost.

Na obrázku 4.3 je schéma zapojení zvolené topologie pro driver AD převodníku. Jedná se o známé zapojení multiple feedback low-pass filtru 2. řádu, za který je připojen RC článek, takže výsledná přenosová funkce je 3. řádu. Rezistor  $R4$  zajišťuje stabilitu obvodu se zatěžovacím kondenzátorem  $C3$ . Specifickou vlastností použitého převodníku AD4003 je to, že má velmi malé harmonické zkreslení i v případě nezanedbatelné velikosti zdrojového odporu vstupního signálu. Z grafu na obrázku 4.4 vyplývá, že i při odporu  $R4 = 150 \Omega$  nedojde k



Obrázek 4.4: Závislost harmonického zkreslení (THD) převodníku AD4003 na frekvenci a vnitřní rezistanci zdroje signálu; převzato z datasheetu obvodu

degradaci katalogové specifikace harmonického zkreslení. Topologie driveru na obrázku 4.3 byla zvolena protože poskytuje ochranu převodníku při přebuzení v případě příliš velkého vstupního signálu. Rezistor R4 omezuje proud tekoucí do vstupů integrovaného obvodu.

Návrh zvoleného obvodu vychází z postupu popsání autorem pro podobné zapojení v předchozí práci[8]. Tento postup zde bude uveden pouze ve stručnosti, avšak budou zmíněny nové prvky tohoto procesu.

Obvodovou analýzou zapojení z obrázku 4.3 zjistíme přenosovou funkci obvodu<sup>5</sup>:

$$H(s) = \frac{R3}{(C1 C2 R1 R2 R3 s^2 + C2 ((R2 + R3) R1 + R3 R2) s + R1) (sR4 C3 + 1)} \quad (4.1)$$

Pro přenosovou funkci filtru bude použita Besselova aproximace, která má maximálně plochý průběh skupinového zpoždění v propustném pásmu. Tento druh filtru aproximuje lineární závislost fáze na frekvenci, čímž se minimalizuje lineární zkreslení audio signálu. Přenosová funkce Besselova low-pass filtru 3. řádu má obecný tvar:

$$H_{\text{BESSEL}}(s) = \frac{15}{\frac{s^3}{\omega_c^3} + 6 \frac{s^2}{\omega_c^2} + 15 \frac{s}{\omega_c} + 15} \quad (4.2)$$

$\omega_c$  je mezní úhlová frekvence filtru. Ze zvolené podmínky maximálního útlumu 0,1 dB na frekvenci 20 kHz lze spočítat potřebnou mezní frekvenci  $f_c = 59,06$  kHz. Požadovaná přenosová funkce filtru je:

$$H'(s) = \frac{7,665 \cdot 10^{17}}{s^3 + 2,227 \cdot 10^6 s^2 + 2,066 \cdot 10^{12} s + 7,665 \cdot 10^{17}} \quad (4.3)$$

<sup>5</sup>Znaménko přenosové funkce by mělo být záporné, protože se jedná o invertující zapojení.

Porovnáním čitatele a koeficientů polynomu ve jmenovateli funkcí 4.1 a 4.3 lze sestavit soustavu čtyř rovnic o čtyřech neznámých. Ta umožňuje po dosazení hodnot třech prvků obvodu spočítat hodnoty zbývajících čtyřech prvků. Toho využívá iterativní návrhový algoritmus, který volí hodnoty kondenzátorů C1, C2 a C3 ze seznamu dostupných hodnot a pro všechny kombinace vypočítá hodnoty rezistorů. V algoritmu je také implementován symbolický vztah pro výpočet výstupního šumu filtru a získaná hodnota je uložena společně s hodnotami všech prvků obvodu. Data získaná tímto algoritmem využívajícím metodu hrubé síly se následně analyzují za účelem výběru optimálního řešení pro danou aplikaci.

Jako jedna z omezujících podmínek návrhu byla zavedena minimální velikost rezistoru R4 50Ω pro zajištění stability zpětnovazební smyčky. Další podmínkou byla minimální velikost rezistoru R3 300Ω, protože menší hodnoty by byly příliš velká zátěž pro použitý operační zesilovač. Jedná se zde o kompromis mezi šumem a linearitou. V další fázi zpracování dat byl proveden výpočet maximální hodnoty šumového zisku zbývajících variant obvodu. Některé kombinace hodnot prvků totiž způsobují rezonanční zvýšení šumového zisku a tudíž i zvětšení výstupního šumu, byť v tomto případě se tento jev projevuje na frekvencích kolem 110 kHz, takže v audio pásmu má minimální vliv. Zvýšení šumového zisku je nežádoucí také proto, že zmenší zesílení ve smyčce zpětné vazby (loop gain), které je k dispozici pro korekci nelinearity zesilovače. Na obrázku 4.5 je zobrazena spektrální hustota šumového napětí v závislosti na frekvenci pro jednotlivé zdroje šumu v zapojení filtru. U varianty 4.5a dochází k silnému rezonančnímu zvýšení šumového zisku asi o 17,2 dB. Varianta 4.5b má převýšení pouze 3,3 dB.

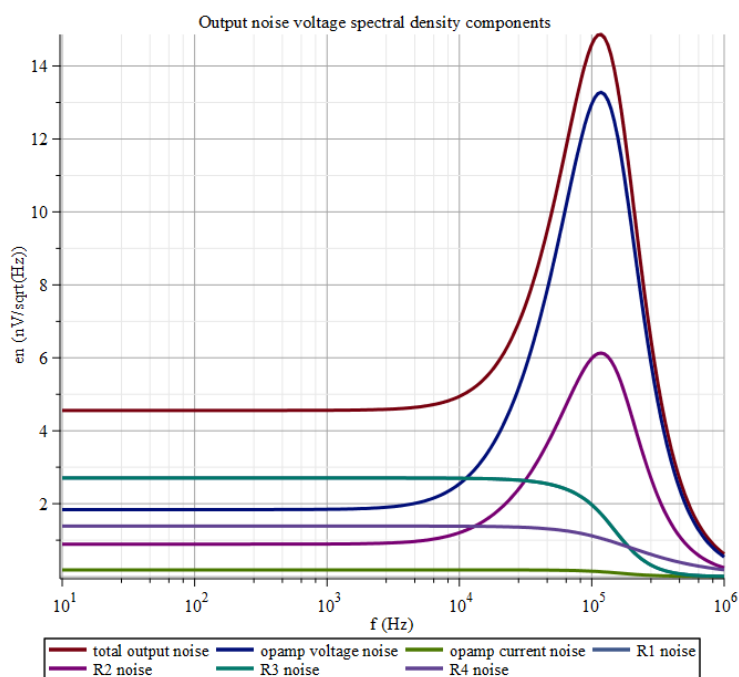
Pro navrhovaný driver AD převodníku zvýšený šum nad akustickým pásmem nevádí, protože je potlačen digitálním filtrem decimátoru. Přesto bylo provedeno konzervativní rozhodnutí a byla zvolena varianta odpovídající obrázku 4.5b. Použitý postup návrhu filtru zajišťuje, že za zvolených kritérií je návrh optimální.

Antialiasingový filtr a driver AD převodníku byl realizován v symetrické variantě pomocí plně diferenciálního operačního zesilovače. Schéma výsledného zapojení je na obrázku 4.6. Místo dvou kondenzátorů C1 (viz obrázek 4.3) zapojených vůči zemi byl použit jeden diferenciálně zapojený kondenzátor poloviční hodnoty. Zajímavou vlastností zvoleného operačního zesilovače OPA1632 je to, že díky poměrně vysoké frekvenci svého dominantního pólu (>20 kHz) má konstantní open-loop zesílení v celém audio pásmu. Pomocí SPICE simulace bylo ověřeno výstupní integrované šumové napětí 1.06  $\mu\text{V}_{\text{RMS}}$  ve frekvenčním rozsahu 20 Hz – 20 kHz.

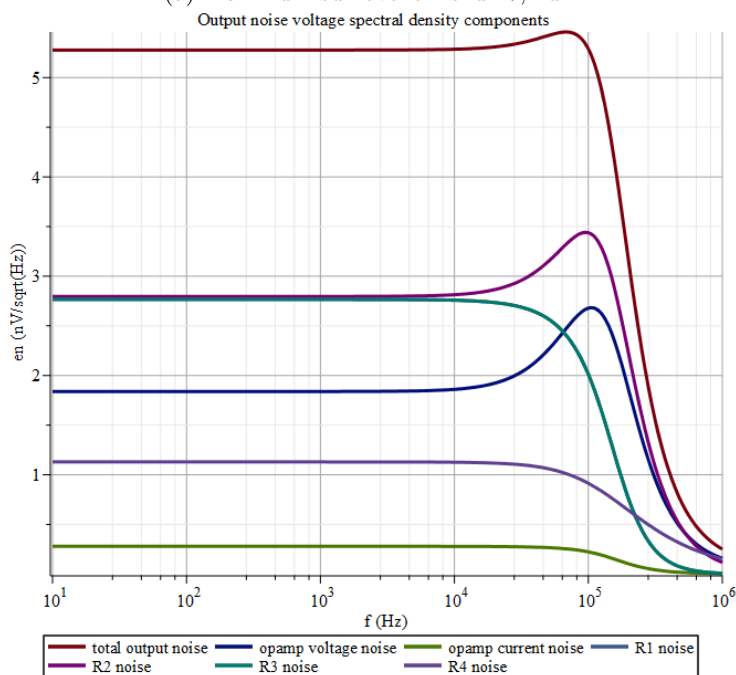
Souhlasné napětí na výstupech operačního zesilovače je pomocí jeho pinu  $V_{\text{OCM}}$  nastaveno na polovinu referenčního napětí AD převodníku, tedy 2,5 V. Na toto napětí je superponován střídavý signál, takže rozkmit na vstupech převodníku je v rozsahu 0 – 5 V. Operační zesilovač OPA1632 obsahuje vnitřní rezistory o typické hodnotě 30 kΩ zapojené mezi kladným a záporným napájecím napětím a vstupem  $V_{\text{OCM}}$ . Vstupní proud do tohoto pinu je  $I_{V_{\text{OCM}}} = \frac{V_{\text{CM}}}{15 \text{ k}\Omega}$ <sup>6</sup>, kde  $V_{\text{CM}}$  je připojené napětí.

Potřebné napětí 2,5 V je získáno z referenčního napětí převodníku děličem. Aby nemusely být použity rezistory příliš malých hodnot a zároveň nebylo výstupní napětí děliče ovlivněno vstupním proudem  $V_{\text{OCM}}$  pinů zesilovačů, je za odporový dělič zapojen sledovač s operačním zesilovačem. Použitý typ TLV6741 byl zvolen kvůli malému napěťovému offsetu (typicky  $\pm 150 \mu\text{V}$ ) a

<sup>6</sup>Při zanedbání vstupního proudu vnitřních obvodů připojených k tomuto pinu.



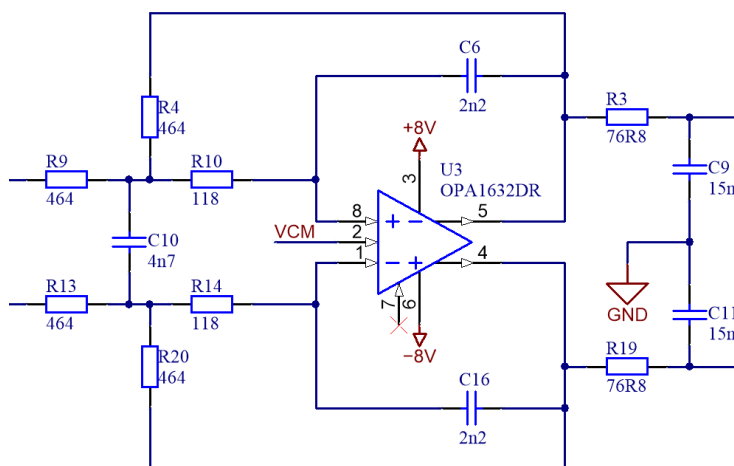
(a) Maximum šumového zisku 17,2 dB



(b) Maximum šumového zisku 3,3 dB

Obrázek 4.5: Spektrální hustota šumového napětí jednotlivých zdrojů šumu filtru v závislosti na frekvenci při různé maximální velikosti šumového zisku; grafy mají různé měřítko na ose y





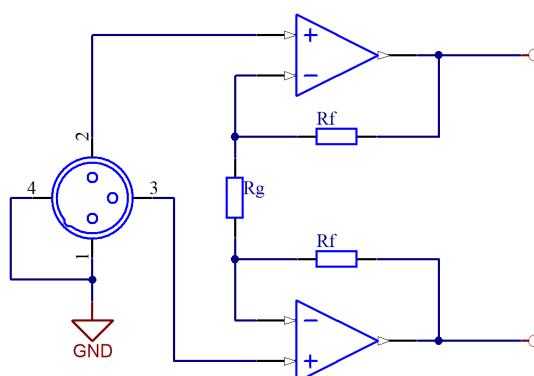
Obrázek 4.6: Finální zapojení antialiasingového filtru a driveru AD převodníku

malým fyzickým rozměrům pouzdra SC70. Tento operační zesilovač je vyroben technologií CMOS, takže jeho zanedbatelné vstupní proudy neovlivňují přesnost napětí nastaveného děliče. Šum sledovače nemá vliv na dynamický rozsah řetězce, jelikož se projevuje jako souhlasný signál na vstupech AD převodníku, který je potlačen jeho poměrně vysokým CMRR 71 dB.

Souhlasné napětí na výstupech driveru definující stejnosměrnou složku na vstupech AD převodníku musí být nastaveno přesně na polovinu referenčního napětí. Případná nepřesnost způsobuje nesymetrickou limitaci převodníku a tedy snížení dynamického rozsahu. Stejný vliv má i diferenciální stejnosměrný offset celého analogového řetězce před převodníkem. Dá se spočítat, že offset o velikosti 14,5 mV zmenší dynamický rozsah převodu o 0,1 dB. Proto je potřeba všechny obvody navrhnout tak, aby byl výsledný stejnosměrný offset dostatečně malý, byť bude na digitální straně eliminován high-pass filtrem.

Pokud se na vstup navrhovaného zařízení připojí signál s podstatně větší amplitudou, než která odpovídá plné úrovni, analogový frontend se dostane do limitace a na výstupech driveru AD převodníku (před rezistory R3 a R19, viz obr. 4.6) bude obdélníkové napětí v rozsahu cca.  $-2,0$  V až  $6,3$  V<sup>7</sup>. Kladné napětí na vstupech převodníku větší než 5,4 V způsobí aktivaci vnitřního omezovače napětí (Zenerovy diody), který vstupy propojí se zemí. Tímto se zabrání otevření ESD diod zapojených na čipu mezi vstupními piny a referenčním napětím, takže toto není ovlivněno. To je důležité v systémech, kde je zdroj referenčního napětí sdílen několika převodníky. Při popsané události rezistory R3 a R19 omezují proud do vstupů převodníku na asi 12 mA, což je v dovořených mezích obvodu. Záporné napětí na vstupech převodníku způsobí otevření vnitřních ESD diod zapojených vůči zemi, takže napětí bude omezeno na cca. 0,7 V a do vstupů poteče proud asi 17 mA. V datasheetu obvodu je uveden maximální limit vstupního proudu 130 mA po dobu 10 ms.

<sup>7</sup>Při napájecím napětím operačních zesilovačů  $\pm 8$  V



Obrázek 4.7: Jedno z možných řešení vstupního předzesilovače, použití dvou operačních zesilovačů v neinvertujícím zapojení

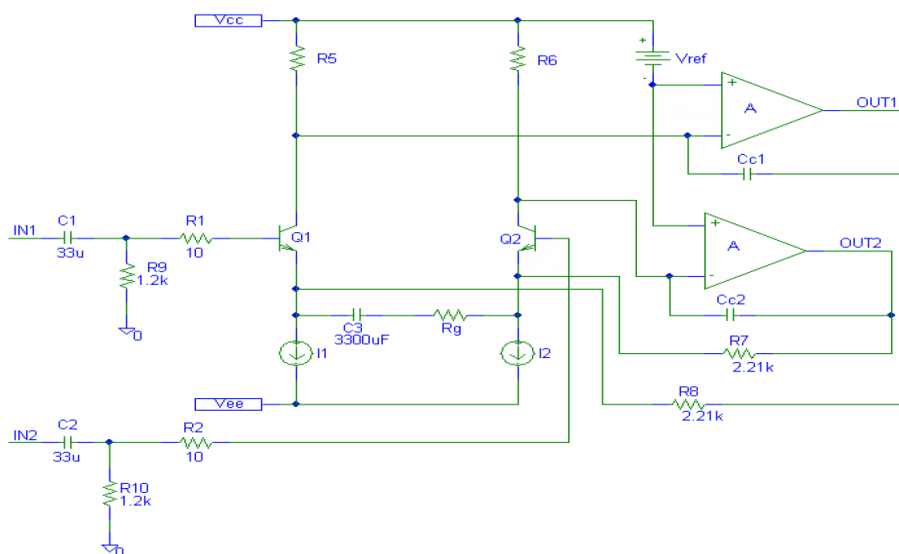
Ochrana vstupů AD převodníku je tedy založena na vnitřních ochranných prvcích čipu. Bylo by vhodné omezit špičkové záporné napětí na vstupech převodníku pomocí Schottkyho diod, aby se předešlo namáhání vnitřních ESD diod čipu. Toto řešení není možné použít, protože nelineární zkreslení způsobené signálem modulovanou kapacitou diod by bylo srovnatelné se specifikací převodníku. Nejlepším řešením ochrany AD převodníku by bylo použití tzv. soft-limitery, tedy obvodu zajišťujícího měkké omezení úrovně signálu při limitaci. Tím by se zároveň zabránilo ostrému oříznutí signálu na digitální straně, které v audio nahrávkách působí velmi rušivě.

#### 4.2.2 Vstupní předzesilovač

Před navržený driver AD převodníku je potřeba zařadit předzesilovač s požadovaným zesílením a velkou vstupní impedancí. Běžné zdroje signálu by nebylo možné připojit přímo na vstup driveru, jelikož jeho malá vstupní impedance by zdroj signálu příliš zatěžovala. Do tohoto zesilovače je vstupním XLR konektorem přiveden symetrický audio signál. Předzesilovač tedy musí být plně diferenciální a mít symetrický vstup i výstup.

Jednoduchým řešením by bylo použití dvou běžných operačních zesilovačů zapojených jako sledovače. Při požadavku na zesílení větší než 1 by se pak použilo standardní neinvertující zapojení, přičemž rezistor pro nastavení zisku může být sdílen oběma zesilovači. Takové zapojení je uvedeno na obrázku 4.7. Pokud se na výstupy tohoto obvodu připojí diferenciální zesilovač, vznikne tím známé zapojení přístrojového (instrumentačního) zesilovače se třemi operačními zesilovači.

Zapojení na obrázku 4.7 není výhodné především ze dvou důvodů: u zesilovače zapojeném v neinvertujícím zapojení dochází k modulaci jeho vstupního common-mode napětí, což může zvýšit nelineární zkreslení. Obvod také není optimální z hlediska šumu, jelikož každý operační zesilovač obsahuje vstupní diferenciální pár, takže v zapojení jsou celkem čtyři vstupní tranzistory generující šum. Symetrický signál je veden dvěma vodiči a mělo by tedy stačit použít pouze dva vstupní tranzistory, čímž by se šum snížil  $\sqrt{2}$ ×, za předpokladu stejného typu a provozních podmínek tranzistorů.



Obrázek 4.8: Schéma zapojení symetrického mikrofonního předzesilovače s proudovou zpětnou vazbou; obrázek převzat z [9]

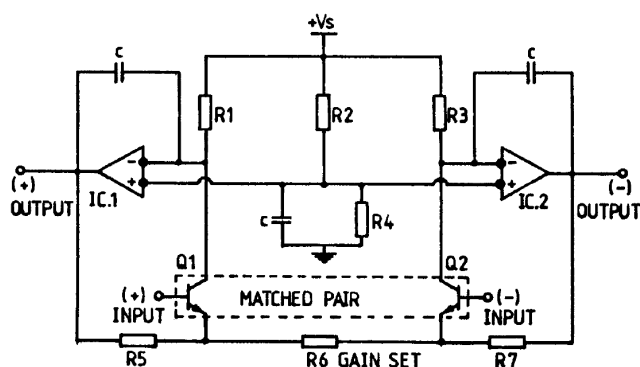
Jiné zapojení zesilovače se symetrickým vstupem je známé pod označením current-feedback instrumentation amplifier[9] a je často používané především pro mikrofonní předzesilovače. V polovině 80. let 20. století několik autorů nezávisle na sobě implementovalo toto zapojení v monolitické[10] i hybridní[11] technologii, avšak topologie tohoto obvodu je známá minimálně od 60. let 20. století[12]<sup>8</sup>.

Jak je vidět na obrázku 4.8, vstupní signál je zapojen do bází tranzistorů pracujících v zapojení se společným emitorem. Na kolektor každého tranzistoru je připojen invertující vstup operačního zesilovače, z jehož výstupu je zavedena záporná zpětná vazba přes rezistor do emitoru příslušného tranzistoru. Rezistor  $R_g$  zapojený mezi emitory obou tranzistorů tvoří se zpětnovazebními rezistory dělič a tímto rezistorem se nastavuje zisk zesilovače. Vstupní impedance tranzistorů při pohledu do emitoru je velmi malá a tudíž je malé i střídavé napětí v tomto bodě. Lze tedy tvrdit, že zpětnovazební signál je ve formě proudu<sup>9</sup>. Výstupní napětí se odebírá z výstupů operačních zesilovačů.

Popsané zapojení má celou řadu výhod. Jeho šumové vlastnosti jsou dominantně udány šumem vstupních tranzistorů a šumem zpětnovazebních rezistorů. Zesílení je nastaveno hodnotou jednoho rezistoru, místo kterého lze zapojit potenciometr a zesílení tak plynule měnit. Toho se využívá právě v předzesilovačích pro mikrofon, kde je potřeba nastavit zisk např. v závislosti na použitém typu mikrofonu. Vyrábějí se i integrované obvody speciálně pro tento účel (THAT5171), které obsahují rezistorovou síť přepínanou analogovými přepínači a zesílení předzesilovače se tak dá řídit digitálně.

<sup>8</sup>Podobné zapojení v plně diferenciální verzi realizované diskrétními součástkami bylo použito v modulu diferenčního zesilovače Tektronix 7A22[13].

<sup>9</sup>Označení zesilovač s proudovou zpětnou vazbou je poněkud nepřesné označení, které se ale pro tento druh obvodů běžně používá. Jedná se zde vlastně o sériovou napěťovou zpětnou vazbu.



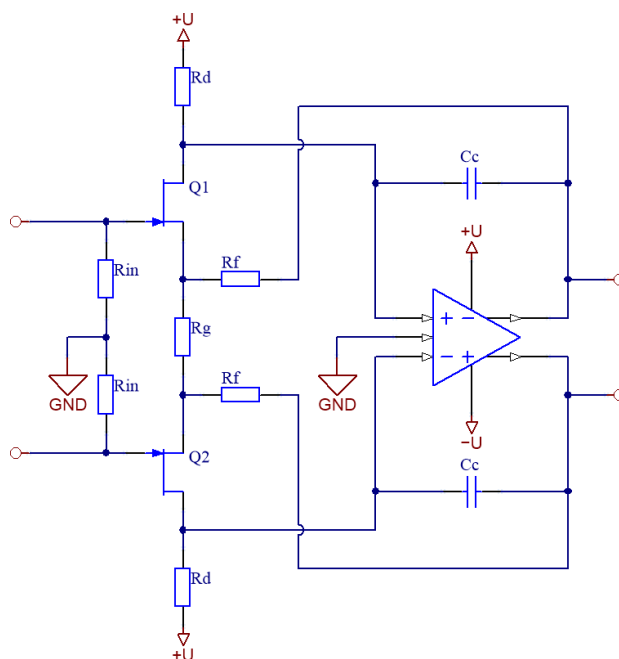
Obrázek 4.9: Další varianta zapojení mikrofonního předzesilovače s proudovou zpětnou vazbou; obrázek převzat z [11]

Symetrický předzesilovač s proudovou zpětnou vazbou je dostupný v integrované formě jako jeden z mnoha typů nabízených několika výrobci (Texas Instruments, Analog Devices a THAT). Dokonce je dostupný i obvod integrující celý analogový frontend, od předzesilovače až po budič AD převodníku (THAT6261). Pro účely přístroje popisovaného v této práci nebyl použit žádný z těchto specializovaných integrovaných obvodů, ale předzesilovač byl navržen s použitím operačního zesilovače a diskretních tranzistorů. Toto řešení nabízí větší flexibilitu a možnost naprosté optimalizace zapojení pro danou aplikaci. Všechny nabízené integrované obvody tohoto typu navíc používají bipolární vstupní tranzistory<sup>10</sup>, zatímco pro navrhovaný přístroj byly upřednostněny tranzistory JFET. Přehled historického vývoje integrovaných předzesilovačů pro mikrofon je popsána v [14].

V zapojení na obrázku 4.8 je pracovní bod vstupních tranzistorů nastaven proudovými zdroji připojených do jejich emitorů. Šum těchto proudových zdrojů může zhoršovat parametry předzesilovače. Varianta zapojení [11] uvedená na obrázku 4.9 eliminuje použití proudových zdrojů a klidový proud tranzistorů je dodáván přímo výstupy operačních zesilovačů. Pracovní bod je stabilizován zpětnovazební smyčkou, protože operační zesilovače udržují konstantní napětí na zatěžovacích kolektorových odporech tranzistorů. Tranzistory tak pracují s konstantním kolektorovým proudem. Toto zapojení má lepší šumové vlastnosti a zároveň je jednodušší než obvod na obrázku 4.8, což je výhodné pro diskretní realizaci. Princip funkce tohoto zapojení je také vysvětlen v [15].

Na obrázku 4.10 je zapojení navrženého předzesilovače. Zapojení vychází z topologie na obrázku 4.9, ale je zde použit plně diferenciální operační zesilovač a vstupní tranzistory typu JFET. Kvůli těmto změnám je mimo jiné použit specifický způsob nastavení pracovního bodu tranzistorů. Stejnoseměrné napětí na obou výstupech operačního zesilovače je regulováno jeho vnitřní zpětnovazební smyčkou tak, aby bylo rovno napětí na  $V_{OCM}$  pinu zesilovače (na schématu je to pin uprostřed mezi invertujícím a neinvertujícím vstupem). Tento vstup nastavuje výstupní common-mode napětí zesilovače. Tak jako u běžného operačního zesilovače, akce záporné zpětné vazby se snaží udržet stejné napětí na

<sup>10</sup>Což je pochopitelné, vzhledem k primární aplikaci pro zesilování signálu ze zdroje s malou výstupní impedancí, jakým jsou mikrofony. Unipolární tranzistory v monolitické formě typicky nedosahují tak malého napěťového šumu, jako integrované bipolární tranzistory.



Obrázek 4.10: Schéma zapojení zvolené topologie vstupního předzesilovače

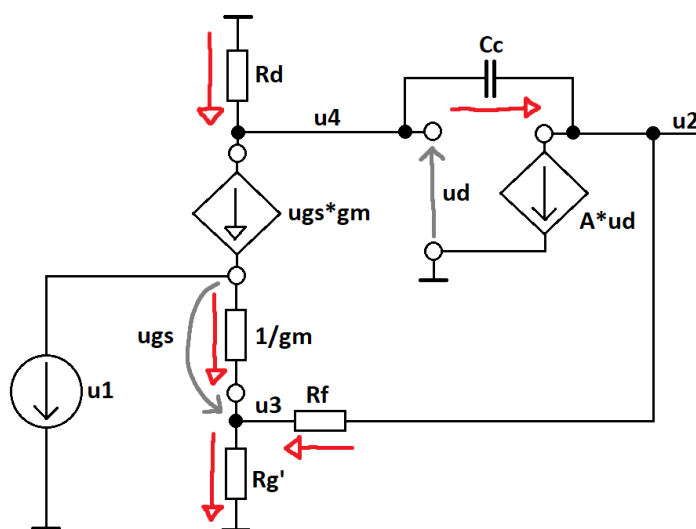
invertujícím a neinvertujícím vstupu zesilovače, tedy nulové diferenční napětí. Z toho důvodu bude na drainech obou vstupních tranzistorů stejné napětí a jelikož zatěžovací odpory  $R_d$  mají stejnou hodnotu, stejné budou i drainové proudy tranzistorů.

Připojení vstupního signálu na gaty tranzistorů vyvolá změnu proudů drainu a na zatěžovacích rezistorech vznikne napětí odpovídající zesílenému a invertovanému vstupnímu signálu. Vstupy operačního zesilovače jsou zapojeny mezi drainy tranzistorů, na kterých je napětí vzájemně v protifázi, takže diferenční napětí je dvojnásobné. Zpětná vazba tomuto stavu oponuje tím, že změnou napětí na sourcech tranzistorů udržuje jejich napětí gate-source konstantní a brání tak změně drainových proudů. Výsledkem je, že se napětí na elektrodách tranzistorů mění společně se vstupním signálem, zatímco proudy drainů zůstávají prakticky konstantní.

Jako vstupní tranzistory byly zvoleny N-kanálové JFETy a to z několika důvodů:

- Velmi malý proud do gatu (v případě použitého typu  $< 1$  nA při pokojové teplotě) umožňuje použít velkou hodnotu rezistoru pro připojení gatu k zemi a dosažení vysoké vstupní common-mode impedance, což je nutná podmínka pro dosažení vysokého CMRR<sup>11</sup> při zdrojích signálu s nesymetrickou výstupní impedancí.
- Jsou odolné proti vysokofrekvenčnímu rušení a demodulaci RF signálu, vzhledem k tomu, že PN přechod mezi gatem a kanálem je za běžných podmínek polarizován závěrně.

<sup>11</sup>Potlačení souhlasného signálu



Obrázek 4.11: Ekvivalentní malosignálové zapojení poloviny předzesilovače

- Můžou mít velmi malý napěťový šum, takže srovnatelný s nejlepšími bipolárními tranzistory a zanedbatelný proudový šum, takže šum výsledného obvodu bude malý i při připojení zdroje signálu s velkou výstupní impedancí.

Diskrétní JFET tranzistory mohou mít menší šum než ty nejlepší nízkošumové operační zesilovače se vstupními FET tranzistory<sup>12</sup> a navíc jsou mnohem levnější.

Následovat bude detailní rozbor činnosti navrženého zapojení. Jelikož je obvod na obrázku 4.10 symetrický, můžeme ho rozdělit na poloviny podél vodorovné osy (vedené středem rezistoru  $R_g$ ) a analýzu provádět pouze pro jednu polovinu zapojení. Na obrázku 4.11 je výsledné ekvivalentní linearizované zapojení pro střídavé signály, na kterém červené šipky vyznačují zvolené směry proudů. Pro větší přehlednost zavedeme  $R_g' = \frac{R_g}{2}$ . Tranzistor je reprezentovaný T-modelem a  $g_m$  označuje jeho strmost. Operační zesilovač je modelován jako zdroj napětí řízený diferenčním napětím  $u_d$  se zesílením  $A$ . Pro zjednodušení analýzy budeme toto zesílení uvažovat jako konstantní a frekvenčně nezávislé. Nejprve sestavíme obvodové rovnice:

$$\begin{aligned} (u_1 - u_3)g_m + \frac{u_2 - u_3}{R_f} &= \frac{u_3}{R_g'} \\ \frac{-u_4}{R_d} &= (u_1 - u_3)g_m + (u_4 - u_2)sC_c \\ u_2 &= -u_4A \end{aligned} \quad (4.4)$$

Řešením soustavy rovnic můžeme odvodit přenosovou funkci obvodu jako  $H = \frac{u_2}{u_1}$ :

<sup>12</sup>Jako např. OPA827 nebo ADA4625-1

$$H(s) = \frac{gm Rd (Rf + Rg') A}{((A + 1) (Rf gm + 1) Cc Rg' + Cc Rf (A + 1)) Rd s + ARd Rg' gm + Rf Rg' gm + Rf + Rg'} \quad (4.5)$$

Zesílení  $A$  operačního zesilovače je v praxi relativně hodně velké, takže můžeme uvažovat, že  $A \rightarrow \infty$ . Pro objasnění funkce obvodu dále zavedeme  $gm \rightarrow \infty$ . Zjednodušená přenosová funkce vypadá takto:

$$H(s) \approx \left(1 + \frac{Rf}{Rg'}\right) \frac{1}{sCcRf + 1} \quad (4.6)$$

Nyní lze snadno identifikovat, že se jedná o přenosovou funkci low-pass filtru 1. řádu. Frekvence pólu závisí na velikosti zpětnovazebního rezistoru  $Rf$  a na kapacitě kondenzátoru  $Cc$ . Dosazením  $s = 0$  získáme DC zesílení obvodu:

$$H_{DC} \approx \left(1 + \frac{Rf}{Rg'}\right) \quad (4.7)$$

Toto je známý vztah pro zesílení neinvertujícího zesilovače. Z těchto dvou vztahů je zřejmé, že je možné nezávisle nastavit zesílení a šířku pásma obvodu. Při zafixování hodnot  $Rf$  a  $Cc$  lze zesílení měnit hodnotou rezistoru  $Rg$ , přičemž se nemění pozice pólu přenosové funkce. Toto chování je typické pro tzv. zesilovače s proudovou zpětnou vazbou[16]. Nezávislost šířky pásma na zesílení ovšem platí pouze v idealizovaném případě, kdy  $gm \rightarrow \infty$ . Ve skutečnosti je vstupní odpor tranzistoru při pohledu do emitoru (o velikost  $\frac{1}{gm}$ ) nenulový a pozice pólu přenosové funkce se trochu mění se změnou zisku obvodu.

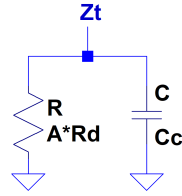
Uvažováním zpětnovazebního signálu ve formě proudu tekoucího do sourcu tranzistoru (proudu, který teče přes fiktivní rezistor o velikosti  $\frac{1}{gm}$ ) můžeme odvodit transimpedanci zesilovače jako  $Z_T = \frac{u_2}{(u_1 - u_3)gm}$ <sup>13</sup>:

$$Z_T(s) = \frac{ARd}{1 + s(A + 1)CcRd} \quad (4.8)$$

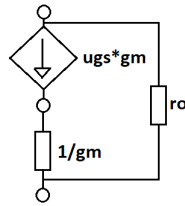
Jedná se o paralelní zapojení rezistoru s hodnotou  $ARd$  a kondenzátoru s hodnotou  $\frac{A+1}{A}Cc$ . Jelikož platí  $A \gg 1$ , velikost kapacity je prakticky rovna hodnotě kondenzátoru  $Cc$ . Na obrázku 4.12 je ekvivalentní znázornění transimpedance zesilovače<sup>14</sup>. Vidíme, že transimpedance obvodu nezávisí na strmosti tranzistoru  $gm$ . To je proto, že zatímco pro vstupní signál tranzistor pracuje v zapojení se společným sourcem, z pohledu zpětnovazebního signálu tranzistor pracuje v zapojení se společným gatem a chová se jako proudový konvektor (CCII-). Zesilovače využívající tuto topologii se někdy nazývají transimpedanční zesilovače (TIA), byť pro signál na neinvertujícím vstupu (na gatech tranzistorů) zesilovač pracuje jako normální zesilovač napětí.

<sup>13</sup>Při tomto odvození již neuplatňujeme dřívější zjednodušení  $A \rightarrow \infty$  a  $gm \rightarrow \infty$ .

<sup>14</sup>Pokud by bylo odvození transimpedance provedeno s uvažováním frekvenční závislosti zesílení  $A$  operačního zesilovače (modelované dominantním pólem), zjistili bychom, že transimpedance má podobu paralelního zapojení rezistoru, kapacitoru a tzv. dvojitého kapacitoru neboli frekvenčně závislého negativního rezistoru. Pro potřeby návrhu obvodu je však zcela adekvátní uvažovat zjednodušené zapojení.



Obrázek 4.12: Ekvivalentní znázornění transimpedance zesilovače

Obrázek 4.13: T-model JFET tranzistoru s vnitřním dynamickým odporem  $r_o$ 

Ze vztahu 4.7 pro zesílení zesilovače na nízkých frekvencích je vidět, že pro  $Rg' \rightarrow \infty$  (rezistor  $Rg'$  není v obvodu vůbec zapojen) je zesílení jednotkové a obvod se chová jako sledovač. Čím menší je odpor rezistoru  $Rg'$  (při konstantní hodnotě  $Rf$ ), tím větší je zesílení. Z obvodových rovnic se dá odvodit, že zátěž operačního zesilovače tvořená zpětnovazební sítí se z pohledu jeho výstupu jeví jako sériové zapojení rezistorů  $Rf$  a  $Rg'$  vůči zemi<sup>15</sup>. Při relativně malém požadovaném zisku zesilovače je možné zvolit velmi malou hodnotu zpětnovazebního rezistoru  $Rf$  (desítky  $\Omega$ ) a přitom zpětnovazební síť nebude operační zesilovač významně zatěžovat.

Pokud bychom požadované zesílení zesilovače nastavili podle zjednodušeného vztahu 4.7 a provedli simulaci obvodu, zjistili bychom, že zisk je ve skutečnosti trochu menší. Chyba je způsobena tím, že při analýze obvodu nebyl uvažován konečný vnitřní odpor tranzistoru. Doplněním tohoto odporu do T-modelu, jak je naznačeno na obrázku 4.13 a novým odvozením zesílení pro nízké frekvence (s uvažováním  $A \rightarrow \infty$ ) dostaneme vztah:

$$H_{DC} \approx \left(1 + \frac{Rf}{Rg'}\right) \frac{gmro}{gmro + 1} = \left(1 + \frac{Rf}{Rg'}\right) \frac{\mu}{\mu + 1} \quad (4.9)$$

Zde je zaveden zesilovací činitel tranzistoru  $\mu = gmro$ <sup>16</sup>. Po volbě hodnoty zpětnovazebního rezistoru  $Rf$  je možné pro požadované zesílení  $H_{DC}$  vypočítat hodnotu rezistoru  $Rg'$  korigovaným vztahem:

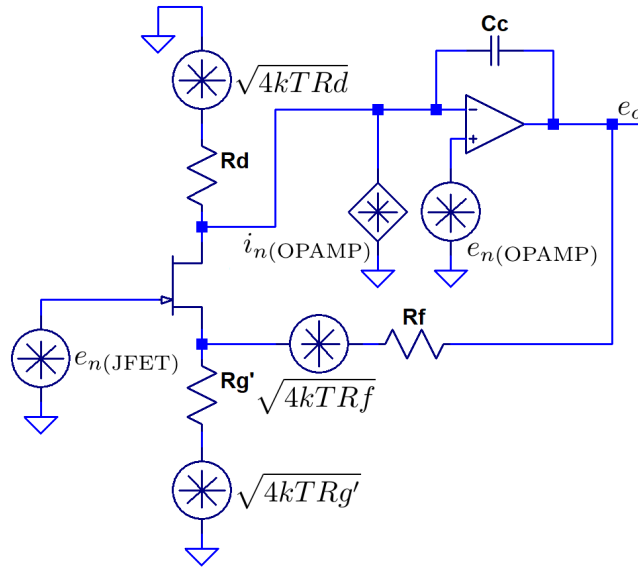
$$Rg' = \frac{Rf}{H_{DC} \frac{\mu+1}{\mu} - 1} \quad (4.10)$$

Chyba způsobená konečným zesílením operačního zesilovače je v praxi zanedbatelná.

<sup>15</sup>Toto platí na nízkých frekvencích a pro  $A \rightarrow \infty$ .

<sup>16</sup>Podobně jako u elektronek, kde závislost  $\frac{gmro}{\mu} = 1$  popisuje slavná Barkhausenova rovnice, ve světě známá podle svého objevitele jako van der Bijlova rovnice.





Obrázek 4.14: Ekvivalentní zapojení zesilovače pro šumovou analýzu

Nyní bude ukázána šumová analýza zapojení předzesilovače pomocí schématu na obrázku 4.14. Uvažujeme zde termální šum rezistorů, ekvivalentní vstupní napěťový šum JFET tranzistoru a ekvivalentní vstupní napěťový a proudový šum operačního zesilovače. Ve schématu je u každého šumového generátoru uvedena příslušná spektrální hustota napětí respektive proudu. Cílem je zjistit celkovou spektrální hustotu šumového napětí  $e_o$  na výstupu obvodu. Nejprve odvodíme dílčí přenosové funkce od jednotlivých šumových generátorů na výstup. Vzhledem k tomu, že všechny tyto přenosové funkce jsou konstantní až do frekvence pólu daného hodnotami  $R_f$  a  $C_c$ , můžeme kondenzátor  $C_c$  ignorovat a považovat přenosy za frekvenčně nezávislé. V případě generátoru reprezentujícího vstupní proudový šum operačního zesilovače má přenos rozměr  $\Omega$  a jedná se vlastně o transrezistanci.

Jednotlivé přenosové funkce jsou (při uvažování nekonečného zesílení operačního zesilovače a nekonečného vnitřního odporu tranzistoru):

$$\begin{aligned}
 H_1 &= \frac{e_o}{e_{n(\text{JFET})}} = 1 + \frac{R_f}{R_{g'}} \\
 H_2 &= \frac{e_o}{e_{R_{g'}}} = \frac{R_f}{R_{g'}} \\
 H_3 &= \frac{e_o}{e_{R_f}} = 1 \\
 H_4 &= \frac{e_o}{e_{R_d}} = \frac{gmR_fR_{g'} + R_f + R_{g'}}{gmR_dR_{g'}} \\
 H_5 &= \frac{e_o}{e_{n(\text{OPAMP})}} = \frac{gmR_fR_{g'} + R_f + R_{g'}}{gmR_dR_{g'}} \\
 R_6 &= \frac{e_o}{i_{n(\text{OPAMP})}} = \frac{gmR_fR_{g'} + R_f + R_{g'}}{gmR_{g'}}
 \end{aligned} \tag{4.11}$$

Poté vypočítáme výstupní spektrální hustotu šumového napětí od jednotlivých generátorů:

$$\begin{aligned}
e_{o1} &= e_{n(\text{JFET})}H_1 \\
e_{o2} &= \sqrt{4kTRg'}H_2 \\
e_{o3} &= \sqrt{4kTRf}H_3 \\
e_{o4} &= \sqrt{4kTRd}H_4 \\
e_{o5} &= e_{n(\text{OPAMP})}H_5 \\
e_{o6} &= i_{n(\text{OPAMP})}R_6
\end{aligned} \tag{4.12}$$

Ve výpočtu termálního šumu figuruje Boltzmannova konstanta a absolutní teplota. Nakonec sečteme jednotlivé výkony a po odmocnění získáme celkovou spektrální hustotu výstupního šumového napětí zesilovače  $e_o$ , kterou musíme vynásobit  $\sqrt{2}$ , protože jsme analýzu prováděli pro polovinu symetrického zapojení.

$$e_o = \sqrt{2}\sqrt{e_{o1}^2 + e_{o2}^2 + e_{o3}^2 + e_{o4}^2 + e_{o5}^2 + e_{o6}^2} \tag{4.13}$$

Vynásobením odmocninou z šířky pásma  $f_{BW}$ , která nás zajímá získáme výstupní integrované šumové napětí  $E_o$ .

$$E_o = \sqrt{f_{BW}e_o} \tag{4.14}$$

Následně bude popsán konkrétní postup samotného návrhu předzesilovače a postup volby součástek. Budeme vycházet ze schématu na obrázku 4.10. Zapojení je realizováno pomocí plně diferenciální operačního zesilovače OPA1632, podobně jako driver AD převodníku. Byly zvoleny JFET tranzistory typu 2SK209 od výrobce Toshiba. Jedná se o běžně dostupný typ určený pro nízkošumové audio aplikace<sup>17</sup>.

Prvním krokem návrhu je volba klidového proudu tranzistorů. Pro nejlepší linearitu je vhodné zvolit proud co nejbližší maximální možné hodnotě, kterou je velikost proudu drainu při nulovém napětí gate-source  $I_{DSS}$ . Pracovní bod by se tak nacházel v lineární části převodní charakteristiky. Dalším kritériem volby jsou šumové vlastnosti tranzistorů, ale v tomto ohledu není volba nijak kritická.

Šum tranzistoru JFET je tvořen třemi složkami: termální šum kanálu, generačně-rekombinační šum a  $1/f$  šum. Všechny tyto složky jsou zahrnuty do ekvivalentního vstupního šumového napětí. Ekvivalentní odpor kanálu je přibližně[17]:

$$R_N \approx \frac{0,67}{gm} \tag{4.15}$$

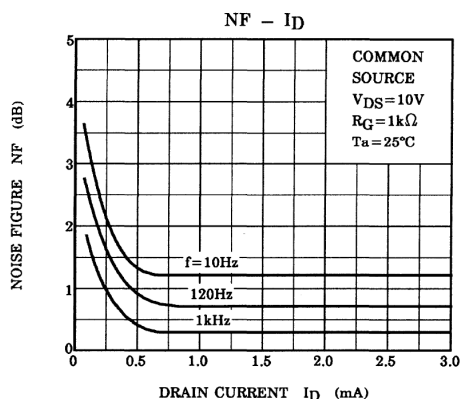
Spektrální hustota termálního šumového napětí je tedy:

$$e_n = \sqrt{4kTR_N} \tag{4.16}$$

Základní rovnice popisující chování JFET tranzistoru v saturační oblasti je (při zanedbání modulační délky kanálu napětím drain-source):

$$I_D = \beta(U_{GS} - U_T)^2 \tag{4.17}$$

<sup>17</sup>Dříve se tento typ vyráběl ve vývodovém pouzdře TO92 pod označením 2SK117.



Obrázek 4.15: Závislost šumového čísla tranzistoru 2SK209 na proudu drainu; převzato z datasheetu tranzistoru

$\beta$  je tzv. transkonduktační koeficient o rozměru  $AV^{-2}$  a  $U_T$  je napětí gate-source, při kterém je tranzistor zcela uzavřen. Z tohoto vztahu můžeme odvodit strmost jako parciální derivaci  $I_D$  podle  $U_{GS}$ :

$$gm = \frac{\partial I_D}{\partial U_{GS}} = 2\sqrt{\beta I_D} \quad (4.18)$$

Strmost JFETu závisí na odmocnině drainového proudu. Dosazením strmosti ze vztahu 4.18 do rovnice 4.15 a následně do 4.16 dostaneme závislost termálního šumu kanálu na drainovém proudu.

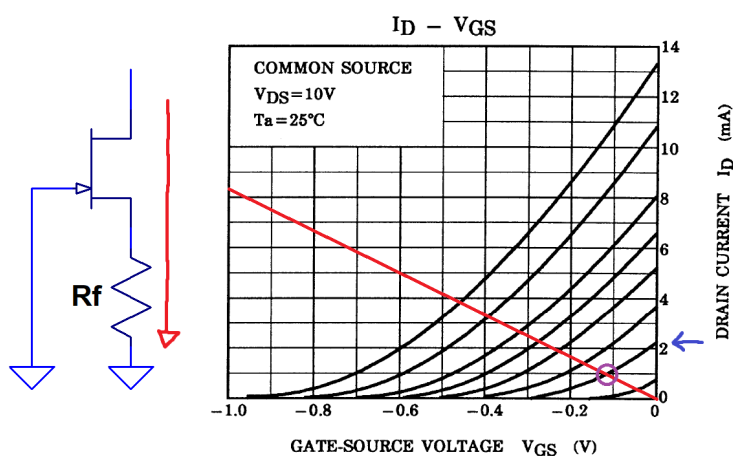
$$e_n \approx \frac{\sqrt{1,34kT}}{\sqrt{\beta I_D}} \quad (4.19)$$

Termální šum kanálu závisí na čtvrté odmocnině drainového proudu, takže jeho zvětšení nepřinese výrazné snížení šumu.

Na obrázku 4.15 je uveden graf závislosti šumového čísla (noise figure) tranzistoru 2SK209 na proudu drainu a je vidět, že při proudu větším než cca. 0,75 mA se šumové číslo nemění. Podle [18] je spektrální hustota šumového napětí tranzistoru 2SK209Y 1,3 nV/ $\sqrt{\text{Hz}}$  na frekvenci 1 kHz při proudu drainu 1 mA. Klidový proud této velikosti byl zvolen i v navrhovaném zapojení.

Jak již bylo uvedeno, stejnosměrné napětí na výstupech operačního zesilovače je v tomto zapojení nulové. Gaty tranzistorů jsou připojen k zemi vstupními odpory  $R_{in}$ . Pokud mají oba tranzistory přesně stejné parametry, tak je na jejich sourcech stejné napětí, takže na rezistoru  $R_g$  je napětí nulové a tento rezistor se ze stejnosměrného hlediska nijak neuplatňuje. Potom je zřejmé, že tranzistory jsou zapojeny s tzv. automatickým předpětím, nazývaném také self-bias<sup>18</sup>. Klidový proud každého tranzistoru teče přes rezistor  $R_f$ , na kterém vznikne úbytek napětí nastavující napětí gate-source tranzistoru. Velikost tohoto odporu bude určena podle požadovaného pracovního bodu.

<sup>18</sup>Jedná se o obdobu katodového předpětí používaného u elektronek.



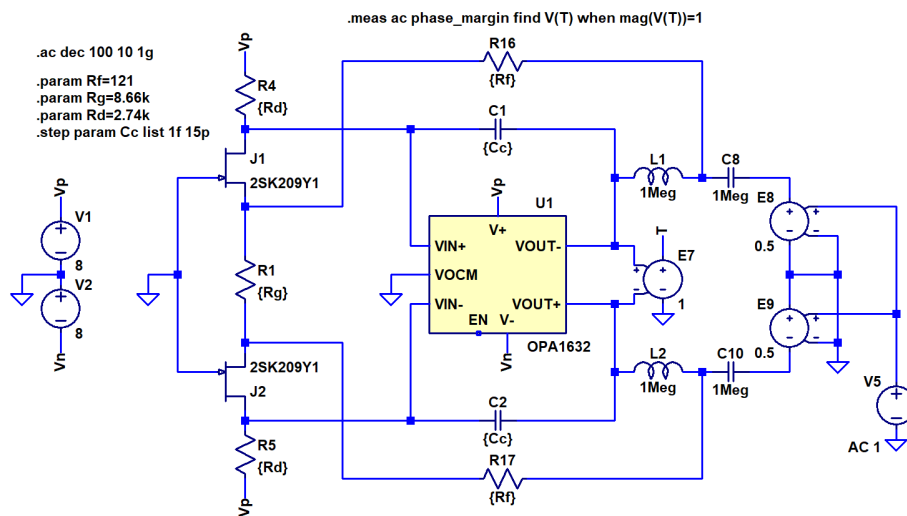
Obrázek 4.16: Převodní charakteristika tranzistoru 2SK209; převzato z datasheetu tranzistoru

Vzhledem k velkému výrobnímu rozptylu parametrů JFETů<sup>19</sup>, jsou tranzistory 2SK209 tříděny do třech skupin podle velikosti  $I_{DSS}$ . Použijeme tranzistor ze skupiny Y, kde je  $I_{DSS}$  v rozsahu (1,2 – 3,0) mA (rozptyl 2,5:1). Střední hodnota proudu v této skupině je 2,1 mA. Potřebnou velikost rezistoru  $R_f$  pro nastavení pracovního bodu můžeme určit graficky pomocí převodní charakteristiky tranzistoru na obrázku 4.16. V grafu je několik křivek odpovídajících tranzistorům s různou hodnotou  $I_{DSS}$ . Použijeme křivku označenou šipkou, která přibližně odpovídá střední velikosti proudu  $I_{DSS} = 2,1$  mA. Pracovní bod bude v průsečíku této křivky a horizontální linie vyznačující zvolený klidový proud 1 mA. Následně do grafu zakreslíme přímkou vedenou z počátku přes pracovní bod. Směrnice této přímky odpovídá převrácené hodnotě potřebného rezistoru, v tomto případě 120  $\Omega$ . Napětí  $U_{GS}$  v pracovním bodě bude asi  $-120$  mV. Pro odpor  $R_f$  byla zvolena hodnota 121  $\Omega$ .

Do grafu převodní charakteristiky můžeme přibližně dokreslit křivky odpovídajícím tranzistorům s mezními hodnotami  $I_{DSS}$  1,2 mA a 3,0 mA. Pracovní bod se vždy musí nacházet na přímkou dané odporem zapojeným v soudu. Takto můžeme zjistit, jaký bude rozptyl klidového proudu tranzistorů v zapojení. Toto se dá také zjistit výpočtem pomocí vztahu 4.17 a údajů z grafu závislosti napětí  $U_T$  na  $I_{DSS}$  uvedené v datasheetu. Tato závislost je nelineární a naznačuje, že tranzistory s různým  $I_{DSS}$  mají i trochu jiný transkonduktanční koeficient. Bylo zjištěno, že klidový proud bude (0,70 – 1,45) mA.

Pro zajištění malého DC offsetu předzesilovače je vhodné vybrat dvojici vstupních tranzistorů se stejným  $I_{DSS}$ . Vliv rozdílného  $I_{DSS}$  na výsledný stejnosměrný offset se dá vypočítat pomocí strmosti tranzistorů. Podle měření, která byla doposud provedena se zdá, že rozptyl parametrů tranzistorů jedné série je až překvapivě malý a nebude problém vybrat dvojici tranzistorů s rozdílem  $I_{DSS}$  menším než 1  $\mu A$ , případně neprovádět výběr tranzistorů vůbec.

<sup>19</sup>JFET je podpovrchový prvek a jeho parametry jsou závislé na procesu difuze, který nelze tak přesně kontrolovat jako geometrii litografického procesu.

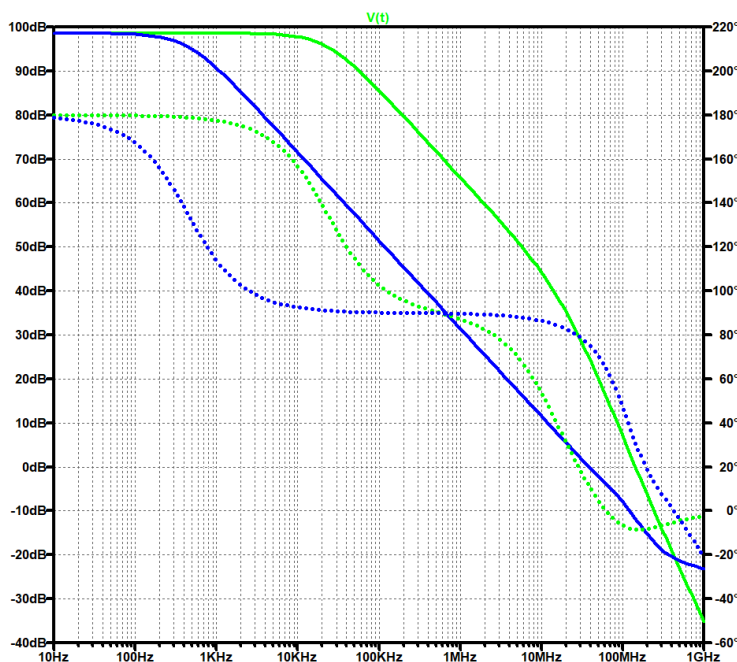


Obrázek 4.17: Schéma simulačního zapojení pro měření zesílení ve smyčce zpětné vazby (loop transfer) předzesilovače

Dalším krokem návrhu je výpočet rezistoru  $R_g'$  podle vztahu 4.10. K tomu je potřeba znát strmost tranzistoru a jeho vnitřní odpor, abychom mohli vypočítat  $\mu$ . Strmost v použitém pracovním bodě určena z příslušného grafu v datasheetu je 10 mS. Vnitřní odpor 16 k $\Omega$  byl estimován z grafu výstupní charakteristiky. Tranzistor má zesilovací činitel  $\mu = 160$ . Vypočítaná hodnota  $R_g'$  pro požadované zesílení  $H_{DC} = 0,19$  dB je 4,29 k $\Omega$ . Rezistor  $R_g$  zapojený mezi sourcy tranzistorů je dvojnásobný a použitá hodnota je 8,66 k $\Omega$ . Při neuvažování vlivu konečného zesilovacího činitele tranzistoru by byla chyba zesílení asi 0,05 dB.

Na rezistoru  $R_d$  musí být úbytek alespoň 1 V, aby byl dodržen dovolený rozsah vstupního napětí operačního zesilovače OPA1632. Minimální hodnota rezistoru je tudíž 1429  $\Omega$  (při uvažování minimálního klidového proudu tranzistorů 0,70 mA). Maximální hodnota  $R_d$  je omezena minimálním napětím gate-drain potřebným pro udržení tranzistoru v saturační oblasti. V použitém zapojení je na drainu tranzistoru konstantní napětí, ale napětí gate se samozřejmě mění spolu se vstupním signálem. Maximální diferenciální vstupní napětí je 4,89 V<sub>p</sub>, takže maximální napětí na gate jednoho tranzistoru je 2,45 V. Mezi gate a drainem musí být napětí alespoň rovné  $U_T$  tranzistoru, které je u 2SK209Y minimálně  $-1,5$  V<sup>20</sup>. Napětí na drainu tedy musí být minimálně 3,95 V. Při napájecím napětí 8 V může mít rezistor  $R_d$  hodnotu maximálně 2797  $\Omega$  (při uvažování maximálního klidového proudu tranzistorů 1,45 mA). Byla zvolena hodnota 2,74 k $\Omega$ . Zvyšováním odporu  $R_d$  roste nelineární zkreslení samotného JFETu, protože se tranzistor přibližuje práci v triodovém režimu. Zároveň ale roste zesílení celého systému. Dá se předpokládat, že bude existovat optimální hodnota  $R_d$ , při které bude mít zesilovač nejmenší zkreslení. Tato hodnota by se musela nalézt experimentálně praktickým měřením.

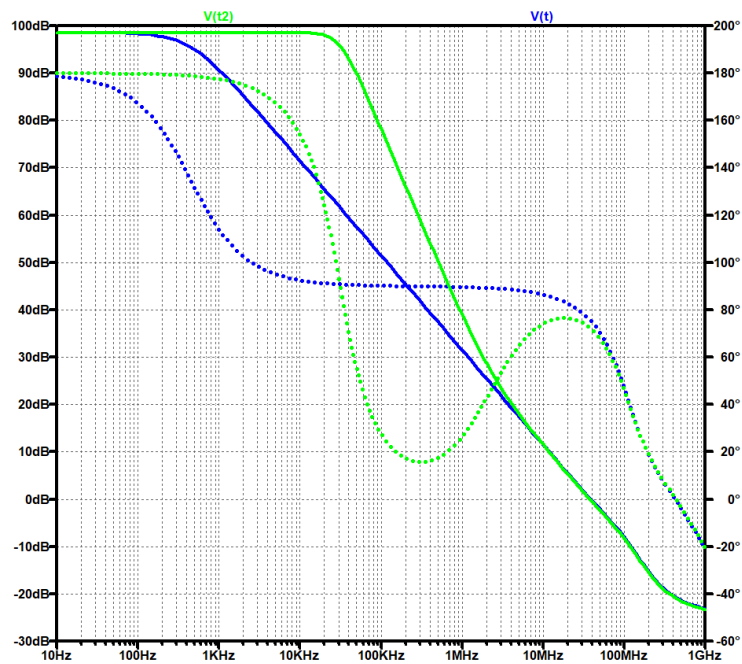
<sup>20</sup>Toto je konzervativní návrh, jelikož tranzistory 2SK209Y by při maximálním  $I_{DSS} = 3,0$  mA měli mít velikost  $U_T < 0,6$  V.



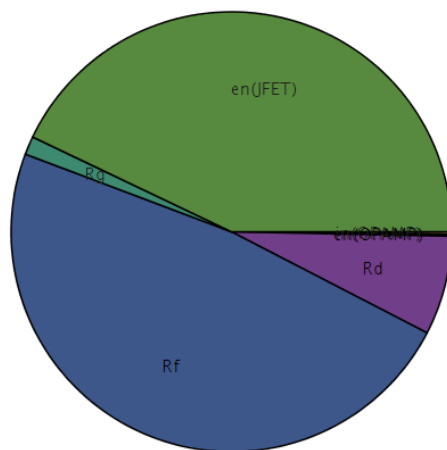
Obrázek 4.18: Průběh zesílení ve smyčce zpětné vazby (loop transfer) předzesilovače; zelená čára – před kompenzací, modrá čára – s kompenzačním kondenzátorem 15 pF

Posledním krokem návrhu předzesilovače je volba kompenzačního kondenzátoru  $C_c$ . Na obrázku 4.17 je schéma zapojení použité pro simulaci obvodu a změření zesílení ve smyčce zpětné vazby (loop transfer, loop gain). Obě smyčky jsou přerušeny induktory s velkou indukčností, takže je zpětná vazba uzavřena pouze pro stejnosměrné napětí[19]. Budící signál je zapojen přes kapacitury velké hodnoty. Podíl budícího napětí a diferenciálního napětí na výstupu zesilovače odpovídá zesílení ve smyčce, jehož průběh je zobrazen na obrázku 4.18. Zelená čára udává zesílení bez kompenzace. Frekvence jednotkového zisku je 144 MHz a fázová rezerva je  $-8,5^\circ$ . Obvod je nestabilní. Průběh zesílení po zapojení zvoleného kompenzačního kondenzátoru s kapacitou 15 pF znázorňuje modrá čára. Frekvence jednotkového zisku je nyní 38,9 MHz a fázová rezerva je  $75^\circ$ . Jedná se o kompenzaci dominantním pólem, jehož frekvence je nastavena na 445 Hz.

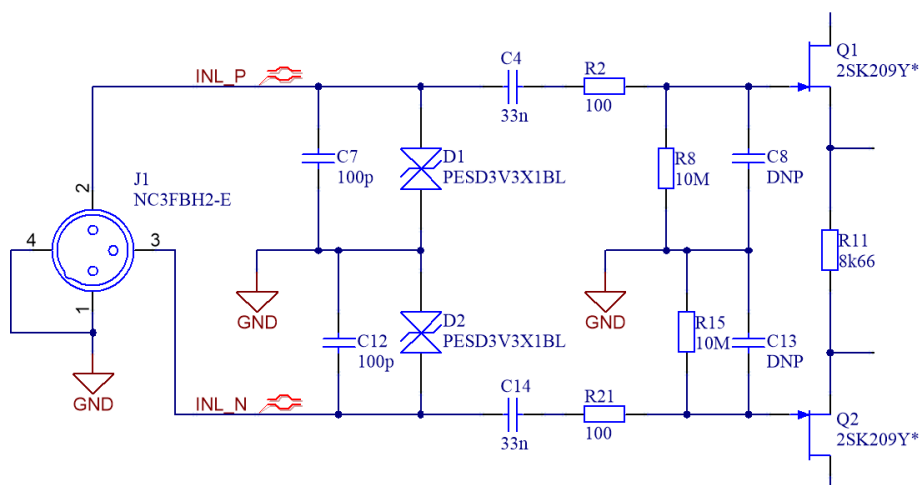
Potenciál zapojení by byl lépe využit při použití dvoupólové kompenzace[20]. V tomto případě je zpětnovazební síť minoritní smyčky kolem operačního zesilovače tvořena dvěma kondenzátory a rezistorem, zapojenými místo kondenzátoru  $C_c$ . Jak je vidět z grafu na obrázku 4.19, při tomto způsobu kompenzace je zesílení na frekvenci 10 kHz téměř o 30 dB větší, přičemž frekvence jednotkového zisku a fázová rezerva jsou skoro stejné jako při kompenzaci dominantním pólem. Lze předpokládat, že použitím této kompenzace by došlo k výraznému zlepšení linearitu obvodu na vyšších frekvencích audio pásma. Toto zapojení nebylo implementováno, protože je předpokládáno, že linearita obvodu bude dostatečná i s jednodušší kompenzací.



Obrázek 4.19: Průběh zesílení ve smyčce zpětné vazby (loop transfer) předzesilovače; zelená čára – dvou pólová kompenzace, modrá čára – kompenzace dominantním pólem (pro porovnání)



Obrázek 4.20: Relativní příspěvky jednotlivých šumových výkonů k celkovému šumu předzesilovače; zelená – šum JFETů, modrá – šum rezistorů  $R_f$ , modrozelená – šum rezistoru  $R_g$ , fialová – šum rezistorů  $R_d$ , příspěvek šumu operačního zesilovače je zanedbatelný



Obrázek 4.21: Schéma zapojení vstupní části předzesilovače

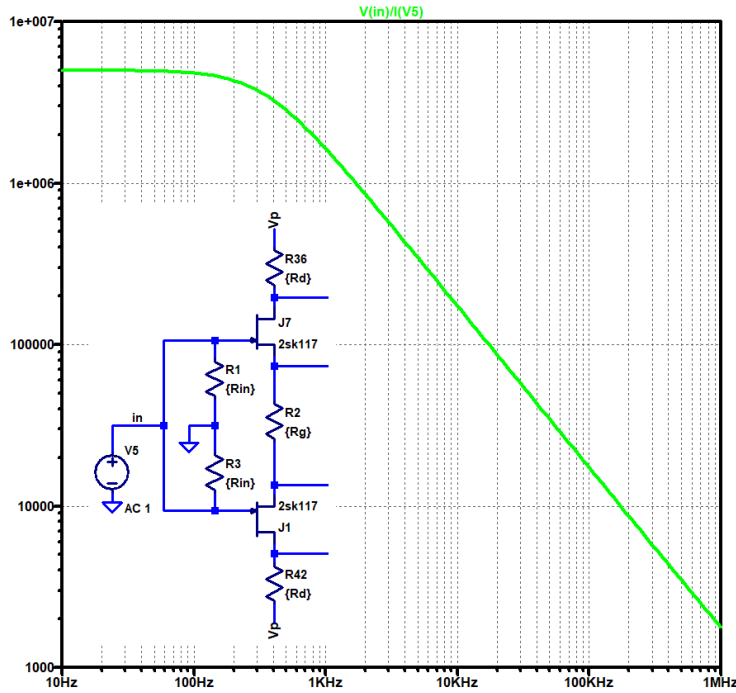
Vypočítaná spektrální hustota ekvivalentního vstupního šumového napětí předzesilovače je  $1,99 \text{ nV}/\sqrt{\text{Hz}}$ . Na obrázku 4.20 jsou graficky zobrazeny výkonové příspěvky jednotlivých zdrojů šumu. Dominantní vliv má šum zpětnovazebních rezistorů a tranzistorů. Šum operačního zesilovače je zcela zanedbatelný. Zmenšením hodnoty zpětnovazebních rezistorů by bylo možné snížit celkový šum tak, že by byl jen o málo větší, než šum samotných JFET tranzistorů.

Na obrázku 4.21 je uvedeno zapojení vstupní části předzesilovače. Symetrický vstupní signál je připojen XLR konektorem, za kterým jsou zapojeny odrušovací kondenzátory, které mají malou impedanci pro případné rušivé RF signály. Pro ochranu obvodu před elektrostatickým výbojem jsou použity obousměrné ESD diody. Je potřeba vybrat typ s velmi nízkou kapacitou, protože tato kapacita je modulována signálovým napětím a může způsobovat nelineární zkreslení při připojení zdroje signálu s velkým vnitřním odporem. Vazební kondenzátory C4 a C14 oddělují obvod vstupních tranzistorů od případného DC offsetu připojeného zařízení, který by jinak měl vliv na nastavení pracovního bodu tranzistorů. Rezistory R8 a R15 připojují gaty tranzistorů k zemnímu potenciálu a svou velkou hodnotou zachovávají vysokou vstupní impedanci předzesilovače. Sériové rezistory R2 a R21 tvoří low-pass filtr společně se vstupní kapacitou tranzistorů a s kondenzátory, které lze osadit na pozice C8 a C13.

Pro diferenciální vstupní signál má předzesilovač velmi malou vstupní kapacitu, jelikož kapacita gate-source tranzistorů je bootstrapována a napětí na drainu je prakticky konstantní, takže je eliminován Millerův efekt podobně jako při použití kaskódy. Výsledná vstupní kapacita (každého ze vstupních vodičů) je tvořena kapacitou gate-drain tranzistoru, která je cca.  $3 \text{ pF}$ .

Jiná situace nastává pro souhlasný vstupní signál. Na obrázku 4.22 je zobrazena velikost vstupní common-mode impedance v závislosti na frekvenci. Impedance pro velmi nízké frekvence je  $5 \text{ M}\Omega$  a frekvence pólu je asi  $346 \text{ Hz}$ , z čehož vyplývá velikost vstupní kapacity  $90 \text{ pF}$  ( $45 \text{ pF}$  na každý tranzistor). To je způsobeno tím, že pro souhlasný vstupní signál pracují oba tranzistory paralelně jako zesilovače se společným sourcem a degeneračními rezistory  $R_f$ . Vstupní kapacita  $C_{IN}$  každého tranzistoru je dána vztahem:



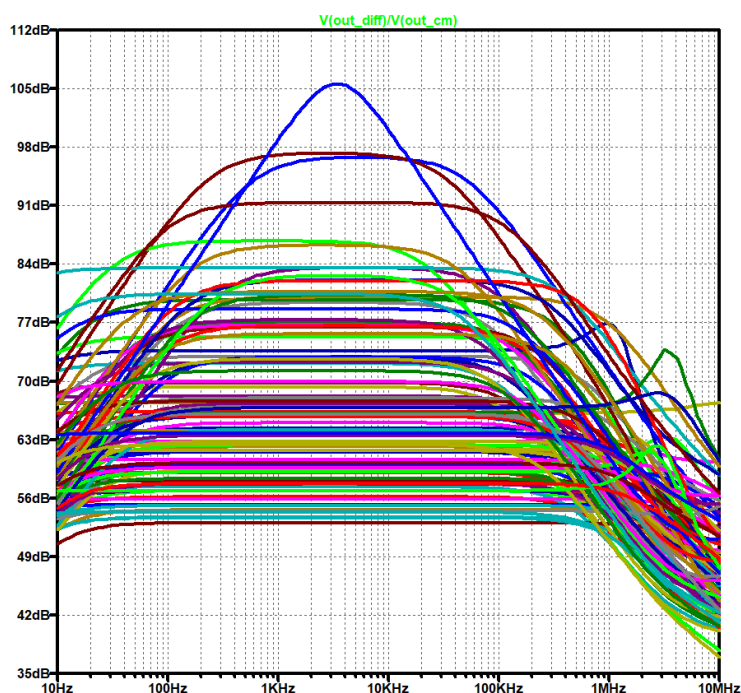


Obrázek 4.22: Velikost vstupní common-mode impedance zesilovače v závislosti na frekvenci; na schématu je naznačeno měřící zapojení

$$C_{IN} = C_{GS} \left( 1 - \frac{R_f}{R_f + \frac{1}{gm}} \right) + C_{GD} \left( 1 + \frac{gm R_d}{1 + gm R_f} \right) \quad (4.20)$$

Je vhodné, aby tato vstupní kapacita byla co nejmenší, protože zmenšuje velikost vstupní impedance pro souhlasné signály na vyšších frekvencích. Pro dosažení velkého potlačení souhlasného signálu i v případě, že připojený zdroj signálu má nesymetrickou výstupní impedanci je potřeba, aby vstupní common-mode impedance byla co největší. Tuto impedanci zmenšují také vstupní odrušovací kondenzátory ( $C7$  a  $C12$  na obrázku 4.21). Jejich vliv se dá potlačit zavedením kladné zpětné vazby (bootstrapu) pro souhlasné signály, což u některých integrovaných předzesilovačů používá firma THAT[21].

Potlačení souhlasného signálu je obecně citlivé na tolerance součástek v zapojení. V ideálním případě, když budou mít všechny prvky nominální hodnotu, má navržené zapojení CMRR asi 89 dB až do frekvence 1 MHz. Analyticky lze vypočítat nejhorší možnou hodnotu při uvažování mezních hodnot součástek, ale pravděpodobnost, že nastane tato situace je velmi malá. Pro zjištění variace CMRR byla provedena Monte Carlo simulace zapojení s předpokladem rovnoměrného rozdělení hodnot součástek v daném tolerančním rozsahu. Z obrázku 4.23 znázorňujícího CMRR v závislosti na frekvenci pro 100 průchodů simulace je vidět, že minimální velikost CMRR je asi 52 dB. Ze získaných dat by bylo možné sestavit histogram a získat tak odhad rozložení pravděpodobnosti různých



Obrázek 4.23: Potlačení souhlasného signálu (CMRR) v závislosti na frekvenci; 100 průchodů Monte Carlo simulace

velikostí CMRR. Jelikož je zapojení citlivé na symetrii (párování) prvků a nikoliv jejich absolutní hodnoty, lze předpokládat, že tento odhad by byl pesimistický a ve skutečnosti bude dosažitelné CMRR poměrně velké. Součástky jedné výrobní série (např. rezistory) mohou mít všechny podobnou hodnotu.

### 4.2.3 Zhodnocení navrženého frontendu

V této sekci bude zjištěno jakou měrou šum analogových obvodů degraduje dynamický rozsah AD převodníku. V tabulce 4.1 jsou uvedena integrovaná šumová napětí jednotlivých částí analogového frontendu. Položka  $R_{\text{low-pass}}$  představuje šum rezistorů low-pass filtru na vstupu předzesilovače (R2 a R21 na obrázku 4.21). Podle datasheetu AD převodníku je jeho vlastní integrované šumové napětí  $31,5 \mu\text{V}_{\text{RMS}}$  při šířce pásma 1 MHz. Z toho vyplývá spektrální hustota šumového napětí  $31,5 \text{ nV}/\sqrt{\text{Hz}}$ , s jejíž znalostí lze vypočítat integrované šumové napětí v audio pásmu. Všechny hodnoty v tabulce jsou vztaženy k úrovni na vstupu AD převodníku.

Všechny zdroje šumu považujeme za nekorelované, takže součtem jejich výkonů zjistíme, že celkové integrované šumové napětí  $E_n$  je  $4,593 \mu\text{V}_{\text{RMS}}$  ve frekvenčním pásmu 20 Hz – 20 kHz. Signálové napětí  $E_{\text{signal}}$  plné úrovně je  $3,536 \text{ V}_{\text{RMS}}$ . Odstup signál-šum je definován jako:

$$SNR = 20 \log_{10} \left( \frac{E_{\text{signal}}}{E_n} \right) \quad (4.21)$$

Zdroj šumu	Integrované šumové napětí (20 Hz – 20 kHz) [ $\mu\text{V}_{\text{RMS}}$ ]
$R_{\text{low-pass}}$	0,186
Předzesilovač	0,289
Filtr/Driver	1,063
AD převodník	4,455
Celkem	4,593

Tabulka 4.1: Přehled integrovaného šumového napětí jednotlivých částí analogového frontendu; hodnoty jsou vztaženy k úrovni na vstupu AD převodníku

Vypočítané  $SNR$  celého řetězce AD převodu je 117,73 dB v audio pásmu. Analogový frontend degraduje dynamický rozsah AD převodníku pouze o 0,27 dB. Z údajů v tabulce je zřejmé, že z analogových obvodů je dominantním zdrojem šumu driver převodníku.

V audio technice se pro udávané parametry často používá A-vážení. Při výpočtu  $SNR$  to znamená, že spektrální hustota šumového napětí se před integrací vynásobí specifickou váhovací funkcí, jejíž průběh vychází z frekvenčně závislé citlivosti lidského sluchu. Pro zjednodušený přibližný výpočet můžeme počítat s ekvivalentní šumovou šířkou pásma A-váhovací funkce, která je asi 13,46 kHz<sup>21</sup>. Potom vychází, že váhované  $SNR_A = 119,5$  dB.

Je třeba zmínit, že v uvedených údajích se neuvažuje vliv šumu referenčního napětí AD převodníku, jehož vliv závisí na okamžité hodnotě vstupního napětí převodníku[22]. Jako zdroj referenčního napětí je použit lineární regulátor LT3042, který má integrované šumové napětí v audio pásmu pouhých 0,28  $\mu\text{V}_{\text{RMS}}$ , takže jeho vliv na dynamický rozsah řetězce bude minimální.

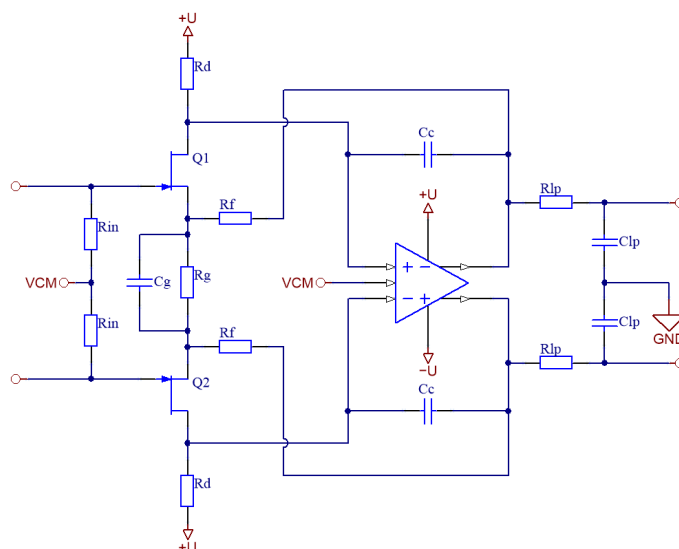
Na závěr výkladu o návrhu analogové vstupní části přístroje by mohla vyvstat otázka, zda by bylo možné celý frontend řešit jednodušeji, nejlépe s použitím pouze jednoho operačního zesilovače, při současném splnění alespoň některých požadavků na vlastnosti obvodu. Teoreticky by to možné bylo a takoveto zapojení je pro zajímavost uvedeno na obrázku 4.24. Tento obvod vychází z popsaného zapojení předzesilovače, přičemž přidáním kondenzátoru  $C_g$  mezi source vstupních tranzistorů se dosáhne toho, že má obvod přenosovou funkci 3. řádu. Toto zapojení v praxi použít nelze, protože při nastavení na požadovanou přenosovou funkci má obvod velmi špatné šumové vlastnosti.

### 4.3 Výstupní filtr pro DA převodník

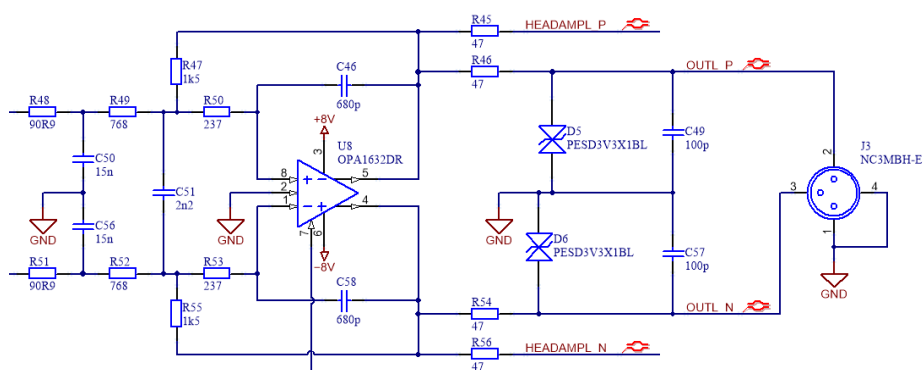
Na diferenciální napěťové výstupy DA převodníku AK4493EQ je připojen výstupní low-pass filtr. Jedná se o obvod, jehož účelem je utlumení reziduálního rušení na frekvencích nad akustickým pásmem, aby nepronikalo do obvodů připojených na výstupy přístroje.

Na obrázku 4.25 je kompletní schéma zapojení výstupního filtru pro jeden kanál DA převodníku[8]. Výstupní souhlasné napětí plně diferenciálního operačního zesilovače je nastaveno na nulu, takže se eliminuje stejnosměrná složka signálového napětí na výstupech převodníku. Obvod byl navržen stejným princi-

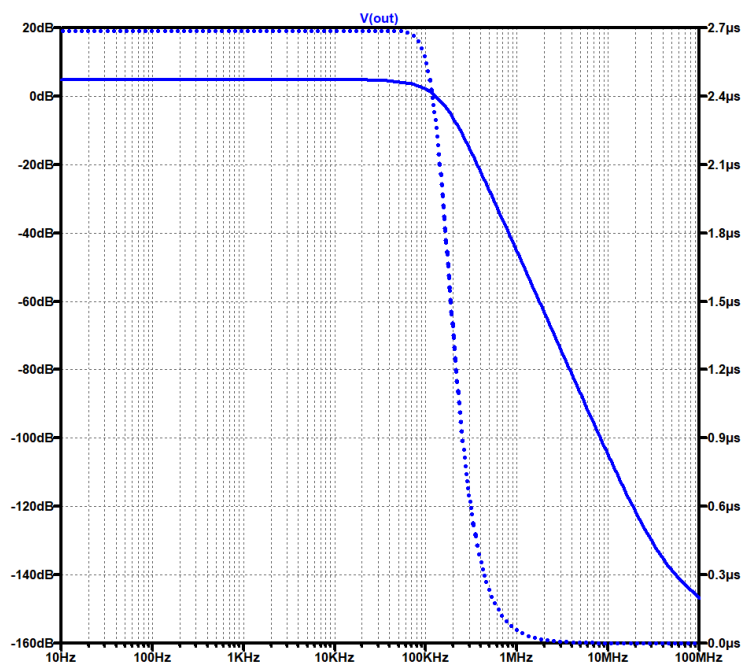
<sup>21</sup>Tento údaj lze zjistit výpočtem na základě definice váhovací funkce podle normy IEC 61672:2003.



Obrázek 4.24: Hypotetické zapojení frontendu pro AD převodník využívající pouze jeden operační zesilovač; pro účely navrhovaného zařízení toto zapojení bohužel nelze použít



Obrázek 4.25: Schéma zapojení výstupního filtru pro DA převodník

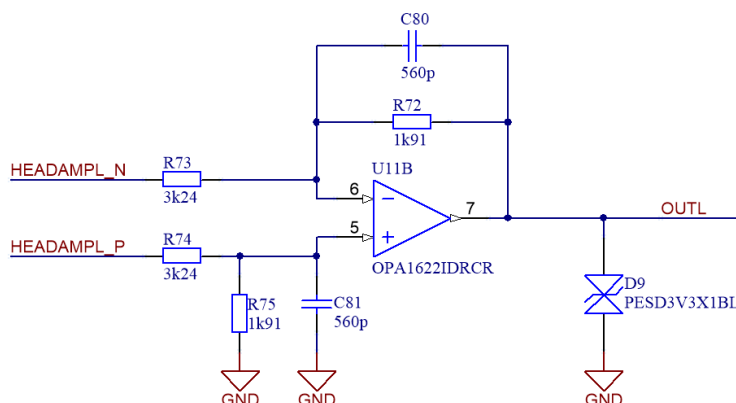


Obrázek 4.26: Amplitudová frekvenční charakteristika a závislost skupinového zpoždění na frekvenci přenosové funkce filtrů pro AD a DA převodníky

pem výpočtu, který byl nastíněn v sekci o driveru AD převodníku. Rozdílem bylo zavedení další omezující podmínky návrhu, a sice minimální velikosti vstupní impedance, aby byly dodrženy požadavky maximální zátěže pro DA převodník. Dalším odlišností je požadovaný zisk filtru  $+4,85$  dB pro přizpůsobení výstupní úrovně signálu. Pro tento filtr byla zvolena stejná přenosová funkce, jako pro filtr před AD převodníkem (Bessel 3. řádu s mezní frekvencí  $59,06$  kHz) a její amplitudová frekvenční charakteristika a průběh skupinového zpoždění je zobrazen na obrázku 4.26.

K výstupnímu konektoru jsou připojeny kondenzátory pro potlačení rušivých signálů přivedených připojeným kabelem a ESD diody pro ochranu před elektrostatickým výbojem. Výstupy operačního zesilovače jsou ke konektoru připojeny přes oddělovací rezistory o velikosti  $47 \Omega$ , které zajišťují stabilitu zpětné vazby při kapacitní zátěži zesilovače tvořené kapacitou připojeného kabelu. S uvedenou hodnotou rezistorů má obvod fázovou rezervu  $> 65^\circ$  bez ohledu na zatěžovací kapacitu. Signál z výstupů filtru je také připojen ke vstupům zesilovače pro sluchátka, který bude popsán v následující sekci. Propojení je zavedeno přes další pár oddělovacích rezistorů (kvůli kapacitě dlouhých spojů na desce), protože kdyby byl sluchátkový zesilovač připojen za oddělovací rezistory výstupu na XLR konektoru, zatížení vstupní impedancí zesilovače by způsobilo úbytek napětí na rezistorech a tedy změnu nominální výstupní úrovně.

Provedená SPICE simulace vykázala ekvivalentní vstupní integrované šumové napětí filtru  $1,19 \mu\text{V}_{\text{RMS}}$  v audio pásmu. Výstupní filtr degraduje dynamický rozsah DA převodníku asi o  $1,3$  dB a očekávané *SNR* je cca.  $118,6$  dB.



Obrázek 4.27: Schéma zapojení jednoho kanálu zesilovače pro sluchátka

#### 4.4 Zesilovač pro sluchátka

Pro pohodlnou možnost přímého připojení sluchátek k navrhovanému zařízení je přístroj vybaven zvláštním zesilovačem. Jednou z věcí, kterou je třeba rozhodnout při návrhu takového zesilovače je volba maximální velikosti výstupního signálu. Potřebné napětí závisí na impedanci připojených sluchátek, jejich citlivosti a požadované hlasitosti poslechu. Jelikož se běžně používají sluchátka s impedancí (16 – 600)  $\Omega$ , požadavky jsou velice různé. V tomto případě bylo zvoleno výstupní napětí 2  $V_{RMS}$  při plné úrovni DA převodníku. V některých komerčně dostupných audio zařízeních je výstupní napětí sluchátkového zesilovače volitelné v několika krocích.

Pro realizace zesilovače pro sluchátka se používá celá škála různých řešení od jednoduché aplikace integrovaných obvodů až po zapojení čistě z diskretních součástek. Velice populární je např. použití operačního zesilovače s proudovou zpětnou vazbou TPA6120A2. Sluchátkový zesilovač by měl mít co nejmenší výstupní impedanci, protože jinak dochází k ovlivnění frekvenční charakteristiky sluchátek (na akustické straně) vlivem frekvenčně závislého proudu, který odebírají. Většina zapojení zesilovačů vyžaduje v sérii s výstupem zapojený oddělovací rezistor zajišťující stabilitu s kapacitní zátěží, kterou sluchátka s přírodním kabelem na vyšších frekvencích představují. Tím se však výstupní impedance zvyšuje. Lepším řešením je použití oddělovací cívky nebo tzv. ferrite bead. Zesilovač je ovšem možné navrhnout tak, aby byl inherentně stabilní s takřka libovolnou kapacitní zátěží bez nutnosti použití oddělovacího rezistoru.

Na obrázku 4.27 je zvolené zapojení zesilovače pro sluchátka. Je použit obvod OPA1622 od výrobce Texas Instruments. Jedná se o operační zesilovač s velkým výstupním proudem speciálně určený pro tuto aplikaci. Stabilita je v tomto případě zajištěna velmi malou open-loop výstupní rezistancí zesilovače a jeho specifickou open-loop přenosovou funkcí obsahující nulu[23]. Operační zesilovač je zapojen jako diferenční attenuátor s útlumem 4,76 dB. Kondenzátory nastavují pól přenosové funkce na frekvenci asi 149 kHz pro omezení šířky pásma zesilovače.

Předvídaná hodnota odstupů signál-šum na výstupu sluchátkového zesilovače je asi 117 dB.

## Kapitola 5

# Návrh napájecích zdrojů

### 5.1 Požadavky na napájecí zdroje

Rozborem navržených obvodů byly zjištěny požadavky na potřebné zdroje napájecích napětí.

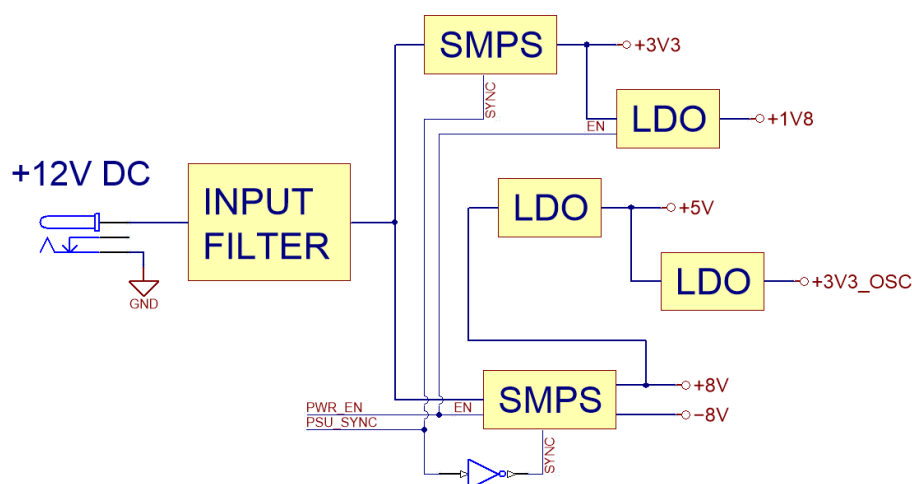
- +3,3 V pro napájení mikrokontroléru, Flash paměti, vstupně-výstupních bank CPLD a digitálních části převodníků
- +1,8 V pro napájení jádra CPLD a digitální části AD převodníků
- +5 V pro napájení analogové části DA převodníku, pro jeho referenční napětí a jako referenční napětí pro AD převodníky
- +3,3 V pro napájení master clock oscilátorů a obvodů pro distribuci hodinových signálů
- $\pm 8$  V pro napájení analogových obvodů s operačními zesilovači

Z odhadnuté spotřeby přístroje vyplývá, že k napájení nelze použít USB připojení, protože z něj lze odebrat maximálně 2,25 W. Bylo rozhodnuto, že k napájení bude použit běžný adaptér se stejnosměrným napětím 12 V.

V dalších sekcích této kapitoly bude detailně popsán návrh jednotlivých napájecích zdrojů. Přístroj obsahuje dva spínané zdroje, jejichž pracovní frekvence je synchronizována se vzorkovací frekvencí AD převodníků. Tím se dosáhne toho, že případné rušení, které by proniklo do vstupů AD převodníků se projeví pouze jako změna stejnosměrné složky na digitální straně.

### 5.2 Napájecí zdroj pro operační zesilovače

Na obrázku 5.2 je principiální schéma zapojení zvolené topologie invertujícího buck-boost měniče s přidáním flyback vinutím.  $C_{in}$  je vstupní blokovací kondenzátor,  $C_{out+}$  a  $C_{out-}$  jsou výstupní kondenzátory a  $R_{load+}$  a  $R_{load-}$  jsou zatěžovací rezistory na kladné a záporné výstupní větvi. Červené šipky znázorňují směr toku proudu, šedé šipky vyznačují polaritu napětí na cívkách. Kondenzátor  $C_{byp}$  není nezbytný pro funkci tohoto zapojení, ovšem je přítomen při praktické realizaci zdroje jako blokovací kondenzátor napájení použitého integrovaného obvodu.



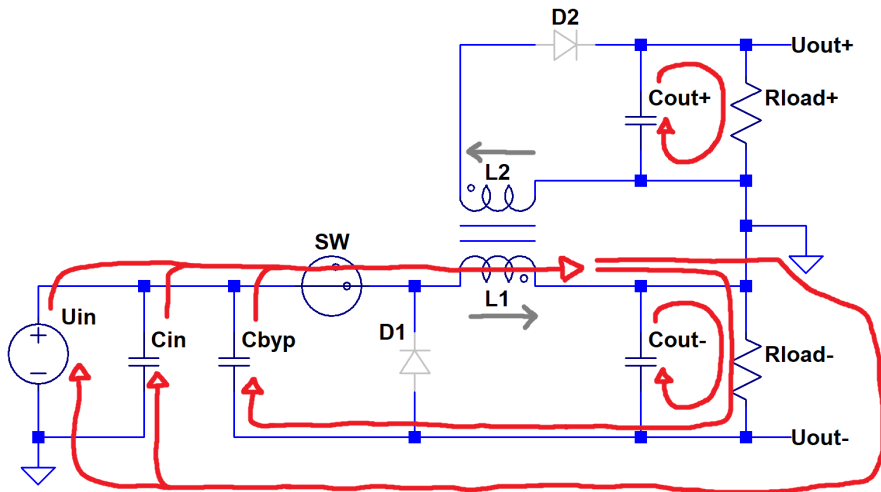
Obrázek 5.1: Blokové schéma zapojení navrženého napájecího subsystému; SMPS = spínaný zdroj, LDO = lineární regulátor

Princip činnosti je následující: v první části pracovní periody je spínač (realizovaný typicky tranzistorem MOSFET) sepnutý a proud ze zdroje teče přes cívku – primární vinutí vázaných induktorů do země. Obě diody jsou při tom zavřené a proud do zátěží je dodáván z výstupních kondenzátorů. V indukčnosti se akumuluje energie. V druhé části periody se spínač rozpojí a na obou vázaných cívkách se objeví indukované napětí opačné polarity oproti první fázi periody. Směr proudu v primárním vinutí se nemění, induktory nyní pracují ve zdrojovém režimu. Obě diody jsou nyní otevřeny a teče přes ně proud doplňující náboj ve výstupních kondenzátorech. Vzhledem k uspořádání obvodu je zřejmé, že na spodní výstupní větvi je vůči zemi záporné napětí a na horní větvi napětí kladné. V tomto zapojení tranzistor (tzv. high-side switch) připojuje napětí zdroje k cívce, jejíž druhý konec je uzemněný. Jedná se vlastně o neizolovanou topologickou variantu známého zapojení flyback měniče, ve kterém tranzistor (v tomto případě tzv. low-side switch) připojuje k zemi cívku, jejíž druhý konec je připojen ke zdroji. Z uvedeného zapojení je také vidět, že blokovací kondenzátor  $C_{byp}$  se v každé periodě střídavě nabíjí a vybíjí.

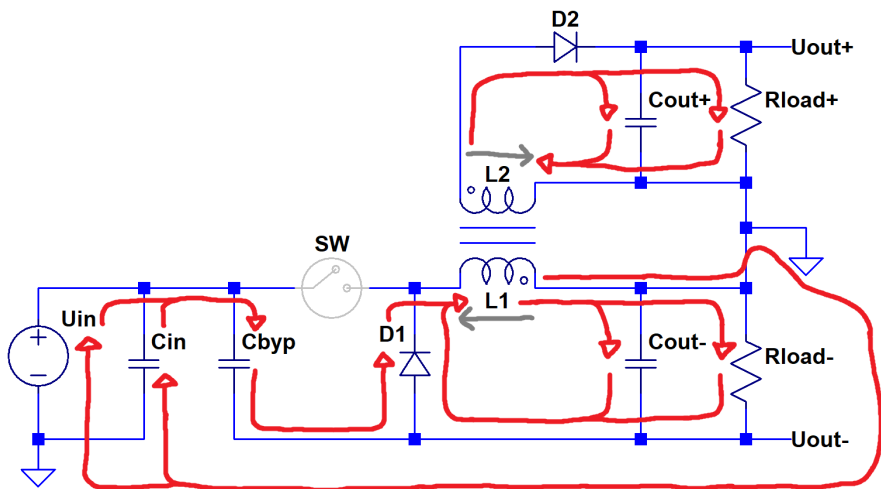
Pokud mají obě vinutí vázaných induktorů (transformátoru) stejný počet závitů, tak za předpokladu dokonalé magnetické vazby na nich musí být stejné indukované napětí. Při zanedbání ztrát v obvodu (vlivem DC odporu vinutí, propustného napětí diod, atd.) má tedy výstupní napětí obou větví stejnou velikost, a to i při rozdílném zatížení. Toto je velká výhoda tohoto zapojení. Obě výstupní větve měniče, kladná i záporná, pracují na stejném principu a prostřednictvím magnetické vazby jsou zapojeny paralelně. Zdroj této topologie má nespojitý vstupní i výstupní proud.

Praktická realizace popsaného napájecího zdroje začala výběrem vhodného integrovaného obvodu. Zapojení lze implementovat s jedním z mnoha dostupných obvodů určených pro buck (step-down) měniče. Je avšak vhodné zvolit obvod umožňující externě nastavit frekvenční kompenzaci zpětnovazební smyčky, jelikož jak bude dále uvedeno, toto zapojení vyžaduje jinou volbu kompenzace než buck měnič.



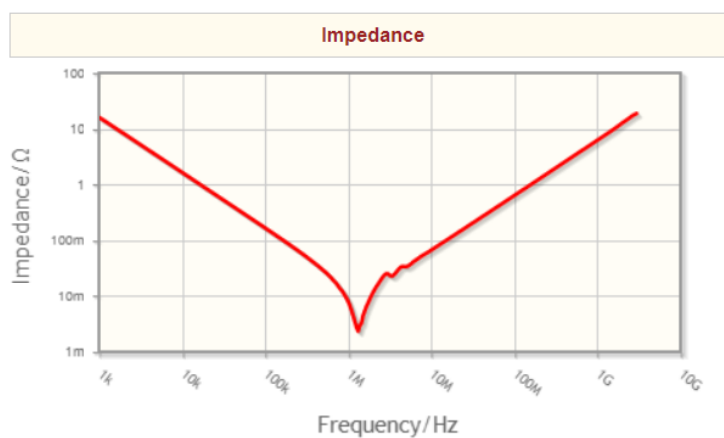


(a) Spínač je sepnut



(b) Spínač je rozepnut

Obrázek 5.2: Principiální zapojení invertujícího buck-boost měniče s přidavným flyback vinutím



C3225X7R1E106K250AC

Obrázek 5.3: Průběh velikosti impedance keramického kondenzátoru 10  $\mu\text{F}$ /25 V X7R 1210 v závislosti na frekvenci; obrázek převzat z internetových stránek výrobce TDK

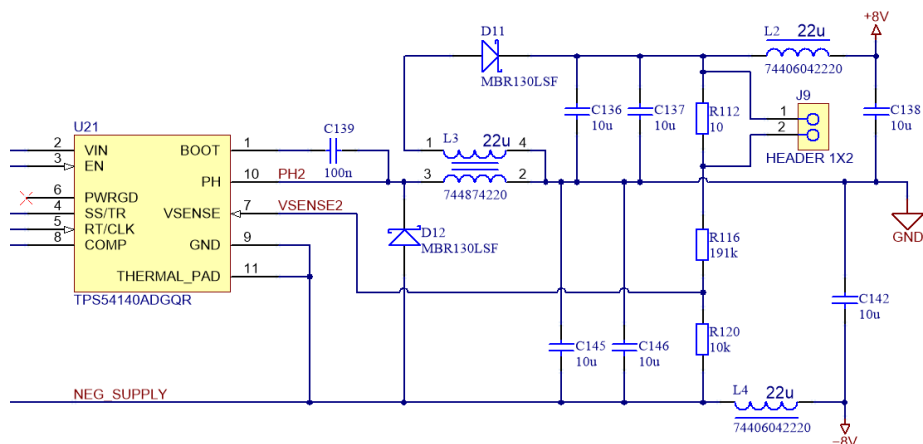
Požadavky na integrovaný obvod byly následující:

- obvod pro buck měnič pracující na konstantní frekvenci s řízením v tzv. peak-current control módu
- Rozsah vstupního napětí alespoň do 25 V
- Integrovaný spínací tranzistor dimenzovaný na dostatečný proud
- Externí kompenzace zpětnovazební smyčky
- ENABLE vstup umožňující vypnutí zdroje
- Rozsah spínací frekvence alespoň do 1,536 MHz; vstup pro externí hodinový signál

Byl zvolen integrovaný obvod TPS54140A od výrobce Texas Instruments, který splňuje všechny uvedené požadavky. Obsahuje spínací N-MOS tranzistor dimenzovaný na proud více jak 1,5 A a nabízí další přídavné funkce, jako je soft-start (obvod zajišťující postupný náběh výstupního napětí za účelem snížení nárazového proudu odebíraného měničem po zapnutí) a „power good“ indikátor, což je signál aktivní v případě, že je výstupní napětí zdroje v určitých mezích kolem nastavené hodnoty.

Samotný návrh zapojení probíhal především podle postupu uvedeného v [24] a nebude zde podrobně uveden. Zmíníme alespoň některé aspekty výběru součástek. Zvolená dvojitá cívka má indukčnost 22  $\mu\text{H}$ <sup>22</sup>. Výrobce součástky, firma Würth Elektronik nabízí pro podporu vývoje on-line nástroj umožňující přibližný výpočet střídavých ztrát cívky.

<sup>22</sup>Jedná se o indukčnost jednoho vinutí, respektive obou vinutí zapojených paralelně, jelikož paralelním zapojením vinutí se stejným počtem závitů se indukčnost nemění.



Obrázek 5.4: Schéma zapojení výkonné části spínaného napájecího zdroje pro operační zesilovače

Pro dosažení co nejmenšího zvlnění výstupního napětí musejí mít výstupní kondenzátory co nejmenší ekvivalentní sériový odpor (ESR). Prvotní volbou jsou tedy MLCC keramické kondenzátory, v tomto případě s dielektrikem X7R. Typickou vlastností kondenzátorů s dielektrikem 2. třídy je značná závislost kapacity na stejnosměrném polarizačním napětí. Tato závislost se liší u různých dielektrik a také mezi podobnými typy kondenzátorů od různých výrobců. Obecně lze říci, že čím vyšší energetické hustoty kondenzátor dosahuje – tedy velké kapacity ve fyzicky malém pouzdru, tím větší je efekt snížení kapacity po přiložení DC napětí. V tomto případě byly zvoleny kondenzátory 10  $\mu\text{F}$  na 25 V v pouzdru velikost 1210.

Výstupní kondenzátory je vhodné zvolit tak, aby měli na pracovní frekvenci měniče co nejmenší impedanci, aby byl úbytek napětí způsobený protékajícím proudem zvlnění (tzv. ripple current) také co nejmenší. Průběh velikosti impedance vybraných kondenzátorů v závislosti na frekvenci je na obrázku 5.3. Z grafu je vidět, že vlastní rezonanční frekvence kondenzátoru je asi 1,3 MHz, tedy velmi blízko rozsahu spínacích frekvencí zdroje, přičemž velikost impedance v rezonanci (rovnající se ESR) je asi 2,4 m $\Omega$ . Při DC napětí 8 V kapacita kondenzátoru poklesne asi o 10% na 9  $\mu\text{F}$ . Tato změna kapacity má malý vliv na polohu vlastní rezonance kondenzátoru, jelikož podle Thomsonova vztahu je rezonanční frekvence nepřímě úměrná odmocnině z kapacity. Na každé výstupní větvi měniče jsou použity dva tyto kondenzátory paralelně a stejný typ kondenzátoru je použit také na vstupu a jako blokovací kondenzátor napájení integrovaného obvodu (zapojený mezi vstupním napětím a výstupním záporným napětím).

Na obrázku 5.4 je výsledné zapojení výkonné části napájecího zdroje pro operační zesilovače. Zem integrovaného obvodu je připojena na výstupní větev se záporným napětím. Řídicí obvod je tedy zapojen jako plovoucí a je namáhán napětím rovnu součtu vstupního napětí a absolutní hodnoty záporného výstupního napětí. Stejným napětím jsou namáhány i diody, takže byly zvoleny 1 A 30 V Schottkyho diody s dostatečnou rezervou mezních parametrů.

Jak je vidět ze zapojení, zvolená topologie zdroje umožňuje zapojit zpětnovazební dělič mezi kladnou a zápornou výstupní větev. Řídící smyčka měniče tak reguluje celkovou velikost (rozdíl) výstupních napětí, v tomto případě 16 V. Symetrie výstupních napětí je, jak již bylo uvedeno, zajištěna symetrickým uspořádáním obou výstupních větví a ve skutečnosti je při rozdílném zatížení výstupních větví limitována na proud závislými ztrátami v reálných obvodových prvcích a nedokonalou magnetickou vazbou mezi vinutími dvojité cívky.

Jako u ostatních topologií spínaných zdrojů s nepřímým přenosem energie, malosignálová přenosová funkce řídicího napětí na výstupní napětí (tzv. plant transfer function) invertujícího buck-boost měniče obsahuje nulu v pravé polorovině[27]. Z toho důvodu je nutné zvolit nízkou mezní frekvenci zpětnovazební smyčky a tranzientní odezva regulace je pomalá. Pro napájení audio obvodů s téměř konstantním odběrem toto nevádí. Kompenzace zpětné vazby je provedena takzvaným kompenzátořem typu 2, který je implementován pomocí transkonduktačního zesilovače v řídicím integrovaném obvodu. Toto řešení se u integrovaných měničů často používá, jelikož kompenzační síť je zapojena mezi výstupem transkonduktačního zesilovače a zemí. Hodnoty kompenzačních prvků byly stanoveny pomocí výpočetního nástroje dodaného výrobcem obvodu právě pro popisované zapojení zdroje.

Po sestavení prototypu by se provedlo měření přenosu zpětnovazební smyčky regulátoru (tzv. loop gain nebo loop transfer) za účelem ověření bezpečné stability zdroje. Toto měření je prováděno přímo v aplikačním zapojení a je tedy možné provést případnou korekci nastavení kompenzace za daných pracovních podmínek zdroje. V reálné implementaci zdroj napájí obvody vytvářející zátěž určitého charakteru, je mu předřazen vstupní filtr atp., a tyto věci mohou mít vliv na zpětnovazební smyčku regulátoru.

Měření loop gainu se provádí pomocí vektorového obvodového analyzátoru s izolačním transformátorem, jehož sekundární vinutí se připojí na měřící body konektoru J9, viz obrázek 5.4 a je zakončeno 10  $\Omega$  rezistorem. Měření funguje na principu Middlebrookovi metody[25], kdy se do zpětnovazební smyčky injektuje napětí plovoucím zdrojem (tvořeného transformátorem) a sleduje se poměr napětí na vývodech tohoto zdroje. Tato metoda poskytuje správné výsledky pouze v případě, že v místě přerušení smyčky zpětné vazby je velký rozdíl impedancí při pohledu do rozpojených částí obvodu. Toto je v případě spínaných zdrojů typicky dobře splněno přerušením regulační smyčky na horní straně zpětnovazebního děliče, jelikož tento dělič je tvořený rezistory poměrně velkých hodnot.

Jelikož je zem integrovaného obvodu připojena na záporné napětí  $-8$  V, komplikuje se tím propojení ovládacích signálů měniče k mikrokontroléru. Je proto potřeba navrhnout obvody pro napěťový posun úrovně řídicích signálů, tzv. level-shifters umožňující mikrokontroléru napájeného napětím  $+3,3$  V tyto signály ovládat.

Na obrázku 5.5 je schéma zapojení řídicí části zdroje pro operační zesilovače. Pro ovládací signál ENABLE, kterým se spínaný zdroj aktivuje je použita jednoduchá kombinace N-MOS a P-MOS tranzistorů a napěťového děliče. Zdroj je na začátku držen ve vypnutém stavu pull-down rezistorem R119 a zem integrovaného obvodu (tedy uzel ve schématu označený jako NEG\_SUPPLY) je spojena se zemí GND celého zapojení přes diodu D12 (viz 5.4) a primární vinutí dvojité cívky a také přes zátěž na záporné větvi zdroje. Pomocný obvod pro posun napěťové úrovně je potřeba navrhnout tak, aby po přivedení log. 1 na signál PWR\_EN bylo na pinu EN integrovaného obvodu napětí větší než 1,36 V,



slouží pro blokování (clock-gating) hodinového signálu v případě, že ani jeden z oscilátorů nepracuje. Aktivací signálu PSU\_SYNC\_EN se zdroj synchronizuje invertovaným signálem PSU\_SYNC2. Inverze je zde provedena kvůli fázovému posunutí spínání dvou zdrojů v popisovaném zařízení a toto bude dále vysvětleno.

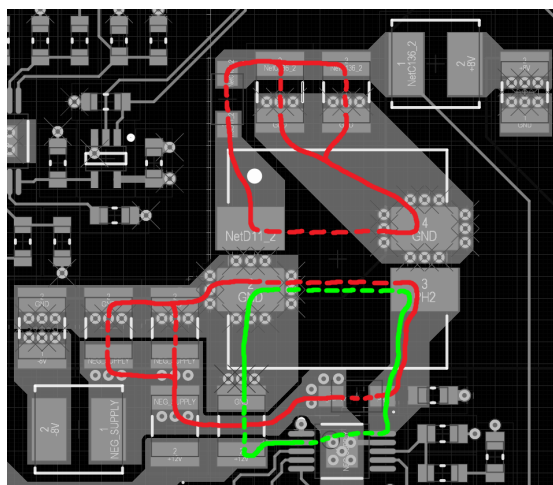
Na výstupních větvích napájecího zdroje operačních zesilovačů jsou zapojeny LC filtry sloužící pro zmenšení zvlnění výstupních napětí. Často používané řešení je použití lineárního regulátoru zapojeného na výstupu spínaného zdroje. Pro účely popisované aplikace se tato možnost nezdá být moc výhodná. Z výstupního napětí je potřeba odfiltrovat především rušení na spínací frekvenci měniče (v tomto případě cca. 1,5 MHz) a jejích vyšších harmonických. Na takto vysokých frekvencích běžné lineární regulátory nejsou moc účinné, jelikož jejich zpětnovazební smyčka není dostatečně rychlá. Lineární stabilizátory fungují dobře na nízkých frekvencích, kde mají navíc velice malou výstupní impedanci. Výhodnější řešení post-filtrace spínaného zdroje je použití tzv. kapacitního násobiče, tedy RC filtru s tranzistorovým sledovačem. Takovéto zapojení umožňuje snadno dosáhnout útlumu i přes 100 dB na frekvencích okolo 1 MHz díky rychlé akci proudové zpětné vazby emitorového sledovače. Nevýhodou je ovšem poměrně velký úbytek napětí na tranzistoru a tudíž velký ztrátový výkon při větších výstupních proudech.

Navržené LC filtry mají zlomovou frekvenci asi 11 kHz a na pracovní frekvenci zdroje mají útlum cca. 90 dB<sup>25</sup>. Filtry netlumí reziduální šum na nízkých frekvencích, což není nutné vzhledem k vysokému (cca. 90 dB) PSRR<sup>26</sup> analogových obvodů v audio pásmu. LC filtry jsou zapojeny mimo zpětnovazební smyčku měniče, protože jinak by jejich fázový posun výrazně zkomplikoval kompenzaci regulační smyčky. Na DC odporech cívek (který je typicky 283 mΩ) vzniká úbytek napětí závislý na zatěžovacím proudu zdroje. Pro napájení obvodů s operačními zesilovači v této aplikaci nejsou požadavky na přesnost napájecího napětí moc kritické. Nesymetrie kladného a záporného napětí může zvyšovat velikost DC offsetu zesilovačů, ovšem tento vliv je zanedbatelný.

Závěrečnou fází návrhu napájecího zdroje pro operační zesilovače byla tvorba layoutu na plošném spoji. Na obrázku 5.6 je vidět rozmístění součástek a vedení spojů popsaného zapojení. Barevně jsou vyznačeny hlavní proudové smyčky, jejichž plochu bylo potřeba minimalizovat pro zmenšení vyzařovaného rušení. Kovová ploška na spodní straně pouzdra integrovaného obvodu (tzv. thermal pad) je pomocí několika prokůvků spojena s měděnou plochou na spodní straně desky sloužící pro zlepšení chlazení čipu. U napájecích plošek spojených se zemí je umístěno větší množství prokůvků vedoucích do zemnicí plochy pro dosažení co nejmenší indukčnosti propojení součástek.

<sup>25</sup>Tento údaj byl získán simulací s pomocí modelů součástek realisticky zahrnující jejich parazitní vlastnosti.

<sup>26</sup>Potlačení přenosu signálu z napájení na výstup obvodu.



Obrázek 5.6: Layout napájecího zdroje pro operační zesilovače; barevně jsou vyznačeny hlavní proudové smyčky

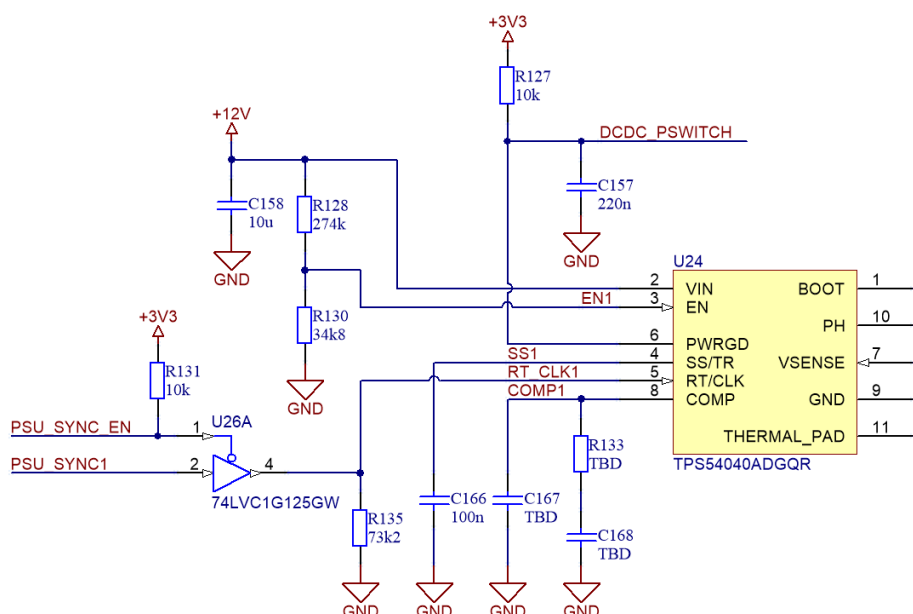
### 5.3 Zdroj pro napájení digitálních obvodů

Zdroj napětí  $+3,3\text{ V}$  slouží především pro napájení mikrokontroléru s Flash pamětí a digitálních částí převodníků. Maximální odebíraný proud z tohoto zdroje je asi  $290\text{ mA}$ <sup>27</sup>, přičemž očekávaná typická hodnota při provozu zařízení je cca.  $(70 - 100)\text{ mA}$ .

Napájecí zdroj byl navržen jako klasický buck (step-down) měnič se vstupním napětím  $12\text{ V}$ . Princip činnosti a způsob návrhu tohoto zapojení jsou všeobecně známé a proto zde nebudou blíže popsány. Požadavky na řídicí integrovaný obvod tohoto zdroje jsou podobné, jako na obvod použitý pro napájecí zdroj operačních zesilovačů. Především je nutný provoz v peak-current control režimu a možnost synchronizace s externím oscilátorem. Byl proto zvolen integrovaný obvod TPS54040A výrobce Texas Instruments.

Tento obvod je ze stejné řady jako typ použitý pro v předchozí sekci popsany zdroj  $\pm 8\text{ V}$  a liší se proudovým dimenzováním spínacího tranzistoru, v tomto případě na  $0,5\text{ A}$ . Dalším rozdílem je minimální doporučené zvlnění proudu cívkou, jež je v případě typu TPS54040A  $30\text{ mA}_{pp}$ . Při návrhu zdroje byla zvolena výstupní indukčnost  $22\text{ }\mu\text{H}$  a zvlnění proudu cívkou je asi  $85\text{ mA}_{pp}$ . Pro výstupní proud větší než  $42,5\text{ mA}$  měnič pracuje v režimu spojitého proudu cívkou (continuous conduction mode). Obvod TPS54140A použitý ve druhém spínaném zdroji v zařízení má doporučené minimální zvlnění proudu  $100\text{ mA}$ . Tento rozdíl pravděpodobně souvisí s interním nastavením tzv. slope kompenzace regulátoru měniče, která eliminuje vznik subharmonických oscilací při střídě spínání větší než  $50\%$ . Popisovaný zdroj napětí  $+3,3\text{ V}$  by tedy bylo možné při

<sup>27</sup>Tento údaj je absolutní maximum získané sečtením maximálních proudových odběrů uvedených v datasheetech použitých integrovaných obvodů. U mikrokontroléru je uveden maximální proud v nejhorším případě  $130\text{ mA}$ .



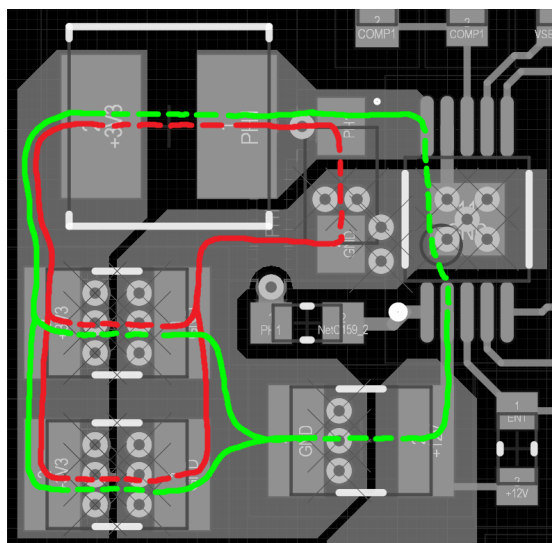
Obrázek 5.7: Schéma zapojení ovládací části spínaného napájecího zdroje +3,3 V

zmenšení pracovní indukčnosti (a tedy zvětšení zvlnění proudu) osadit stejným typem integrovaného obvodu, jako zdroj  $\pm 8$  V. Cenový rozdíl obou typů je minimální a použití stejných součástek by bylo ekonomicky výhodné při sériové výrobě navrženého zařízení.

Na obrázku 5.7 je schéma zapojení ovládací části napájecího zdroje +3,3 V. Napěťovým děličem s rezistory R128 a R130 je nastaveno minimální vstupní napětí, při kterém začne měnič pracovat. Nastavená hodnota je 10,8 V, v souladu se zvoleným rozsahem vstupního napětí  $12 \text{ V} \pm 10\%$ . Pin „PWRGD“ řídicího obvodu je výstup s otevřeným drainem, který přechodem do log. 1 indikuje výstupní napětí v rozsahu (94–107)% jmenovité hodnoty. Tento signál je připojen k pinu mikrokontroléru, kterým se aktivuje jeho interní měnič napětí pro napájení procesorového jádra. Dle datasheetu mikrokontroléru má dojít k aktivaci nejdříve 1 ms po ustálení napájecího napětí v provozním rozsahu hodnot. Potřebné zpoždění je realizováno kondenzátorem C157 společně s pull-up rezistorem R127.

Rezistorem R135 je nastavena výchozí pracovní frekvence zdroje na asi 1,47 MHz. Synchronizační signál je v tomto případě přiveden přes buffer s třístavovým výstupem umožňující odpojení signálu od vstupu integrovaného obvodu měniče. Jak už bylo popsáno v předchozí sekci, řídicí signál PSU\_SYNC\_EN odpojuje synchronizační hodinové signály od obvodů měničů v případě, že ani jeden master clock oscilátor není aktivní (a zdroje by tedy měli pracovat na své implicitně nastavené frekvenci), respektive v případě, že by synchronizační signály mohly být delší dobu v log. 1. Funkce pinu „RT/CLK“ použitých integrovaných obvodů včetně detailního popisu implementace na čipu je uvedena v [28].





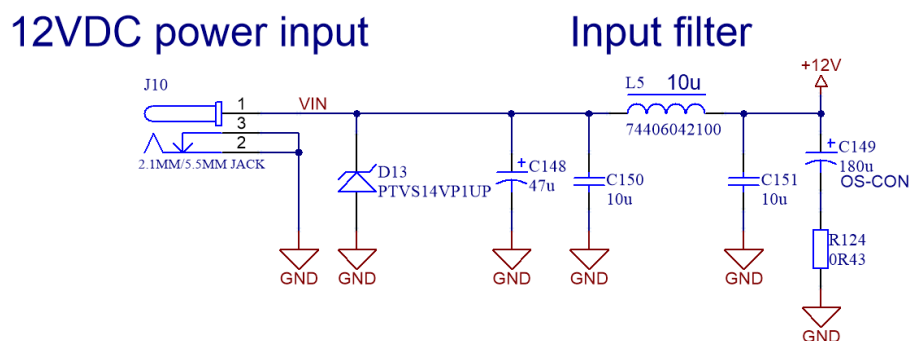
Obrázek 5.8: Layout napájecího zdroje +3,3 V; barevně jsou vyznačeny hlavní proudové smyčky

Na obrázku 5.8 je zobrazen layout právě popsaného zdroje na desce plošných spojů. Barevně jsou vyznačeny proudové smyčky v obou částech pracovní periody. Výstupní kondenzátory ( $2 \times 10 \mu\text{F}$  v pouzdru 1210 paralelně) jsou k vnitřním plochám desky připojeny řadami prokůvů umístěných u vnitřních hran pájecích plošek. Při tomto geometrickém uspořádání je mezi skupinami prokůvů největší vzájemná indukčnost a dosáhne se tak malé impedance propojení.

## 5.4 Vstupní část napájecího systému

Na obrázku 5.9 je schéma zapojení vstupní části napájecího systému přístroje. Stejnoseměrné napětí nominální velikosti 12 V je přivedeno souosým konektorem vnějšího průměru 5,5 mm s vnitřním pinem o průměru 2,1 mm. Konektory tohoto rozměru se používají u běžně dostupných napájecích adaptérů. Za konektorem je zapojena TVS dioda (tzv. transil) chránící zařízení před přepětím a elektrostatickým výbojem. Typické průrazné napětí diody je 16,4 V. TVS dioda zároveň realizuje rudimentární ochranu před přepólováním vstupního napětí. V případě takové události je dioda orientována v propustném směru a omezí tak záporné napětí na obvodech v přístroji. Propustné napětí použité součástky není výrobcem specifikováno, ale bude pravděpodobně  $\geq 0,7$  V. Při přepólování zdroje tedy stejně dojde k překročení mezních parametrů integrovaných obvodů přímo připojených ke vstupnímu napětí, což jsou obvody spínaných zdrojů s minimálním napájecím napětím  $-0,3$  V.

Robustnost zařízení by se dala zlepšit zařazením pojistky mezi vstupní konektor a TVS diodu. Vhodná by byla vratná polymerová pojistka známá pod komerčními názvy Polyfuse nebo Polyswitch. Pojistka by se přerušila při nějaké katastrofální závadě v přístroji nebo při přepólování zdroje, kdy by přes propustně polarizovanou TVS diodu tekla velký proud. Tento způsob ochrany ale není účinný v případě, že připojený napájecí zdroj nebude schopen dodat



Obrázek 5.9: Schéma zapojení vstupní části napájecího systému přístroje

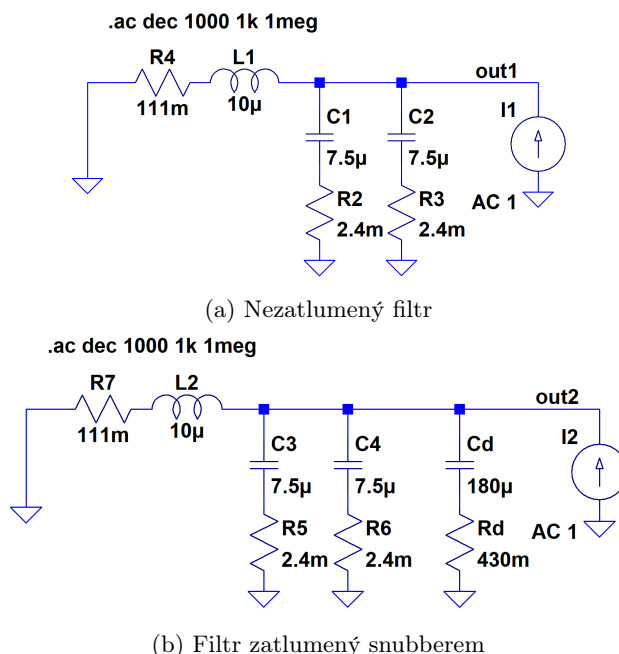
proud potřebný pro dostatečně rychlé přerušení pojistky, takže by taková událost skončila tepelnou destrukcí TVS diody. Existují různé sofistikovanější a účinné způsoby ochrany před přepólováním (např. s využitím MOSFET tranzistoru), ovšem v případě navrhovaného zařízení se nezdálo být dostatečně opodstatněné tyto zapojení implementovat. Při napájení z běžně dostupných adaptérů je riziko malé, protože se zdá, že většina adaptérů má kladný pól zapojený na středním kontaktu konektoru.

Elektrolytický kondenzátor C148 slouží pro zatlumení případné rezonance indukčnosti přívodních vodičů se vstupním keramickým kondenzátorem C150. Napájecí napětí je dále připojeno přes  $\pi$ -filtr tvořený kondenzátory C150, C151 a cívkou L5. Tento vstupní filtr plní dvě funkce: útlum zvlnění proudu odebíraného spínanými zdroji a filtrace zvlnění napětí z připojeného vnějšího napájecího zdroje.

V navrženém přístroji jsou dva spínané měniče napětí. Obě použité topologie (buck a invertující buck-boost) mají nespojitý (impulzní) průběh vstupního odebíraného proudu, jehož rozvoj ve frekvenční oblasti obsahuje mnoho harmonických složek. Při provozu bez vstupního filtru by tento proud mohl téct přívodními vodiči napájení a způsobit tak elektromagnetické vyzařování rušení do okolí. Při použití filtru se vstupní proudy spínaných zdrojů uzavírají cestou malé impedance jejich vstupních kondenzátorů (v tomto případě C151 a C158) a takřka netečou přes velkou impedanci indukčnosti filtru. Zajímá nás tedy proudový přenos filtru z výstupní strany na vstupní stranu<sup>28</sup> zapojenou nakrátko.

Při návrhu vstupního LC filtru se vychází ze známé velikosti zvlnění vstupního proudu měničů (tzv. ripple current) a následně je možné vypočítat požadovaný útlum filtru tak, aby byly splněny požadavky na maximální dovolené zvlnění odebíraného proudu vzhledem k předpisům týkajících se elektromagnetické kompatibility. Splnění těchto požadavků se pak testuje při zkoušce emisí šířených vedením (conducted emission). V případě popisovaného zařízení byl návrh vstupního filtru proveden bez určitých přesných požadavků. Byly použity keramické kondenzátory 10  $\mu\text{F}$  (protože je tento typ použit i na jiných místech zapojení přístroje) a cívka má arbitrárně zvolenou hodnotu 10  $\mu\text{H}$ .

<sup>28</sup>Vstupní stranou je v tomto případě myšlena strana připojená k napájecímu konektoru.



Obrázek 5.10: Schémata zapojení pro simulaci vstupního LC filtru

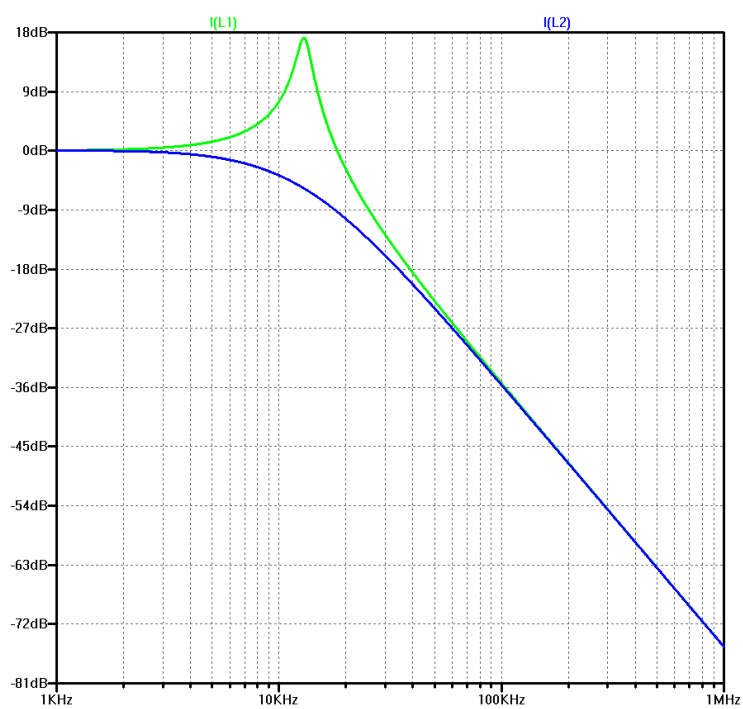
Na obrázku 5.10a je schéma zapojení pro simulaci navrženého vstupního LC filtru. Kondenzátory mají hodnotu  $7,5 \mu\text{F}$ , což odpovídá kapacitě použitých součástek při přiloženém DC napětí  $12 \text{ V}$ <sup>29</sup>. Rezistory o hodnotě  $2,4 \text{ m}\Omega$  modelují ESR kondenzátorů a rezistor  $R4$  reprezentuje DC odpor vinutí cívky. Na obrázku 5.11a je zelenou čarou zobrazen přenos filtru od proudového zdroje  $I1$  na proud cívky. Je zde vidět rezonance na frekvenci asi  $13 \text{ kHz}$ . Rušivé signály v okolí této frekvence filtr netlumí, ale naopak zesiluje. Zelená čára na obrázku 5.11b zachycuje průběh velikosti výstupní impedance filtru v závislosti na frekvenci. Na rezonanční frekvenci nastává maximum impedance o velikosti asi  $5,9 \Omega$ .

Vstupní filtr je připojen ke spínaným zdrojům, které mají zápornou vstupní inkrementální rezistanci, protože z napájecího zdroje odebírají konstantní výkon. Tato záporná rezistance snižuje tlumení LC filtru a může způsobit rozkmitání obvodu<sup>30</sup>. Výstupní impedance filtru má také vliv na regulační smyčku měniče. Aby se předešlo vzniku popsané nestability, je potřeba aby velikost výstupní impedance LC filtru byla podstatně menší, než je statická vstupní rezistance spínaného zdroje[26]. Ta se vypočítá jako podíl vstupního napětí měniče a odebíraného proudu při typické výstupní zátěži. Orientační hodnoty jsou  $371 \Omega$  pro zdroj  $+3,3 \text{ V}$  a  $35 \Omega$  pro zdroj  $\pm 8 \text{ V}$  při odhadnuté účinnosti  $85 \%$ .

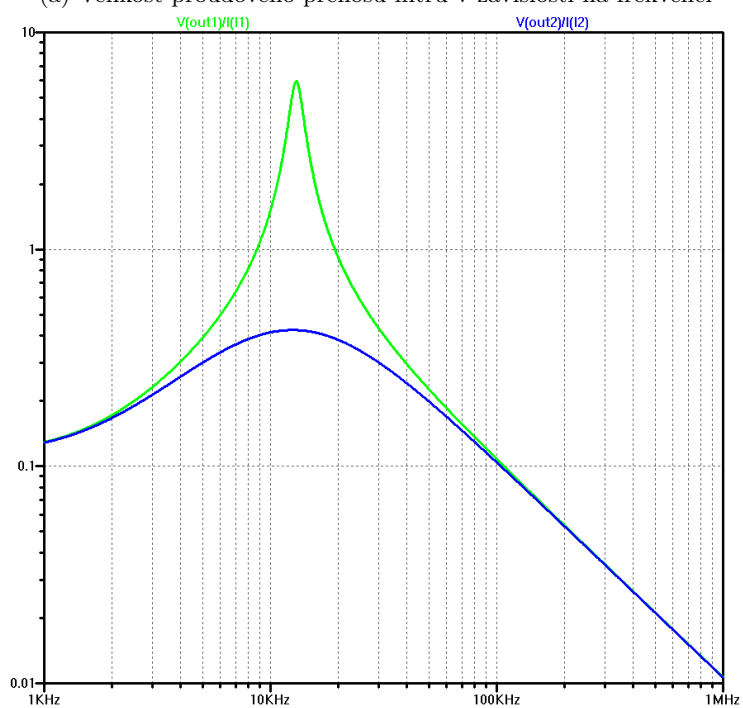
Filtr je možné ztlumit několika způsoby: zařazením rezistoru do série s cívkou, což zvyšuje DC výkonovou ztrátu na filtru, nebo zapojením rezistoru do série s kondenzátorem, což zhoršuje útlum filtru na vyšších frekvencích. Zatlumení filtru lze výhodně realizovat pomocí tzv. snubberu, což je ke kondenzátoru paralelně zapojená sériová kombinace kondenzátoru a rezistoru, viz prvky  $C_d$  a

<sup>29</sup>Určeno podle grafu závislosti kapacity na DC napětí poskytnuté výrobcem.

<sup>30</sup>Tento princip se běžně používá pro realizaci oscilátorů, kde se využívá např. záporná vstupní rezistance kapacitně zapojeného emitorového sledovače.



(a) Velikost proudového přenosu filtru v závislosti na frekvenci



(b) Velikost výstupní impedance filtru v závislosti na frekvenci

Obrázek 5.11: Simulované chování vstupního napájecího LC filtru

$R_d$  ve schématu na obrázku 5.10b. Tento způsob ztlumení nezhoršuje ztráty ani útlum filtru. Princip funkce snubberu je zjednodušeně řečeno takový, že přidáním rezistoru paralelně ke kondenzátoru filtru lze ztlumit paralelní rezonanci LC obvodu. Do série s rezistorem je pak zařazen vazební kondenzátor, který eliminuje ztrátu vlivem DC proudu, který by jinak rezistorem tekł.

V příloze D je předveden exaktní postup výpočtu optimálního snubberu, protože toto není v literatuře běžně uváděno. Výsledkem výpočtu pro kritické ztlumení filtru podle schématu na obrázku 5.10a byly hodnoty prvků  $C_d = 205,8 \mu\text{F}$  a  $R_d = 438 \text{ m}\Omega$ . Vypočítaná kapacita potvrzuje platnost častého doporučení volby desetinásobku kapacity kondenzátoru ve filtru.

Snubber lze implementovat použitím (elektrolytického) kondenzátoru, jehož kapacita a ESR budou odpovídat požadovným hodnotám. Toto řešení není příliš výhodné, protože u kondenzátorů běžně není garantována specifická hodnota ESR, ale pouze maximální hodnota. ESR elektrolytických kondenzátorů je navíc velmi závislé na teplotě. Lepším způsobem realizace je použití kondenzátoru s velmi malým ESR doplněného rezistorem. V úvahu připadají keramické kondenzátory nebo hliníkové polymerové kondenzátory. V tomto případě byl použit polymerový kondenzátor s kapacitou  $180 \mu\text{F}$  a maximálním ESR  $22 \text{ m}\Omega$  se sériovým rezistorem  $430 \text{ m}\Omega$ . Účinek snubberu není příliš citlivý na přesnou velikost kapacity  $C_d$ . Nevýhodou hliníkových polymerových kondenzátorů je jejich velký svodový proud.

Na obrázku 5.11b je modrou čarou zobrazen průběh velikosti výstupní impedance ztlumeného filtru. Maximální hodnota je nyní pouze  $425 \text{ m}\Omega$ , což je více než  $80\times$  méně, než je statická vstupní rezistance zdroje pro operační zesilovače. Modrá čára na obrázku 5.11a znázorňuje proudový přenos ztlumeného filtru. Napěťový přenos filtru naprázdno opačným směrem (od vstupního konektoru napájení směrem do zařízení) má přesně stejný průběh. To je důsledkem elektrické duality a tento princip využívá např. tzv. přidružená transformace používaná pro převod zapojení mezi napěťovým a proudovým módem.

## 5.5 Ostatní napájecí zdroje

Jádro CPLD a digitální části AD převodníků vyžadují napájecí napětí  $1,8 \text{ V}$ . To je získáno pomocí lineárního regulátoru připojeného za spínaný zdroj  $+3,3 \text{ V}$ . Proudový odběr je jenom asi  $16 \text{ mA}$ . Pro estimaci příkonu CPLD byl použit výpočetní nástroj poskytnutý výrobcem. Na lineární regulátor nejsou kladeny nějaké zvláštní požadavky a použitý typ TLV74118 byl zvolen především pro jeho nízkou cenu.

Na kladnou větev zdroje pro operační zesilovače  $+8 \text{ V}$  je připojen lineární regulátor vytvářející napětí  $+5 \text{ V}$ , ze kterého se napájí analogová část DA převodníku a také se používá jako referenční napětí pro DA a AD převodníky. Zdroj je osazen stabilizátorem LT3042.

Master clock oscilátory, čítač pro dělení frekvence a obvody pro rozvod hodin jsou napájeny ze samostatného zdroje  $+3,3 \text{ V}$  realizovaném lineárním regulátorem LP5907 s malým výstupním šumem. Čistota napájecího napětí v tomto případě vytváří podmínky pro dosažení malého fázového šumu (resp. jitteru v časové oblasti) hodinových signálů. Stabilizátor je napojen na zdroj  $+5\text{V}$ .

## 5.6 Celkový popis činnosti napájecího systému

Na závěr popisu návrhu napájecího systému přístroje bude uveden postup startu zařízení a popis jeho provozních stavů.

- Po připojení napájecího adaptéru se správným napětím a polaritou začne pracovat spínaný zdroj  $+3,3$  V. Po náběhu výstupního napětí na přibližně  $3$  V se aktivuje signál DCDC\_PSWITCH, který zapne interní spínaný zdroj mikrokontroléru pro napájení jeho jádra a po ustálení napětí začne bootovací sekvence procesoru.
- Pokud není zařízení připojeno USB kabelem k hostitelskému počítači, procesor přejde do režimu nízké spotřeby a čeká na připojení USB rozhraní. Když je přístroj připojen USB kabelem k zapnutému počítači, může proběhnout enumerace USB rozhraní.
- Po úspěšné enumeraci procesor signálem PWR\_EN aktivuje zdroj  $+1,8$  V a spínaný zdroj  $\pm 8$  V, na který jsou napojeny zdroj  $+5$  V a  $+3,3$  V pro napájení hodinového systému. V tuto chvíli pracují oba spínané zdroje nezávisle na sobě, na výchozí spínací frekvenci nastavené rezistory.
- Podle zvolené audio vzorkovací frekvence v operačním systému počítače procesor aktivuje jeden z master clock oscilátorů a provede se počáteční konfigurace AD a DA převodníků. Následně se signálem PSU\_SYNC\_EN aktivuje synchronizace spínaných zdrojů a přístroj je připraven k použití.
- Při přechodu hostitelského počítače do režimu spánku procesor vypne všechny napájecí zdroje a sám přejde do režimu nízké spotřeby. Aktivní zůstává pouze zdroj  $+3,3$  V, který ve zvláštním módu udržuje výstupní napětí a celková spotřeba přístroje v tomto stand-by režimu bude maximálně několik mA.
- Při probuzení počítače z režimu spánku opět proběhne aktivace zařízení tak, jak již bylo popsáno.

## Kapitola 6

# Praktická realizace přístroje

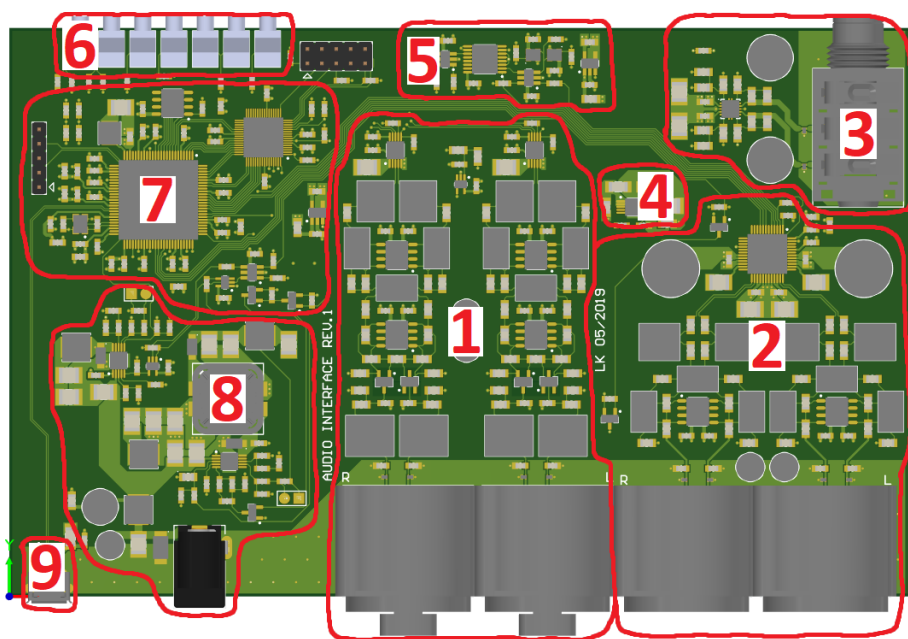
V příloze A je uvedeno kompletní schéma zapojení navržené zvukové karty. Elektronika přístroje je realizována na čtyřvrstvé desce plošných spojů o rozměrech  $160 \times 100$  mm. Náhledy jednotlivých vrstev plošného spoje jsou v příloze B. Všechny součástky jsou osazeny na vrchní straně desky. Deska je koncipována pro nasunutí do drážek vybrané hliníkové krabičky od výrobce Fischer elektronik. XLR konektory budou zafixovány k zadnímu panelu pomocí šroubů. Přístroj má malé rozměry a bude snadno přenosný, což bude výhodné např. při pořizování záznamů v terénu.

Na obrázku 6.1 je zobrazeno rozmístění jednotlivých funkčních bloků na desce plošných spojů.

Kromě obvyklých elektrických požadavků vycházelo rozmístění funkčních bloků z požadované formy přístroje. Vstupní a výstupní XLR konektory jsou umístěny na zadní panel zařízení společně s konektorem USB rozhraní a napájecím konektorem. Na předním panelu přístroje je řada indikačních LED diod a konektor pro připojení sluchátek.

Jako poněkud kompromisní se jeví poměrně malá fyzická vzdálenost mezi blokem spínaných zdrojů a analogovými vstupními obvody dána snahou dosáhnout kompaktní velikosti přístroje. Vzniká ze riziko přenosu rušení kvůli induktivní nebo kapacitní vazbě. Je předpokládáno, že případný vliv tohoto jevu bude potlačen použitím synchronizace spínaných zdrojů se vzorkovací frekvencí AD převodníků. Pokud bude při praktické zkoušce přístroje zjištěn významný průnik rušení, budou vyzkoušena nápravná řešení ve formě montáže stínící přepážky mezi blok zdrojů a analogové obvody, případně montáž stínící krabičky na celý blok frontendu a AD převodníků.

Na první vnitřní vrstvě desky je jednolitá zemnicí plocha. Ta je společná pro všechny obvody zařízení a možnost vzájemného ovlivňování se digitálních a analogových obvodů je silně potlačena specifickým uspořádáním jednotlivých funkčních bloků. V oblasti vstupních a výstupních konektorů (spodní hrana desky na obrázku 6.1) je umístěna menší zemnicí plocha i v ostatních vrstvách desky a tyto plochy jsou propojeny velkým množstvím prokůvů. Na vrchní straně jsou do zemnicí plochy přímo připojeny ochranné ESD diody[29, 30] a odrušovací kondenzátory na vstupech a výstupech obvodu. Korektní způsob použití XLR konektorů spočívá v přímém propojení pinu 1 a pláště konektoru na chassis přístroje, aby se zamezilo toku rušivých proudů přes obvodovou zem zapojení, což by mohlo způsobit vznik rušivých napětí[31]. Použité typy



Obrázek 6.1: Rozmístění jednotlivých funkčních bloků na desce plošných spojů; jedná se o:

- 1 XLR konektory, analogové obvody (frontend) a AD převodníky pro dva vstupní kanály
- 2 XLR konektory a analogové obvody (výstupní filtr) pro dva výstupní kanály, DA převodník
- 3 zesilovač pro sluchátka s výstupním JACK konektorem
- 4 stabilizátor napětí +5 V pro napájení analogových obvodů
- 5 master clock oscilátory, čítač pro dělení frekvence a obvody pro rozvod hodinových signálů, stabilizátor napětí +3V3\_OSC
- 6 indikační LED diody (na desce budou osazeny běžné SMD LED, nad kterými jsou umístěny pravoúhlé světlovody)
- 7 digitální část: mikrokontrolér, Flash paměť pro firmware a CPLD, stabilizátor napětí +1,8 V
- 8 spínané napájecí zdroje a konektor napájení
- 9 micro USB konektor



konektorů mají separátní kontakty pro pin 1 a pro plášť konektoru, který je prostřednictvím montážních šroubů spojen s kovovým chassis (krabičkou). Oba tyto kontakty konektorů jsou přímo propojeny do zemnicí plochy desky. Obvodová zem je takto spojena s krabičkou na několika místech, čímž se dosáhne malé impedance propojení[32]. Rušivé proudy tekoucí stíněním propojovacích kabelů takto mohou téct cestou s nízkou impedancí, stejně jako proudy cirkulující odrušovacími kondenzátory. Popsané řešení zároveň zajišťuje efektivní ochranu před elektrostatickým výbojem.

Druhá vnitřní vrstva desky je rozdělena na několik segmentů sloužících pro rozvod všech potřebných napájecích napětí. U bloků analogových obvodů jsou umístěny blokové elektrolytické kondenzátory zmenšující impedanci napájení a vytvářející lokální návratovou cestu pro signálové proudy.

Pod integrovanými obvody, které mají pouzdro s thermal-padem a je na nich významná výkonová ztráta je na spodní straně desky umístěna měděná plocha pro usnadnění odvodu tepla.

Pro počáteční nahrání konfigurace CPLD obvodu je na desce osazen standardní JTAG konektor, kterým se připojí programovací nástroj USB Blaster. Rozhraní SWD mikrokontroléru je vyvedeno na konektor umožňující nahrát firmware do Flash paměti na desce a debugovat program. Některé digitální signály jsou připojeny na měřicí body umístěné na spodní straně desky. Jejich prostřednictvím bude možné aktivovat napájecí zdroje při počáteční fázi ožívování desky bez nahraného firmwaru procesoru.



# Kapitola 7

## Závěr

Tato práce se zabývala návrhem externího zvukového rozhraní pro počítač připojeného pomocí USB rozhraní a umožňujícího přehrávání i nahrávání stereo audio signálu ve vysoké kvalitě. Byl popsán celý proces návrhu přístroje, od zvoleného konceptu a blokového zapojení, až po velice detailní popis řešení jednotlivých obvodů.

V době odevzdání práce byl kompletně dokončen návrh hardwaru přístroje, včetně desky plošných spojů. Dále byla s pomocí vývojové desky vyvinuta část firmwaru pro mikrokontrolér. Byl prakticky vyzkoušen princip přenosu dat z AD převodníků do mikrokontroléru pomocí CPLD obvodu a také byla otestována funkčnost implementace USB audio rozhraní.

Bohužel prozatím nebyly podniknuty další kroky vývoje. Ty budou spočívat v osazení desky, postupném oživení elektroniky a následném dokončení vývoje firmwaru, přičemž podstatná část práce se bude týkat digitálního zpracování signálu a návrhu vhodného digitálního filtru pro decimátor.

Předpokládáme, že bude možné bez větších potíží dosáhnout plné funkčnosti navrženého přístroje. Nelze ale vyloučit, že by se mohl v dalších fázích vývoje objevit nějaký fatální problém způsobený případným závažným opomenutím, které i přes veškerou péči věnovanou návrhu mohlo vzniknout.

Jelikož nebyl k dispozici funkční vzorek přístroje, nebylo možné provést žádná praktická měření. Všechny údaje a parametry prezentované v této práci jsou založeny na výpočtech a mnoha simulacích. Měření budou provedena jednak pro kontrolu návrhu dílčích obvodových celků (např. analogových signálových obvodů a napájecích zdrojů) a posléze za účelem charakterizace parametrů celého zařízení. Klíčovým a také nejzajímavějším bude měření spektra digitalizovaného audio signálu, z čehož bude zjištěn dynamický rozsah a parametry popisující linearitu řetězce AD převodu (harmonické a intermodulační zkreslení a jejich závislost na úrovni signálu). Výsledky tohoto měření pak ukážou, jaké jsou reálné vlastnosti moderních SAR AD převodníků, a jestli tyto mají významné výhody oproti v audio technice běžně používaným sigma-delta převodníkům. Toto byl jeden z cílů této práce, který prozatím zůstane nevyřešen.

Přesto si myslíme, že je možné konstatovat splnění hlavního cíle práce, a sice návrhu externí USB zvukové karty pro počítač. Presentované zařízení má velký kvalitativní potenciál a mohlo by být reálně nasazeno v praxi, zejména pro pořizování hudebních záznamů. V přístroji byly použity některá méně obvyklá technická řešení (např. zapojení symetrického předzesilovače). Pokud se zvolený koncept přístroje ukáže jako úspěšný, bude možné využít poznatky získané při návrhu pro vývoj dalších obdobných zařízení z oblasti audio techniky.

# Použitá literatura

- [1] Kolektiv autorů: *Universal Serial Bus Device Class Definition for Audio Devices*. USB Implementers Forum, Release 2.0, 2006.
- [2] McClure, Mark R.: *Residual phase noise of digital frequency dividers*. Microwave Journal, 35:124, February 1992.
- [3] Kester, Walt (ed.): *The Data Conversion Handbook*. Newnes, 2005. ISBN: 0-7506-7841-0
- [4] Green, Steve: *Audio ADC buffer design secrets: Interfacing to audio ADC sampling circuits*. EE Times, 10.3.2008. Dostupné z: [https://www.eetimes.com/document.asp?doc\\_id=1274923](https://www.eetimes.com/document.asp?doc_id=1274923)
- [5] King, Grayson: *Ask The Applications Engineer-25: Op Amps Driving Capacitive Loads*. Analog Devices, Analog Dialogue, April 1997, vol. 31. Dostupné z: <https://www.analog.com/en/analog-dialogue/articles/ask-the-applications-engineer-25.html>
- [6] Floru, Fred: *Demystifying Analog Circuits in Professional Audio Applications*. AES, Convention Paper 6455, 118th Convention, 2005. Dostupné z: [http://www.thatcorp.com/datashts/AES6455\\_Demystifying\\_Analog\\_Circuits.pdf](http://www.thatcorp.com/datashts/AES6455_Demystifying_Analog_Circuits.pdf)
- [7] Buxton, Joe: *Careful Design Tames High Speed Opamps*. Analog Devices, AN-257, 1991. Dostupné z: <https://www.analog.com/media/en/technical-documentation/application-notes/AN-257.pdf>
- [8] Kroulík, Lukáš: *Dvoukanálový DDS generátor signálu pro audio aplikace*. ČVUT, bakalářská práce, 2017. Dostupné z: <https://dspace.cvut.cz/handle/10467/68438>
- [9] Hebert, Gary K.: *Designing Microphone Preamplifiers*. AES, 129th convention, 2010. Dostupné z: [http://www.thatcorp.com/datashts/AES129\\_Designing\\_Mic\\_Preamps.pdf](http://www.thatcorp.com/datashts/AES129_Designing_Mic_Preamps.pdf)
- [10] Wurcer, S. A.; Counts, L. W.: *A Programmable Instrumentation Amplifier for 12-Bit Resolution Systems*. IEEE Journal of Solid-State Circuits, vol. 17, no. 6, pp. 1102-1111, Dec. 1982.
- [11] Cohen, Graeme John: *Double Balanced Microphone Amplifier Notes (OM1556 from 1984)*. Adelaide, Australie, 2008. Dostupné z: <http://leonaudio.biz/double.balanced.mic.amp.notes.pdf>

- [12] Demrow, Robert: *Evolution from Operation Amplifier to Data Amplifier*. Analog Devices, 1968. Dostupné z: <https://www.analog.com/media/en/training-seminars/design-handbooks/Evolution-from-opamps-to-dataamps/evolution-opamp-to-data-amplifier.pdf>
- [13] *7A22 Differential Amplifier: Instruction manual*. Tektronix, Oregon, 1986 (revised). Dostupné z: [http://bama.edebris.com/download/tek/7a22\(2\)/tek-7a22.pdf](http://bama.edebris.com/download/tek/7a22(2)/tek-7a22.pdf)
- [14] Ballou, Glen (ed.): *Handbook for Sound Engineers*. Focal Press, 3rd edition, 2005. ISBN: 978-0240807584
- [15] Gayford, Michael (ed.): *Microphone Engineering Handbook*. Focal Press, 1994. ISBN: 0-7506-1199-5
- [16] Starič, Peter; Margan, Erik: *Wideband Amplifiers*. Springer, 2006. ISBN: 978-0-387-28340-1
- [17] Evans, Arthur D.: *Designing with Field-Effect Transistors*. McGraw-Hill, 1981. ISBN: 0-07-057449-9
- [18] Danyuk, Dimitri: *Measurements Rate SMT Low-Voltage n-JFETs Under Consistent Conditions*. Electronic Design, 19. 4. 2019. Dostupné z: <https://www.electronicdesign.com/power/measurements-rate-smt-low-voltage-n-jfets-under-consistent-conditions>
- [19] Rosenstark, Sol: *Feedback Amplifier Principles*. Macmillan Publishing Company, 1986. ISBN: 0-02-947810-3
- [20] Roberge, James K.: *Operational Amplifiers: Theory and Practice*. John Wiley & Sons, 1975. ISBN: 0-471-72585-4
- [21] Whitlock, William E.: *Differential line receiver with common-mode AC bootstrapping*. Patent US5568561A, 1994. Dostupné z: <https://patentimages.storage.googleapis.com/3a/4d/6b/e59bfc00644716/US5568561.pdf>
- [22] Oljaca, Miro; Baker, Bonnie: *How the voltage reference affects ADC performance, Part 2*. Texas Instruments, Analog Applications Journal, 3Q 2009. Dostupné z: <http://www.ti.com/lit/an/slyt339/slyt339.pdf>
- [23] Vasan, Bharath; Caldwell, John: *Amp up your cans: Is your op amp stable? (Part 2)*. Dostupné z: [https://e2e.ti.com/blogs\\_/archives/b/precisionhub/archive/2016/01/22/amp-up-your-cans-op-amps-for-headphones-cap-load-drive-part-2](https://e2e.ti.com/blogs_/archives/b/precisionhub/archive/2016/01/22/amp-up-your-cans-op-amps-for-headphones-cap-load-drive-part-2)
- [24] Daniels, David G.: *Creating a Split-Rail Power Supply With a Wide Input Voltage Buck Regulator*. Texas Instruments, SLVA369A, 2012. Dostupné z: <http://www.ti.com/lit/an/slva369a/slva369a.pdf>
- [25] Middlebrook, R. D.: *Measurement of loop gain in feedback systems*. International Journal of Electronics, 38(4):485-512, April 1975. Dostupné z: <http://u.dianyan.com/upload/space/2010/12/30/1293704376-389780.pdf>

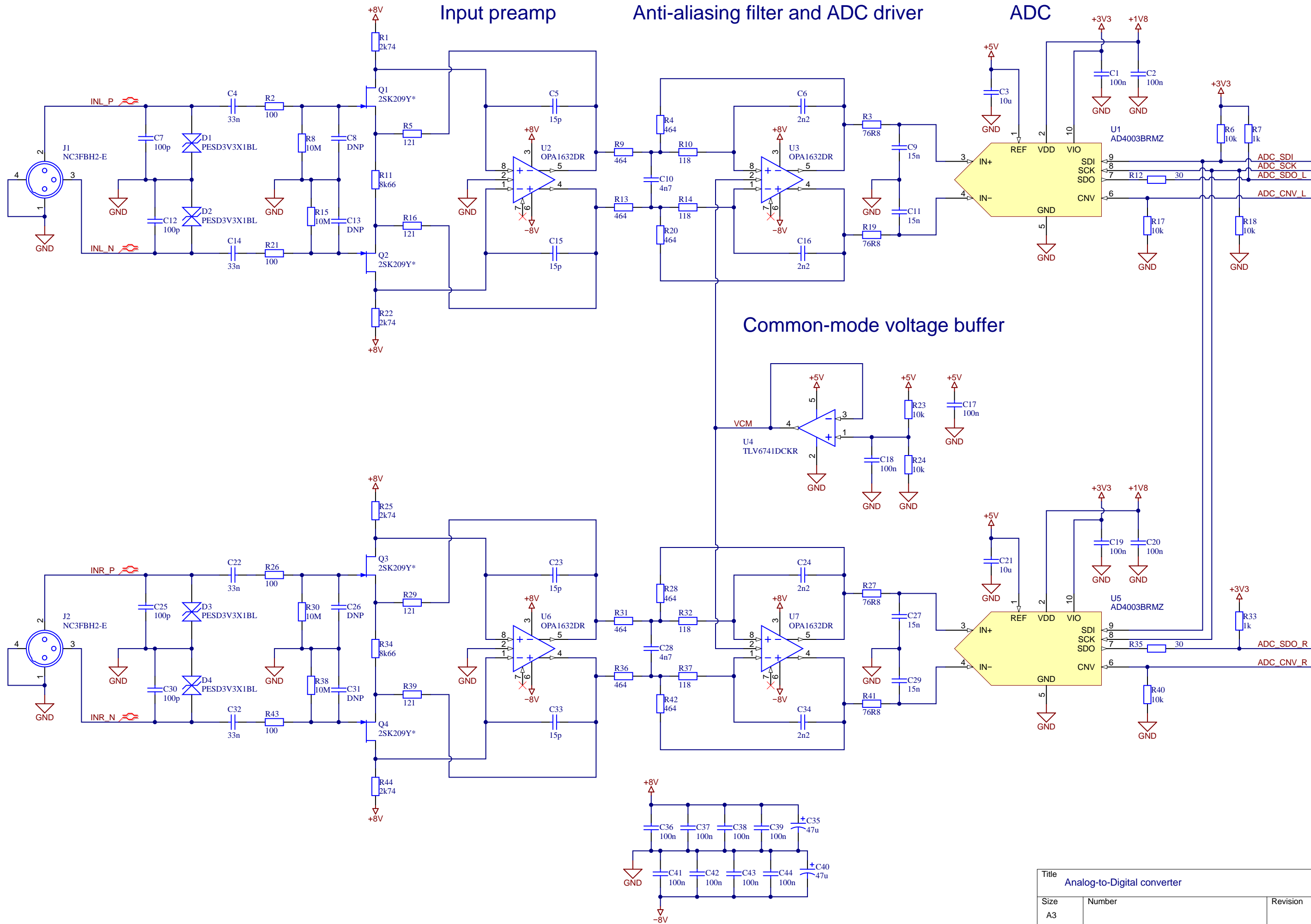
- [26] Basso, Christophe: *Switch-Mode Power Supplies: Spice Simulations and Practical Designs*. McGraw-Hill, 2008: ISBN: 978-0071508582
- [27] Basso, Christophe: *Designing Control Loops for Linear and Switching Power Supplies: A Tutorial Guide*. Artech House, 2012: ISBN: 978-1-60807-557-7
- [28] Ozalevli, Erhan: *A Compact One-Pin Mode Transition Circuit for Clock Synchronization in Current-Mode- Controlled Switching Regulators*. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 9, pp. 2960-2969, Sept. 2016
- [29] Kolektiv autorů: *ESD Application Handbook: Protection concepts, testing and simulation for modern interfaces; Design Engineer's Guide*. Nexperia, 2018. Dostupné z: [https://assets.nexperia.com/documents/user-manual/Nexperia\\_document\\_book\\_ESDApplicationHandbook\\_2018.pdf](https://assets.nexperia.com/documents/user-manual/Nexperia_document_book_ESDApplicationHandbook_2018.pdf)
- [30] Yater, Guy: *ESD Protection Layout Guide*. Texas Instruments, SLVA680, 2015. Dostupné z: <http://www.ti.com/lit/an/slva680/slva680.pdf>
- [31] Whitlock, Bill: *An Overview of Audio System Grounding & Shielding*. Dostupné z: [http://www.bennettprescott.com/downloads/grounding\\_tutorial.pdf](http://www.bennettprescott.com/downloads/grounding_tutorial.pdf)
- [32] Ott, Henry W.: *Electromagnetic Compatibility Engineering*. John Wiley & Sons, 2009. ISBN: 978-0-470-18930-6



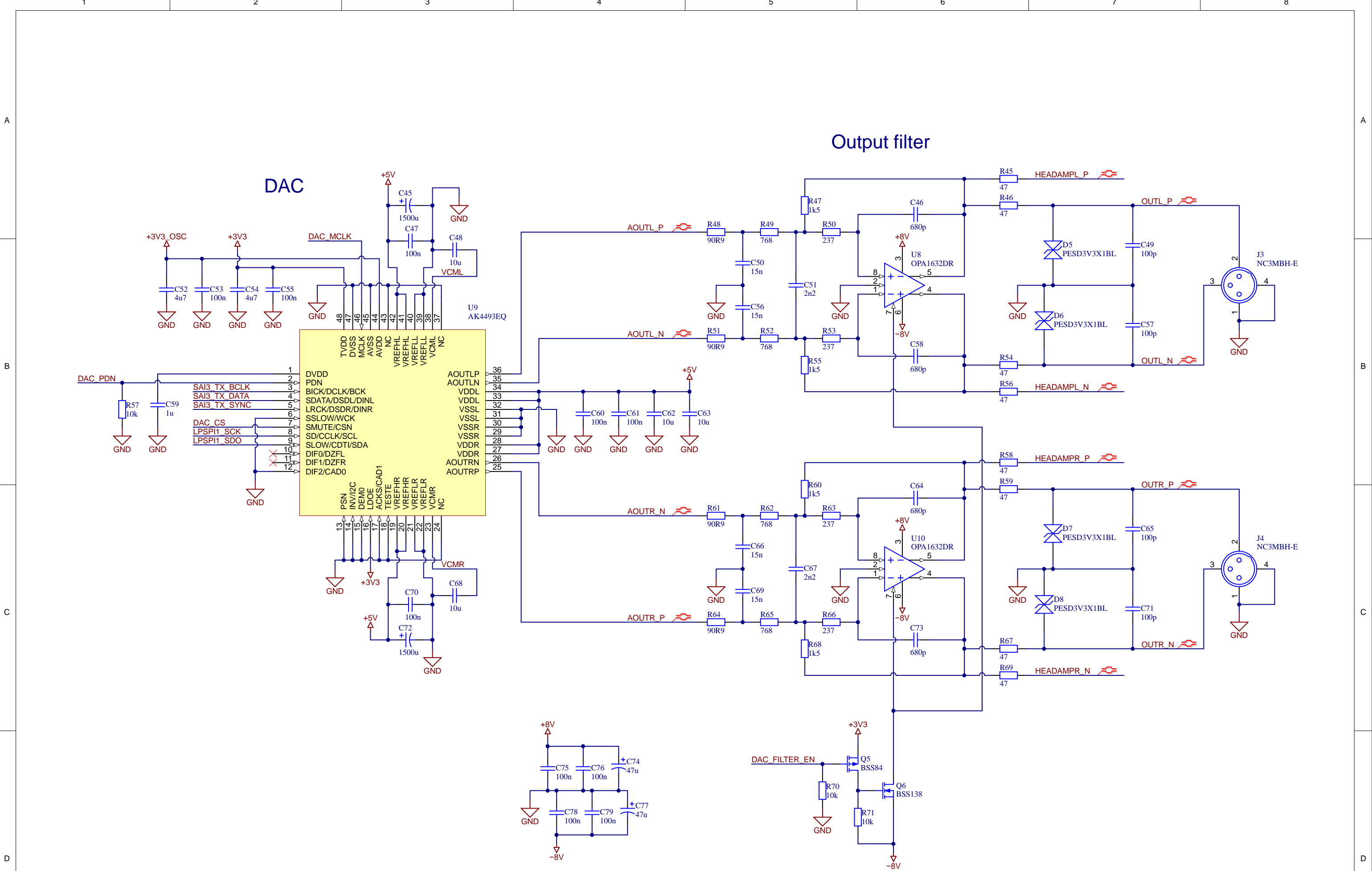


## Příloha A

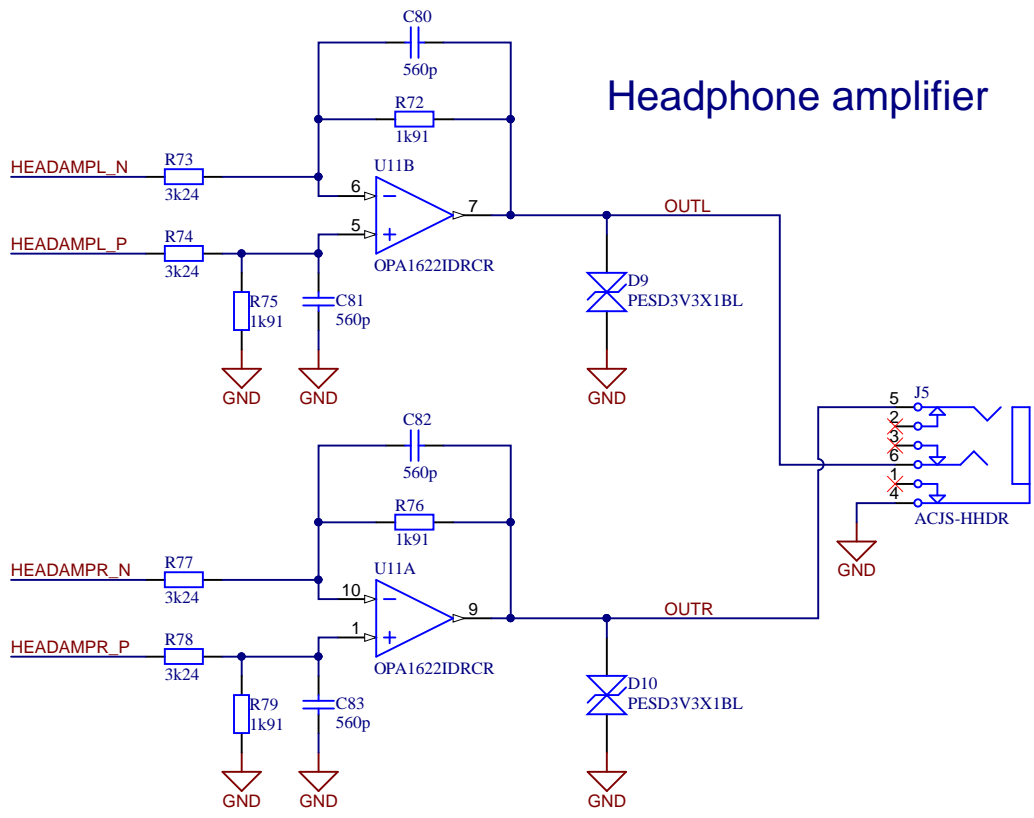
# Schéma zapojení zvukové karty



Title			Analog-to-Digital converter		
Size	Number		Revision		1
A3			Sheet 1 of 8		
Date:	21.05.2019		Sheet 1 of 8		
File:	C:\Users\...\adc.SchDoc		Drawn By: Lukas Kroulik		

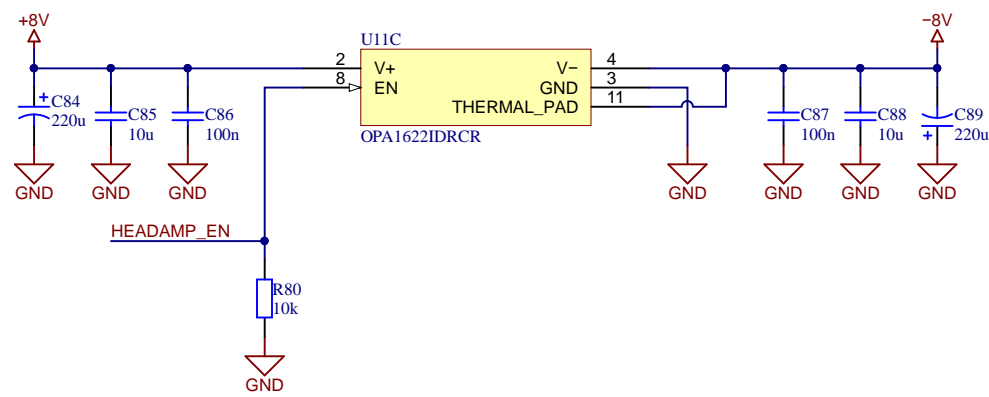


Title		
Digital-to-Analog converter		
Size	Number	Revision
A3		1
Date:	21.05.2019	Sheet 2 of 8
File:	C:\Users\...\dac.SchDoc	Drawn By: Lukas Kroulik



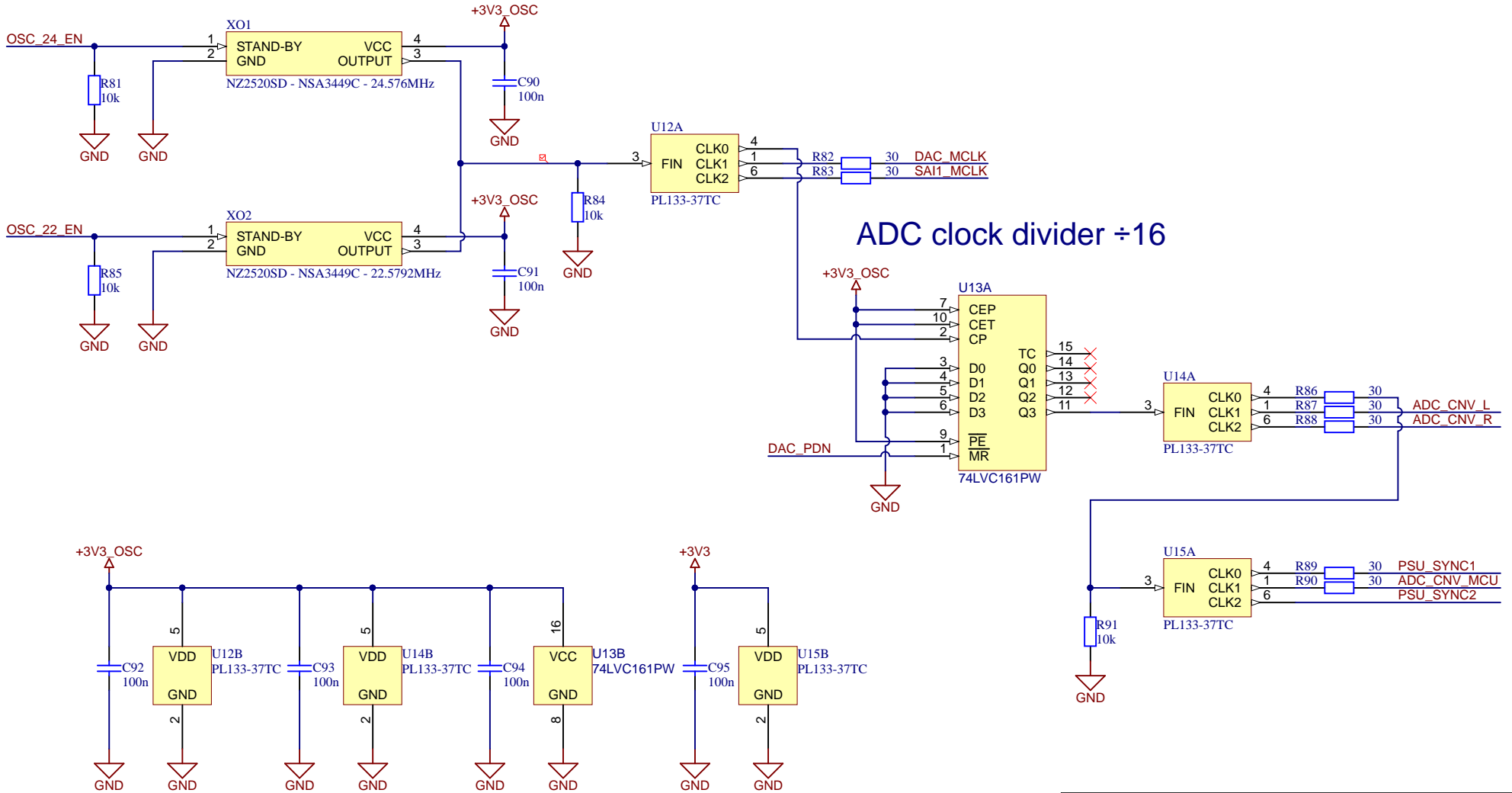
# Headphone amplifier

6.3mm output jack



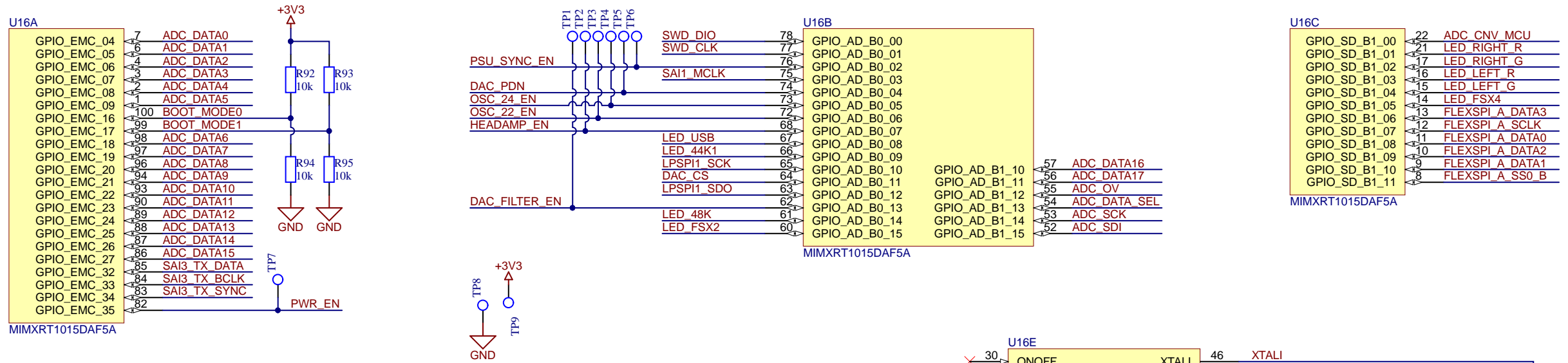
Title <b>Headphone amplifier</b>		
Size A4	Number	Revision 1
Date: 21.05.2019	Sheet 3 of 8	Drawn By: Lukas Kroulik
File: C:\Users\...\headamp.SchDoc		

# Master clock oscillators

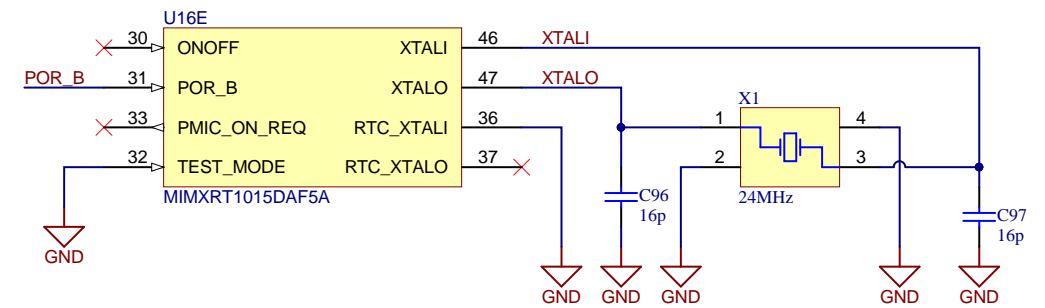
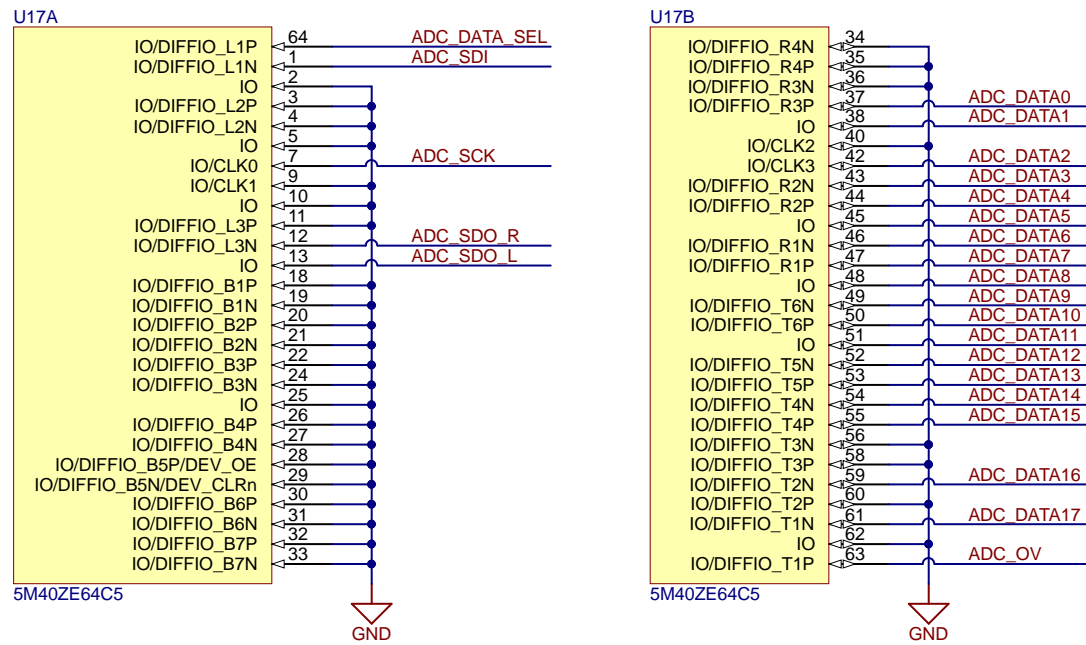


Title		
Master clock oscillators and clock distribution system		
Size	Number	Revision
A4		1
Date:	21.05.2019	Sheet 4 of 8
File:	C:\Users\...\.clock.SchDoc	Drawn By: Lukas Kroulik

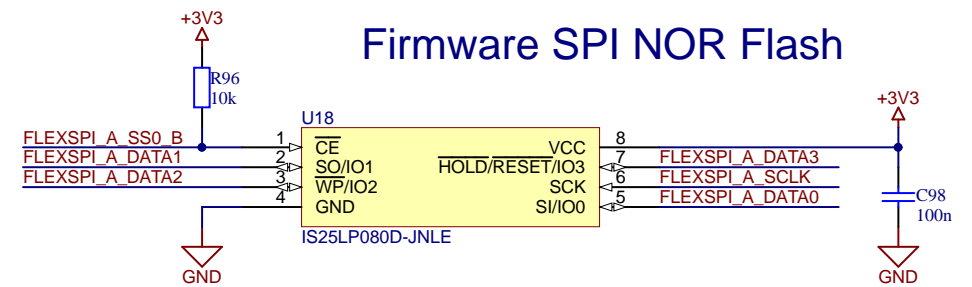
# Microcontroller



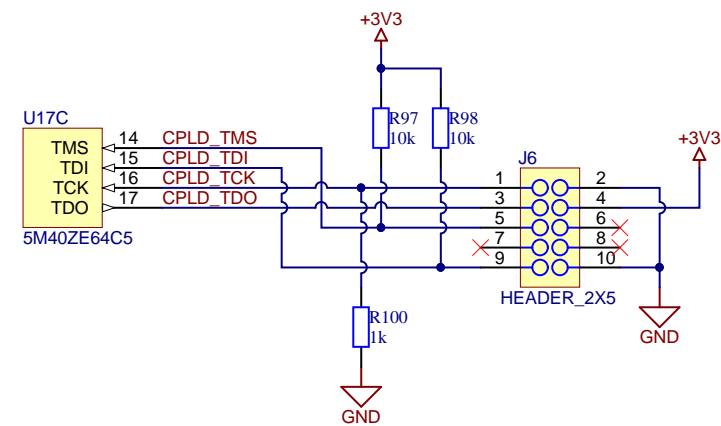
## CPLD for ADC interfacing



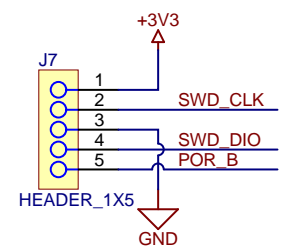
## Firmware SPI NOR Flash



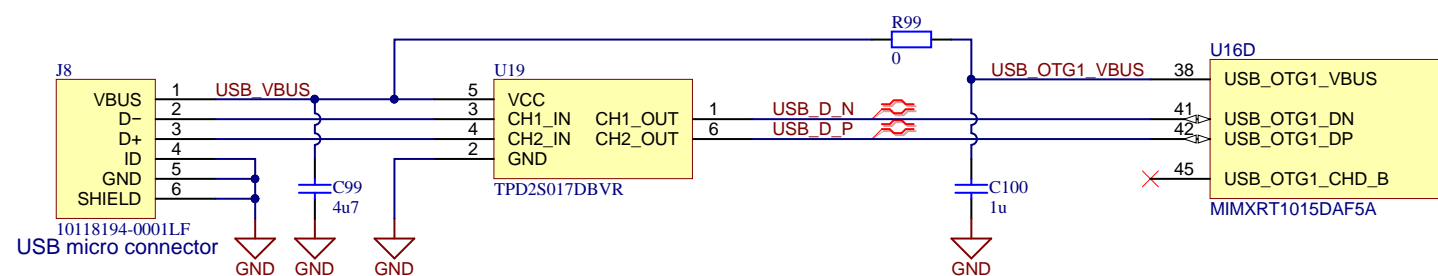
## CPLD JTAG header



## MCU SWD header



## USB interface



Title		
Microcontroller, memory and CPLD		
Size	Number	Revision
A3		1
Date:	21.05.2019	Sheet 5 of 8
File:	C:\Users\.digital.SchDoc	Drawn By: Lukas Kroulik

1

2

3

4

A

A

B

B

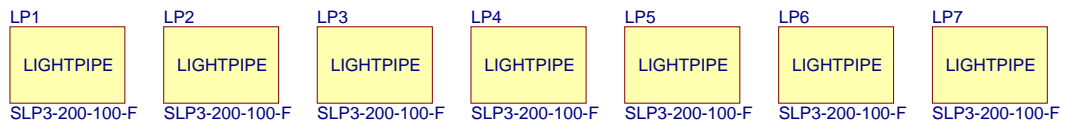
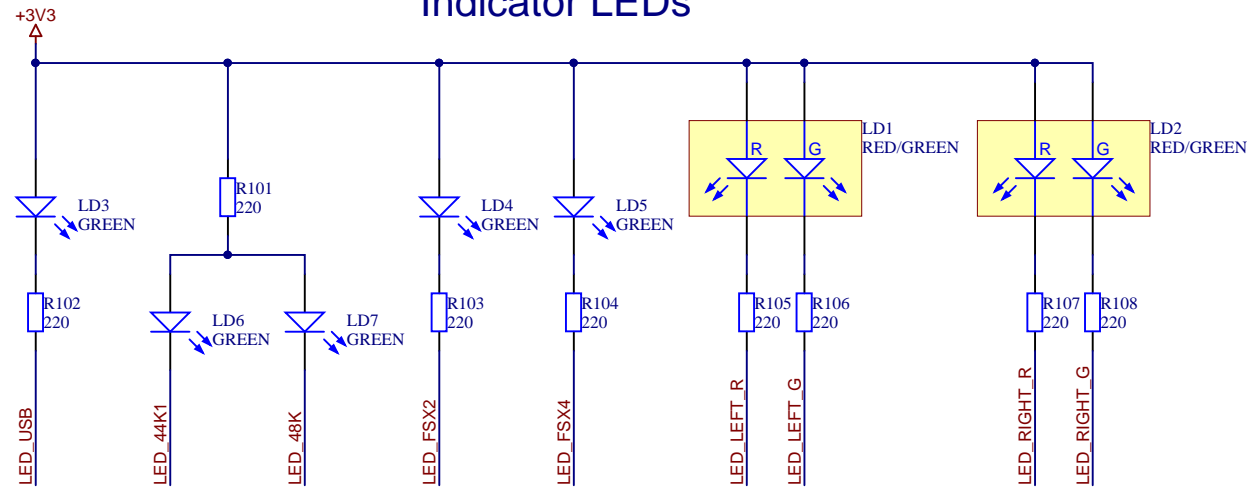
C

C

D

D

### Indicator LEDs



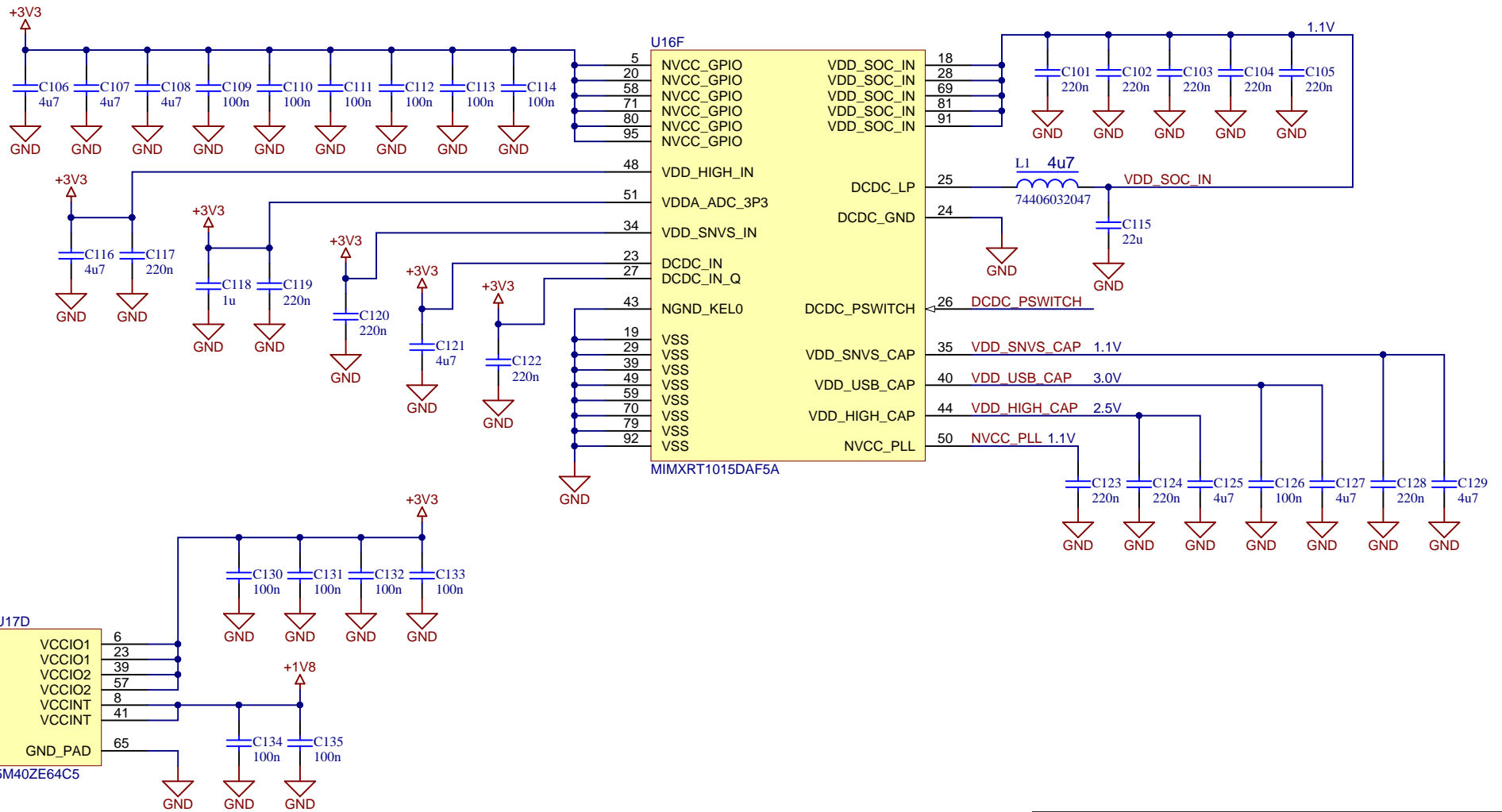
Title		
Indicator LEDs		
Size	Number	Revision
A4		1
Date:	21.05.2019	Sheet 6 of 8
File:	C:\Users\...\.veds.SchDoc	Drawn By: Lukas Kroulik

1

2

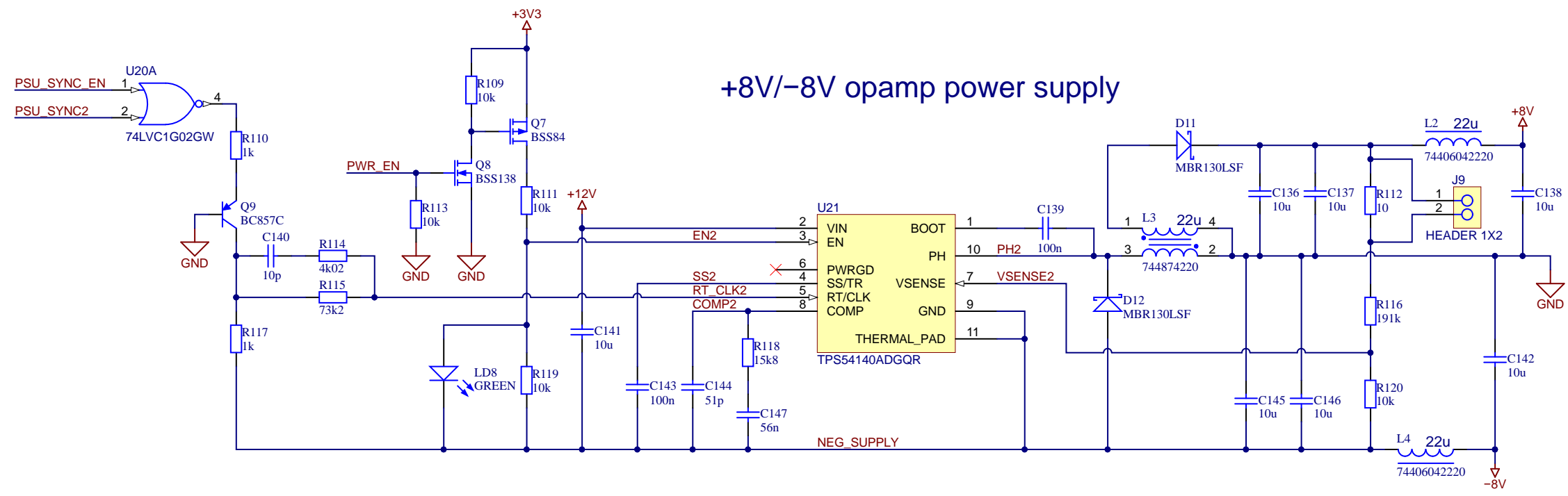
3

4



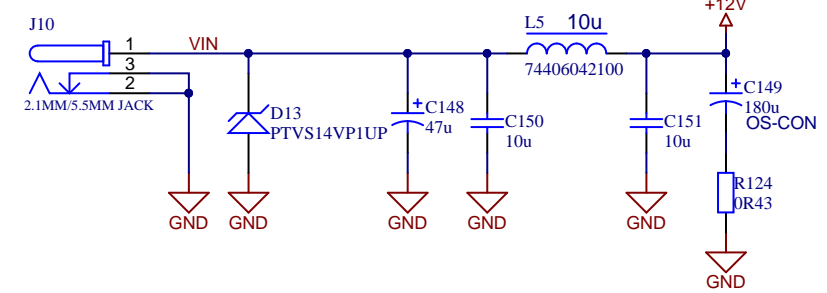
Title		
Microcontroller and CPLD power connections		
Size	Number	Revision
A4		1
Date:	21.05.2019	Sheet 7 of 8
File:	C:\Users\...digital_power.SchDoc	Drawn By: Lukas Kroulik





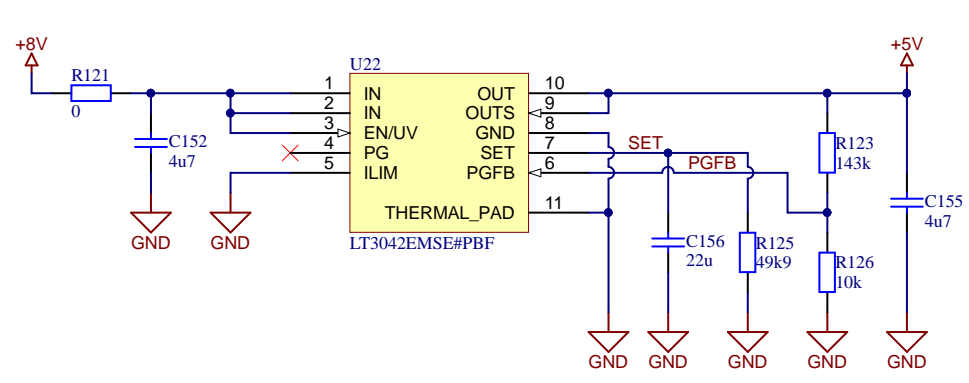
**+8V/-8V opamp power supply**

**12VDC power input**

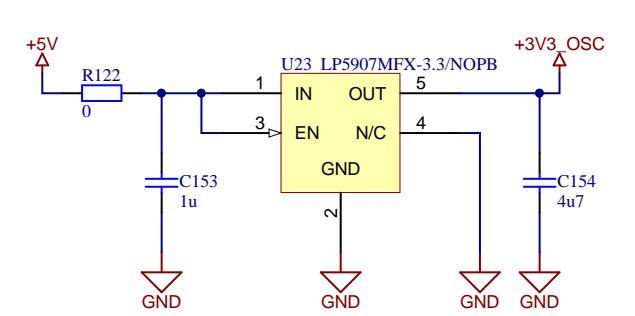


**Input filter**

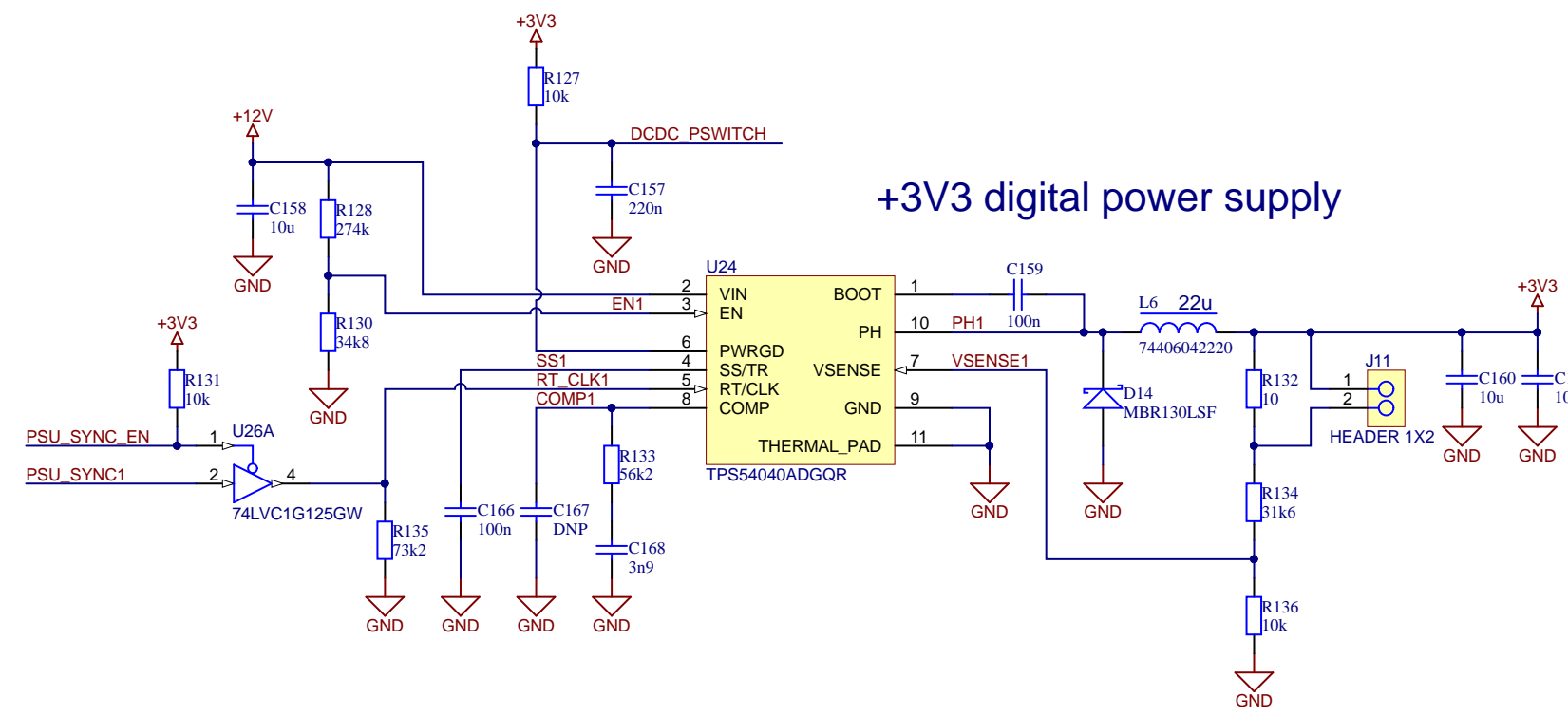
**+5V analog power supply**



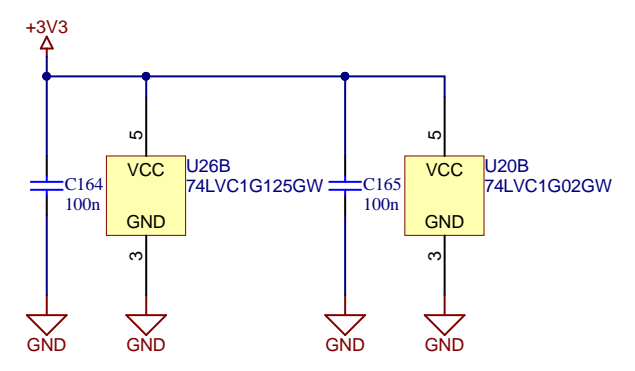
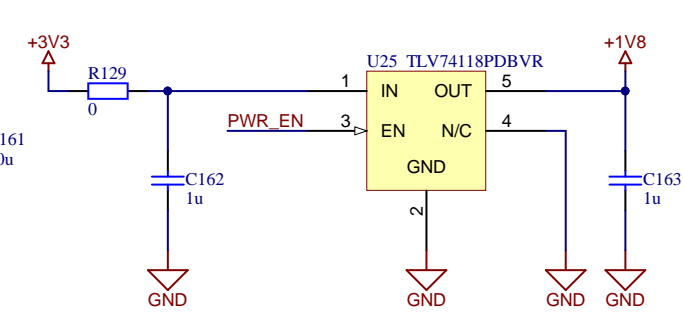
**+3V3 oscillator power supply**



**+3V3 digital power supply**



**+1V8 digital power supply**



Title			Power supply		
Size	Number			Revision	1
A3					
Date:	21.05.2019	Sheet	8	of	8
File:	C:\Users\...\power.SchDoc	Drawn By:	Lukas Kroulik		

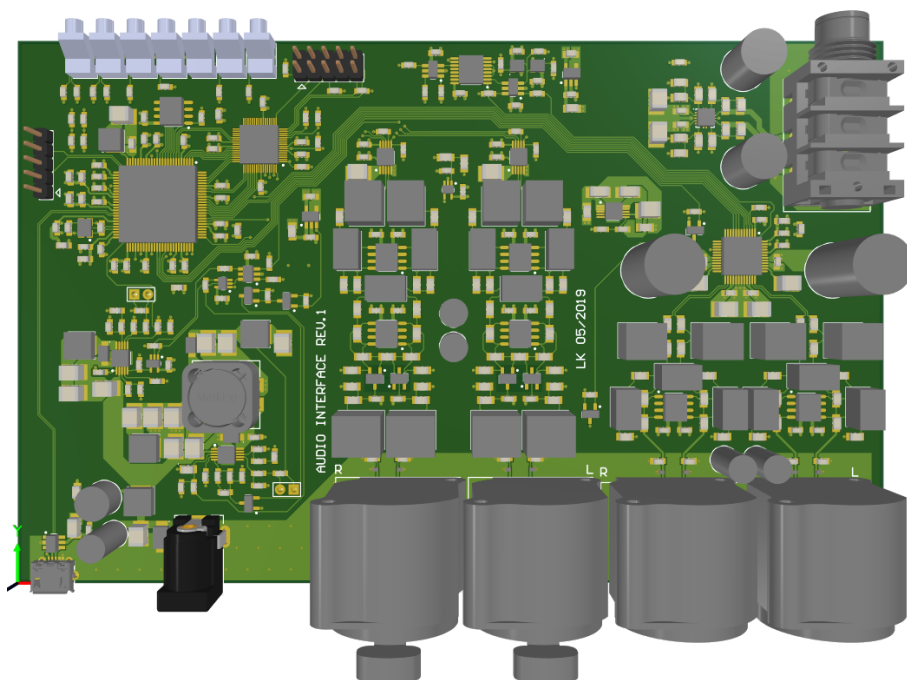
Quantity	Description	Comment	Designator
52	Taiyo Yuden - TMK107B7104KAHT	100n	C1, C2, C17, C18, C19, C20, C36, C37, C38, C39, C41, C42, C43, C44, C47, C53, C55, C60, C61, C70, C75, C76, C78, C79, C86, C87, C90, C91, C92, C93, C94, C95, C98, C109, C110, C111, C112, C113, C114, C126, C130, C131, C132, C133, C134, C135, C139, C143, C159, C164, C165, C166
20	TDK - C3225X7R1E106K250AC	10u	C3, C21, C48, C62, C63, C68, C85, C88, C136, C137, C138, C141, C142, C145, C146, C150, C151, C158, C160, C161
4	WIMA - FKP2C023301L00H	33n	C4, C14, C22, C32
4	AVX - 08055A150FAT2A	15p	C5, C15, C23, C33
6	WIMA - FKP2C012201D00HSSD	2n2	C6, C16, C24, C34, C51, C67
8	AVX - 06035A101FAT4A	100p	C7, C12, C25, C30, C49, C57, C65, C71
5		DNP	C8, C13, C26, C31, C167
8	WIMA - FKP2C021501I00HSSD	15n	C9, C11, C27, C29, C50, C56, C66, C69
2	WIMA - FKP2C014701D00HSSD	4n7	C10, C28
5	Panasonic - EEU-FC1C470	47u	C35, C40, C74, C77, C148
2	Panasonic - EEU-FC0J152	1500u	C45, C72
4	WIMA - FKP2C006801D00HSSD	680p	C46, C58, C64, C73
11	Taiyo Yuden - JMK107BB7475KA-T4	4u7	C52, C54, C106, C107, C108, C116, C121, C125, C127, C129, C154
6	Taiyo Yuden - EMK107B7105KA-T	1u	C59, C100, C118, C153, C162, C163
4	AVX - 08055A561FAT2A	560p	C80, C81, C82, C83
2	Panasonic - EEU-FC1C221	220u	C84, C89
2	AVX - 06035A160FAT2A	16p	C96, C97
3	Taiyo Yuden - EMK316B7475KL-T	4u7	C99, C152, C155
13	Taiyo Yuden - EMK107B7224KA-T	220n	C101, C102, C103, C104, C105, C117, C119, C120, C122, C123, C124, C128, C157
2	TDK - CGA6P1X7R1C226M250AC	22u	C115, C156
1	AVX - 06035A100JAT2A	10p	C140
1	AVX - 06035A510FAT2A	51p	C144
1	AVX - 06035C563JAT2A	56n	C147
1	Panasonic - 16SEPF180M	180u	C149
1	TDK - C1608C0G1H392J080AA	3n9	C168
10	Nexperia - PESD3V3X1BL,315	PESD3V3X1BL	D1, D2, D3, D4, D5, D6, D7, D8, D9, D10
3	ON Semiconductor - MBR130LSFT1G	MBR130LSF	D11, D12, D14
1	Nexperia - PTVS14VP1UP,115	PTVS14VP1UP	D13
2	Neutrik - NC3FBH2-E	NC3FBH2-E	J1, J2
2	Neutrik - NC3MBH-E	NC3MBH-E	J3, J4
1	Amphenol - ACJS-HHDR	ACJS-HHDR	J5
1	Würth Elektronik - 61301021121	HEADER_2X5	J6
1	Würth Elektronik - 61300511121	HEADER_1X5	J7
1	Amphenol FCI - 10118194-0001LF	10118194-0001LF	J8
2	Würth Elektronik - 61300211121	HEADER 1X2	J9, J11
1	Würth Elektronik - 694106301002	2.1MM/5.5MM JACK	J10
1	Würth Elektronik - 74406032047	74406032047	L1
3	Würth Elektronik - 74406042220	74406042220	L2, L4, L6
1	Würth Elektronik - 744874220	744874220	L3
1	Würth Elektronik - 74406042100	74406042100	L5
2	Lite-On - LTST-C195KGRJKT	RED/GREEN	LD1, LD2
7	Lite-On - LTST-C171KGKT	GREEN	LD3, LD4, LD5, LD6, LD7, LD8
6	Bivar - SLP3-200-100-F	SLP3-200-100-F	LP1, LP2, LP3, LP4, LP5, LP6, LP7
4	Toshiba - 2SK209-Y(TE85L,F)	2SK209Y*	Q1, Q2, Q3, Q4
2	ON Semiconductor - BSS84	BSS84	Q5, Q7
2	ON Semiconductor - BSS138	BSS138	Q6, Q8
1	ON Semiconductor - BC857CLT1G	BC857C	Q9
4	Panasonic - ERA-6AEB2741V	2k74	R1, R22, R25, R44
4	Panasonic - ERA-6AEB101V	100	R2, R21, R26, R43
4	Panasonic - ERA-6AEB76R8V	76R8	R3, R19, R27, R41
8	Panasonic - ERA-6AEB4640V	464	R4, R9, R13, R20, R28, R31, R36, R42
4	Panasonic - ERA-6AEB1210V	121	R5, R16, R29, R39
28	Panasonic - ERJ-3EKF1002V	10k	R6, R17, R18, R40, R57, R70, R71, R80, R81, R84, R85, R91, R92, R93, R94, R95, R96, R97, R98, R109, R111, R113, R119, R120, R126, R127, R131, R136
5	Panasonic - ERJ-3EKF1001V	1k	R7, R33, R100, R110, R117
4	Vishay/Beyschlag - MCU08050C1005FP500	10M	R8, R15, R30, R38
4	Panasonic - ERA-6AEB1180V	118	R10, R14, R32, R37
2	Panasonic - ERA-6AEB8661V	8k66	R11, R34
9	Panasonic - ERJ-3EKF30R0V	30	R12, R35, R82, R83, R86, R87, R88, R89, R90
2	Panasonic - ERA-6AEB103V	10k	R23, R24
8	Panasonic - ERA-6AEB470V	47	R45, R46, R54, R56, R58, R59, R67, R69
4	Panasonic - ERA-6AEB152V	1k5	R47, R55, R60, R68
4	Panasonic - ERA-6AEB90R9V	90R9	R48, R51, R61, R64
4	Panasonic - ERA-6AEB7680V	768	R49, R52, R62, R65
4	Panasonic - ERA-6AEB2370V	237	R50, R53, R63, R66
4	Panasonic - ERA-6AEB1911V	1k91	R72, R75, R76, R79
4	Panasonic - ERA-6AEB3241V	3k24	R73, R74, R77, R78
1	Panasonic - ERJ-3GEY0R00V	0	R99
8	Panasonic - ERJ-3EKF2200V	220	R101, R102, R103, R104, R105, R106, R107, R108

2	Panasonic - ERJ-3EKF10R0V	10	R112, R132
1	Panasonic - ERJ-3EKF4021V	4k02	R114
2	Panasonic - ERJ-3EKF7322V	73k2	R115, R135
1	Panasonic - ERJ-3EKF1913V	191k	R116
1	Panasonic - ERJ-3EKF1582V	15k8	R118
3	Panasonic - ERJ-6GEY0R00V	0	R121, R122, R129
1	Panasonic - ERJ-3EKF1433V	143k	R123
1	Panasonic - ERJ-6DQFR43V	0R43	R124
1	Panasonic - ERA-6AEB4992V	49k9	R125
1	Panasonic - ERJ-3EKF2743V	274k	R128
1	Panasonic - ERJ-3EKF3482V	34k8	R130
1	Panasonic - ERJ-3EKF5622V	56k2	R133
1	Panasonic - ERJ-3EKF3162V	31k6	R134
2	Analog Devices - AD4003BRMZ	AD4003BRMZ	U1, U5
6	TI - OPA1632DR	OPA1632DR	U2, U3, U6, U7, U8, U10
1	TI - TLV6741DCKR	TLV6741DCKR	U4
1	AKM - AK4493EQ	AK4493EQ	U9
1	TI - OPA1622IDRCR	OPA1622IDRCR	U11
3	Microchip/Micrel - PL133-37TC	PL133-37TC	U12, U14, U15
1	Nexperia - 74LVC161PW,118	74LVC161PW	U13
1	NXP Semiconductors - MIMXRT1015DAF5A	MIMXRT1015DAF5A	U16
1	Intel/Altera - 5M40ZE64C5	5M40ZE64C5	U17
1	ISSI - IS25LP080D-JNLE	IS25LP080D-JNLE	U18
1	TI - TPD2S017DBVR	TPD2S017DBVR	U19
1	Nexperia - 74LVC1G02GW,125	74LVC1G02GW	U20
1	TI - TPS54140ADGQR	TPS54140ADGQR	U21
1	Analog Devices - LT3042EMSE#PBF	LT3042EMSE#PBF	U22
1	TI - LP5907MFX-3.3/NOPB	LP5907MFX-3.3/NOPB	U23
1	TI - TPS54040ADGQR	TPS54040ADGQR	U24
1	TI - TLV74118PDBVR	TLV74118PDBVR	U25
1	Nexperia - 74LVC1G125GW,125	74LVC1G125GW	U26
1	Epson Timing - TSX-3225 24.0000MF15X-AC3	24MHz	X1
1	NDK - NZ2520SD - NSA3449C - 24.576MHz	NZ2520SD - NSA3449C - 24.576MHz	XO1
1	NDK - NZ2520SD - NSA3449C - 22.5792MHz	NZ2520SD - NSA3449C - 22.5792MHz	XO2
8	Neutrik - B-SCREW-1-8	šrouby pro montáž XLR konektorů	
1	Fischer elektronik - AKG 165 42 100 ME	krabička	

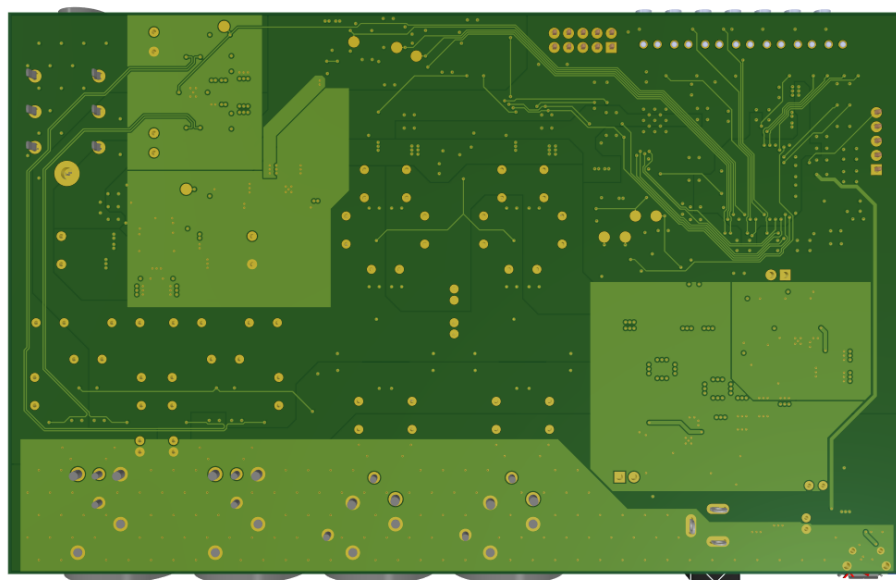


## Příloha B

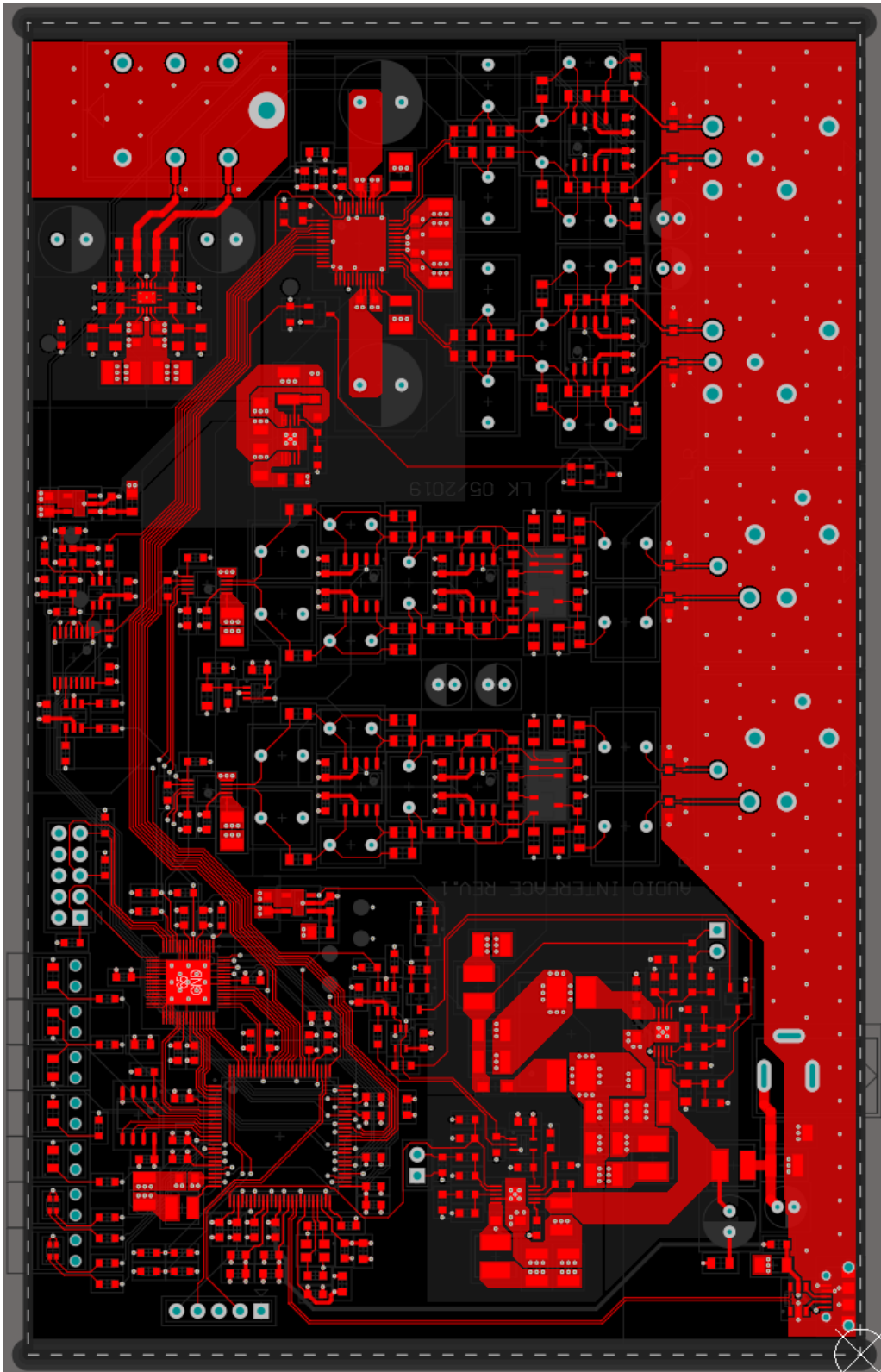
# Výkresy desky plošných spojů



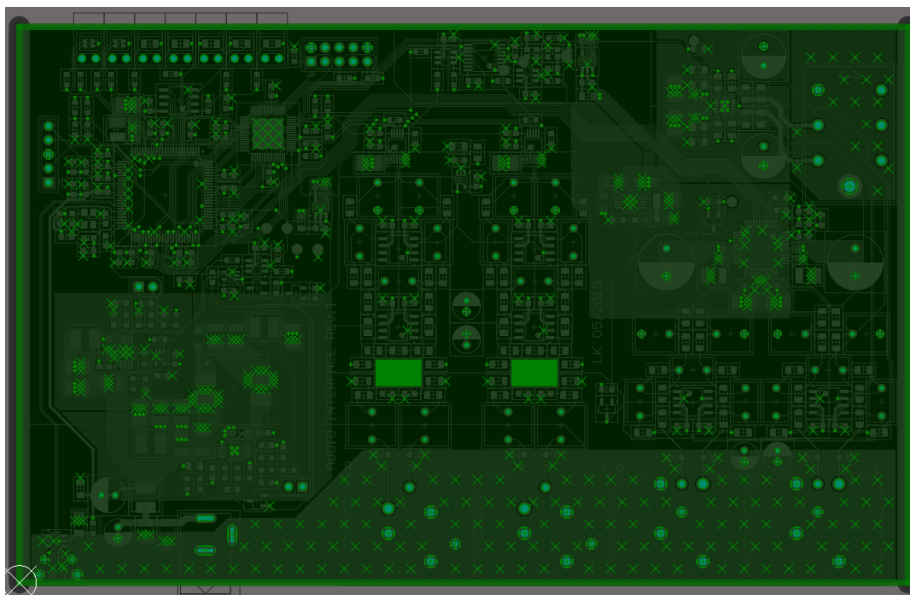
Obrázek B.1: Vizualizace osazené desky plošných spojů při pohledu shora



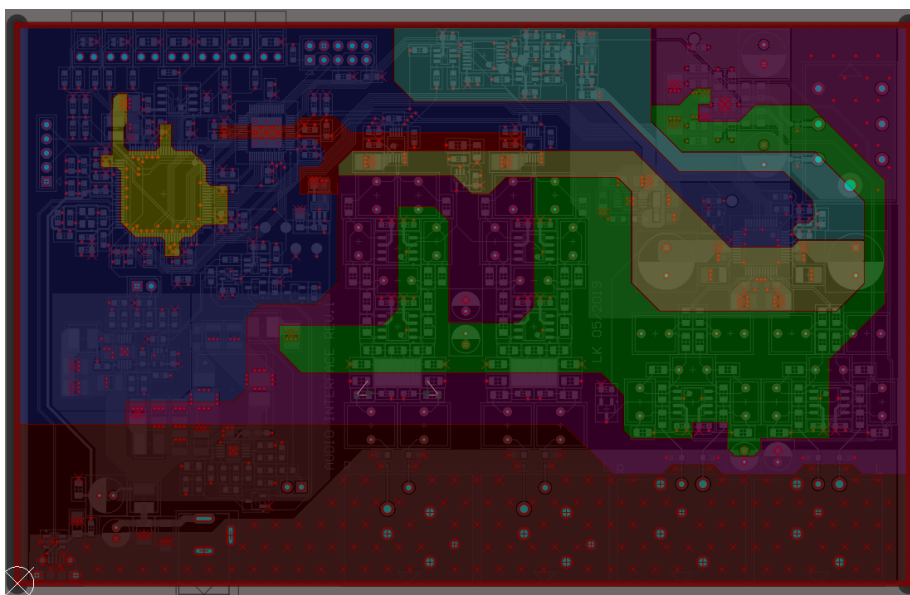
Obrázek B.2: Vizualizace desky plošných spojů při pohledu zespodu



Obrázek B.3: Pohled na vrchní vrstvu (strana součástek) desky plošných spojů

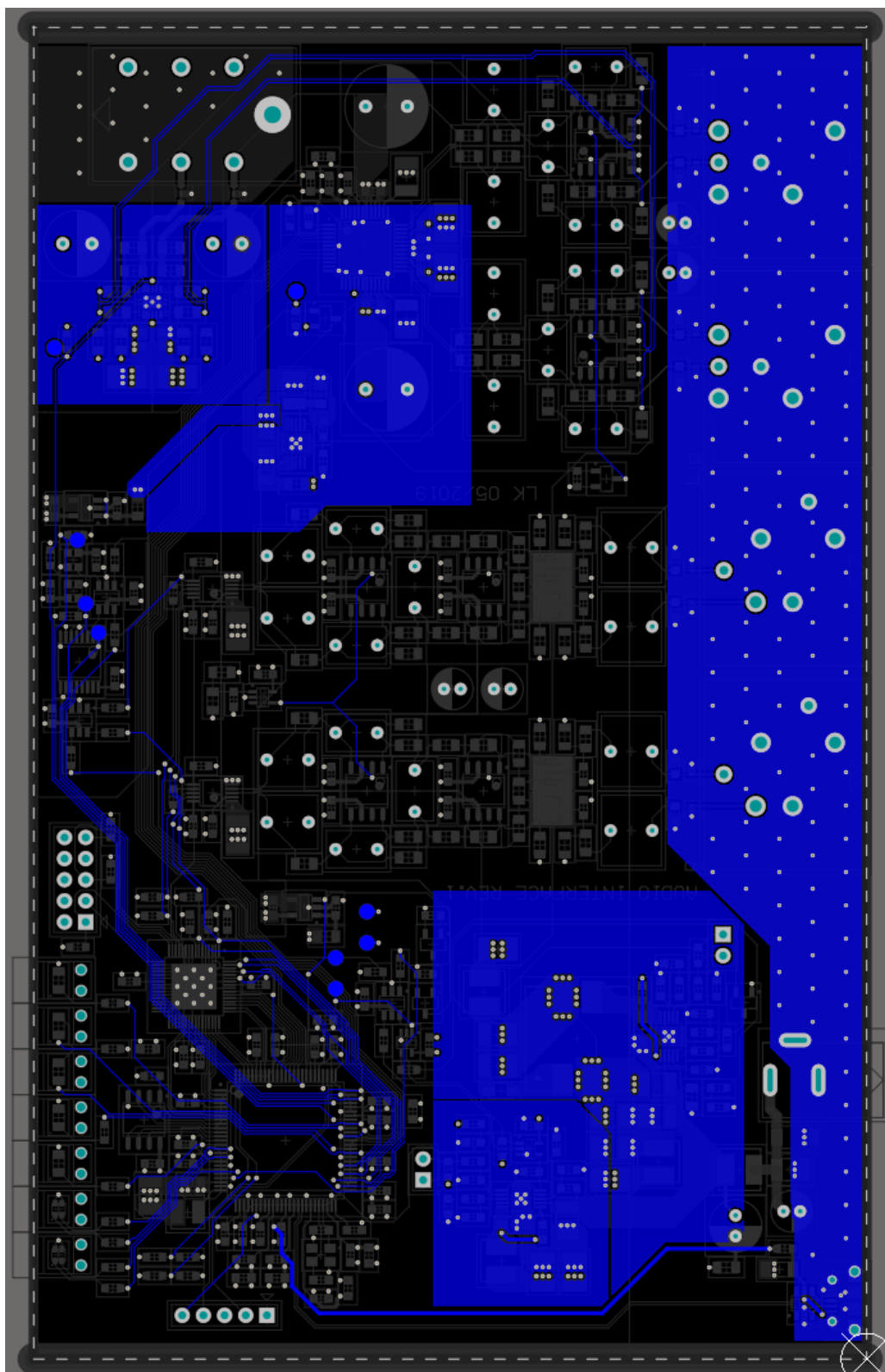


Obrázek B.4: Pohled na první vnitřní vrstvu (spojitá zemnicí plocha) desky plošných spojů

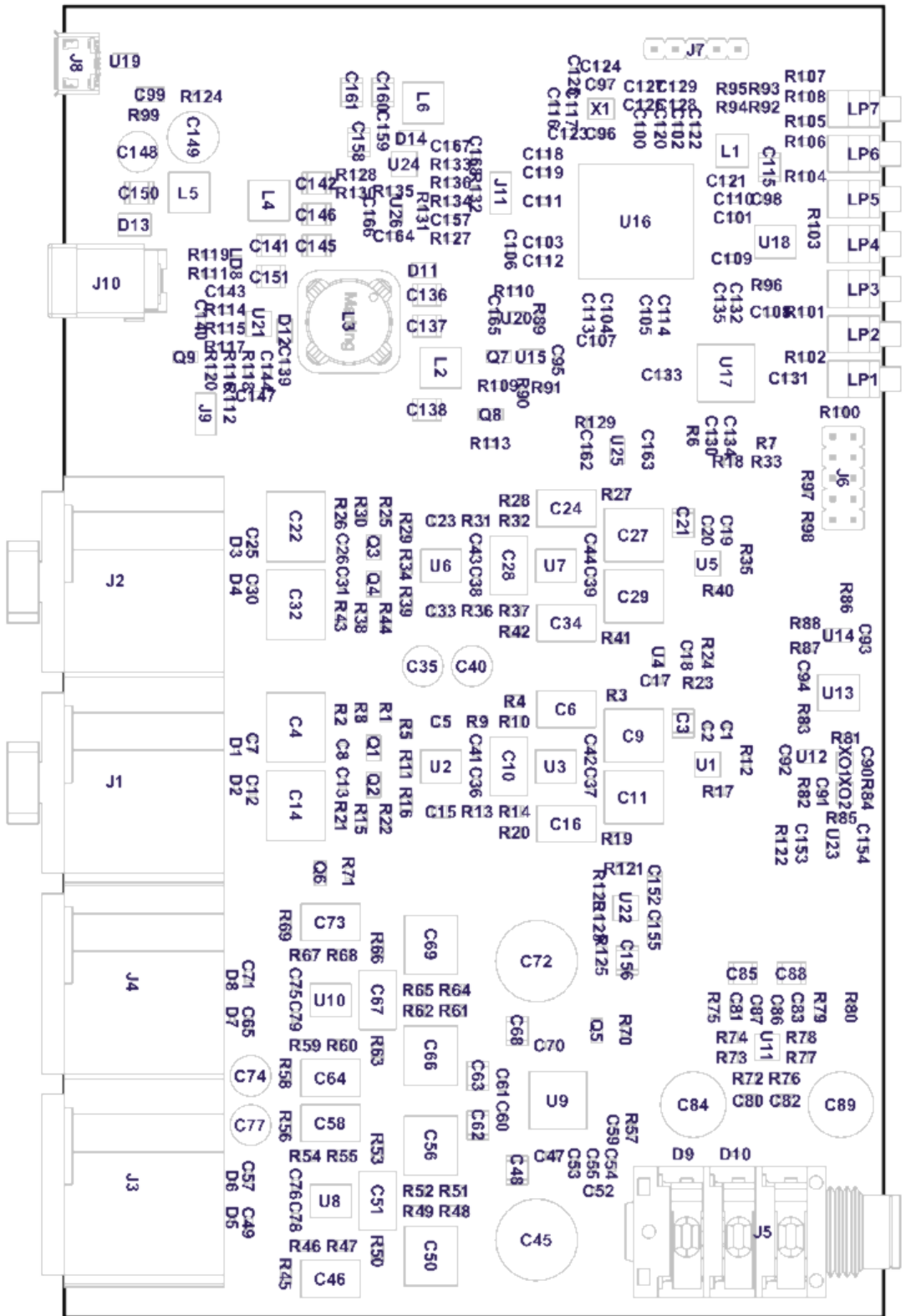


Obrázek B.5: Pohled na druhou vnitřní vrstvu (rozvod napájecích napětí) desky plošných spojů





Obrázek B.6: Pohled na spodní vrstvu (strana spojit) desky plošných spojů



Obrázek B.7: Osazovací výkres desky plošných spojů

## Příloha C

# Zdrojový kód konfigurace CPLD

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity adcbridge is
  port (
    adc_sck   : in  std_logic;
    adc_sdo1  : in  std_logic;
    adc_sdo2  : in  std_logic;
    data_en   : in  std_logic;
    data_sel  : in  std_logic;
    ov        : out std_logic;
    data      : out std_logic_vector(17 downto 0));
end adcbridge;

architecture arch of adcbridge is
  signal shifter1 : std_logic_vector(18 downto 0) := (others => '0');
  signal shifter2 : std_logic_vector(18 downto 0) := (others => '0');
  signal selected_shifter : std_logic_vector(18 downto 0);
begin

  selected_shifter <= shifter1(18 downto 0) when (data_sel = '0')
    else shifter2(18 downto 0);

  data <= selected_shifter(18 downto 1) when (data_en = '1')
    else (others => '0');
  ov <= (not selected_shifter(0)) when (data_en = '1') else '0';

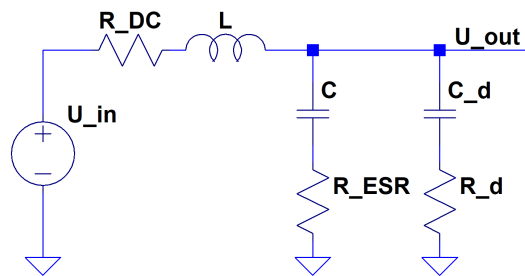
  process (adc_sck)
  begin
    if (falling_edge(adc_sck)) then
      shifter1 <= shifter1(17 downto 0) & adc_sdo1;
      shifter2 <= shifter2(17 downto 0) & adc_sdo2;
    end if;
  end process;

end arch;
```



## Příloha D

# Výpočet optimálního snubberu pro zatlumení LC filtru



Obrázek D.1: Schéma zapojení LC filtru se zatlumením pomocí snubberu

Na obrázku D.1 je schéma zapojení LC filtru zatlumeného pomocí snubberu. Rezistor  $R_{DC}$  představuje DC odpor vinutí cívky, rezistor  $R_{ESR}$  modeluje ekvivalentní sériový odpor kondenzátoru a prvky  $C_d$  a  $R_d$  tvoří snubber. Přenosová funkce tohoto obvodu od vstupního napětí  $U_{in}$  na výstupní napětí  $U_{out}$  je

$$H(s) = \frac{(CR_{ESR}s + 1)(C_d R_d s + 1)}{D} \quad (D.1)$$

$$\begin{aligned} D = & CLC_d (R_d + R_{ESR}) s^3 \\ & + (((R_d + R_{DC}) R_{ESR} + R_d R_{DC}) C + L) C_d + CL) s^2 \\ & + ((R_d + R_{DC}) C_d + C (R_{DC} + R_{ESR})) s + 1 \end{aligned} \quad (D.2)$$

Jedná se o přenosovou funkci low-pass filtru 3. řádu, která má jeden reálný pól, dva komplexně sdružené póly a dvě nuly, jejichž pozice závisí na ESR kondenzátoru a na zatlumovacím odporu  $R_d$ . Nulu způsobenou snubberem lze nastavit tak, že bude na stejné pozici jako reálný pól přenosové funkce a tyto se vzájemně vyruší (tzv. pole-zero cancellation). Výsledná přenosová funkce bude 2. řádu s jednou nulou, přičemž lze zároveň nastavit činitel tlumení na požadovanou hodnotu. Úkolem je nalézt hodnoty prvků  $C_d$  a  $R_d$ , pro které bude toto splněno. Jmenovatele přenosové funkce vydělíme činitelem čitatele popisujícím nulu snubberu.

$$\frac{D}{(C_d R_d s + 1)} = q + r \quad (\text{D.3})$$

$$q = s^2 + \frac{CC_d R_{DC} R_{ESR} R_d + CC_d R_{DC} R_d^2 + CC_d R_{ESR} R_d^2 - CLR_{ESR} + C_d LR_d}{C_d R_d CL (R_d + R_{ESR})} s \quad (\text{D.4})$$

$$r = \frac{CC_d R_{DC} R_{ESR} R_d - C_d^2 R_{DC} R_d^2 - CLR_{ESR} + C_d LR_d}{C_d^2 R_d^2 CL (R_d + R_{ESR})} \quad (\text{D.5})$$

$q$  je podíl a  $r$  je zbytek po dělení polynomů. Aby nastalo vzájemné vyrušení (vykrácení) pólu a nuly, zbytek  $r$  musí být nulový.  $q$  bude jmenovatelem výsledné přenosové funkce zatlumeného LC filtru. Porovnáním se standardním tvarem jmenovatele přenosové funkce systému 2. řádu ve tvaru

$$s^2 + 2\zeta\omega_0 s + \omega_0^2 \quad (\text{D.6})$$

můžeme odvodit vlastní úhlovou frekvenci  $\omega_0$  a činitel tlumení  $\zeta$  výsledného systému.

$$\omega_0 = \sqrt{\frac{R_d^2 (R_d + R_{DC}) C_d^2 - C_d (CR_{DC} R_{ESR} + L) R_d + CLR_{ESR}}{C_d^2 R_d^2 CL (R_d + R_{ESR})}} \quad (\text{D.7})$$

$$\zeta = \frac{CC_d (R_{DC} + R_{ESR}) R_d^2 + C_d (CR_{DC} R_{ESR} + L) R_d - CLR_{ESR}}{2 C_d R_d CL (R_d + R_{ESR}) \omega_0} \quad (\text{D.8})$$

Nyní sestavíme soustavu rovnic

$$\begin{aligned} \zeta &= \zeta_0 \\ r &= 0 \end{aligned} \quad (\text{D.9})$$

do které dosadíme známé hodnoty prvků  $L$ ,  $R_{DC}$ ,  $C$  a  $R_{ESR}$  a za  $\zeta_0$  dosadíme požadovaný výsledný činitel tlumení. Typicky požadujeme kritické tlumení filtru, takže dosadíme jedničku. Vyřešením soustavy získáme hodnoty prvků snubberu  $C_d$  a  $R_d$ . Výpočet těchto poměrně složitých rovnic je potřeba implementovat v některém z algebraických softwarů, jako je např. Maple. Soustava rovnic má 3 různá řešení, přičemž jedno sestává z prvků záporných hodnot, druhé je také prakticky nerealizovatelné (hodnota  $R_d$  totiž vychází extrémně malá) a třetí řešení je to, které hledáme a které je prakticky použitelné.