



ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE

Fakulta elektrotechnická

Katedra mikroelektroniky

Návrh regulátoru LDO

Design of LDO regulator

Diplomová práce

Studijní program: Elektronika a komunikace
Studijní obor: Elektronika
Vedoucí práce: Prof. Ing. Miroslav Husák, CSc.

Bc. Martin Kaňok

Praha 2019

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Kaňok** Jméno: **Martin** Osobní číslo: **434681**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra mikroelektroniky**
Studijní program: **Elektronika a komunikace**
Studijní obor: **Elektronika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Návrh regulátoru LDO

Název diplomové práce anglicky:

Design of LDO regulator

Pokyny pro vypracování:

1. Proveďte rozbor stávajícího stavu poznání o řešení obvodů lineárních stabilizátorů, speciálně regulátorů LDO.
2. Navrhněte regulátor LDO s parametry: Napájecí napětí 1,4 V až 5,5 V, rozsah výstupního proudu 0 až 1 A, co nejmenší úbytek napětí při 1 A, vlastní spotřeba proudu 30 μ A při zátěži naprázdno, 300 μ A při výstupním proudu zátěží 1 A, rozsah výstupní kapacity 0,47 μ F až 47 μ F. K regulátoru navrhněte nadproudovou ochranu. Navrhněte zapojení minimalizující rozdíl proudu mezi saturačním a lineárním režimem výkonového tranzistoru. Doplňte regulátor teplotní ochranou pracující v analogovém režimu.
3. Vyhodnoťte dosažené parametry navrženého obvodu a shrňte základní poznatky dosažené při návrhu.

Seznam doporučené literatury:

1. Neumann, P., Uhlíř, J.: Elektronické obvody a funkční bloky (I, II), ČVUT 2001
2. G. Giustolisi, G. Palumbo, E. Spitale, Robust Miller Compensation with Current Amplifiers Applied to LDO Voltage Regulators, IEEE TCS I, Vol. 59, No. 9, September 2012
3. Ke-Horng Chen: Power Management Techniques for Integrated Circuit Design, 2016, ISBN-10: 9781118896815
- A. S. Sedra, K. C. Smith, Microelectronic Circuits, Oxford University Press, 2001

Jméno a pracoviště vedoucí(ho) diplomové práce:

prof. Ing. Miroslav Husák, CSc., katedra mikroelektroniky FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **28.01.2019**

Termín odevzdání diplomové práce: _____

Platnost zadání diplomové práce: **20.09.2020**

prof. Ing. Miroslav Husák, CSc.
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Ing. Pavel Ripka, CSc.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

Datum převzetí zadání

Podpis studenta

Čestné prohlášení

„Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.“

V Praze dne

.....

podpis

Poděkování

Speciální poděkování patří firmě STMicroelectronics za poskytnutí pracovního prostředí a profesionální přístup, jmenovitě Ing. Sándoru Petényimu a Ing. Lukáši Buryánci za cenné rady, podporu a věcné připomínky. Dále bych rád poděkoval svému vedoucímu prof. Ing. Miroslavu Husákovi, CSc. za odborné vedení a psychickou podporu při zpracovávání této diplomové práce. Děkuji také své rodině za psychickou a finanční podporu po dobu celého studia.

Abstrakt

V předložené práci jsou popsány procesy vedoucí k analogovému návrhu LDO regulátoru s PMOS výkonovým prvkem v technologii BCD8 společnosti STMicroelectronics. V práci je vysvětlena funkce MOS tranzistorů při konstrukci integrovaných obvodů a základní teorie potřebná pro pochopení procesu výroby integrovaných obvodů. Práce se věnuje teorii napěťových regulátorů a zabývá se návrhem funkčního LDO regulátoru s nadproudovou a teplotní ochranou.

Klíčová slova: LDO, regulátor napětí, analogový návrh; návrh integrovaných obvodů, PMOS výkonový prvek

Abstract

Principles of analog design of a low-dropout regulator with PMOS pass element in BCD8 technology of STMicroelectronics are described in this thesis. The paper specifies the function of MOS transistors in the design and presents a basic theory, which is needed for understanding the fabricating processes. The thesis deals with theory of voltage regulators and describes the design of a functional LDO with overcurrent and thermal protection.

Keywords: LDO, voltage regulator, analog design, IC design, PMOS pass-device

Obsah

Seznam zkratek	11
Seznam obrázků	12
Seznam tabulek	14
1 Úvod	15
2 Integrované obvody	17
2.1 CMOS technologie	18
2.1.1 MOSFET	19
2.1.2 Režim slabé inverze	21
2.1.3 Režim silné inverze	22
2.1.4 Výstupní odpor MOS tranzistorů v saturaci	23
2.2 Pasivní prvky v CMOS	25
2.2.1 Rezistory	25
2.2.2 Kondenzátory	26
2.3 Technologické parametry návrhu	27
3 Napěťové regulátory	29
3.1 LDO regulátory	30
3.1.1 Topologie LDO regulátorů	30
3.1.2 Úbytek napětí V_{drop}	32
3.1.3 Vlastní spotřeba regulátoru I_q	33
3.1.4 Pohotovostní proud	33
3.1.5 Napěťová a zátěžová regulace	33
3.1.6 Odezva systému na napájení a změnu výstupního proudu	35
3.1.7 Výstupní šum	37
3.1.8 Potlačení zvlnění napájecího zdroje (PSRR)	37
3.1.9 Účinnost	37
3.1.10 Přesnost	38
3.1.11 Teplota a ztrátový výkon	38
3.1.12 Výkonový prvek	39
3.1.13 Možnosti kompenzace	41
3.2 Rozbor trhu s LDO regulátory	41
4 Návrh LDO regulátoru	45
4.1 Výkonový prvek	46
4.2 Proudová napájení	48
4.3 Diferenční zesilovač	49
4.4 Paralelní kompenzace	50
4.5 Řídicí obvod výkonového tranzistoru	51
4.6 Kompenzace dominantním pólem	52
4.7 Nadproudová ochrana	54
4.8 Teplotní ochrana	56

5 Simulace	61
6 Závěr	71
Literatura	73
Přílohy	75

Seznam zkratek

AC Alternating Current.

ASIC Application-Specific Integrated Circuit.

BCD Bipolar CMOS-DMOS Technology.

BW Bandwidth.

CMOS Complementary Metal Oxide Semiconductor.

DC Direct Current.

EN Enable.

ESL Equivalent Series Inductance.

ESR Equivalent Series Resistor.

FPGA Field-Programmable Gate Array.

IC Integrated circuit.

IO Integrovaný obvod.

LDO Low-Dropout Regulator.

NMOS n-channel MOSFET.

PCB Printed Circuit Boards.

PMOS p-channel MOSFET.

PolySi Polycrystallin Silicon.

PSRR Power Supply Rejection Ratio.

RAM Random-Access Memory.

ROM Read-Only Memory.

TRAN Transient.

VCCS Voltage Controlled Current Source.

VCVS Voltage Controlled Voltage Source.

Seznam obrázků

1	Procesní schéma vytváření integrovaných obvodů, inspirováno [1]	18
2	Řez strukturou CMOS, inspirováno z [2]	19
3	Řez strukturou NMOS tranzistoru, inspirováno z [3]	20
4	Symbol (a) PMOS, (b) NMOS tranzistoru	21
5	Principiální schéma MOS tranzistoru s nulovým v_{gs}	21
6	Velkosignálový model tranzistoru NMOS, převzato z [2]	23
7	Modulace délky kanálu, inspirováno [2]	24
8	Řez rezistorem tvořen difúzní oblastí N+, inspirováno [4]	25
9	Řez strukturou 3D kondenzátoru na substrátu, převzato z [7]	27
10	Příklad použití CMOS struktury jako kondenzátorů v digitálním návrhu (a) zapojení, (b) symbolika	27
11	Příklad napěťového regulátoru tvořeného zenerovou diodou	29
12	Klasifikace LDO regulátorů, inspirováno [3]	30
13	Sériový LDO regulátor s (a) PMOS (b) NMOS prvkem	31
14	V_{drop} vycházející ze vztahu V_{in} a V_{out} , inspirováno [3]	33
15	Schéma principu pohotovostního proudu	34
16	Definice napěťové regulace, převzato z [3]	34
17	Definice zátěžové regulace, převzato z [3]	35
18	Časová odezva změny zátěže, převzato z [3]	35
19	Ilustrace ideálního (a) a reálného (b) kondenzátoru s parazitními jevy	36
20	Možnosti realizace výkonového prvku bipolárním tranzistorem	39
21	Blokové schéma navrhovaného LDO regulátoru	45
22	Schéma obvodu pro design výkonového PMOS prvku	46
23	Simulace výkonového prvku	47
24	Ilustrace proudového zrcadla	48
25	Zjednodušené schéma diferenčního zesilovače	49
26	Schéma paralelní kompenzace	50
27	Schéma řídicího obvodu výkonového prvku	51
28	Schéma konvenčního LDO regulátoru	52
29	Principiální schéma nadproudové ochrany	54
30	Simulace nadproudové ochrany	56
31	Blokové schéma teplotní ochrany	56
32	Obvod pro teplotní simulaci čipu a pouzdra	57
33	Uvažované pouzdro DFN6, převzato z [14]	57
34	Zjednodušený model odběru proudu bipolárním tranzistorem	59
35	Simulace teplotního chování IO	60
36	Simulace V_{drop} pro $I_{load} = 1 A$	61
37	Simulace napěťové regulace v plném rozsahu provozního V_{in}	62
38	Simulace zátěžové regulace v rozsahu $1 \mu A - 1 A$	62
39	Simulace vlastní spotřeby regulátoru I_q	63
40	Simulace zisku	64
41	Simulace fáze	64
42	Simulace amplitudové a fázové jistoty	65
43	Simulace šumu na výstupu systému	65
44	Simulace odezvy regulátoru	66

45	Simulace odezvy regulátoru na změnu zátěže	67
46	Simulace startovací sekvence systému	67
47	Simulace odezvy změny výstupu systému	68
48	Simulace PSRR	68
49	Simulace teplotní ochrany regulátoru	69

Seznam tabulek

1	Výchozí parametry	15
2	Tabulka technologických parametrů, inspirováno z [2]	28
3	Porovnání vlastností výkonových prvků, převzato z [3]	39
4	Tabulka hledaných parametrů	41
5	Parametry dohledaných LDO regulátorů	42
6	Tabulka designovaných parametrů	45
7	Výsledky nadproudové ochrany	55
8	Tepelný odpor pouzdra DFN6, převzato z [14]	57
9	Seznam segmentů použitých v LDO	58
10	Vlastnosti použitých materiálů, převzato z [15]	58
11	Dopočet hmotnosti, objemu a kapacity segmentů	58
12	Závislost výkonové ztráty P_D , teploty substrátu T_{chip} a teploty pouzdra T_{case}	60
13	Dosažené výsledné parametry diplomové práce	71

1 Úvod

Téma „Návrh a design LDO regulátoru“ jsem si vybral na základě zájmu o polovodičovou techniku a integrované obvody. Správně řízené napájení je důležitým základním stavebním prvkem každého elektronického zařízení, především pak těch, která jsou napájena pomocí baterií, kde je velmi důležitá maximální účinnost řízení napájení resp. energetická úspora. Ta přímo souvisí i s vlastní spotřebou regulátoru, na jejíž zmenšování je dnes kladen důraz. Nic ovšem není dokonalé, a i takovéto řešení s sebou přináší problémy, které nepříznivě ovlivňují frekvenční a časové parametry regulátoru. Cílem lineárních regulátorů je zajistit stabilní napěťový výstup bez ohledu na změnu zátěže a napájecího napětí. V praxi je cílem navrhnout lineární regulátor, který splňuje požadavky zákazníka a na základě výrobní technologie najít správné řešení, splňující předem definované parametry. Z toho vyvstává mnoho problémů, se kterými je nutné se při studiu teorie a návrhu vypořádat. Pro řešení je nutné stavět na základech, které mi dalo studium na elektrotechnické fakultě a především pak styk s odborníky z praxe.

Práce seznamuje se základní terminologií počínaje obecnými informacemi o technologii CMOS, principem funkce lineárních regulátorů, jejich základních parametrů spolu s rozborem trhu komerčních výrobků, který vede k designu LDO regulátoru s PMOS výkonovým prvkem. Na teoretickém základě práce sjednocuje informace vedoucí k designu funkčního LDO regulátoru o blíže specifikovaných parametrech. Praktická část práce je doplněna o proudovou a teplotní ochranu.

Design spojuje znalosti popsané v úvodní teoretické části a ústí k funkčnímu řešení definovaných problémů. Řeší parametry popsané v teoretické části, jak jich docílit a třídí je do větví podle jejich charakteru. Teoretické znalosti bylo nutné doplnit praktickými znalostmi z analogového návrhu.

Cílem práce je detailní seznámení se s analogovým návrhem a designem v prostředí Cadence a realizace designu Low-Dropout regulátoru s výkonovým tranzistorem PMOS v technologii BCD u firmy STMicroelectronics, doplněná proudovou a teplotní ochranou a příslušnými simulacemi potvrzující jeho teoretickou funkčnost.

Praktická část práce se snaží vytvořit funkční schéma napěťového regulátoru a docílit následujících parametrů:

PARAMETR	MIN	TYP	MAX	JEDNOTKA
Napájecí napětí V_{in}	1.4	-	5.5	V
Výstupní proud I_{out}	0	-	1	A
Úbytek napětí V_{drop}	-	-	200	mV
Vlastní spotřeba I_q	30	-	300	μA
Výstupní kapacita C_{out}	0.47	-	47	μF
Proudová ochrana I_{max}	-	1.6	-	A
Provozní teplota T	-40	25	125	$^{\circ}C$
Teplotní ochrana T_{max}	-	-	160	$^{\circ}C$
Výkonový prvek: PMOS				

Tabulka 1: Výchozí parametry

V rámci smlouvy s firmou STMicroelectronics jsou některá konkrétní data úmyslně vynechána nebo pozměněna, aby nedošlo k vyzrazení citlivých informací.

2 Integrované obvody

Kapitola o integrovaných obvodech má za cíl přiblížit fundamentální principy týkající se návrhu a výroby integrovaných obvodů. Řeší dělení obvodů do designových skupin, stručně popisuje proces výroby integrovaných obvodů, tradiční technologie pro jejich výrobu a přibližuje některé základní vlastnosti, parametry a režimy činnosti MOS tranzistorů, které jsou součástí praktické práce. Dále přibližuje realizaci pasivních součástek v integrovaných obvodech a v závěru kapitoly je tabulka a diskuze nad technologickými parametry pro demonstraci změn hlavních parametrů se zmenšující se technologií.

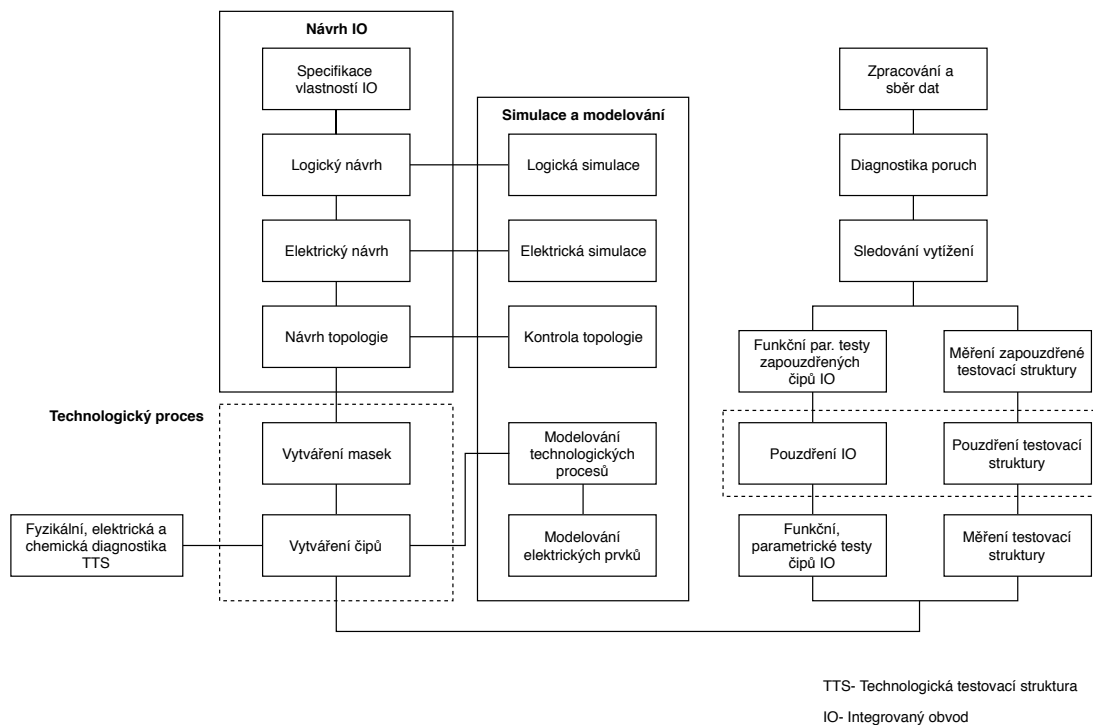
Design integrovaných obvodů (IC design) je disciplína spadající pod elektrotechniku. Hlavním účelem je z dílčích obvodových částí vytvořit funkční celek splňující předem definovaný účel. Integrované obvody se skládají z miniaturizovaných součástek zabudovaných do funkčního celku na monolitickém polovodičovém substrátu pomocí litografie. Design integrovaných obvodů lze dělit do dvou kategorií:

- **Analogový design** je využíván pro návrh napájecích nebo vysokofrekvenčních integrovaných obvodů. Zabývá se fyzikálními vlastnostmi polovodičových struktur. Jsou jimi například zisk, ztrátový výkon, odpor a kapacita. Částí analogového návrhu je i tzv. „matching“, což je důležitá část návrhu rozmístění (layoutu) jednotlivých prvků a bloků na čipu. Přesnost analogového designu stojí na matchingu. Užívá se při návrhu operačních zesilovačů, lineárních regulátorů a oscilátorů.
- **Digitální design** se zaměřuje na maximalizaci hustoty obvodu na jednotku plochy. Umístění obvodů se provádí tak, aby nedocházelo k ztrátám přesnosti hodinového signálu. Je využíván pro realizaci elektronických komponentů jako jsou mikroprocesory, FPGA, digitální ASIC čipy a paměti typu RAM, ROM a Flash.

V případě analogového návrhu jsou parametry výstupních signálů důležitější než miniaturizace. Proto není kladen důraz na hustotu obvodu jako je tomu u digitálního návrhu, ale na požadovanou přesnost. Konstrukce integrovaných obvodů se provádí vytvářením složitých struktur elektronických součástek (tranzistory, odpory, kondenzátory) na polovodičovém substrátu (nejčastěji křemík). Část procesu se zabývá izolací vodivých částí vytvořených na substrátu. Při designu se hledí na rozložení výkonu u jednotlivých komponentů. Následně lze upravit tvar a umístění komponent na čipu (layout). Správný layout má zásadní vliv na vlastnosti čipu. Pozornost se také zaměřuje na teplotu, respektive ztrátový výkon, který čip produkuje.

Vytváření integrovaných obvodů je dlouhý proces, na jehož začátku je myšlenka a na konci funkční obvod splňující předem definované parametry. Obecný procesní postup může vypadat takto:

Prvním krokem při vytváření integrovaných obvodů je konkrétní specifikace integrovaného obvodu (dále jen IO). Na základě vstupních parametrů se pak vytvoří analogový případně i digitální návrh, který se podrobí potřebným simulacím. Výsledný funkční model se dále posune k návrhu topologie, opět se provádí příslušné simulace. V případě potřeby se posílají výsledné informace zpět k analogovému/digitálnímu návrhu k přepracování původního modelu. Po úspěšném návrhu topologie čipu přichází samotný technologický proces výroby IO. Na základě rozložení (layoutu) součástek se vytvoří maska pro litografický proces, díky kterému je možné fyzicky vytvářet navržené struktury o rozměru stovek až desítek nanometrů. Proces vytváření čipů je podroben ověření

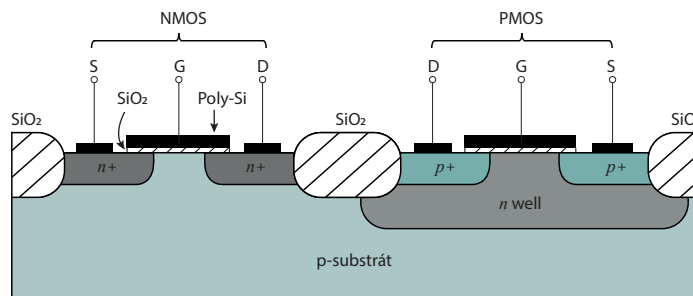


Obrázek 1: Procesní schéma vytváření integrovaných obvodů, inspirováno [1]

správnosti vytváření struktur a dochází k modelování elektronických prvků a technologických procesů nutných pro čip vyrobený přesně podle parametrů. Po vytvoření IO a testovacích struktur se přechází k testům, které mají za úkol odhalit výrobní chyby. Pokud se objeví chyba, čip se vrátí v technologickém procesu o krok zpět. V případě, že je vše v pořádku, přichází další technologický proces. Ten spočívá v zapouzdření testovacích struktur a IO do pouzder z teplotně odolného polymeru. Opakuje se verifikace, nyní již zapouzdřeného čipu. Nyní se může čip podrobit celé řadě zátěžových testů, při kterých se sleduje a dokumentuje jeho chování. V případě poruch se provede příslušná diagnostika. Na základě celého procesu, který doprovází sběr dat, se vytvoří závěr například v podobě dokumentace (datasheetu). Ten sdružuje všechny důležité informace o IO.

2.1 CMOS technologie

Komplementární MOS technologie využívá přítomnosti PMOS i NMOS tranzistorů na jednom substrátu. V případě p -substrátu se využívá jáma typu n (n -well), v případě n -substrátu je to jáma typu p (p -well). Kontakty a izolační vrstvy (např.: SiO_2) jsou pro oba typy tranzistorů stejné. Liší se v aktivních oblastech. CMOS je nejrozšířenější technologie pro konstruování integrovaných obvodů. Využívá se pro realizaci napájecích zařízení, v mikroprocesorech, statických RAM pamětích a digitálních logických obvodech. Základním stavebním prvkem této technologie jsou tranzistory MOSFET (Metal Oxide Semiconductor Field Effect Transistors). Typickou výhodou jejich užití je vyšší odolnost vůči šumu a malá vlastní spotřeba, která je dána principem funkčnosti těchto tranzistorů. To má za následek vyšší účinnost, tedy i nižší tepelné ztráty [2].



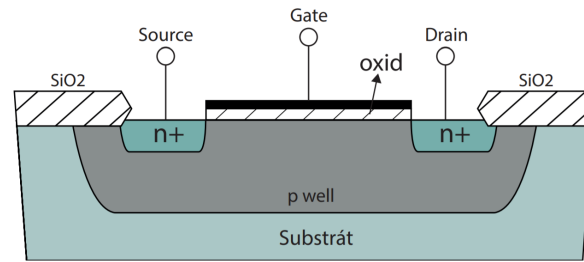
Obrázek 2: Řez strukturou CMOS, inspirováno z [2]

Nevýhodou konstrukce těchto obvodů je tzv. „latchup“ efekt (česky zachycení). Typickým příkladem tohoto jevu je pokles napětí na výstupu pod nulovou úroveň o více než 0.7 V , což je napětí na wellových diodách. Tento parazitní jev se objeví ve chvíli, kdy se velmi blízko sebe vystřídají 4 oblasti typu p^+ a n^+ . Tím vznikne npn a pnp bipolární tranzistor. Kolektor jednoho tranzistoru je spojen s bází druhého tranzistoru. V případě, že bází jednoho tranzistoru poteče proud, objeví se bází tranzistoru druhého. Pokud proudový zesilovací činitel těchto tranzistorů nebude jednotkový (tedy vyšší než 1) dochází ke zvyšování proudu oběma tranzistory. Latchup efekt má za následek chybové překlápění v CMOS logice, nebo zvětšení ztrátového výkonu. Řešením je oblasti typu p^+ a n^+ oddělovat vytvořením izolačních struktur. Na obrázku 2 je průřez strukturou CMOS. Zatímco NMOS je vyroben přímo na substrátu typu p, tak PMOS leží v substrátu typu n, jinak zvaného jako n-well. Oba tranzistory jsou od sebe odděleny pomocí oxidu, který funguje jako izolant a předchází tak latchup efektu. V moderních CMOS a zvláště BCD procesech se používá izolovaný NMOS, jehož bulk (p-well) je izolován od substrátu izolační n-well vrstvou. Další možností je izolace hlubokou jámou (tzv. „Deep Trench Isolation“).

2.1.1 MOSFET

Tranzistor typu MOSFET se řadí mezi nejpoužívanější tranzistory na světě. Obsahuje ho drtivá většina moderních elektronických zařízení. Tato kapitola popisuje základní parametry důležité pro pochopení procesu návrhu integrovaných obvodů a vlivu těchto tranzistorů na celkovou polovodičovou strukturu. Principy jsou pro přehlednost demonstrovány na NMOS tranzistorech, PMOS tranzistory jsou jejich obdobou.

Princip tohoto typu tranzistoru je založen na modulaci koncentrace náboje působením kapacity C_{ox} . Obecná struktura zahrnuje dva terminály (source a drain), které jsou zapojeny do oblastí polovodiče typu P nebo typu N. Na základě typu polovodiče výše zmíněných terminálů se rozlišují dva typy MOS tranzistorů. Oblasti terminálů (drain a source) jsou od sebe odděleny oblastí, která je tvořena typem opačného polovodiče (body). Aktivní oblast tranzistoru je tvořena izolační vrstvou (např.: oxid křemičitý SiO_2) o tloušťce t_{ox} a kapacitě C_{ox} připojenou na třetí oblast - řídicí hradlo („Gate“) [4]. Tranzistor se řídí pomocí přiložení potřebného napětí mezi gate a source, tím vznikne



Obrázek 3: Řez strukturou NMOS tranzistoru, inspirováno z [3]

na oxidu křemíku vodivý kanál. Na základě permitivity izolační vrstvy ϵ_{ox} lze vypočítat kapacitu oxidu na jednotku plochy, která je dána vztahem:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (1)$$

Hodnota napětí v_{GS} , při které se v oblasti kanálu nahromadí dostatečný počet elektronů a vytvoří tím vodivý kanál, se nazývá prahové napětí a značí se V_{Th} . Hodnota prahového napětí je řízena během výroby integrovaného obvodu a může ležet v rozsahu 0.3V-1.0V. Pokud se hodnota napětí v_{GS} dostane nad hodnotu prahového napětí V_{Th} , vzniká přebytek. Tento přebytek se značí v_{OV} a nazývá se efektivní napětí (nebo také „overdrive voltage“ = přepětí). Vychází z následujícího vztahu:

$$v_{GS} - V_t \approx v_{OV} \quad (2)$$

Velikost náboje elektronu v kanálu MOS tranzistoru v závislosti na napětí v_{ov} lze vyjádřit vztahem:

$$|Q| = C_{ox}(WL)v_{ov} \quad (3)$$

kde C_{ox} je kapacita oxidu na jednotku plochy, W je šířka a L je délka kanálu. Procesní transkonduktační parametr k_n' je důležitý pro výrobu tranzistorů, kde x značí typ konkrétního tranzistoru p popřípadě n . Skládá se z kapacity oxidu C_{ox} a hybnosti volných nosičů náboje μ , která se v jednotlivých MOS tranzistorech podstatně liší. Tento parametr je pro NMOS tranzistor dán vztahem:

$$k_n' = \mu_n C_{ox} \quad (4)$$

Tento parametr se s modernějšími technologiemi mění a představuje velký rozdíl mezi PMOS a NMOS tranzistory (více je diskutováno v kapitole 2.3). Pro potřeby diplomové práce jsou použité symboly PMOS a NMOS tranzistorů vyobrazeny na obrázku 4.

Obecně lze MOS tranzistory dělit podle jejich pracovních režimů na základě následujících podmínek:

- $v_{GS} < V_{Th}$: Není vytvořen kanál, tranzistor je zavřený; $i_D = 0$
- $v_{GS} = V_{Th} + v_{OV}$: Je vytvořen vodivý indukovaný kanál, tranzistor může pracovat v lineárním nebo saturačním režimu v závislosti na tom, zda je vytvořený kanál spojitý po celé své délce, nebo ochuzený v oblasti terminálu drain

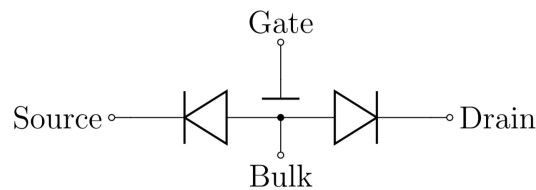
Vzhledem k tomu, že jsou MOS tranzistory ovládány napětím, lze je v ideálním případě považovat za proudový zdroj řízený napětím (VCCS - „Voltage Controlled Current Source“).



Obrázek 4: Symbol (a) PMOS, (b) NMOS tranzistoru

Režim nulového napětí V_{gs}

Jeden z možných režimů, ve kterém může MOSFET pracovat, je režim s nulovým napětím v_{gs} . Při něm dochází k zániku kanálu mezi source (S) a drain (D) a tranzistor je uzavřen. Nicméně v praxi to znamená, že v případě NMOS se mezi source a drain objeví dvě diody zapojené v sérii se společnou anodou (obrázek 5). Jedna dioda se nachází na pn přechodu p -substrátu a dotované oblasti n^+ drainu (D). Druhá je vytvořena pn přechodem mezi p -substrátem a n^+ source (S). Tyto dvě diody se společnou anodou zabráňují průtoku elektrického proudu mezi source a drain NMOS tranzistoru ve chvíli, kdy je přiloženo napájecí napětí, resp. v_{ds} . Ve skutečnosti vzniká mezi source a drain oblast s vysokou hodnotou odporu (zhruba v řádech $10^{12} \Omega$) [2].

Obrázek 5: Principiální schéma MOS tranzistoru s nulovým v_{gs}

2.1.2 Režim slabé inverze

Na základě výše popsaných pracovních režimů tranzistorů MOSFET lze předpokládat, že pokud nastane situace kdy $v_{gs} < V_{Th}$, dojde k zavření kanálu mezi terminály drain a source a tím se přeruší proud I_D . V situaci, kdy je v_{gs} menší než V_{Th} , může procházet tranzistorem proud I_D za předpokladu, že rozdíl napětí není markantní. Tato schopnost tranzistoru vodit elektrický proud i bez dostatečného napětí v_{gs} je dána teplotním napětím V_T :

$$V_T = \frac{kT}{q} \quad (5)$$

kde k je Boltzmannova konstanta, T absolutní teplota v Kelvinech a q je elementární náboj elektronu. Jde o tzv. režim slabé inverze (subthreshold region). Změna proudu I_D se váže k exponenciální změně napětí v_{gs} obdobně, jako je tomu u bipolárních tranzistorů ve vztahu $i_C - v_{BE}$ a odpovídá následující rovnici:

$$I_D = I_s \cdot e^{\frac{(V_{gs} - V_{Th})}{nV_T}} (1 - e^{-\frac{V_{DS}}{V_T}}) \quad (6)$$

kde I_s je saturační proud terminálem drain dán vztahem:

$$I_s = \mu_n C_D \frac{W}{L} V_T^2 \quad (7)$$

kde C_D je difúzní kapacita a μ_n je pohyblivost volných nosičů náboje v NMOS tranzistoru.

V režimu slabé inverze existuje oblast podobná saturaci v režimu silné inverze. Ta nastává, pokud je prahové napětí V_{Th} výrazně menší než napětí V_{DS} . V návaznosti na vztah 6 dochází k potlačení závislosti proudu I_D na napětí V_{DS} a lze konstatovat, že se tranzistor nachází v saturační oblasti. Výhodou slabé inverze je možnost dosažení nejnižšího možného saturačního napětí $V_{DS(min)}$. Pro návrh integrovaných obvodů je důležitý malosignálový model tranzistoru, který bere v úvahu parametry, které se významně uplatní při malých změnách signálu v oblasti operačního bodu tranzistoru. Malosignálovými parametry mohou být kapacity na přechodu hradla a terminálu C_{dg} , C_{gs} a transkonduktance g_m . Především kapacity se výrazně uplatní ve vyšších frekvencích [5]. Transkonduktance malosignálového modelu v režimu saturace ve slabé inverzi je dána vztahem:

$$g_m = \frac{\delta I_D}{\delta V_{gs}} = \frac{I_D}{nV_T} \quad (8)$$

2.1.3 Režim silné inverze

Tranzistorový režim silné inverze lze rozdělit do dvou skupin podle oblasti, ve které pracuje (lineární a saturační). V režimu silné inverze v lineární oblasti tranzistoru musí platit následující vztah:

$$V_{DS} < V_{OV}; \quad V_{DS} < V_{GS} - V_{Th} \quad (9)$$

V tomto režimu se tranzistor chová jako rezistor ovládaný napětím V_{GS} a jeho proudová závislost vychází ze vztahu:

$$i_D = \mu_n C_{ox} \frac{W}{L} \left((v_{GS} - V_{Th}) v_{DS} - \frac{v_{DS}^2}{2} \right) \quad (10)$$

Druhý případ nastává, pokud se tranzistor dostane do režimu saturace. Tento režim vstupuje v platnost ve chvíli, kdy platí následující vztah:

$$V_{DS} > V_{OV}; \quad V_{DS} > V_{GS} - V_{Th} \quad (11)$$

Vztah mezi proudem I_D a napětím V_{GS} pak vypadá následovně:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_{Th})^2 (1 + \lambda v_{DS}) \quad (12)$$

kde μ_n je pohyblivost volných nosičů náboje, C_{ox} je kapacita oxidu, W je šířka a L je délka kanálu tranzistoru a λ je parametr daný výrobním technologickým procesem, který je nepřímo úměrný délce kanálu L a přímo souvisí s modulací délky kanálu (více v kapitole 2.1.4) [5]. Malosignálový model tranzistoru v silné inverzi v režimu saturace přináší následující vztah pro transkonduktaci:

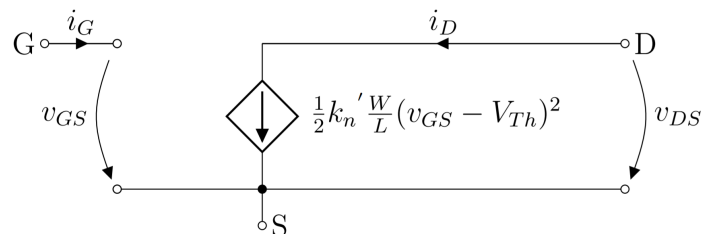
$$g_m = \sqrt{2 \mu_n C_{ox} \left(\frac{W}{L} \right) I_D} \quad (13)$$

Porovnání slabé a silné inverze

Na první pohled je patrný rozdíl mezi transkonduktancí slabé a silné inverze. Zatím co ve slabé inverzi je transkonduktance g_m úměrná proudu I_D (vzorec 6), u silné inverze se proud mění s kvadrátem transkonduktance (rovnice 13). Díky režimu ve slabé inverze lze tedy dosáhnout maximálního poměru g_m/I_D a minimálního možného saturačního napětí $V_{DS(min)}$.

2.1.4 Výstupní odpor MOS tranzistorů v saturaci

Na základě velkosignálového modelu tranzistoru (obrázek 6) vyplývá, že v saturaci je proud i_D nezávislý na napětí v_{DS} . Jinak řečeno změna napětí mezi terminály drain a source vyvolá nulovou změnu proudu i_D a tím lze předpokládat, že hodnota výstupního odporu saturevaného MOS tranzistoru r_o je nekonečná. Jde o idealizované řešení, které je založeno na předpokladu, že v případě uzavřeného kanálu v oblasti terminálu drain nedochází k žádným změnám tvaru tohoto kanálu přiložením napětí v_{DS} .



Obrázek 6: Velkosignálový model tranzistoru NMOS, převzato z [2]

Ve skutečnosti přiložením napětí $v_{DS} > v_{OV}$ dochází k jeho ovlivňování. Příčinné zvýšení napětí v_{DS} vede k posunutí hranice kanálu od terminálu drain k terminálu source a jeví se jako pokles napětí. Toto napětí urychluje elektrony přes ochuzenou oblast, kde není vytvořený vodivý kanál. Rozšiřováním ochuzené oblasti (obrázek 7) dochází ke snižování délky kanálu z L na $L - \Delta L$. Tento proces je znám jako modulace délky kanálu. Z toho vyplývá nepřímá úměrnost mezi i_D a délkou kanálu L a přímá úměrnost mezi i_D a napětím v_{DS} . Rozšiřováním ochuzené oblasti dochází k zaškrfování kanálu („Pinch-off“). Tento efekt ústí k režimu silné inverze (vzorec 12) a ukazuje na závislost mezi i_D a v_{DS} . Pro jeho odvození je nutné zohlednit závislost i_D a v_{DS} v saturaci a zaměnit délku kanálu L za $L - \Delta L$.

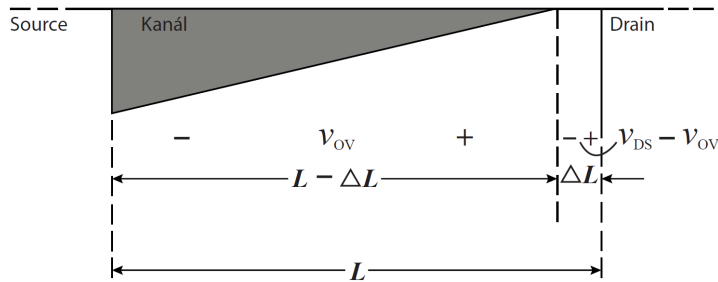
$$i_D = \frac{1}{2}k_n' \frac{W}{L - \Delta L} (v_{GS} - V_{Th})^2 \quad (14)$$

Tento výraz lze upravit za předpokladu, že $(\Delta L/L) \ll 1$:

$$i_D \equiv \frac{1}{2}k_n' \frac{W}{L} \left(1 + \frac{\Delta L}{L}\right) (v_{GS} - V_{Th})^2 \quad (15)$$

Pokud předpokládáme, že parametr ΔL je úměrný napětí v_{DS}

$$\Delta L = \lambda' v_{DS} \quad (16)$$



Obrázek 7: Modulace délky kanálu, inspirováno [2]

Parametr λ' je technologickým parametrem udávaným v jednotkách ($\mu\text{m}/V$). Pro proud i_D platí:

$$i_D = \frac{1}{2} k_n' \frac{W}{L} (v_{GS} - V_{Th})^2 \left(1 + \frac{\lambda'}{L} v_{DS} \right) \quad (17)$$

Po jednoduché úpravě dostaneme rovnici 12 zobrazenou v kapitole 2.1.3 o silné inverzi. Pro dané v_{GS} dochází změnou Δv_{DS} k odpovídající změně Δi_D [2]. Z toho vyplývá, že výstupní odpor r_o není nekonečný, ale lze ho definovat vztahem:

$$r_o \equiv \left[\frac{\delta i_D}{\delta v_{DS}} \right]_{v_{GS}=\text{konst.}}^{-1} \quad (18)$$

Dosažením této rovnice do vzorce 12 vzniká:

$$r_o = \left[\lambda \frac{k_n'}{2} \frac{W}{L} (V_{GS} - V_{Th})^2 \right]^{-1} = \frac{1}{\lambda I_D} \quad (19)$$

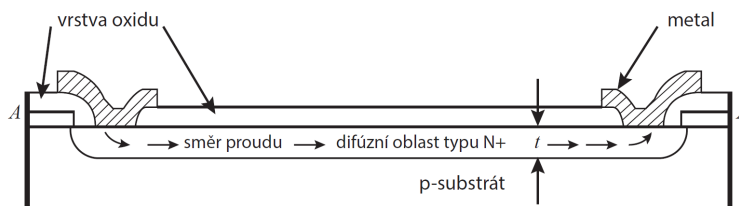
2.2 Pasivní prvky v CMOS

Rezistory a kondenzátory jsou základními stavebními kameny v jakémkoli analogovém i smíšeném designu integrovaných obvodů. V oblasti zpracování analogových signálů lze tyto dva prvky použít samostatně nebo kombinovaně. Jde o základní součástky oscilátorů, filtrů, zesilovačů atd. V těchto aplikacích má jejich absolutní hodnota důležitou roli pro frekvenční charakteristiky obvodů. Velkým tématem použití pasivních součástek na čipu je jejich přesnost. Ta je nejkritičtější, pokud má být výsledná aplikace přesná v definovaném rozsahu požadovaného výkonu. V případě použití těchto pasivních součástek mimo čip je možné docílit poměrně vysoké přesnosti (typicky 1% u odporů a 5% u kondenzátorů). Nese to s sebou ovšem nevýhody v podobě vyšších nákladů, nebo vyššího počtu pinů. V případě připojení vnějších pasivních součástek dochází k nežádoucím parazitním jevům, které jsou dány kapacitou spoje a indukčností kontaktních vodičů. Tyto problémy se významně uplatňují zejména při vyšších frekvencích.

CMOS procesy umožňují různé způsoby implementace pasivních součástek na čip. Jejich nevýhodou je především špatná kontrola jejich absolutní hodnoty. Moderní CMOS procesy mohou zaručit přesnost pasivních součástek zhruba v rozsahu $\pm 25\%$. Další nevýhodou může být relativní velikost těchto součástek [6].

2.2.1 Rezistory

Odpor v integrovaném obvodu je tvořen vrstvou rezistivního materiálu. Takováto odporová vrstva je izolována od substrátu pomocí oxidové vrstvy nebo polovodičovým přechodem v závěrném směru. Nejpoužívanějším rezistorem v CMOS technologiích je Poly-Si rezistor a to díky využití jeho plochy. Rezistivita se uvádí nejčastěji v Ω/sq (ohm na čtverec) [4]. Plošný odpor poly-rezistoru je kolem $3\Omega/sq$ s vrstvou silicidu, $100\Omega/sq$ pro silně dotovanou vrstvu, $1k\Omega/sq$ pro slabě dotovanou a $6k\Omega/sq$ pro nedotovanou vrstvu.



Obrázek 8: Řez rezistorem tvořen difúzní oblastí N+, inspirováno [4]

Rezistory se v integrovaných obvodech dají dělit do dvou větví.

- **Aktivní rezistory:** funkce rezistoru je nahrazena pomocí aktivního prvku (transistoru).
- **Pasivní rezistory:** realizace pomocí stejnoměrného odporu a geometrie vodivého materiálu.

Rezistivita pasivních odporů implementovaných na substrát je dána odporovou vrstvou. Univerzální rovnice, která obsahuje rezistivitu použitého materiálu a jeho geometrii (uvažujeme tvar kvádrů) je následující:

$$R = \rho \frac{L}{A} = \rho \frac{L}{W \times t} \quad (20)$$

kde $\rho(\Omega \cdot \mu m)$ je měrná rezistivita materiálu, $L(\mu m)$ je délka - ve směru toku proudu, $W(\mu m)$ je šířka - kolmá na tok proudu a $t(\mu m)$ je výška materiálu. V praxi je ještě nutné počítat s kontaktním odporem R_{cont} . Výsledná rovnice pak vypadá takto:

$$R = 2 \cdot R_{cont} + \rho \frac{L}{A} = 2 \cdot R_{cont} + \rho \frac{L}{W \times t} \quad (21)$$

Výsledná přesnost je zatížena chybou fyzikální struktury, výrobním procesem a prostředím, ve kterém se čip nachází. Vzhledem k tomu, že teplota resp. teplotní gradient může mít zásadní vliv na rezistivitu použitých odporů, je výhodné při návrhu topografie výkonových částí obvodu vytvářet symetrické struktury a citlivé části tomu přizpůsobit. Z hlediska obvodové funkčnosti je někdy důležitější poměr dvou rezistorů než jejich absolutní hodnoty. Jednou z možností kompenzace teplotních gradientů je prokládání prvků. Tím se docílí rovnoměrnému rozložení tepla. Další možností je větší plocha rezistorů. Její velikost má přímý vliv na chybu absolutní hodnoty, která je způsobena posunem masek při výrobě. Obecně platí, čím větší rezistor, tím stabilnější absolutní hodnota.

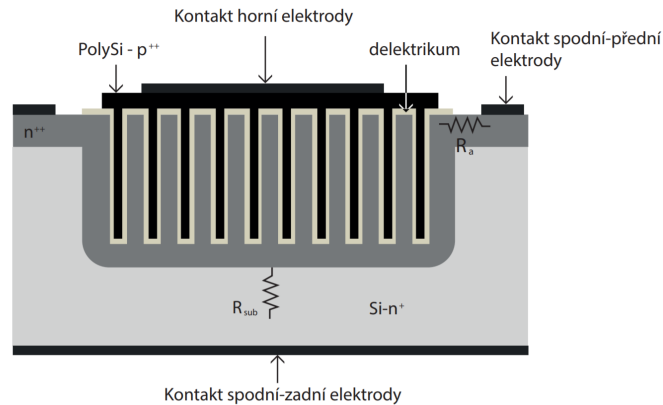
2.2.2 Kondenzátory

Kondenzátory se v integrovaných obvodech používají jako kompenzační prvky nebo filtry. V technologii CMOS se realizují pomocí dvou paralelně umístěných elektrod, které jsou tvořeny vodivými vrstvami (např.: Poly-Si) a mezi ně je umístěné izolační dielektrikum (např.: SiO_2). Kondenzátor může být tvořen dotovanou oblastí $p+$ nebo $n+$ a PolySi. Aktivní plocha kondenzátoru je dána přesahem elektrod přes sebe. Celková kapacita je dána vztahem:

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{d} \quad (22)$$

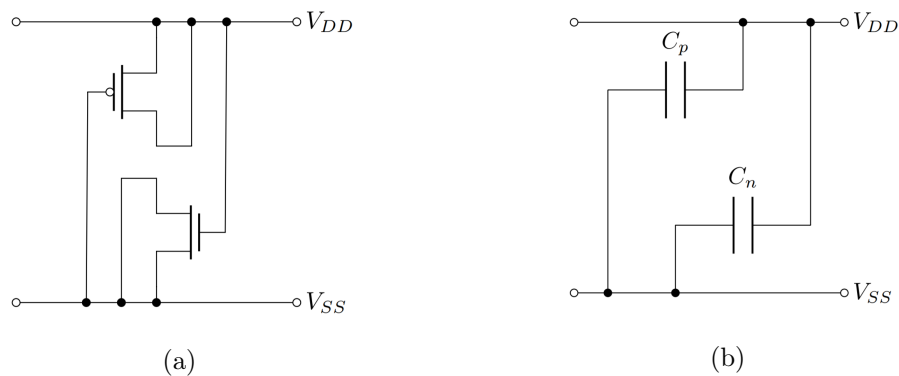
kde ϵ_0 je permitivita vakua, ϵ_r je relativní permitivita prostředí mezi deskami kondenzátoru, S je aktivní plocha a d je vzdálenost mezi vrstvami. Kapacita kondenzátoru by měla být v ideálním případě nezávislá na nastaveném pracovním bodě. Diody v závěrném směru vykazují podobné vlastnosti jako kondenzátor, ale jsou silně závislé na pracovních podmínkách. To je způsobeno změnou oblasti v okolí PN přechodu, ve které majoritní nositelé náboje difundují, stanou se minoritními nosiči náboje a rekombinují. Tím se vytvoří oblast bez volných nositelů náboje. Jedno z možných řešení kondenzátoru na čipu je ilustrováno na obrázku 9. Spodní elektroda může být zapojena na „přední“ straně (horizontální konfigurace) nebo na „zadní“ straně (vertikální konfigurace) [7].

Další možností realizace kondenzátoru v CMOS technologii je pomocí struktury MOS tranzistoru (buňky). Využívají se v digitálním návrhu jako blokovací kapacitory. Velkou nevýhodou těchto kapacitorů je nebezpečí defektu tenkého hradlového oxidu a to především při realizaci velkých kapacit, které jsou vykoupeny velkou plochou [4]. Další nevýhodou MOS-kapacitoru bez speciální dotace je jeho napěťová závislost, a to



Obrázek 9: Řez strukturou 3D kondenzátoru na substrátu, převzato z [7]

především z důvodu polarizace v inverzi. To je důvod, proč by vždy MOS-kondenzátory měli fungovat v režimu akumulace.



Obrázek 10: Příklad použití CMOS struktury jako kondenzátorů v digitálním návrhu (a) zapojení, (b) symbolika

2.3 Technologické parametry návrhu

Tato práce je díky firmě STMicroelectronics zpracovávána v BCD8 technologii. Proces vytváření struktur integrovaných obvodů je založen na litografii, přesněji 160nm procesu. Je možné vytvářet a modelovat struktury o definovaných parametrech.

Tabulka 2 demonstruje technologické změny u NMOS a PMOS tranzistorů v závislosti na výrobní technologii CMOS. Každý proces je charakterizován minimální délkou L_{min} . Například pro $0.5\mu m$ proces je minimální délka kanálu L_{min} $0.5\mu m$. Technologie uvedené v tabulce jdou od starší ($0.5\mu m$) po novější ($0.18\mu m$), přičemž trend je ve zmenšování minimální šířky kanálu z důvodu vyšší integrace, vyšších frekvencí, větší šířky pásma a v neposlední řadě i snížení spotřeby. S miniaturizací rostou nároky na litografii. Pro vytvoření masky je nutné použití triků s optikou, aby došlo k vytvoření cílené struktury. Například pro vyrobení pravého rohu v malé technologii vyžaduje fantomové objekty navíc (tzv. fantom objects). Tabulka nevychází z konkrétních procesů integrovaných obvodů, pouze ilustruje změny v konkrétních parametrech [2].

Technologie	0.5 μm		0.25 μm		0.18 μm	
Parametry	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
t_{ox} [nm]	9	9	6	6	4	4
C_{ox} [fF/ μm^2]	3.8	3.8	5.8	5.8	8.6	8.6
μ [$cm^2/V \cdot s$]	500	180	460	160	450	100
μC_{ox} [$\mu A/V^2$]	190	68	267	93	387	86
V_{Th} [V]	0.7	-0.8	0.43	-0.62	0.48	-0.45
V_{in} [V]	3.3	3.3	2.5	2.5	1.8	1.8
V'_A [V/ μm]	20	10	5	6	5	6
C_{ov} [fF/ μm]	0.4	0.4	0.3	0.3	0.37	0.33

Tabulka 2: Tabulka technologických parametrů, inspirováno z [2]

Tloušťka oxidu t_{ox} se s modernějšími procesy snižuje, naproti tomu se jeho kapacita C_{ox} zvyšuje. Pohyblivost volných nosičů náboje μ se snižuje a ukazuje na podstatný rozdíl mezi jednotlivými typy MOS tranzistorů. Z parametrů kapacity oxidu C_{ox} a pohyblivosti volných nosičů náboje μ vychází tzv. transkonduktanční parametr k_p, k_n , který se s postupujícími technologiemi zvyšuje. Z toho vyplývá vyšší hodnota transkonduktance, které díky modernějším technologiím tranzistory dosahují. Vývoj prahového napětí V_{Th} koreluje se snižující se délkou kanálu L_{min} . Zajímavým parametrem je ve výsledku hodnota napájecího napětí v tabulce uvedeného jako V_{in} , díky kterému je možné dále snižovat celkový ztrátový výkon integrovaných obvodů. Pro napětí v_{gs} je známa rovnice:

$$v_{gs} = V_{Th} + v_{ov} \quad (23)$$

vycházející ze vztahu 2 v kapitole o MOS tranzistorech. Pro přechod tranzistoru do režimu saturace je podmínkou vyšší hodnota V_{DS} než V_{OV} . V moderních technologiích, kde V_{in} může dosahovat hodnot nižších než 1.8V, je úkolem analogových návrhářů držet napětí V_{OV} co možná nejnižší. Další významnou nežádoucí vlastností moderních CMOS technologií je výrazné uplatnění efektu modulace délky kanálu. Hodnota napětí V'_A má klesající trend. V kombinaci se snižující se hodnotou délky kanálu L dochází k velikému snížení hodnoty Earlyho napětí:

$$V_A = V'_A \cdot L \quad (24)$$

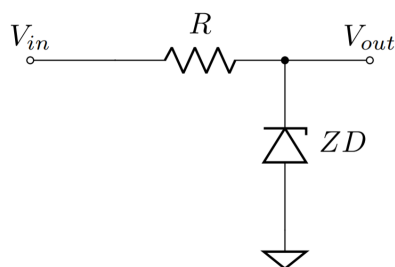
Na základě této skutečnosti vychází u MOS tranzistorů s krátkým kanálem jejich nízký výstupní odpor r_o .

3 Napěťové regulátory

Tato kapitola přináší detailní seznámení s principy, funkcí a dělením napěťových regulátorů. Dalším bodem je popis LDO regulátorů a podstatná část celé kapitoly je věnována jejím parametrům a možnostem realizace a kompenzace. V závěru této kapitoly je analýza trhu s LDO regulátory.

Napěťové regulátory lze dělit do dvou kategorií: lineární regulátory a spínací regulátory. Dělení lineárních regulátorů lze dále členit do dvou skupin. První řeší vnitřní uspořádání regulátoru a dělí je na sériové a paralelní regulátory. Popisuje umístění výkonového prvku v závislosti na výstupní zátěži. Druhá skupina lineárních regulátorů se dělí podle výběru výkonového prvku, kde připadají v úvahu dvě skupiny tranzistorů a jejich variace, tranzistory bipolární a MOS. Detailnější seznámení a dělení výkonových prvků bude v závěru této kapitoly.

Existuje mnoho druhů regulátorů. Na obrázku 11 je demonstrován jednoduchý regulátor realizovaný pomocí Zenerovy diody, která je definována průrazným napětím na výstupu. Výstupní napětí je stabilní pro velký rozsah elektrického proudu. Resis-



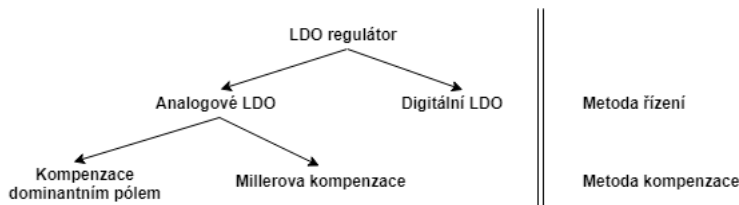
Obrázek 11: Příklad napěťového regulátoru tvořeného zenerovou diodou

tor je v tomto zapojení kvůli snížení průchodu elektrického proudu diodou. To je dáno její nízkou hodnotou impedance. Topologie paralelních regulátorů vychází z principu napěťových regulátorů realizovaných Zenerovou diodou.

3.1 LDO regulátory

Tato kapitola přibližuje problematiku lineárních regulátorů, jejich stěžejní parametry, řeší stabilitu pomocí dominantních pólů, nebo „cap-less“ struktury a hovoří o výkonových prvcích. Součástí je i popis postupu při návrhu těchto regulátorů.

"Low-Dropout" regulátory patří mezi lineární regulátory, které dovolují minimální rozdíl mezi vstupním V_{in} a výstupním napětím V_{out} pro správnou regulaci. Na obrázku 12 je popsáno elementární dělení LDO regulátorů na základě jejich struktury, která definuje metodu řízení a možnosti kompenzace. Analogové LDO regulátory lze dělit do dvou kategorií podle možnosti kompenzace. Kompenzace dominantním pólem předpokládá kompenzaci pomocí relativně vysoké kapacity kondenzátoru C_{out} na výstupu systému (pro svou velikost nemůže být součástí IO). Millerova kompenzace nazývaná též systémem bez kondenzátoru (Capless) předpokládá vytvoření dominantního pólu pomocí Millerovy kapacity. Konkrétní aplikace určuje vhodný typ LDO regulátoru. Li-



Obrázek 12: Klasifikace LDO regulátorů, inspirováno [3]

neární regulátory se užívají v přenosných elektronických zařízeních kvůli jejich rychlosti a malé ploše, kterou jako hotový výrobek zabírají na plošném spoji (PCB). Jsou vhodné pro nízkonapěťové aplikace. Strukturou s Millerovou kompenzací lze vytvořit kompaktní zařízení za cenu vyšší vlastní spotřeby (I_q). LDO kompenzované dominantním pólem snižuje nárok na vlastní spotřebu regulátoru za cenu velkého kondenzátoru na výstupu systému. Obecné výhody těchto regulátorů jsou v nízké vlastní spotřebě (I_q) a velké šířce pásma (BW). Účelem LDO regulátoru je generování stabilního napětí na výstupu systému bez ohledu na definovaný rozsah odebíraného proudu. Regulátory LDO se používají převážně k napájecím účelům. Z principu je výstupní napětí V_{out} nižší, než napětí vstupní V_{in} . Výhodou LDO regulátoru oproti spínanému měničů je jednoduchost v aplikaci vyžadující minimum pasivních součástek. Může se zapojit jako primární regulátor nebo jako post-regulátor za spínaným měničem. Vždy je potřeba dbát na úbytek napětí, protože se zvyšujícím odběrem I_{load} se zvyšuje výkonová ztráta, která se na výkonovém prvku přemění v teplo. Z názvu obvodu vyplývá, že je navržen pro práci s nízkým úbytkem napětí a tak by se měl i používat. Ve specifických případech účinnost LDO regulátoru může převyšovat účinnost spínaného měniče [3].

3.1.1 Topologie LDO regulátorů

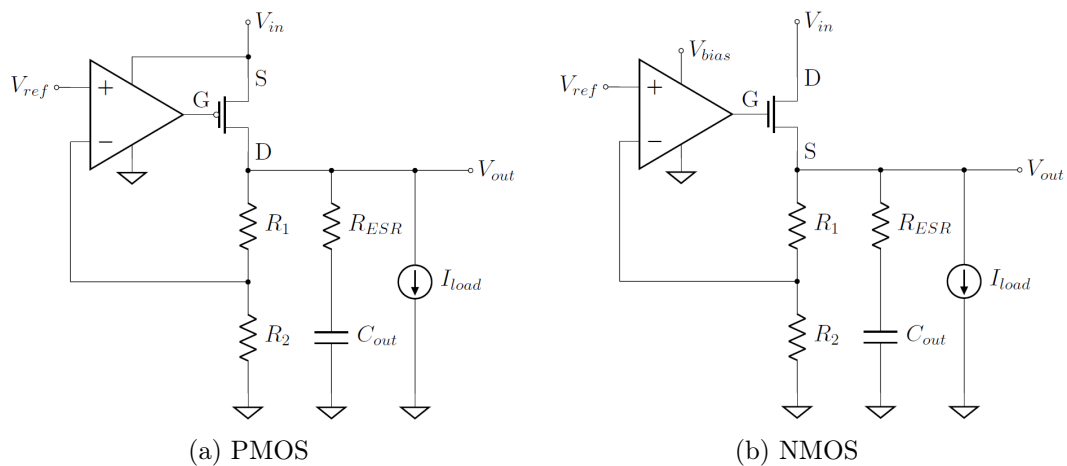
Obecně platí, že úbytek napětí na výkonovém tranzistoru má za následek jeho přeměnu v teplo. Z tohoto důvodu jsou LDO regulátory používány především v nízkonapěťových aplikacích. Jednoduchý lineární regulátor obsahuje zesilovač a výkonový tranzistor. Tento typ regulátoru zabírá velmi malou plochu nejen na čipu, ale i v pouzdře na desce plošného spoje (PCB).

Úbytek napětí na výkonovém prvku je definován jako rozdíl napájecího napětí a

výstupního napětí. Snižování úbytku napětí na výkonovém tranzistoru má následek snížení zisku posledního zesilovacího stupně a tím i zhoršení regulovaného napětí na výstupu systému. Trend spočívá v používání relativně velkých výkonových tranzistorů, následkem je efektivní snížení úbytku napětí a využití jeho nízkého odporu v sepnutém stavu $R_{DS(on)}$. Veliké tranzistory je obtížné řídit ve chvíli, kdy je třeba minimální vlastní spotřeba I_q . Mimo jiné zabírají podstatnou část celého systému na substrátě a tím roste i cena čipu a časová odezva systému, která je limitována designovanou rychlostí přeběhu na zesilovači ve chvíli, kdy dochází k napájení hradla (gate) výkonového prvku. U výkonového tranzistoru je třeba najít ideální poměr mezi vlastní spotřebou a rychlostí přeběhu, neboť jde o parametry jdoucí proti sobě.

Rozdíl mezi referenčním napětím V_{ref} a napětím ve zpětné vazbě V_{FB} na diferenčním stupni je na výstupu zesilovače zesílen a řídí hradlo výkonového prvku. Tím dochází k regulaci proudu výkonovým tranzistorem. Vzhledem k regulaci zpětné vazby může LDO regulovat výstupní napětí V_{out} bez ohledu na napájecí napětí V_{in} nebo velikost odebíraného proudu I_{out} .

Při navrhování LDO regulátoru je dobré neopomenout dvě věci. Zaprvé, schopnost řízení zesilovače závisí na parametrech výkonového prvku, který dále ovlivňuje rychlost dodání proudu na výstup regulátoru. Zadruhé, parametry stabilizační části regulátoru na výstupu zesilovače ovlivňují udržování napěťové hladiny na výstupu v případě náhlé změny výstupního proudu I_{load} . Tyto dva problémy je možné řešit realizací dvou kondenzátorů na výstupu zesilovače a na uzlu V_{out} . První kondenzátor bude na výstupu LDO (kompenzace dominantním pólem) a druhý na výstupu zesilovače (paralelní kompenzace). Hodnoty těchto kondenzátorů dále určují vhodnou topologii návrhu. Samozřejmě prioritou stále zůstávají na začátku stanovené parametry návrhu [3].



Obrázek 13: Sériový LDO regulátor s (a) PMOS (b) NMOS prvkem

Na obrázku 13 je vidět topologie sériových LDO regulátoru s PMOS a NMOS výkonovým prvkem s kompenzací dominantním pólem pomocí kondenzátoru C_{out} (tento typ regulátoru je vytvářen i v praktické části práce). Mezi hlavní části těchto regulátorů patří výkonový prvek, napěťový dělič ve zpětné vazbě a zesilovač. S jednotkovým ziskem ve zpětné vazbě bude výstupní napětí rovno referenčnímu napětí. Zisk se reguluje

přidáním odporu (R_1) do zpětnovazební smyčky a vychází z následující rovnice:

$$V_{out} = V_{ref} \left(1 + \frac{R_1}{R_2} \right) \quad (25)$$

Zesilovač porovnává referenční hodnotu napětí V_{ref} a napětí, které je přiváděno ze zpětné vazby V_{FB} . Rozdíl těchto hodnot se zesílí a výstupem ze zesilovače se řídí výkonový prvek tak, aby udržel konstantní hodnotu výstupního napětí V_{out} . Pro korektní regulaci je nutné, aby výkonový tranzistor pracoval v režimu saturace.

Parametry LDO regulátorů

Hlavním úkolem lineárních regulátorů je udržet hodnotu výstupního napětí V_{out} konstantní bez ohledu na měnící se zátěž I_{load} a předem definovaný rozsah vstupního napětí V_{in} . V ideálním případě se napěťový regulátor chová jako ideální zdroj napětí. Specifikace LDO regulátorů lze dělit do dvou skupin, konkrétně na statické a dynamické parametry. Statické parametry zahrnují například úbytek napětí $V_{in} - V_{out}$ „Dropout Voltage“, regulace výstupního napětí v závislosti na napájecím napětí „Line regulation“, regulace výstupního napětí v závislosti na výstupním proudu „Load regulation“, teplotní koeficient a minimální a maximální dodávaný proud I_{load} do napájeného systému. Naproti tomu dynamické parametry lineárních regulátorů zahrnují parametry odezvy systému na napájení „Line transient response“, odezvy systému na změnu výstupního proudu „Load transient response“, dobu zotavení systému „Startup time“, fázovou jistotu „Phase margin“, atd. Systém lineárních regulátorů obsahuje zpětnou vazbu, tudíž jsou jejich statické i frekvenčně závislé parametry velmi často zatížené chybami, které jsou dány celkovou topologií [3].

Pro dělení lineárních regulátorů na základě jejich kvality jsou definovány parametry, které budou rozebírány v celé následující kapitole.

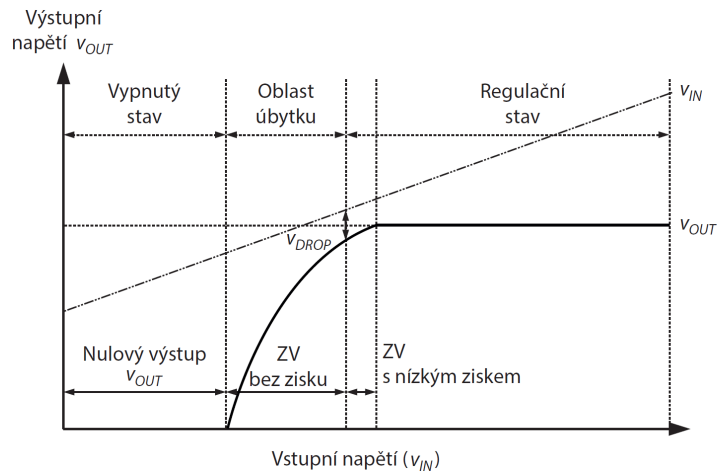
3.1.2 Úbytek napětí V_{drop}

Definice úbytku napětí V_{drop} („Dropout Voltage“) může být dvojitá. Literatura uvádí, že jde o pokles zisku ve smyčce. Druhou možnou definicí je minimální rozdíl mezi V_{in} a V_{out} . V limitním případě se tyto dvě definice mohou potkat. Úbytek napětí je definován jako minimální rozdíl mezi vstupním a výstupním napětím ve chvíli, kdy výkonový tranzistor pracuje v lineárním režimu. Z toho vyplývá nejmenší možný rozdíl, kterého lze mezi vstupním a výstupním napětím za daného odebíraného proudu zátěží I_{load} dosáhnout.

$$V_{drop} = V_{in} - V_{out} \quad (26)$$

Zajímavý je průběh výstupního napětí v závislosti na změně napájecího napětí. Z obrázku 14 jsou patrné tři provozní oblasti. Vypnutý stav, lineární oblast (oblast úbytku) a regulační oblast. V regulační oblasti má smyčka zisk a dochází k požadované regulaci výstupního napětí. V_{drop} se může zvýšit s klesajícím napájecím napětím V_{in} . To je způsobeno tím, že výkonový tranzistor ztrácí zisk a napětí na výstupu se začne vychylovat od své nominální hodnoty. Pro správnou funkci regulátoru potřebuje výkonový tranzistor určitý úbytek napětí, aby pracoval v oblasti saturace. Hodnota výstupního napětí V_{out} je stanovena v závislosti na V_{in} , I_{load} a $R_{DS(on)}$. Napětí na výkonovém tranzistoru v lineární oblasti lze vyjádřit vztahem:

$$V_{drop} = I_{load(max)} R_{DS(on)} \quad (27)$$

Obrázek 14: V_{drop} vycházející ze vztahu V_{in} a V_{out} , inspirováno [3]

V případě, že napájecí napětí dále klesá, zvyšuje se odpor výkonového tranzistoru. Napájecí napětí dále nedokáže řídit výkonový tranzistor a LDO jde do vypnutého stavu, kdy na výstupu má nulové napětí [3].

3.1.3 Vlastní spotřeba regulátoru I_q

Klidový proud neboli „Quiescent Current“ je elektrický proud jdoucí do lineárního regulátoru, který je potřebný pro jeho chod. V některé literatuře může být uveden jako tzv. „Ground Current“. Jde o vlastní spotřebu lineárního regulátoru. Definice je dána vztahem:

$$I_q = I_{in} - I_{load} \quad (28)$$

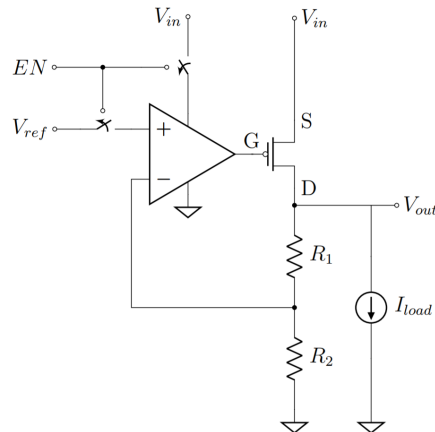
kde I_{in} představuje proud zátěží, kterým je napájen lineární regulátor a I_{load} je proud zátěží. Odečtením těchto dvou hodnot vychází parametr vlastní spotřeby lineárního regulátoru. Tento parametr se běžně pohybuje v řádech mikroampérů a miliampérů a má vliv na účinnost celého systému. Zvýšením I_q je možné stabilizovat celý systém, ovšem problém může nastat v prvotní specifikaci systému, kdy je uvedena maximální dovolená hodnota tohoto proudu [8].

3.1.4 Pohotovostní proud

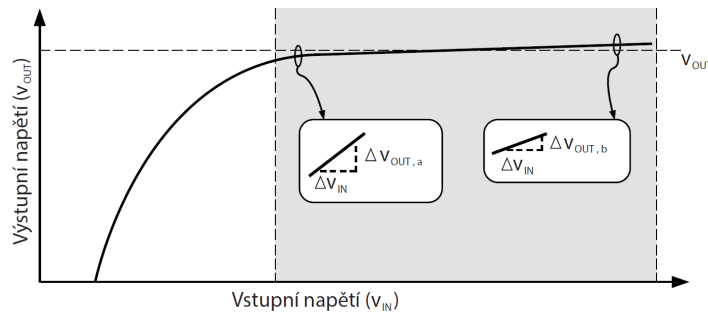
Pohotovostní proud („Standby Current“) je vstupním proudem regulátoru při vypnutí výstupního napětí pomocí povolovacího signálu (enable - EN). Jak je vidět na obrázku 15, referenční napětí V_{ref} i napájení operačního zesilovače V_{in} jsou signálem EN přerušeny [8]. Běžně se tento parametr pohybuje v řádech desetin až jednotek mikroampérů.

3.1.5 Napěťová a zátěžová regulace

Jde o důležité parametry („Line & Load Regulation“) ustáleného stavu. Udávají změnu výstupního napětí V_{out} v případě změny vstupního napětí V_{in} nebo zatěžovacího proudu I_{load} [3].



Obrázek 15: Schéma principu pohotovostního proudu



Obrázek 16: Definice napěťové regulace, převzato z [3]

Vstupně-napěťová regulace popisuje vztah mezi změnou výstupního napětí ku vstupnímu napětí. Tento parametr lze definovat vztahem:

$$\text{Line regulation} = \frac{\Delta V_{out}}{\Delta V_{in}} \approx \frac{g_m r_o}{L_o} + \frac{1}{\beta} \cdot \frac{\Delta V_{ref}}{\Delta V_{in}} \quad (29)$$

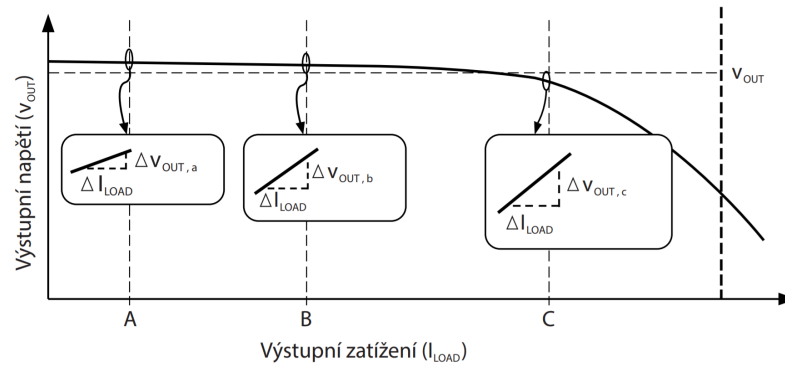
kde L_o je zisk zpětné vazby LDO regulátoru, β je tzv. „Feedback-Factor“ = zpětnovazební faktor, g_m je transkonduktance a r_o je výstupní odpor výkonového MOS tranzistoru. Pro dosažení dobré regulace je vyžadován vysoký zisk zpětnovazební smyčky, nevýhodou zvyšování zisku je zhoršování stability systému. Jedná se o statický parametr, který není nijak zatížen chybou danou parazitními kapacitami. Se snižujícím se vstupním napětím V_{in} klesá i napěťový úbytek na výkonovém tranzistoru V_{drop} . Na obrázku 16 je vidět, že snížením vstupním napětím V_{in} pod určitou úroveň klesá regulační schopnost obvodu.

Zátěžová regulace („Load Regulation“) je stejně jako napěťová regulace statickým parametrem lineárních regulátorů. Popisuje schopnost regulátoru udržet výstupní napětí V_{out} konstantní v definovaném rozsahu výstupních proudů I_{Load} . Je dána vztahem:

$$\text{Load regulation} = \frac{\Delta V_{out}}{\Delta I_{load}} = -\frac{r_o}{1 + L_o} \quad (30)$$

V případě, že je LDO regulátor realizovaný pomocí PMOS tranzistoru, zisk zpětno-

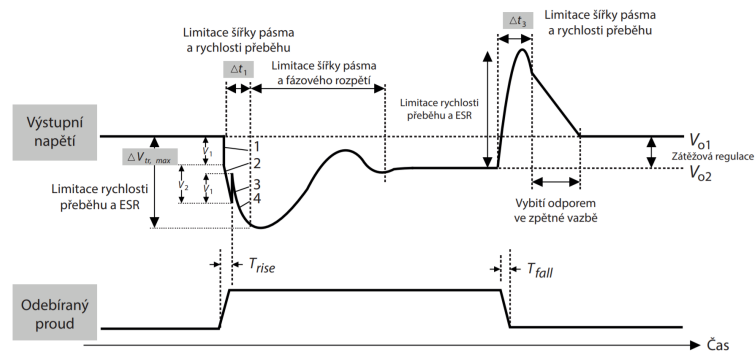
vazebního systému závisí na stavu zatížení I_{load} celého systému (ilustrace principu na obrázku 17). Vysoká zátěž způsobuje snížení zisku a tím snížení výstupního regulovaného napětí V_{out} .



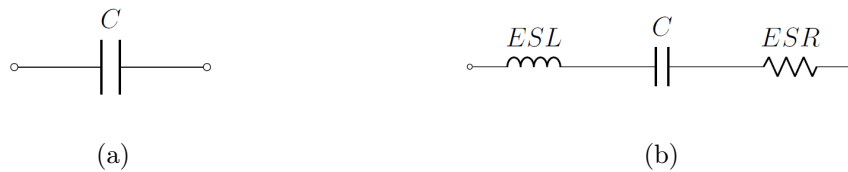
Obrázek 17: Definice zátěžové regulace, převzato z [3]

3.1.6 Odezva systému na napájení a změnu výstupního proudu

Parametry časové odezvy se používají pro testování dynamických vlastností LDO regulátorů. Dělíme je do dvou skupin. První „Load Transient Response“ je vyvolána náhlou změnou výstupního proudu I_{load} . Druhá „Line Transient Response“ je způsobena kolísáním napájecího napětí V_{in} . Tato zpoždění jsou dána zpětnou vazbou a strukturou vnitřních obvodů. V případě, že v regulátoru dojde k náhlé změně výstupního proudu,



Obrázek 18: Časová odezva změny zátěže, převzato z [3]



Obrázek 19: Ilustrace ideálního (a) a reálného (b) kondenzátoru s parazitními jevy

nějaký čas trvá, než se ustálí výstupní napětí. Mezi jednotlivými úrovněmi zatížení může být chování regulátoru děleno do dvou částí. První oblast výstupního napětí je zatížena chybou, která je dána sériovou indukčností (ESL) výstupního kondenzátoru C_{out} . Změna napětí označena jako V_1 (obrázek 18) je dána vztahem:

$$V_1 = ESL \cdot \frac{di}{dt} = ESL \cdot \frac{I_{load(H)} - I_{load(L)}}{T_{rise}} \quad (31)$$

Obdobně pracuje v oblasti napěťového úbytku V_2 i sériový odpor (ESR) výstupního kondenzátoru. Vliv parazitní indukčnosti a odporu je znázorněn na obrázku 19.

V místě, kdy dojde k dosažení maximální hodnoty proudu $I_{load(H)}$, nastává kvůli ESL vzestupný efekt výstupního napětí. Ve 4 fázi se uplatňuje časová odezva systému. Parametr časové odezvy náběžné hrany Δt_1 závisí na šířce pásma uzavřené smyčky BW_{cl} a rychlosti přeběhu na hradle (gate) výkonového prvku MOSFET.

$$\Delta t_1 \approx \frac{1}{BW_{cl}} + t_{sr} = \frac{1}{BW_{cl}} + C_{par} \frac{\Delta V}{I_{sr}} \quad (32)$$

kde C_{par} je parazitní kapacita hradla gate MOS tranzistoru, I_{sr} je proudové napájení zesilovače, t_{sr} je doba přeběhu signálu a BW_{cl} je šířka pásma uzavřené smyčky, když je hodnota výstupního proudu rovna $I_{load(L)}$. Parametr časové odezvy sestupné hrany Δt_3 má stejnou rovnici. Ovšem s šířkou pásma BW_{cl} v případě, kdy je $I_{load(H)}$. Na základě těchto informací lze odvodit maximální úbytek napětí v čase $\Delta V_{tr,max}$ pro náběžnou i sestupnou hranu zatěžovacího proudu. Pro zjednodušení vztahu se obecně vynechává vliv indukčnosti výstupního kondenzátoru (ESL). S ohledem na rozdíl mezi vstupním napětím a odebíraným proudem pracuje výstupní kondenzátor jako podpora, aby nedocházelo k silným úbytkům výstupního napětí.

$$\Delta V_{tr,max}(\Delta t_1, \Delta t_3) = \frac{I_{load(H)} - I_{load(L)}}{C_{out}} \cdot (\Delta t_1, \Delta t_3) + \Delta V_{ESR} \quad (33)$$

Časová odezva systému na změnu vstupního napětí V_{in} je tzv. „Line Regulation“. Pokud dojde v napájecím napěťovém zdroji ke skokovému poklesu, výkonovým tranzistorem projde nižší hodnota zatěžovacího proudu I_{load} a dochází k úpadku napětí V_{out} . Princip je podobný jako při přechodu z nízkého do vysokého odběru proudu zátěží v zátěžové časové odezvě. Pokud dojde ke skokovitému zvýšení hodnoty napájecího napětí V_{in} , výkonový tranzistor dodá na výstup vyšší hodnotu proudu, než je proud požadovaný, čímž vzniká přepětí. Princip je obdobný jako při přechodu z vysokého do nízkého odběru proudu zátěží v zátěžové časové odezvě.

Pro zlepšení dynamických časově orientovaných vlastností LDO regulátorů je vhodné navrhovat velkou šířkou pásma BW , vysokou rychlost přeběhu hradla t_{sr} výkonového

prvku MOSFET, použití velkého kondenzátoru C_{out} s malým ESR na výstupu systému. Pochopitelně to s sebou přináší i nevýhody a kompromisy při návrhu. Velký výstupní kondenzátor může lépe udržet měnící se výstupní napětí, ale za cenu nižší šířky pásma, která se dále nedá vnitřním uspořádáním regulátoru příliš měnit. Pokud se použije struktura bez výstupního kondenzátoru, je kladen velký důraz na šířku pásma, roste složitost systému, je vyžadována velká rychlost přeběhu. Tyto skutečnosti mají za následek zpravidla vyšší vlastní spotřebu regulátoru I_q v porovnání s kompenzací dominantním pólem pomocí kondenzátoru na výstupu LDO [3].

3.1.7 Výstupní šum

Stejně jako ve všech jiných elektronických zařízeních tak i součástí lineárních regulátorů je šum na výstupu systému. Výstupní šumové napětí odpovídá vnitřnímu šumu lineárního regulátoru. Ten je nejčastěji reprezentován spektrální hustotou v dané šířce pásma (nejčastěji 10Hz - 100kHz).

Je několik způsobů jak snížit vliv šumu na obvod. Nejjednodušším způsobem je filtrovat referenční napětí pomocí externího kondenzátoru zařazeného mezi vstup regulátoru a zem. Vytvoří se tím filtr typu dolní propust, který vyhladí referenční napětí jdoucí do regulátoru. Další možností je snížení šířky pásma zpětnovazebního operačního zesilovače, čímž se sníží i časová odezva celého systému. Jde o kompromis mezi nízko-šumovým designem a časovou závislostí systému [8].

3.1.8 Potlačení zvlnění napájecího zdroje (PSRR)

Parametr podobný regulaci výstupního napětí v závislosti na napájecím napětí „Line regulation“. PSRR popisuje schopnost regulátoru udržet výstupní napětí konstantní s ohledem na změnu vstupního napětí. Na rozdíl od „Line“ regulace se jedná o frekvenčně závislý parametr. V praxi lze definovat PSRR pro velmi malé frekvence (téměř stejnosměrný vstup) podobně jako regulaci výstupního napětí v závislosti na napájecím napětí, ovšem výstupem je výsledek v decibelech. Potlačení zvlnění napájecího zdroje („PSRR“) lze definovat na základě vztahu:

$$PSRR(f) = 20 \log \frac{v_{out}(f)}{v_{in}(f)} \quad (34)$$

kde v_{out} je malo-signalová změna výstupního napětí způsobená malo-signalovou změnou vstupního napětí v_{in} [8].

3.1.9 Účinnost

Účinnost LDO regulátorů je dána poměrem výstupního výkonu P_{out} a výkonu vstupního P_{in} . Výstupní výkon P_{out} je roven součinu výstupního napětí V_{out} a proudu I_{Load} , který prochází zátěží. Vstupní výkon P_{in} je roven součinu vstupního proudu a napětí.

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out} \cdot I_{Load}}{V_{in} \cdot I_{in}} \quad (35)$$

Vstupní proud regulátoru obsahuje nejen proud samotné zátěže na výstupu I_{load} ale také proud jdoucí do samotného regulátoru I_q , který se skládá z proudů na chybovém operačním zesilovači („Error Amplifier“), napěťové referenci a zpětné vazby.

$$I_{in} = I_{load} + I_q \quad (36)$$

Na základě těchto vztahů lze odvodit výslednou účinnost, která je dána jako součin napěťové a proudové účinnosti.

$$\eta = \frac{I_{Load} \cdot V_{out}}{(I_{Load} + I_q) \cdot V_{in}} = \eta_I \cdot \eta_V \quad (37)$$

Proudová účinnost je dána vztahem:

$$\eta_I = \frac{I_{Load}}{(I_{Load} + I_q)} \quad (38)$$

Napěťová účinnost je dána vztahem:

$$\eta_V = \frac{V_{out}}{V_{in}} \quad (39)$$

Při vysokém zatížení je výsledný součin napěťové a proudové účinnosti roven pouze účinnosti napěťové. Dochází k zanedbání vlastní spotřeby regulátoru dané proudem I_q , neboť je I_{Load} podstatně vyšší. Vzhledem k důležitým aspektům proudového zatížení napěťových stabilizátorů nelze zanedbat proudovou účinnost systému, který je důležitým faktorem při určování časového rámce, ze kterého bude moci čerpat elektrickou energii v přenosném zařízení z baterie. V případě účinnosti je cílem navrhnout takový regulátor, který by byl schopen přizpůsobit svojí spotřebu tak, aby byl co nejefektivnější [3].

3.1.10 Přesnost

Celková přesnost systému je dána chybou napěťové regulace („Line regulation“, ΔV_{LR}), zátěžové regulace („Load Regulation“, ΔV_{LDR}), chybou na výstupu referenčního napětí ($\Delta V_{out,ref}$), chybou na výstupu zesilovače ($\Delta V_{out,a}$), chybou rezistoru na výstupu LDO ($\Delta V_{out,r}$) a chybou danou teplotou systému (ΔV_{TC}). Na základě těchto parametrů je definovaný vztah:

$$Accuracy \approx \frac{|\Delta V_{LR}| + |\Delta V_{LDR}| + \sqrt{\Delta V_{out,ref}^2 + \Delta V_{out,a}^2 + \Delta V_{out,r}^2 + \Delta V_{TC}^2}}{V_{out}} \cdot 100 \quad (40)$$

Změny výstupního napětí V_{out} jsou způsobeny teplotními změnami referenčního zdroje napětí V_{ref} , operačního zesilovače a použitých rezistorů. Chyby regulace výstupního napětí v závislosti na napájecím napětí, regulace výstupního napětí v závislosti na výstupním proudu, zisku a offsetu obvykle představují odchylku 1-3% [8].

3.1.11 Teplota a ztrátový výkon

V dokumentaci lineárních regulátorů lze dohledat rozsah teplot, pro které je daný integrovaný obvod konstruován. Běžný pracovní rozsah se pohybuje od $-40^\circ C$ do $125^\circ C$. Je uvedena i maximální provozní teplota, pro kterou je garantováno, že nedojde k poškození zařízení. Ta je zhruba mezi $150^\circ C$ a $165^\circ C$. Maximální teplota omezuje maximální výkonovou ztrátu zařízení $P_{D(max)}$, která je dána vztahem:

$$P_{D(max)} = \frac{T_{Jmax} - T_A}{R_{\Theta JA}} \quad (41)$$

kde T_{Jmax} je maximální teplota čipu, T_A je teplota okolí a $R_{\Theta JA}$ je teplotní odpor mezi čipem a okolím, který je dán teplotně odolným polymerem, ve kterém je regulátor zapouzdřen. Ztrátový výkon LDO regulátorů je popsán vztahem:

$$P_D = (V_{in} - V_{out}) \cdot I_{out} \quad (42)$$

Při korektním návrhu regulátoru musí plati $P_{D(max)} \geq P_D$.

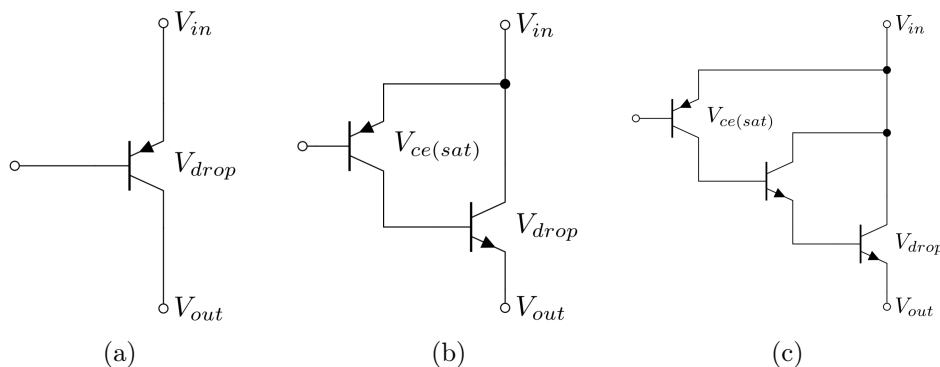
3.1.12 Výkonový prvek

Existují dva způsoby řešení výchozího výkonového prvku LDO regulátoru: bipolární nebo MOS tranzistor. Jejich variace jsou vyobrazeny v tabulce 3. Každá technologie má svůj dopad na strukturu, funkčnost, energetickou spotřebu regulátoru a výchozí parametry.

Parametr	NPN Darlington	NPN	PNP	NMOS	PMOS
I_{Load}	Vysoký	Vysoký	Vysoký	Střední	Střední
I_q	Střední	Střední	Vysoký	Nízký	Nízký
V_{drop}	$V_{ce(sat)} + 2V_{be}$	$V_{ce(sat)} + V_{be}$	$V_{ec(sat)}$	$V_{gs} + V_{ds(sat)}$	$V_{sd(sat)}$
Rychlost	Vysoká	Vysoká	Pomalá	Střední	Střední
Kompenzace	Snadná	Snadná	Komplexní	Snadná	Komplexní

Tabulka 3: Porovnání vlastností výkonových prvků, převzato z [3]

Bipolární tranzistory



Obrázek 20: Možnosti realizace výkonového prvku bipolárním tranzistorem

Jsou tři možnosti realizace výkonového prvku touto technologií (obrázek 20): PNP (a), NPN (b) a NPN Darlington (c). S ohledem na technologii a princip fungování jsou bipolární tranzistory výhodné díky svému vysokému proudovému zesílení. Jejich princip fungování však s sebou přináší dvě nevýhody. První spočívá ve velikém úbytku napětí V_{drop} na tranzistoru, který se skládá z napětí přechodu báze-emitor V_{BE} a saturačním napětím na přechodu kolektor-emitor $V_{ce(sat)}$. To je podmínkou pro vstup tranzistoru do aktivního režimu. Z důvodu velikého napětí V_{drop} je použití těchto tranzistorů v nízko-výkonových aplikacích nevhodné (úbytky na výkonových bipolárních prvcích jsou v tabulce 3). Druhou nevýhodou je proud unikající přes bázi bipolárního tranzistoru

(tz. Leakage Current) [3]. Proud bázi I_B je přímo úměrný kolektorovému proudu I_C a je dán vztahem:

$$I_B = \frac{I_C}{\beta_n}; \quad I_B = \frac{I_C}{\beta_p} \quad (43)$$

kde β_n a β_p jsou proudová zesílení NPN a PNP tranzistoru. Jejich konkrétní hodnoty se řádově liší, β_n je zhruba mezi 50-100 a β_p mezi 5-10. Z toho plyne zásadní vliv zesílení na celkový únik proudu. Čistě teoreticky, pokud je vyžadováno LDO s bipolárním výkonovým prvkem, PNP tranzistor je z hlediska V_{drop} nejlepší. Zároveň má však největší problém s unikajícím proudem v porovnání s NPN tranzistorem, a to z důvodu nízké hodnoty β_p [5].

MOSFET

Tímto typem tranzistoru lze realizovat dva druhy výkonového prvku LDO regulátoru, a to pomocí NMOS a PMOS tranzistoru. MOS výkonový prvek řeší výše zmíněné nevýhody používání bipolárních tranzistorů. Vzhledem ke struktuře MOS tranzistoru nevzniká problém s únikem proudu přes hradlo (gate). Tím je zajištěna minimální spotřeba celého systému. Nicméně schopnost řízení MOS tranzistoru je menší, než je tomu u tranzistorů bipolárních. Řešením je realizace MOS výkonového prvku se značným poměrem W/L . To má za následek vyšší nároky na plochu. Napěťové regulátory s MOS tranzistory umožňují funkčnost s minimálním poměrem vstupního a výstupního napětí ($V_{in} > V_{out}$) a lze je optimalizovat na velmi malou vlastní spotřebu.

V případě, že je u lineárního regulátoru požadována minimální vlastní spotřeba I_q , tak jednou z možností řešení je použití PMOS výkonového tranzistoru. Nicméně i takové řešení s sebou přináší několik nevýhod. U nízkonapěťových aplikací s malou hodnotou úbytku napětí V_{drop} zabere PMOS prvek značnou část prostoru na substrátu. To je dáno kompenzací hybnosti volných nosičů náboje μ_p , která je v závislosti na použité technologii několiknásobně nižší než je tomu u NMOS tranzistoru (viz. tabulka 2).

S ohledem na vyšší úbytek $V_{drop} = V_{gs} + V_{ds(sat)}$ u NMOS vzniká podobná nevýhoda jako u bipolárních tranzistorů. Tuto nevýhodu lze vyřešit pomocí nábojové pumpy. Nábojová pumpa pro napájení zesilovače může vést ke snížení úbytku V_{drop} , ale celý systém lineárního regulátoru je zatížen šumem, který je dán obvodem nábojové pumpy. Je tedy třeba učinit kompromis mezi šumem a výsledným úbytkem na výkonovém tranzistoru. Filtr dolní propust je nutné umístit mimo čip mezi kontrolní signál a hradlo (gate) tranzistoru NMOS. Samozřejmě, to s sebou nese nevýhody v podobě uplatňování dalších parazitních jevů, většího množství komponentů mimo IO a tím pádem i větší užité plochy na PCB [3].

Dnes se MOS technologie lineárních regulátoru hojně užívá například v mobilních zařízeních. Důvodem je napájení z baterie, která se užíváním vybíjí. Nicméně výstupní napětí pro fungování periférií musí být stabilní. U lineárních regulátorů s MOS tranzistory je možné mít $R_{DS(on)}$ (odpor v sepnutém stavu) menší než 0.1Ω a minimalizovat rozdíl vstupního a výstupního napětí na méně než 80 mV [2].

Používá se i kombinace technologií. Výkonový prvek MOS se vyrobí v první technologii a v druhé technologii se vyrobí zbylé obvodové části regulátoru. V pouzdře jsou pak umístěny vedle sebe nebo přes sebe.

3.1.13 Možnosti kompenzace

Podle druhu kompenzace je možné dělit analogové lineární regulátory do dvou skupin. První možností je použití kondenzátoru na výstupu systému, který vede ke kompenzaci dominantním pólem. Druhou možností je zcela vynechat velký výstupní kondenzátor a dominantní pól vytvořit pomocí Millerovy kapacity (jinak nazývané jako „C-free“ nebo „Cap-less“ struktura).

Běžné lineární regulátory používají první možnost kompenzace dominantním pólem kondenzátoru C_{out} , který má obvykle velikost v rozmezí několika desetin až jednotek μF . Nevýhodou tohoto řešení je externí součástka mimo integrovaný obvod, která vyžaduje větší místo na PCB.

Na druhou stranu je technicky proveditelné vytvořit dominantní pól pomocí Millerova efektu. Tím se systém zbavuje velkého kondenzátoru a nahradí se za podstatně menší Millerovu kapacitu přímo na čipu. Další výhodou tohoto řešení je omezení některých parazitních jevů spojených s realizací spojovacích kontaktů mezi substrátem a PCB.

S ohledem na kompenzaci by neměly být během návrhu LDO regulátoru opomenuty tři podmínky: nízká vlastní spotřeba regulátoru I_q , velký rozsah vstupního napájení V_{in} a dobrý regulační výkon [3].

V rámci praktické práce je použita kompenzace dominantním pólem a paralelní kompenzace.

3.2 Rozbor trhu s LDO regulátory

Analýza trhu s LDO regulátory má za úkol dohledat vyráběná LDO včetně informací o dosažených parametrech. Prohledávaná skupina nabízených regulátorů zahrnuje firmy Analog Devices (Linear Technology), OnSemi, Texas Instruments, Ricoh a Microchip. Cílem rozboru trhu je sjednotit, popsat a interpretovat dohledané informace.

Parametr	Značka	MIN	MAX	Jednotka
Napájecí napětí	V_{in}	1.4	5.5	V
Výstupní proud	I_{out}	0	1	A
Dropout Voltage	V_{drop}	50	500	mV
Klidový proud	I_q	20	300	μA
Výstupní kapacita	C_{out}	0.47	47	μF
Výkonový prvek	PMOS			

Tabulka 4: Tabulka hledaných parametrů

Při hledání podobných LDO regulátorů bylo nutné třídění dle parametrů podle tabulky 4. Kromě výkonového prvku PMOS a rozsahu vstupního napětí V_{in} byl další prioritou výstupní proud $I_{out(max)}$. Analýza se zaměřuje na kompromis mezi V_{drop} , $I_{out(max)}$ a I_q . Kromě rozměrů pouzder byly všechny parametry probrány v rámci celé kapitoly o napěťových regulátorech.

Zhodnocení výsledků

Parametr	NCP110 ¹	LTC1844 ²	TLV757P ³	R1172 ⁴	MCP1726 ⁵	Jednotka
V_{in}	1.1 - 5.5	1.6 - 6.5	1.45 - 5.5	1.4 - 6.0	2.3 - 6.0	V
V_{out}	0.6 - 4.0	1.25 - 6	0.6 - 5	0.8 - 5.0	0.8 - 5.0	V
V_{drop}	70	90	425	320	220	mV
I_q	20	35	25	60	140	μA
$I_{standby}$	0.1	0.01	0.1	0.1	0.1	μA
$I_{out(max)}$	0.2	0.15	1	1	1	A
C_{out}	1	1	1	4.7	1	μF
PSRR	95	65	52	70	35	dB
Šum	8.8	60	71.5	30	2	μV_{RMS}
Přesnost	2	1.75	1	2	0.5	$\pm\%$
Pouzdro	1	5.2	4	9	9	mm^2

¹ OnSemi [9].² Analog Devices (Linear Technologies) [10].³ Texas Instruments [11].⁴ Ricoh [12].⁵ Microchip [13]

Tabulka 5: Parametry dohledaných LDO regulátorů

V tabulce 5 jsou regulátory od různých výrobců seřazeny dle společných parametrů. Výrobky se v jednotlivých parametrech liší, nicméně je možné sledovat jisté podobnosti, například v minimální hodnotě kondenzátoru na výstupu C_{out} , která systém stabilizuje - běžně se navrhuje pro výstupní kondenzátor v rozsahu $470nF - 4.7\mu F$. Rozsah vstupních napětí V_{in} u všech regulátorů je v průměru přes $4V$. Výstupní napětí V_{out} je u všech říditelné s různým krokem. Nejnižší hodnota výstupního napětí je zpravidla dána hodnotou napěťové reference V_{ref} . V maximálním úbytku V_{drop} je značná propast. Z toho důvodu se analýza regulátorů dělí do dvou skupin podle maximálního proudového odběru regulátoru. V tabulce jsou dva regulátory s maximálním výstupním proudem menším než $1A$, přesněji LDO od firmy OnSemi - NCP110 ($200mA$) a Analog Devices - LTC1844 ($150mA$). Tím je znázorněna zásadní spojitost mezi maximálním výstupním proudem $I_{out(max)}$ a úbytkem na výkonovém prvku V_{drop} .

Tyto parametry přímo souvisí s rozměry výkonového (v tomto případě PMOS) prvku. V případě, kdy by byl výkonový prvek konstruován na co možná nejmenší V_{drop} , nejmenší možné napájecí napětí V_{in} a pro maximální proud $I_{out(max)}$, bude třeba robustní výkonový prvek na úkor velikosti vlastní spotřeby I_q . Velikost potřebného proudu nutného k napájení takto navrhovaného výkonového tranzistoru by se odrazila především na hodnotě vlastní spotřeby I_q .

Trend v nízkonapěťových aplikacích je optimalizovat vlastní spotřebu regulátoru I_q . V případě $1A$ LDO regulátoru se nepřekračuje hodnota vlastní spotřeby přes více než jednotky mA , neboť vyšší proud vede k většímu zahřívání zařízení a následnému nežádoucímu ovlivňování všech parametrů.

V případě PSRR jsou hodnoty uvedené v tabulce lehce zavádějící a není zcela relevantní je mezi sebou porovnávat. Liší se zátěží, resp. odebíraným proudem, vstupním napájecím napětím, frekvencí i kapacitou na výstupu. Všechny tyto parametry mohou zásadně ovlivnit výsledek tohoto parametru, tudíž je cílem všech výrobců uvést nejlepší parametr. V rámci tabulky byly hodnoty PSRR hledány pro frekvenci $f = 1kHz$.

Výstupní šum je ovlivňován nejen teplotou, odebíraným proudem, výstupním kon-

denzátořem, napájením ale i frekvenčním rozsahem. Podobně jako PSRR je tento parametr zavádějící a odvíjí se od statických parametrů LDO a jeho vnitřní konstrukce.

Přesnost výstupního napětí regulátoru je rozebrána v kapitole 3.1.10. Nicméně cílem lineárních regulátorů je nemít chybu vyšší než $\pm 3\%$.

Posledním parametrem tabulky jsou rozměry použitého pouzdra. Pouzdro se skládá z integrovaného obvodu, kontaktní desky (například měď) a tepelně odolného polymeru, který je schopen vydržet maximální provozní teploty regulátoru (cca. 160°C). Každé pouzdro má svými rozměry přímý vliv na teplotní charakteristiku integrovaného obvodu. Výrobce je definován teplotní odpor. Díky tomu lze dopočítat maximální ztrátový výkon lineárního regulátoru. Z pohledu ceny výrobku je nepříhodnější, pokud je hotové pouzdro co nejmenší.

Nejlepším lineárním regulátorem, který je zmíněn v tabulce 5, je NCP110 od firmy OnSemi. Má nejmenší úbytek V_{drop} , nejnižší vlastní spotřebu I_q , spolu s dalšími regulátory je stabilní s $1\mu\text{F}$ kondenzátorem na výstupu. V katalogovém listu má bezpochyby nejlepší parametry PSRR a šumu. Velkou výhodou je i velikost, která je zhruba 1mm^2 .

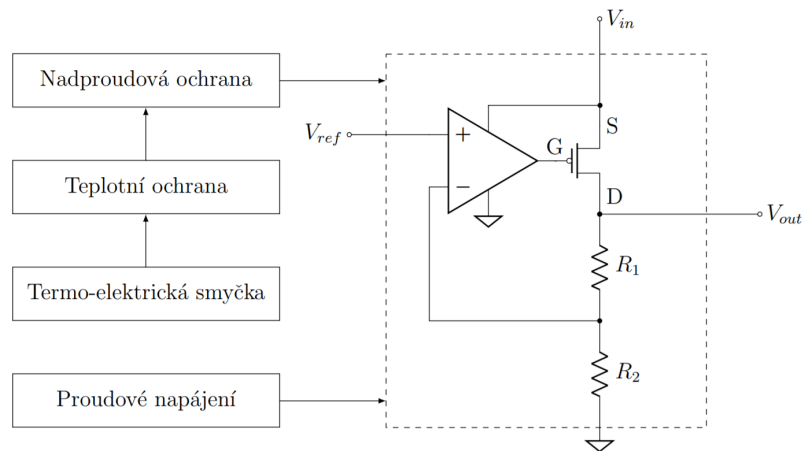
4 Návrh LDO regulátoru

Vlastní práce se odvíjí od nastudované teorie. Cílem této kapitoly je popsat návrh dílčích funkčních bloků konkrétního lineárního regulátoru a prezentovat jejich funkčnost pomocí výpočtů a simulací. Praktická část diplomové práce byla díky firmě STMicroelectronics zpracovávána v technologii BCD8 ve vývojovém prostředí Virtuoso od firmy Cadence. Design se odvíjí od počátečních parametrů obsažených v tabulce 6.

Parametr	MIN	MAX	Jednotka
V_{in}	1.4	5.5	V
I_{load}	0	1	A
V_{drop}	-	200	mV
I_q	30	300	μA
C_{out}	0.47	47	μF

Tabulka 6: Tabulka designovaných parametrů

LDO regulátor je doplněn nadproudovou a teplotní ochranou. Pro řízení teploty simulace je vytvořena termo-elektrická smyčka, která simuluje strukturu zapouzdřeného integrovaného obvodu.



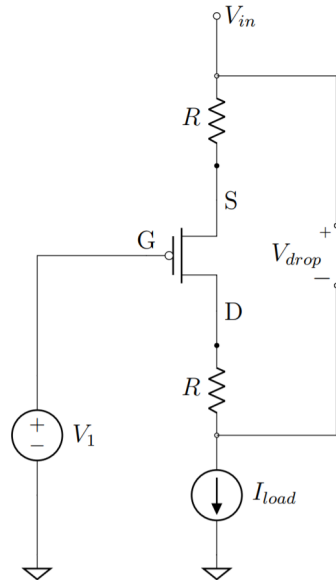
Obrázek 21: Blokové schéma navrhovaného LDO regulátoru

Design LDO regulátoru (obrázek 21) v rámci této práce obsahuje diferenční zesilovač, paralelní kompenzaci, obvod pro řízení výkonového prvku, PMOS výkonový prvek, nadproudovou a teplotní ochranu a analogovou elektro-termální smyčku pro teplotní simulaci zapouzdřeného IO. Porty do regulátoru jsou V_{in} (napájecí napětí), V_{ref} (referenční napětí) a I_{bias} (proudové napájení). Výstupním portem je napětí V_{out} . Společným vstupně-výstupním portem je zem (gnd).

4.1 Výkonový prvek

Cílem designu výkonového prvku je robustní PMOS tranzistor, který bude pro rozsah napájecích napětí V_{in} a definovaného maximálního proudového odběru $I_{load(max)}$ splňovat podmínku minimálního napěťového úbytku V_{drop} .

Obvod (obrázek 22) pro odladění výkonového prvku obsahuje dva ideální napěťové zdroje (V_{in} a V_1). V_{in} pro napájení obvodu a V_1 pro uvedení výkonového tranzistoru do režimu saturace. Dále ideální proudový zdroj (I_{load}) pro simulaci definované zátěže, výkonový PMOS tranzistor (designovaný prvek), dva odpory R s malou hodnotou odporu pro simulaci metalizace výkonového tranzistoru $\approx 10\text{ m}\Omega$ a jeden napěťový zdroj řízený napětím (VCVS) s jednotkovým zesílením pro detekci V_{drop} . Odpory R modelují přívodní metaly ve struktuře MOS tranzistoru. Způsobují napěťový úbytek a mají vliv na maximální proud, který celá struktura zvládne. Vliv na výstupní parametry bude mít poměr $\frac{W}{L}$ a počet paralelních gate pásů N_{gate} , které mají vliv na výsledný tvar součástky na substrátu. Návrh se řídí předepsanými parametry a řeší i technologickou proveditelnost.



Obrázek 22: Schéma obvodu pro design výkonového PMOS prvku

Je dán rozsah napájecích napětí $V_{in} = 1.4\text{--}5.5\text{ V}$, napětí V_g výkonového tranzistoru, požadovaný úbytek V_{drop} a horní hranice proudového odběru $I_{load} = 1\text{ A}$. Na základě těchto parametrů se navrhuje výkonový PMOS. Při dosazení do vzorce z kapitoly o úbytku napětí lze dostat maximální hodnotu odporu vodivého kanálu:

$$R_{SD(on)} = \frac{V_{drop}}{I_{load(max)}} = \frac{0.05\text{ V}}{1\text{ A}} = 0.05\Omega \quad (44)$$

Tato situace nastane ve chvíli, kdy dojde ve smyčce k poklesu zisku a tranzistor se začne chovat jako odpor. Design poměru $\frac{W}{L}$ by měl být natolik veliký, aby odpovídal V_{drop} pro definované napájecí napětí V_{in} . Ze vztahu pro odporový režim tranzistoru PMOS a napětí na tranzistoru V_{SD} lze odvodit při znalosti parametrů technologie výsledný

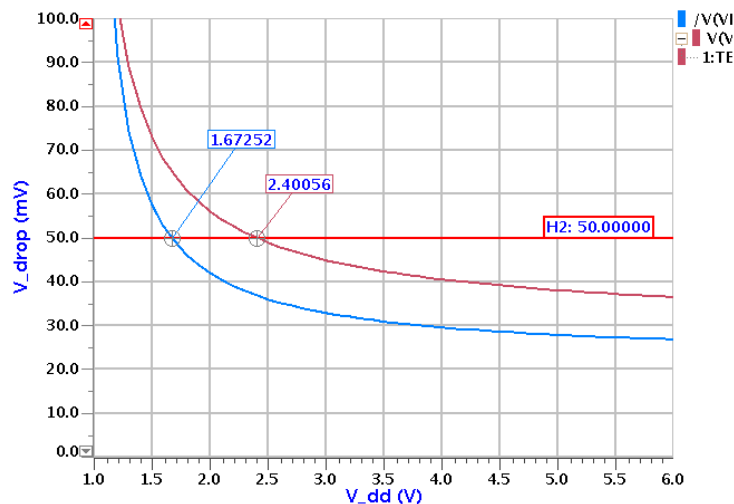
poměr $\frac{W}{L}$ (v rovnici je v dalších výpočtech zanedbán efekt V_{SD}):

$$R_{SD(on)} = \frac{V_{SD}}{I_D} \approx \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{SG} - V_{Th})} \quad (45)$$

Na základě této rovnice je patrné, že bude třeba vysoký poměr $\frac{W}{L}$ tranzistoru. Prvotní řešení výkonového tranzistoru testuje $V_{drop} = 50 \text{ mV}$ při odběru $I_{load(max)} = 1 \text{ A}$ a minimálního napájecího napětí $V_{in} = 1.4 \text{ V}$ (nejhorší případ). V tomto případě vycházela designovaná šířka tranzistoru W_{POWER} zhruba 1.2 m . Při takovýchto rozměrech by bylo velmi složité se vůbec pokoušet o minimální proudovou spotřebu. Kompromisem výsledné šířky výkonového prvku je:

$$W_{POWER} \approx 800 \text{ mm} \quad (46)$$

přičemž délka kanálu je minimální jakou technologie BCD8 umožňuje.



Obrázek 23: Simulace výkonového prvku

Simulace výsledného modelu zachycuje V_{drop} v závislosti na plném rozsahu napájecího napětí V_{in} . V grafu je závislost při pokojové teplotě. Je patrné, že V_{drop} nabývá hodnot 50 mV již při napájecím napětí $\approx 1.68 \text{ V}$. Při napájecí napětí $V_{in} = 1.4 \text{ V}$ dosahuje hodnot $V_{drop} \approx 62 \text{ mV}$. Druhá křivka ukazuje extrémní případ, kdy je obvod zatížen teplotou $T = 125^\circ\text{C}$. Zde dosahuje V_{drop} pro nejnižší napájení $\approx 77.5 \text{ mV}$ a požadovaného úbytku dosahuje až při hodnotě napájecího napětí $V_{in} \approx 2.4 \text{ V}$.

4.2 Proudová napájení

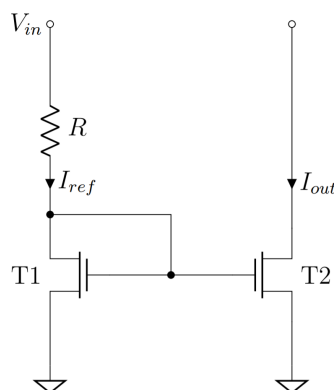
Řešení této části vychází z principu návrhu proudového zrcadla. Cílem je navrhnout takové proudové zrcadlo, které se v případě zrcadlení 1 : 1 nebude mezi vstupním a výstupním proudem nijak lišit - ideálně bude mít nulový proudový offset. Přesnost závisí přímo na pracovním režimu použitých tranzistorů.

Vhodným pracovním režimem pro proudová zrcadla je silná inverze, kdy napětí V_{GS} dosahuje vyšších hodnot a případný nesoulad v prahových napětích V_{Th} má menší vliv na přepětí, resp. efektivní napětí V_{ov} . Zrcadlený proud závisí mimo jiné na napětí V_{DS} . Ideální proudové zrcadlo se snaží tuto závislost potlačit. Toho lze docílit vysokou výstupní impedancí zrcadlicích tranzistorů (odvození r_o se nachází v kapitole 2.1.4). Řešením je zrcadlo s dostatečnou délkou kanálu L . Pro vyšší proudové zesílení lze zvýšit počet modulů o definované délce a šířce.

V praktické části je možné proudové napájení dělit do dvou skupin podle zdroje zrcadleného proudu. První skupina proudových zrcadel využívá proudu z ideálního proudového zdroje I_{bias} . Zdrojem proudu je napájen diferenční zesilovač, nadproudová a teplotní ochrana. Druhá skupina používá pro své zrcadlení proud zátěží I_{load} přímo z výkonového prvku. Tímto proudem je řízen obvod podporující funkci výkonového prvku a spínání nadproudové ochrany. Geometrické rozměry použitých zrcadel $\frac{W}{L}$ pro napájení ze zdroje I_{bias} jsou $\approx \frac{10}{6}$, kde hodnota délky kanálu je pro správnou funkci zrcadla zvětšena $10x$ oproti nejnižší možné délce kanálu. Nejen poměr $\frac{W}{L}$, ale i absolutní hodnota rozměrů má vliv na přesnost. Větší plocha hradla („gate“) znamená menší chybu při výrobě. Nepřesnosti dané chybami ΔW a ΔL jsou menší v poměru s absolutními hodnotami.

V následujícím obrázku 24 jsou pro demonstraci použita NMOS proudová zrcadla, která jsou analogií k PMOS proudovým zrcadlům. Obrázek slouží k informativním účelům práce. Principiální rovnice pro NMOS proudové zrcadlo je dána vztahem:

$$\frac{I_{out}}{I_{ref}} = \frac{0.5k'_{n,2} \left(\frac{W}{L}\right)_2 (V_{GS,2} - V_{Th,2})^2}{0.5k'_{n,1} \left(\frac{W}{L}\right)_1 (V_{GS,1} - V_{Th,1})^2} \quad (47)$$



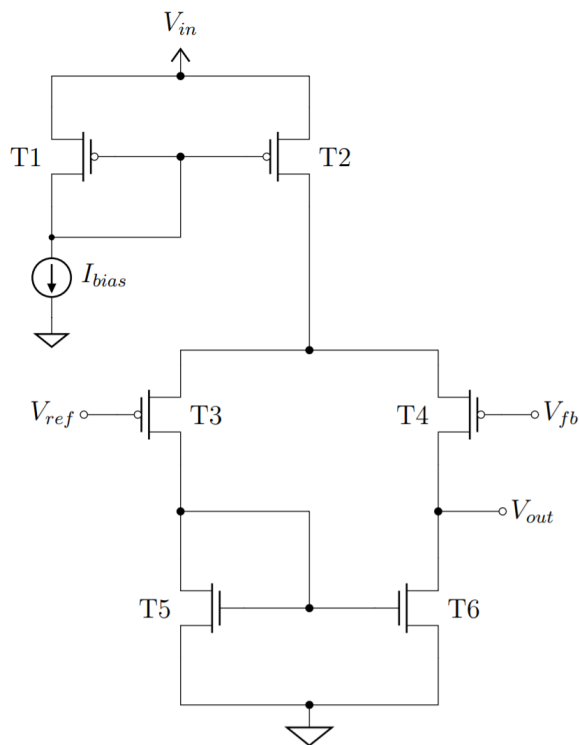
Obrázek 24: Ilustrace proudového zrcadla

4.3 Diferenční zesilovač

Návrh diferenčního zesilovače je založen na principu slabé inverze, popsané v kapitole 2.1.2. Pokud diferenční pár pracuje ve slabé inverzi, transkonduktance g_m je na své maximální hodnotě a tím je možné docílit nejvyššího možného zisku diferenčního zesilovače pro daný napájecí proud. Šířka pásma (BW) je přímo úměrná transkonduktaci g_m . Režim slabé inverze vede k nízkému napětí V_{GS} diferenčního páru.

Režim činnosti tranzistorů ve slabé inverzi je podmíněn vysokým poměrem $\frac{W}{L}$, což má za následek větší užitou plochu na substrátu a vyšší uplatnění parazitních jevů, které mohou vést k horším odezvám systému.

Na obrázku 25 je diferenční zesilovač napájený proudově ze zdroje $I_{bias} \approx 500 \text{ nA}$. Proud do diferenčního zesilovače je pomocí proudového zrcadla tvořeného tranzistory T1 a T2 zvětšen na hodnotu $\approx 2 \mu\text{A}$. Diferenční pár tvořený tranzistory T3 a T4 je navrhnout v režimu slabé inverze, kde poměr $\frac{W}{L} \approx \frac{35}{1}$. Jediné NMOS tranzistory T5 a T6 zde tvoří aktivní zátěž tvořenou proudovým zrcadlem, jejich poměr $\frac{W}{L} \approx \frac{1}{1}$ a poměr modulů $T5 : T6 = 1 : 1$. Cílem této části je co nejpřesněji zesílit rozdílový signál, který je mezi referenčním napětím V_{ref} a napětím ve zpětné vazbě V_{fb} .



Obrázek 25: Zjednodušené schéma diferenčního zesilovače

Výstup V_{out} je připojen na stabilizační část (paralelní kompenzaci) a na řídicí obvod pro výkonový tranzistor (driver).

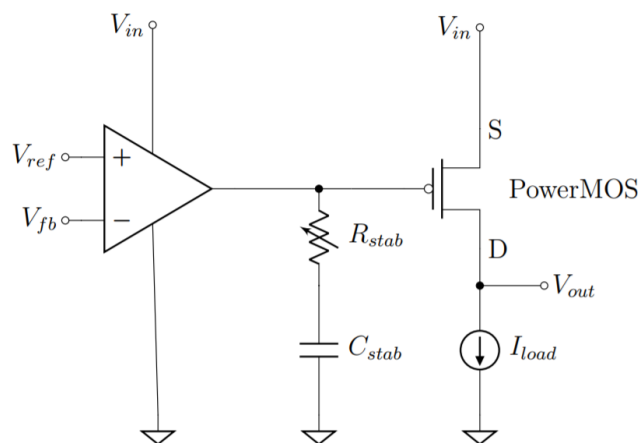
4.4 Paralelní kompenzace

Paralelní kompenzace je tvořena odporem a kondenzátorem mezi výstupem z diferenčního zesilovače a zemí. Účelem této kompenzace je vytvořit pól na výstupu diferenčního zesilovače, který se uplatní při nižších frekvencích. Pro potřeby této kompenzace je nutné brát v úvahu maximální dovolenou hodnotu kondenzátoru na substrátu a fakt, že s velikostí kondenzátoru se prodlužuje reakční doba obvodu. Aby kompenzace fungovala, je třeba kompenzační kondenzátor nabít. Při návrhu je počítáno s kapacitou jako neměnnou konstantou a ladí se odporový prvek. Vzhledem k tomu, že jde o LDO s rozsahem do 1 A není možné použití rezistoru s neměnnou hodnotou odporu a je nutné vytvořit systém, který si hodnotu bude k proudovému odběru přizpůsobovat.

V první fázi vytváření této kompenzace byla snaha o vytvoření spínacího obvodu s hysterezí, který by kontroloval proud výkonovým tranzistorem a pomocí zrcadel ho kopíroval do segmentů. Každý segment by se spínal resp. vypínal s konkrétní hodnotou I_{load} a aktivoval by potřebnou hodnotu rezistoru. Tím by byla vytvořena síť paralelních rezistorů mezi výstupem diferenčního zesilovače a interním kondenzátorem. Na velmi nízkých a vysokých hodnotách proudu I_{load} se jevila tato možnost jako proveditelná, nicméně střední hodnoty proudů $\approx 100 \mu A - 10 mA$ vyžadovaly větší odporovou variabilitu, tedy víc použitých větví. Systém byl příliš složitý a proto se práce dál ubírala přidáním aktivního prvku jako rezistoru.

V druhé fázi byl použit aktivní odporový prvek (obrázek 26), o jehož principu se lze dočíst v kapitole 2.1.1. Tento tranzistor pracující v lineárním režimu se mění v závislosti na proudovém odběru I_{load} . Pro snížení celkového odporu R_{stab} je paralelně zapojen odpor s hodnotou $\approx 500 k\Omega$. Se snižujícím se zatěžovacím proudem I_{load} roste odpor R_{stab} .

Paralelní kompenzace připouští maximální hodnotu kondenzátoru $C_{stab} = 30 pF$, který v dané technologii zabere plochu zhruba $\approx 0.032 mm^2$.



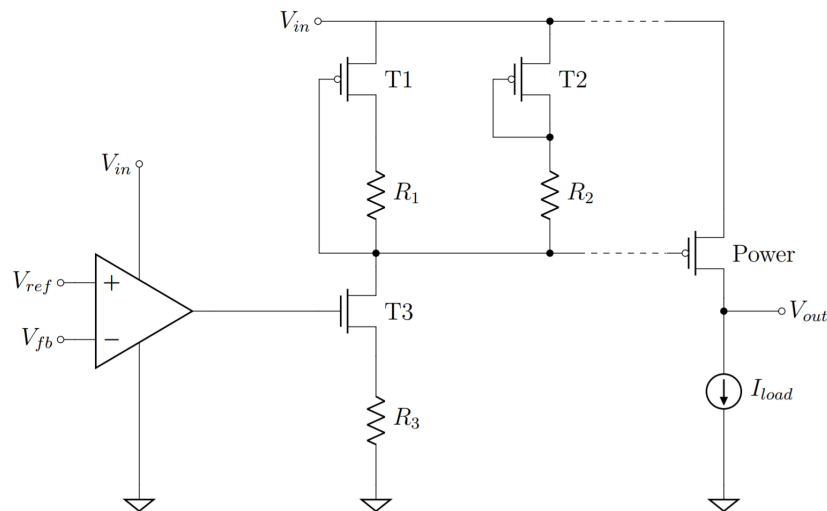
Obrázek 26: Schéma paralelní kompenzace

4.5 Řídicí obvod výkonového tranzistoru

Řízení výkonového prvku je řešeno pomocným řídicím obvodem. Vzhledem k rozměrům výkonového tranzistoru, které jsou dány poměrem $\frac{W}{L}$, je oblast hradla gate velká. Dostatečný zisk zpětné vazby je dán hodnotou výstupního odporu diferenčního zesilovače r_{outA} . Pro správnou činnost výkonového prvku je navrhnut řídicí obvod (obrázek 27). Ten obsahuje dva tranzistory (T1 a T2), které zrcadlí proud výkonovým prvkem v nastaveném poměru. Tranzistor T1 slouží pro zrcadlení proudu pro ovládání výkonového prvku tranzistorem T3, který je výstupním tranzistorem diferenčního zesilovače. Hodnota odporu R_1 je v závislosti na technologii zhruba $100\text{ k}\Omega$. Tranzistor v diodovém zapojení T2 tvaruje pomocí rezistoru $R_2 \approx 100\ \Omega$ zátěžovou impedanci. Tento rezistor omezuje maximální vlastní spotřebu regulátoru I_q ve vyšších hodnotách zatěžovacího proudu I_{load} . Geometrické rozměry tranzistorů T1 a T2 jsou identické. Šířky těchto tranzistorů jsou v následujícím poměru:

$$\frac{W_{POWER}}{W_{1,2}} \approx 40 \quad (48)$$

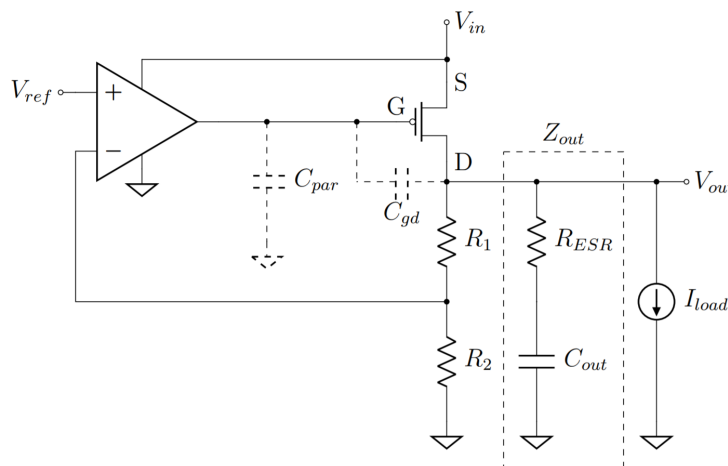
přičemž délky kanálů $L_{1,2}$ jsou výchozí rozměry použité technologie. Tranzistor T3 na výstupu diferenčního zesilovače je designován v poměru $\frac{40}{1}$. Odpor $R_3 \approx 50\ \Omega$. Tato obvodová část regulátoru má majoritní vliv na vlastní spotřebu regulátoru I_q .



Obrázek 27: Schéma řídicího obvodu výkonového prvku

4.6 Kompenzace dominantním pólem

Na obrázku 28 je zobrazeno zapojení pro kompenzaci dominantním pólem. Obvod pro tento druh kompenzace obsahuje diferenciální zesilovač, zpětnovazební dělič s rezistory R_1 a R_2 a výkonový tranzistor PMOS. Použitím velkého výkonového prvku bude uplatněna



Obrázek 28: Schéma konvenčního LDO regulátoru

velká parazitní kapacita C_{gd} . Celková parazitní kapacita výkonového prvku C_{par} představuje Millerovu kapacitu danou vztahem $C_{gd} \cdot (1 + A_v)$, kde A_v je napěťový zisk zpětnovazební smyčky. Výstupní odpor diferenciálního zesilovače r_{outA} musí být velký kvůli zisku. Kapacitou na hradle gate vzniká pól výkonového tranzistoru, který se uplatní na nízkých frekvencích. Tento pól vychází ze vztahu:

$$P_1 = \frac{1}{r_{outA} C_{par}} \quad (49)$$

Kompenzace dominantním pólem obsahuje na výstupu systému zapojený kondenzátor C_{out} s odporem R_{ESR} . Tento odpor představuje parazitní odpor použité součástky. Jeho hodnota vychází z použitého materiálu. Součástí dokumentace k LDO regulátorům je i doporučení konkrétního typu kondenzátoru. Dominantní pól je dán hodnotou odporu R_{out} na výstupu systému a použitým kondenzátorem. Výstupní odpor se mění v závislosti na proudu zátěží:

$$P_0 = \frac{1}{R_{out} C_{out}}, \quad R_{out} \propto \frac{1}{I_{load}} \quad (50)$$

Nula systému v nižších frekvencích je vlivem odporu R_{ESR} dána vztahem:

$$Z_{ESR} = \frac{1}{R_{ESR} C_{out}} \quad (51)$$

Pokud má systém vysoký zisk a malou šířku pásma (BW), bude tato nula pod hodnotou zisku 0 dB , což snižuje stabilitu systému. Výsledkem jsou dva póly a jedna nula v systému kompenzovaným dominantním pólem. Jejich vliv na zisk systému je na obrázku. Zisk zpětnovazební L_o smyčky je dán vztahem:

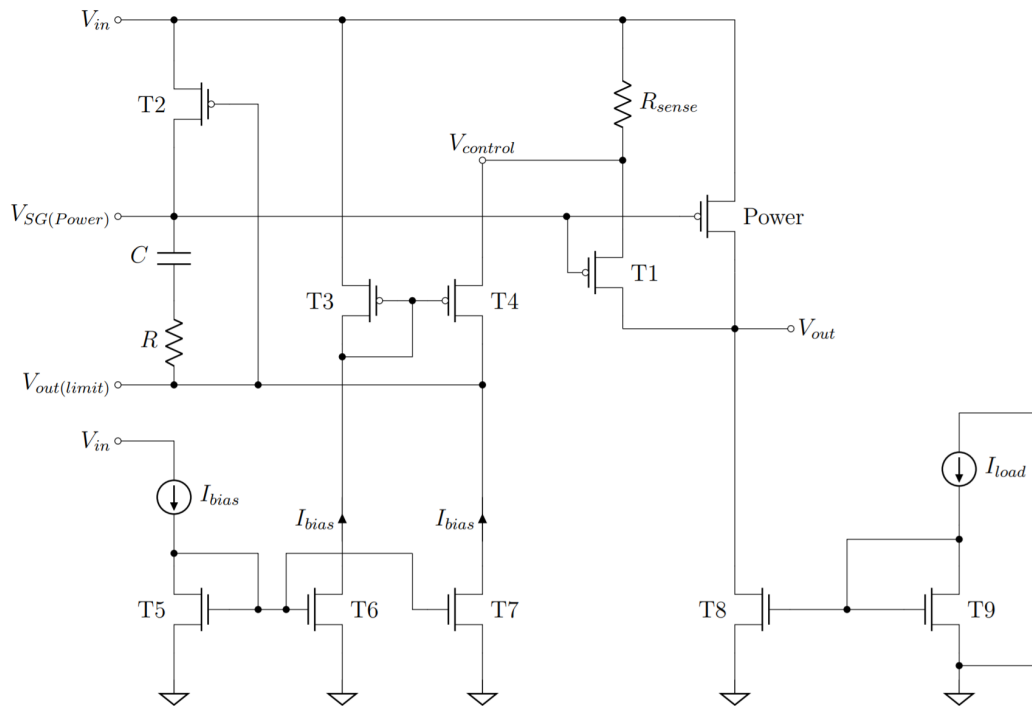
$$L_o = \beta A_{EA} A_v \quad (52)$$

kde $\beta = \frac{R_2}{R_1+R_2}$ a A_{EA} je zisk diferenčního zesilovače. Se zvyšujícím se proudem zátěží I_{load} klesá celkový zisk, ale roste šířka pásma.

Kompenzací R_{ESR} lze díky vzniklé nule zajistit stabilitu pro různé výstupní zátěže. V práci je vše testováno pro $ESR = 5 \text{ m}\Omega$ a $C_{out} = 470 \text{ nF}$.

4.7 Nadproudová ochrana

Designovaná nadproudová ochrana má za úkol ochránit regulátor při překročení proudového odběru I_{load} nad hodnotu 1.6 A. Princip ochrany vychází z předpokladu, že se LDO regulátor chová jako napěťový zdroj. Když překročí dovolenou hranici maximálního proudu $I_{load(max)}$ výkonovým prvkem, měl by regulátor přepnout do režimu proudového zdroje. Tím se zajistí limitované dodání maximální proudu i v případě snížení výstupní zátěže. Proud zůstává konstantní a dochází ke snížení výstupního napětí V_{out} .



Obrázek 29: Principiální schéma nadproudové ochrany

Na obrázku 29 je blokové schéma nadproudové ochrany. Princip spočívá ve snímání úbytku napětí na odporu R_{sense} , který je připojen na napájení V_{in} a terminál source PMOS tranzistoru T1. Geometrické rozměry tohoto tranzistoru jsou v poměru s navrženým výkonovým prvkem, šířky kanálů odpovídají:

$$\frac{W_{POWER}}{W_1} \approx \frac{3600}{1} \quad (53)$$

Tímto poměrem šířek kanálů je dána poměrová část zatěžovacího proudu I_{load} procházející touto větví. Z toho vychází, že úbytek napětí na rezistoru R_{sense} je úměrný k zatěžovacímu proudu.

Pokud proud zátěží překročí maximální povolený limit, úbytek na odporu dosáhne požadované úrovně. Změna se projeví na diferenčním zesilovači se společným gatem (tranzistory T3 a T4). Tranzistory diferenčního zesilovače jsou navrženy v poměru:

$$\frac{W_{(3,4)}}{L_{(3,4)}} = \frac{34}{1} \quad (54)$$

přičemž počet modulů mezi $T3 : T4$ je $1 : 3$. Diferenční zesilovač porovnává napěťový offset a je napájen NMOS proudovými zrcadly (tranzistory T6 a T7) v poměru, který na výstupu větve zajistí napájecí proud větví zesilovače $I_{bias} \approx 1 \mu A$. Výstupním signálem diferenčního zesilovače je řízen tranzistor T2, který je navržený v poměru:

$$\frac{W_2}{L_2} \approx 170 \quad (55)$$

Tento tranzistor slouží k regulaci napětí na hradle výkonového prvku ($V_{SG(Power)}$). Proud výkonovým prvkem je regulován do doby, než dojde ke snížení požadovaného proudu zátěží na hodnotu nižší než $1.6 A$. Snížení zatěžovacího proudu vede ke změně úbytku na odporu R_{sense} . Pro stabilizaci přepínání je mezi výstupem diferenčního zesilovače a hradlem výkonového tranzistoru navržený RC článek. Hodnota použitého kondenzátoru je s ohledem na plochu $C \approx 1 pF$ a hodnota rezistoru je $R \approx 100 k\Omega$. Výstupní zátěž je simulovaná pomocí ideálního zdroje proudu a robustního proudového zrcadla (tranzistory T8 a T9). Poměr proudového zrcadla na výstupu LDO regulátoru je $1 : 1$ a geometrické rozměry těchto tranzistoru jsou:

$$\frac{W_{out}}{L_{out}} \approx \frac{170}{1} \quad (56)$$

Terminálem *drain* tranzistoru T9 prochází požadovaný proud I_{load} ovládaný ideálním zdrojem proudu a tranzistorem T8 prochází výstupní proud I_{out} , který je ovlivněn nadproudovou ochranou. Pro zrcadlený proud platí následující vztah:

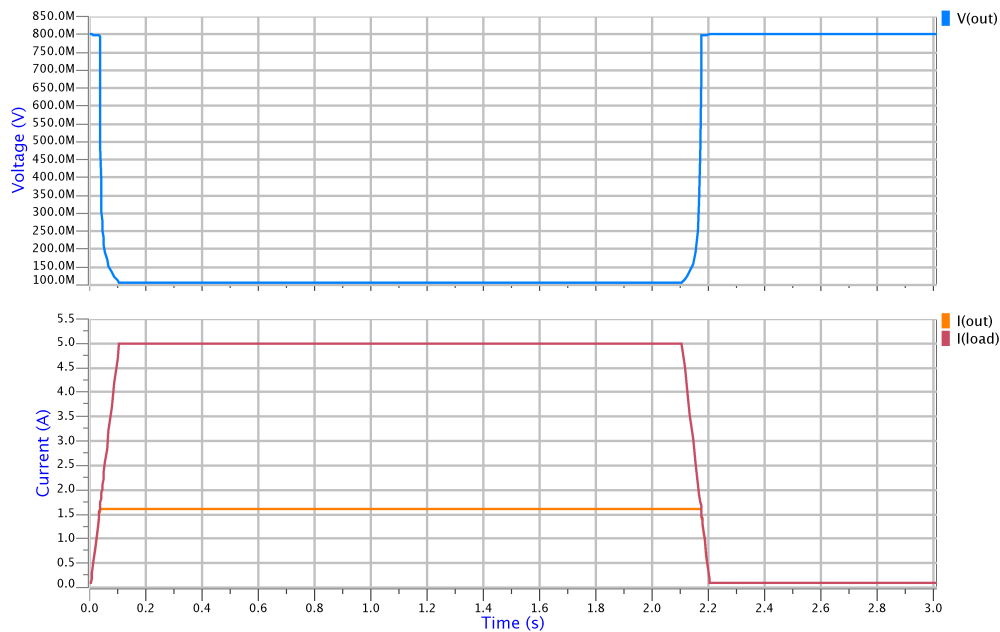
$$I_{load} \geq I_{out} \quad (57)$$

V následující tabulce je nadproudová ochrana testována nejen pro celý rozsah vstupního napětí V_{in} , ale i pro požadovaný teplotní rozsah od $-40^\circ C$ do $+125^\circ C$. I_{max} je maximální proud na výstupu, při definované teplotě a vstupním napětí.

Napájecí napětí [V]		1.4	3.0	5.5
Teplota	Simulace v rozích	I_{max} [A]		
$-40^\circ C$	TYP	1.60	1.65	1.70
$25^\circ C$	TYP	1.57	1.62	1.65
$125^\circ C$	TYP	1.42	1.43	1.50
$-40^\circ C$	MIN	1.72	1.80	1.85
$25^\circ C$	MIN	1.70	1.76	1.81
$125^\circ C$	MIN	1.51	1.56	1.61
$-40^\circ C$	MAX	1.50	1.54	1.60
$25^\circ C$	MAX	1.48	1.51	1.55
$125^\circ C$	MAX	1.32	1.35	1.40

Tabulka 7: Výsledky nadproudové ochrany

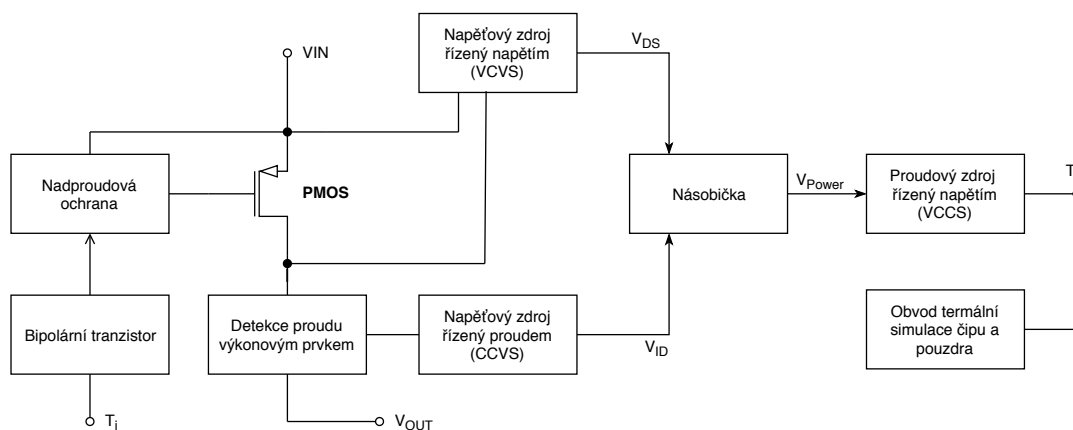
Na obrázku 30 je chování výstupního napětí a limitace proudového odběru při jeho překročení. V případě překročení limitované hranice $1.6 A$ dochází k sepnutí nadproudové ochrany. Žlutá křivka značí stabilizovaný výstup a červená požadovaný proud $5 A$.



Obrázek 30: Simulace nadproudové ochrany

4.8 Teplotní ochrana

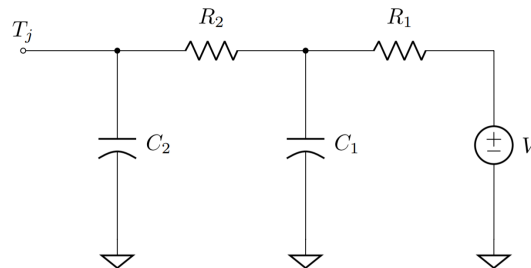
Návrh teplotní ochrany je posledním bodem diplomové práce. Principiální schéma je uvedeno na obrázku 31. Pro správné fungování je předpokladem funkční nadproudová ochrana, vytvoření způsobu korektní detekce výkonu na řídicím tranzistoru PMOS a na základě tepelných odporů a kapacit dílčích komponentů zapouzřeného LDO regulátoru sestavit obvodové řešení simulující chování zapouzřeného čipu (obrázek 32).



Obrázek 31: Blokové schéma teplotní ochrany

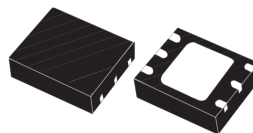
Tento typ ochrany má za úkol chránit čip před překročením teploty 160°C . V rámci práce je vytvořena analogová elektro-termální smyčka. Elektrický simulátor tak lze vy-

užít pro simulaci termálních dějů a jejich návaznosti na elektrické děje. Klíčovým prvkem je kromě elektro-termální smyčky i bipolární tranzistor provázaný s nadproudovou ochranou, jehož úkolem je při vyšších teplotách odebírat proud z nadproudové ochrany a tím snížit odběr I_{out} , tedy snížit provozní teplotu regulátoru.



Obrázek 32: Obvod pro teplotní simulaci čipu a pouzdra

Prvky v elektrotermální smyčce je nutné dohledat popřípadě dopočítat v závislosti na použitém materiálu a předpokládaném objemu. K výpočtům chování pouzdra byly použity termální data (viz. tabulku 8) z LDO LD39100 od firmy STMicroelectronics, které je v pouzdře DFN6 (obrázek 33) [14]. Jedná se o podobný typ LDO - v rámci práce je teoreticky uvažováno stejné pouzdro pro vytvářený regulátor.



DFN6 (3x3 mm)

Obrázek 33: Uvažované pouzdro DFN6, převzato z [14]

Symbol	Parametr	Hodnota	Jednotka
R_{thJA}	Tepelný odpor Čip-Okolí	55	$^{\circ}C/W$
R_{thJC}	Tepelný odpor Čip-Pouzdro	10	$^{\circ}C/W$

Tabulka 8: Tepelný odpor pouzdra DFN6, převzato z [14]

Pro převod elektro-termálních hodnot odporu uvažujeme:

$$[\Omega] = \left[\frac{V}{A} \right] \Rightarrow \left[\frac{^{\circ}C}{W} \right] \quad (58)$$

Na základě těchto tepelných odporů lze dopočítat potřebné odpory, které jsou ve schématu.

$$R_1 = R_{thJA} - R_{thJC} = 45\Omega \quad (59)$$

$$R_2 = R_{thJC} = 10\Omega \quad (60)$$

Dalším logickým krokem je výpočet kapacit jednotlivých částí zapouzdřeného čipu a to z důvodu následného výpočtu tepelné kapacity. V případě analogového elektrotermálního modelu uvažujeme v rámci teplotní kapacity následující tvrzení:

$$[F] = \left[\frac{C}{V} \right] \Rightarrow \left[\frac{J}{K} \right] \quad (61)$$

Zapouzdřený čip lze rozdělit do tří materiálně odlišných segmentů:

Segment	Použitý materiál
Kontaktní ploška (destička)	Cu (Měď)
Čip	Si (Křemík)
Pouzdro	PTFE (Polymer)

Tabulka 9: Seznam segmentů použitých v LDO

Pro kontaktní plochu je uvažována měď, pro čip křemík a pro pouzdro tepelně odolný polymer. V tabulce 10 jsou rozepsány potřebné materiálové vlastnosti nutné pro další výpočty. Měrná tepelná kapacita polymerů se pohybuje v rozmezí od 1000 do 2000 $J \cdot kg^{-1} \cdot K^{-1}$ v závislosti na použitém materiálu. Pro teoretický výpočet jsou použity vlastnosti tepelně odolného polymeru.

Materiál	$\rho [g/cm^3]$	$c [J \cdot kg^{-1} \cdot K^{-1}]$
Cu (Měď)	8.9400	383
Si (Křemík)	2.3290	703
Polymer	2.2250	1000

Tabulka 10: Vlastnosti použitých materiálů, převzato z [15]

Objem jednotlivých segmentů lze vypočítat na základě informací z datasheetu LD39100 [14]. Pro výpočet tepelných kapacit se vychází z následujícího vzorce:

$$C = m \cdot c \quad (62)$$

kde m je hmotnost použitého materiálu a c je konkrétní měrná tepelná kapacita. Tabulka 11 obsahuje dopočet stěžejních parametrů použitých materiálů na příslušném čipu. Pro výpočet plochy čipu je uvažována plocha 2 mm^2 a zbroušený substrát na tloušťku $100 \mu\text{m}$ (jde o tloušťku „waferu“). Rozměry byly odhadnuty v závislosti na layoutu výkonového prvku PMOS, který zabírá větší část čipu.

Segment	$m [\mu\text{g}]$	$V [\text{mm}^3]$	$C [\mu\text{J} \cdot K^{-1}]$
Destička (Cu)	460.41	0.0515	176.337
Čip (Si)	468.80	0.2	327.457
Pouzdro (Polymer)	16 109.00	7.24	16 109.00
Celkem	17 035.21	7.4915	16 612.794

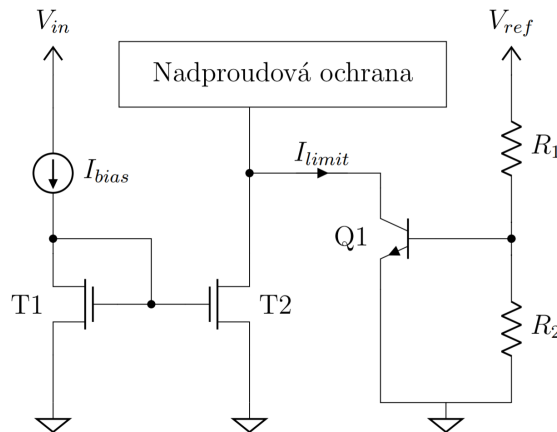
Tabulka 11: Dopočet hmotnosti, objemu a kapacity segmentů

Výsledné kapacity v analogové elektro-termální smyčce jsou následující (vychází se z předpokladu platnosti vzorce 61):

$$C_1 = C_{pouzdro} + C_{kontakty} = 16.285 \text{ mF} \quad (63)$$

$$C_2 = C_{chip} = 327.457 \text{ } \mu\text{F} \quad (64)$$

Na obrázku 34 je vyobrazeno principiální schéma obvodu. Sériově zapojené rezistory $R_1 \approx 9 \text{ M}\Omega$ a $R_2 \approx 7.5 \text{ M}\Omega$ jsou připojeny na stabilní neměnný zdroj napětí (napěťová reference V_{ref}). Hodnoty odporů jsou nastaven tak, aby hodnota napětí V_{be} na bipolárním tranzistoru byla $\approx 363.7 \text{ mV}$ a použitý proud pro tuto obvodovou část minimální. Odpory slouží k nastavení pracovního bodu bipolárního tranzistoru $Q1$, který je teplotně závislý a na substrátě umístěn v blízkosti výkonového prvku. Výkonová ztráta na výkonového prvku PMOS zvedá teplotu a zahřívá celý substrát. Tato teplota je snímána bipolárním NPN tranzistorem, který v závislosti na pracovním bodu aktivuje obvod nadproudové ochrany. Výsledkem aktivace je omezení výkonové ztráty a snížení teploty. Analogová elektro-termální smyčka simuluje na základě výkonové ztráty na PMOS výkonovém tranzistoru teplotní chování čipu. Pro aktivaci elektro-termální smyčky pro simulace se použije v simulátoru příkaz: `.option vartemp = E0`, který odkazuje na proudový zdroj řízený napětím $E0$. Vzhledem k tomu, že tento příkaz neumí pracovat s hodnotou proudu, bylo nutné přemostit výstupní proud na napětí pomocí napěťového zdroje řízeným napětím (zisky těchto zdrojů jsou jednotkové). Výsledný návrh teplotní ochrany je nastavený na regulaci teploty 160°C .



Obrázek 34: Zjednodušený model odběru proudu bipolárním tranzistorem

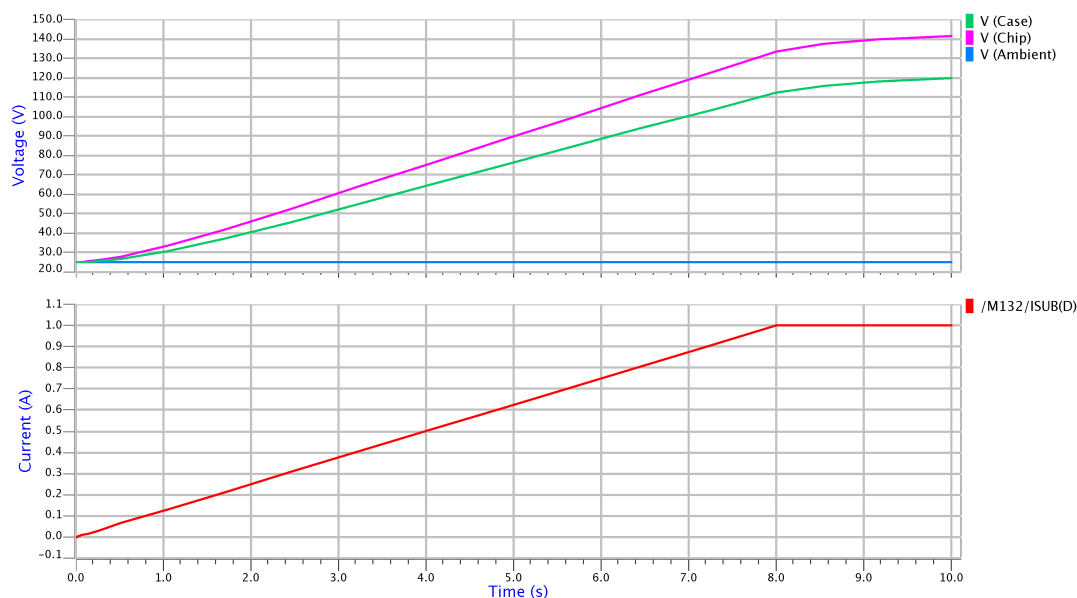
Na základě teplotního modelu je vytvořena tabulka 12, která zobrazuje konečnou teplotu pro konkrétní výkonovou ztrátu. Pro toto měření jsou statické hodnoty napájecího napětí $V_{in} = 3 \text{ V}$ a výstupního napětí $V_{out} = 800 \text{ mV}$ (jednotkový zisk regulátoru). Předpokladem je konstantní proudový odběr a teplota prostředí 25°C .

Výkonová ztráta P_D [W]	T_{chip} [°C]	T_{case} [°C]
2.14	142.3	121
1.08	85	74
0.22	37	35

Tabulka 12: Závislost výkonové ztráty P_D , teploty substrátu T_{chip} a teploty pouzdra T_{case}

Maximální výkonová ztráta regulátoru je dána vztahem 41 popsaného v kapitole 3.1.11. Pro navržený regulátor vychází:

$$P_{D(max)} \frac{T_{Jmax} - T_A}{R_{\Theta JA}} = \frac{(160 - 25) \text{ } ^\circ\text{C}}{55 \text{ } ^\circ\text{C/W}} = 2.45 \text{ W} \quad (65)$$



Obrázek 35: Simulace teplotního chování IO

Na obrázku 35 je v čase t zvyšován odběr I_{load} a sledován teplotní gradient zapouzdřeného IO a pouzdra. Hodnota teploty je dána přímou úměrností:

$$[\text{ } ^\circ\text{C}] \Rightarrow [\text{V}] \quad (66)$$

5 Simulace

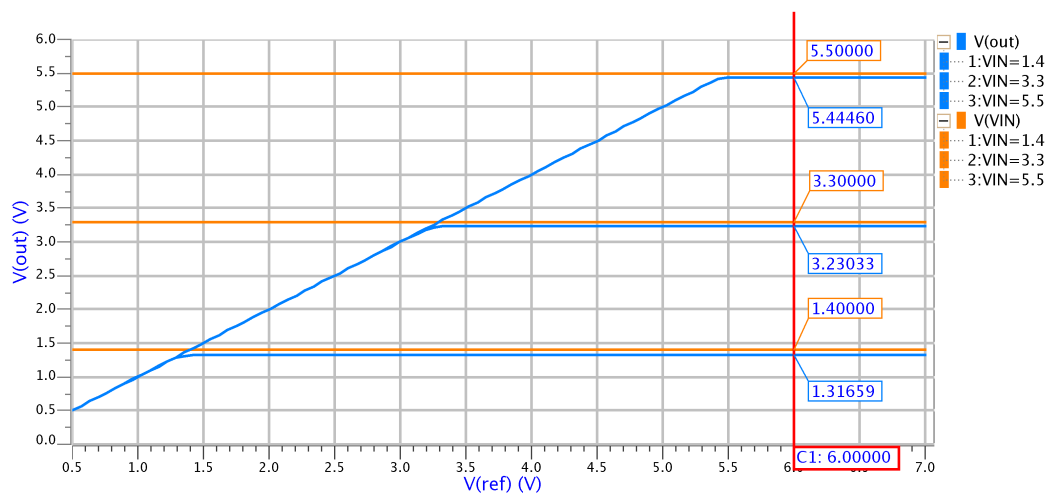
Tato kapitola shromažďuje dosažené parametry a výsledky zobrazuje do grafů. Jednotlivé simulace lze rozdělit do tří skupin podle druhu simulace na:

- DC analýzu
- AC analýzu
- TRAN analýzu

Pro ověření stability systému v plném rozsahu je výstupní proud I_{load} pro přehlednost některých měření krokovan. Systém je testován pro jednotkový zisk zesilovače. Ten je možné upravit přidáním rezistoru a tím zvýšit napětí na výstupu systému V_{out} .

Úbytek napětí (V_{drop})

Na obrázku 36 je krokováno referenční zdroj napětí V_{ref} a sledován úbytek $V_{drop} = V_{in} - V_{out}$ pro krajní a střední hodnotu napájecího napětí pro maximální proudový odběr. Na grafu je zobrazen úbytek napětí ve chvíli, kdy má zpětná vazba zisk, jde tedy o ustálený stav a po odečtení není výstupem finální hodnota V_{drop} . Té je dosaženo ve chvíli, kdy zpětná vazba ztrácí potřebný zisk. Tento jev je na grafu viditelný v místě, kdy se potkává v případě minimálního a středního napájecího napětí výstupní křivka výstupního napětí V_{out} pro 1.4 V a 3 V. Jak bylo popsáno v kapitole 4.1, nejhorší případ nastane pro minimální napájecí napětí, které je v tomto případě 1.4 V. Výsledná hodnota úbytku $V_{drop} \approx 190 \text{ mV}$.



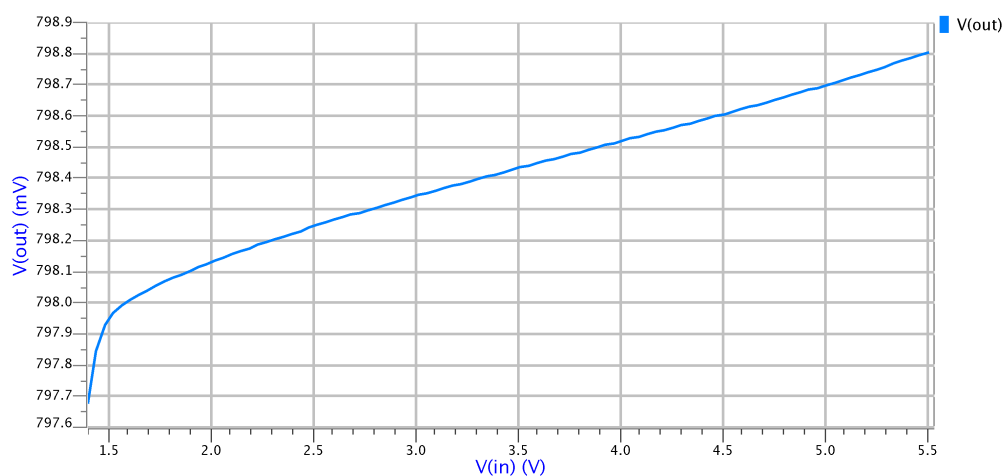
Obrázek 36: Simulace V_{drop} pro $I_{load} = 1 \text{ A}$

Napěťová regulace

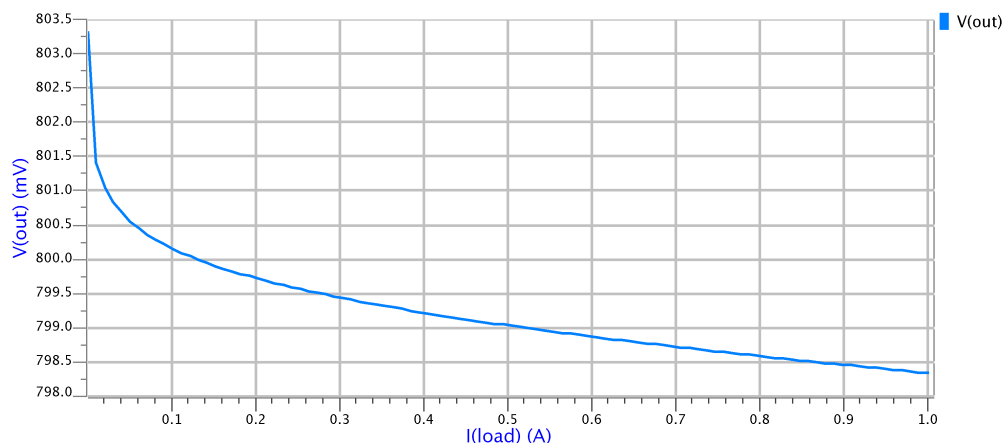
Napěťová regulace („Line Regulation“) sleduje změny výstupního napětí v závislosti na změně vstupního napájecího napětí. DC simulace je krokována přes celý rozsah vstupního napájecího napětí V_{in} , tedy od 1.4 V do 5.5 V pro hodnotu výstupního proudu $I_{load} = 1$ A. Změna na rozsahu vstupních napětí je dána vztahem:

$$\frac{\Delta V_{out}}{\Delta V_{in}} = \frac{1.1 \text{ mV}}{4.1 \text{ V}} = 2.7 \cdot 10^{-4} \quad (67)$$

Napěťové regulace je uváděna v jednotkách $\%/V$. Výsledkem je 0.027 $\%/V$



Obrázek 37: Simulace napěťové regulace v plném rozsahu provozního V_{in}



Obrázek 38: Simulace zátěžové regulace v rozsahu 1 μA - 1 A

Zátěžová regulace

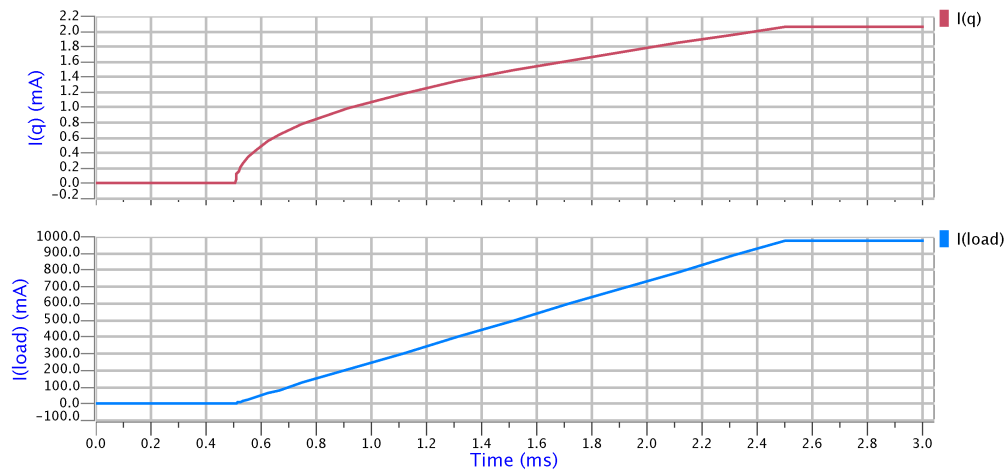
Zátěžová regulace („Load regulation“) (obrázek 38) testuje stabilitu výstupního napětí v závislosti na změně proudu zátěží. DC simulace je krokována zatěžovacím proudem od $1 \mu A$ do $1 A$ a vychází ze vztahu:

$$\frac{\Delta V_{out}}{\Delta I_{load}} \approx \frac{5 \text{ mV}}{1000 \text{ mA}} = 0.005 \frac{\text{V}}{\text{A}} \quad (68)$$

Zátěžová regulace se běžně uvádí v jednotkách $\%/mA$. Výsledkem je $0.5 \%/mA$

Vlastní spotřeba

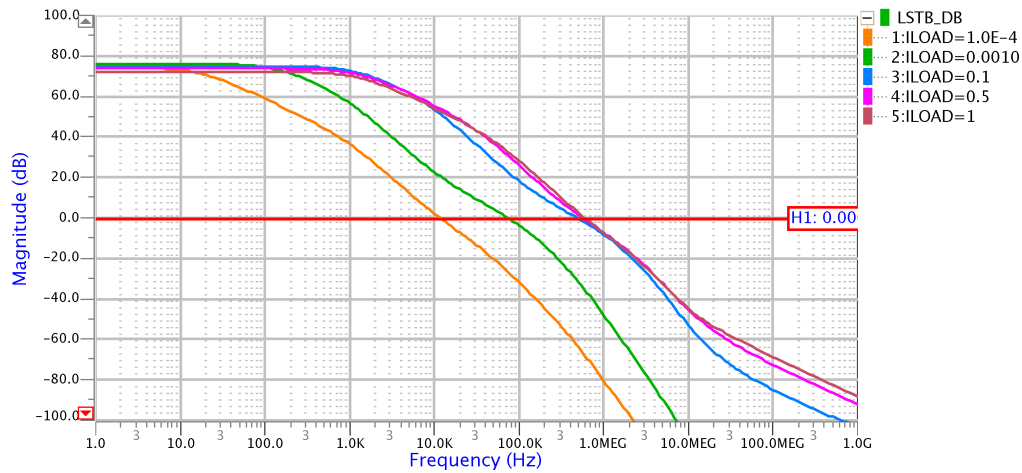
Simulace vlastní spotřeby (obrázek 39) je dalším DC parametrem LDO regulátorů. Vychází z rozdílu vstupního a výstupního proudu regulátoru. Pro přehlednost byl měněn proud zátěží v čase.



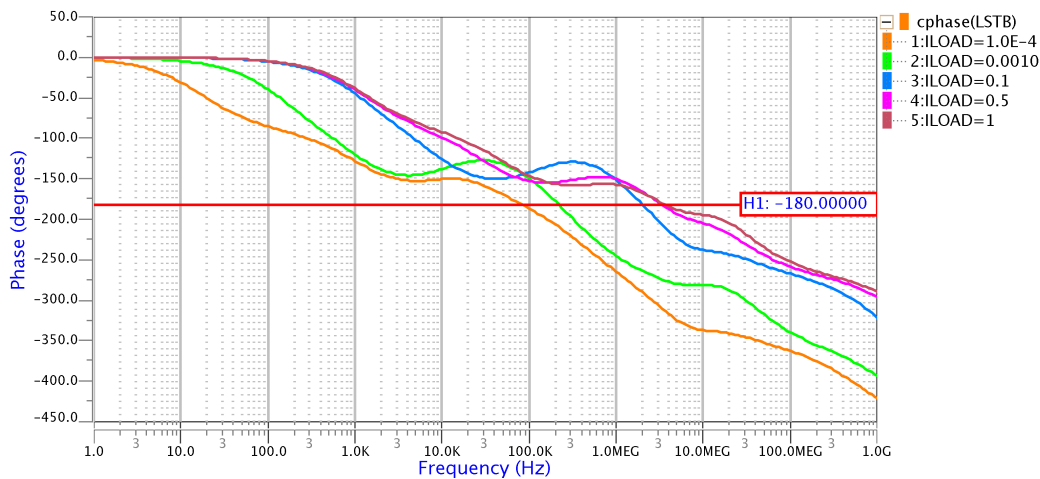
Obrázek 39: Simulace vlastní spotřeby regulátoru I_q

Frekvenční charakteristiky

Pomocí AC analýzy jsou na obrázku 40 a 41 zobrazeny výstupní chování zisku a fáze systému pro odebírané proudy I_{load} : $100\mu A$, $1 mA$, $10 mA$, $100 mA$ a $1 A$.



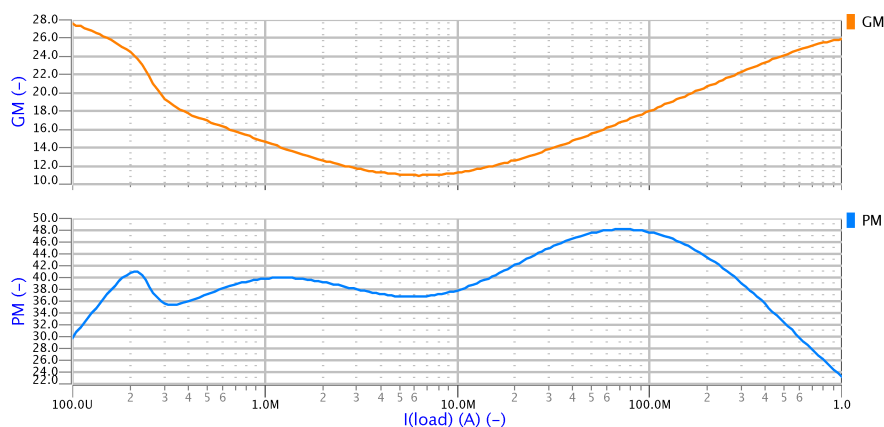
Obrázek 40: Simulace zisku



Obrázek 41: Simulace fáze

Amplitudová a fázová jistota

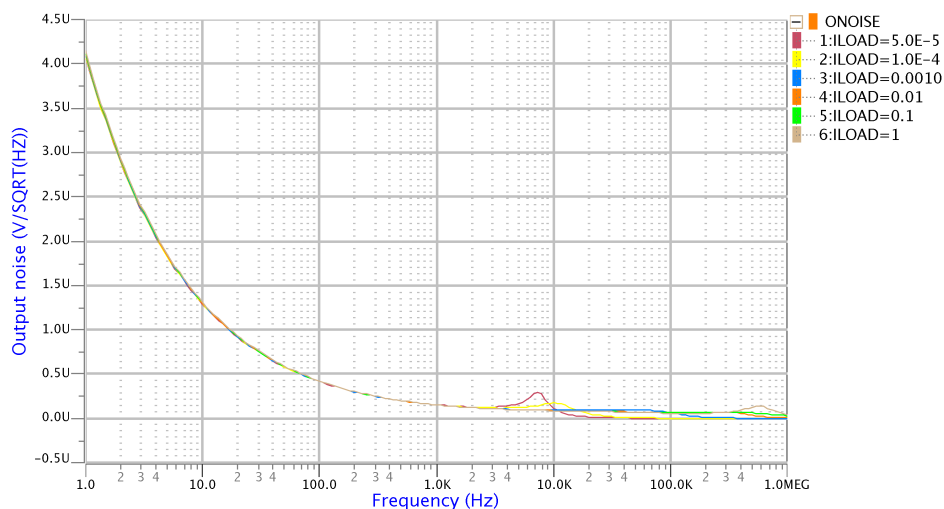
Pro další ověření stability systému je v logaritmickém měřítku krokován výstupní proud v $1 \mu A$ do $1 A$ pro získání křivky amplitudové a fázové jistoty (angl. „Gain & Phase Margin“). Amplitudová jistota se pohybuje v rozsahu od 11 do 28. Fázová jistota se pohybuje v rozmezí od 24 do 48.



Obrázek 42: Simulace amplitudové a fázové jistoty

Výstupní šum

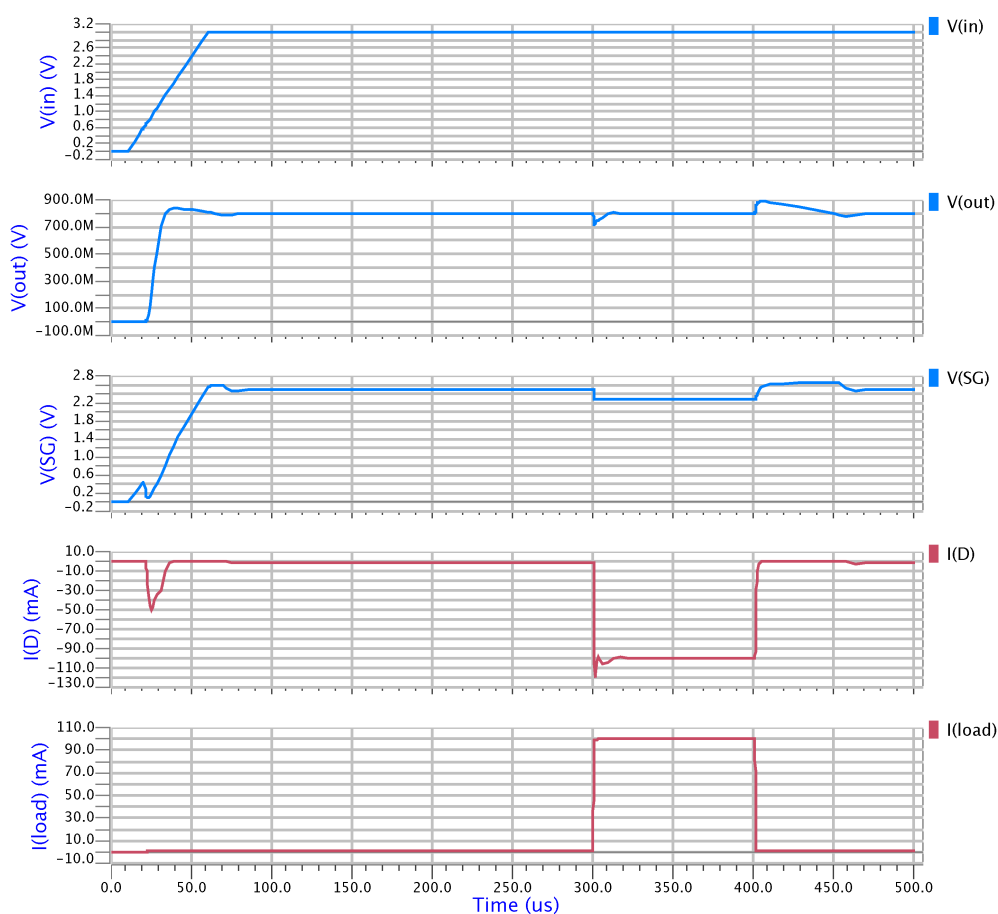
Simulace šumu na výstupu systému je prováděna pro odebírané proudy I_{load} : $50 \mu A$, $100 \mu A$, $1 mA$, $10 mA$, $100 mA$ a $1 A$.



Obrázek 43: Simulace šumu na výstupu systému

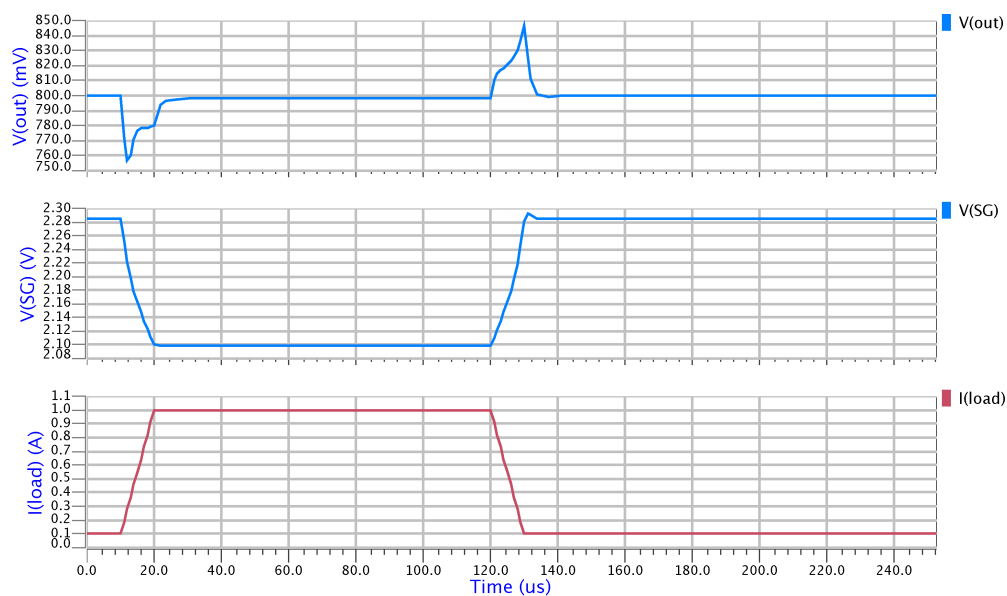
Napěťová a zátěžová časová odezva

Simulace na obrázku 44 nejprve v prvních $100 \mu s$ testuje časovou odezvu systému na připojení napájecího napětí V_{in} v časovém rámci $50 \mu s$ a v druhé části v rozsahu $300 \mu s$ - $400 \mu s$ ukazuje změny systému v reakci na zvýšení zatěžovacího proudu z $1 mA$ do $100 mA$. Kromě změn výstupního napětí a napětí V_{SG} výkonového PMOS tranzistoru je možné sledovat i změnu proudu výkonovým tranzistorem. Propad na začátku této křivky indikuje, že se výstupní kapacita nabíjí a systém není zcela stabilní. Změnou



Obrázek 44: Simulace odezvy regulátoru

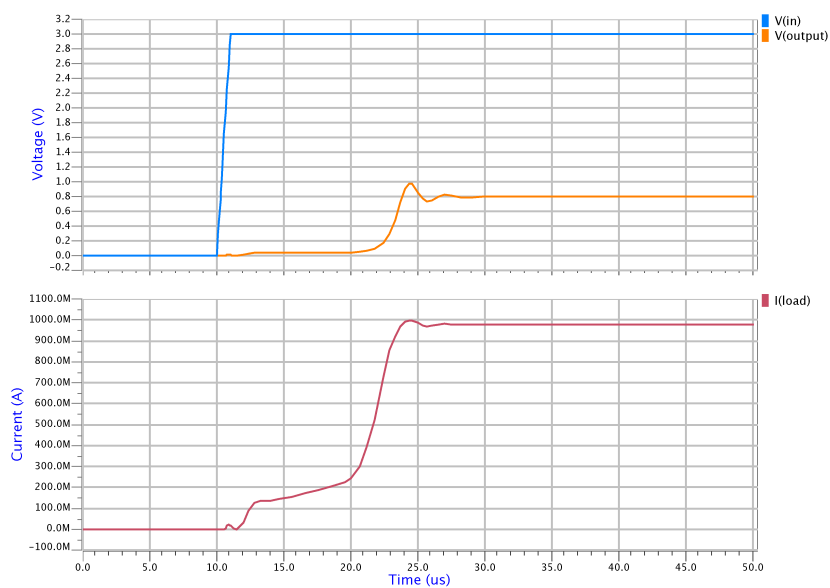
výstupního proudu dochází přes zesilovač k ovládní napětí V_{SG} výkonového prvku, tím se nastavuje schopnost řízení výkonu, která je patrná v následujícím obrázku 45.



Obrázek 45: Simulace odezvy regulátoru na změnu zátěže

Startovací čas

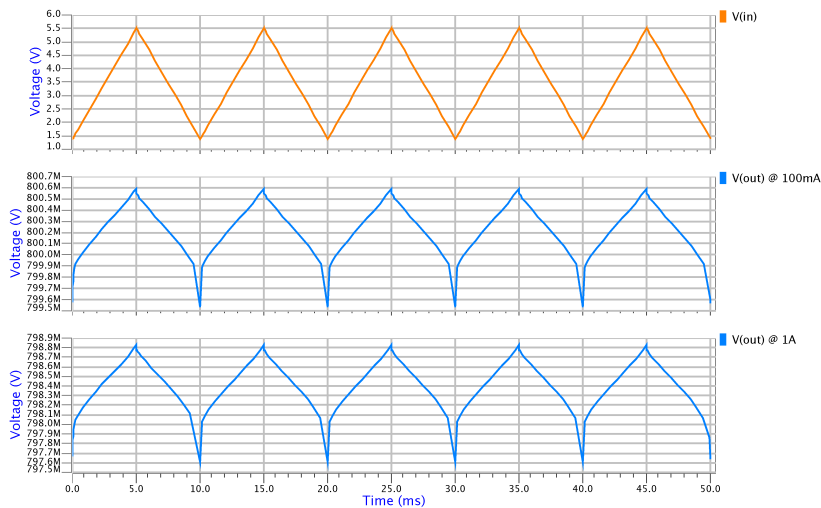
V horní části obrázku 46 je v čase $10 \mu\text{s}$ připojen zdroj napájecího napětí V_{in} . Rychlost přeběhu této náběžné hrany je $3 \text{ V}/\mu\text{s}$. Pozorováním výstupního proudu a výstupního napětí lze odečíst čas potřebný pro „nastartování“ systému. Jde o čas $t \approx 15 \mu\text{s}$.



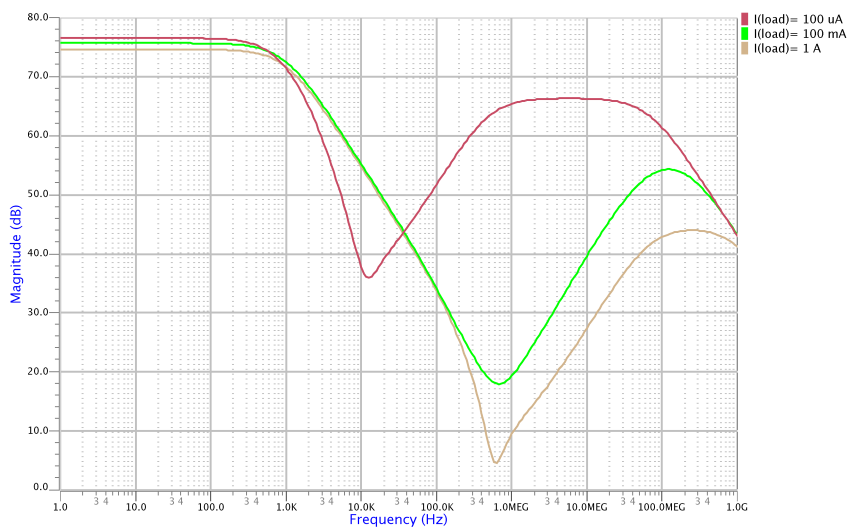
Obrázek 46: Simulace startovací sekvence systému

Potlačení zvlnění napájecího zdroje (PSRR)

Potlačení zvlnění je možné simulovat pomocí AC analýzy, ale také lze tuto hodnotu odečíst na základě časové analýzy (popis v kapitole 3.1.8). Na obrázku 47 je analýza systému v čase, kdy se změnou napájecího napětí V_{in} v plném tolerovaném rozsahu o frekvenci 100 Hz generuje odchylka na výstupním napětí V_{out} . Měření je prováděno pro dvě hodnoty výstupního proudu. Na obrázku 48 je simulace PSRR.



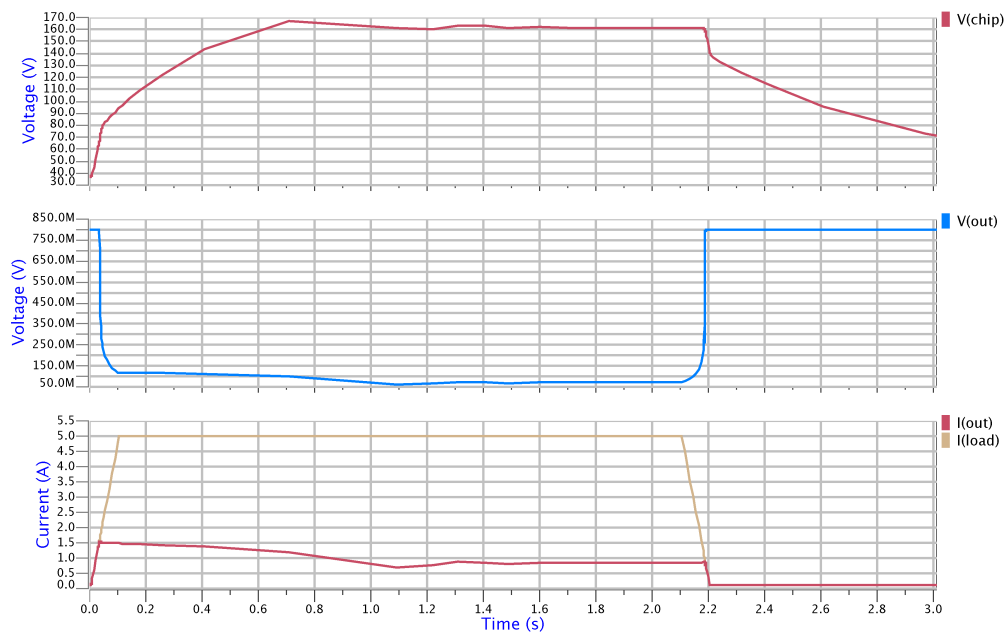
Obrázek 47: Simulace odezvy změny výstupu systému



Obrázek 48: Simulace PSRR

Teplotní ochrana

Na obrázku 49 je ve vrchní části zobrazena teplota na substrátu zařízení (reprezentována napětím V_{chip} , kde $[V] \Rightarrow [^{\circ}C]$), výstupní napětí dodávané regulátorem V_{out} a zobrazení požadovaného proudu I_{load} a proudu, který se na výstupu objeví I_{out} .



Obrázek 49: Simulace teplotní ochrany regulátoru

6 Závěr

Práce shrnuje základní informace o integrovaných obvodech včetně CMOS technologií, napěťových regulátorech a jejich parametrech. Na základě nastudované a popsané teorie vede práce k návrhu lineárního regulátoru definovaných parametrů, doplněného o proudovou a teplotní ochranu.

V teoretické části práce jsou shrnuty informace návrhu integrovaných obvodů, včetně procesního schématu pro přiblížení procesu výroby. Část práce se věnuje přiblížení teorie nutné pro práci s analogovým návrhem, řeší strukturu CMOS, respektive MOSFET, jeho režimy činnosti a parametry, které jsou dány výrobním procesem. Dále jsou technologicky přiblíženy pasivní prvky a možnosti jejich implementace na substrát. Poslední část teoretické části spojuje informace o všech technologických parametrech návrhu a je podpořena tabulkou vycházející ze stěžejních parametrů, které jsou ovlivňovány konkrétním technologickým procesem.

Praktická část je zpracovávána v technologii BCD8 u firmy STMicroelectronics ve vývojovém prostředí Virtuoso na reálné technologii. Vychází z nastíněné problematiky v kapitole 3, která se věnuje napěťovým regulátorům. Je popsán účel LDO regulátorů, možné typy topologie a stěžejní parametry a v závěru je analýza trhu s LDO regulátory. Tento rozbor se soustředí na LDO regulátory, které zhruba odpovídají parametrům, nastíněným v zadání práce. Pevným parametrem je výkonový prvek PMOS a rozsah výstupních kondenzátorů. Analýza byla v průběhu prohledávání trhu rozdělena na dvě části. Regulátory s ultra-nízkým úbytkem V_{drop} a nižším konečným výstupním proudem $I_{out(max)} \approx 200 \text{ mA}$ a regulátory s výstupním proudem do $I_{out(max)} = 1 \text{ A}$. V rámci této kapitoly je interpretován přímý vliv velikosti výkonového prvku, vrchní hranice odebíraného proudu a výsledného úbytku napětí na strukturu a parametry lineárních regulátorů.

Parametr	MIN	TYP	MAX	Jednotka
Napájecí napětí V_{in}	1.4	-	5.5	V
Výstupní napětí V_{out}	0.8	-	-	V
Rozsah proudu I_{out}	0	-	1	A
Úbytek napětí V_{drop}	-	-	190	mV
Vlastní spotřeba I_q	0.13	-	2000	μA
Klidová spotřeba $I_{standby}$	-	-	3.5	μA
Napěťová regulace	-	0.027	-	%/V
Zátěžová regulace	-	0.5	-	%/mA
Výstupní kondenzátor C_{out}	0.47	-	4.7	μF
Nadproudová ochrana I_{max}	-	1.6	-	A
Teplotní rozsah T	-40	25	125	$^{\circ}\text{C}$
Teplotní ochrana T_{max}	-	-	160	$^{\circ}\text{C}$
Startovací sekvence $t_{startup}$	-	15	-	μs
$PSRR @ 100 \text{ Hz}$	-	70	-	dB

Tabulka 13: Dosažené výsledné parametry diplomové práce

V tabulce 13 jsou popsány dosažené parametry navrhovaného regulátoru. Pro výsledný návrh LDO regulátoru je designován výkonový prvek, proudová zrcadla, dife-

renční zesilovač, paralelní kompenzace, řídicí obvod výkonového tranzistoru, kompenzace dominantním pólem, nadproudová ochrana a teplotní ochrana spolu analogovou termo-elektrickou smyčkou pro možnost teplotní simulace zapouzdřeného substrátu. Teplotní ochrana je největším přínosem diplomové práce.

Výsledkem práce je funkční LDO regulátor, jehož parametry jsou v tabulce 13. Stabilita regulátoru je bezproblémová v rozsahu $I_{load(min)} \approx 10 \mu A$ až $I_{load(max)} = 1 A$. Podařilo se navrhnout i funkční nadproudovou a teplotní ochranu. Systém byl po celou dobu designován tak, aby fungoval především s kondenzátorem $C_{out} = 470 nF$. Vstupní napájecí napětí V_{in} je splněno v plném rozsahu zadání i za cenu vyššího úbytku V_{drop} . Regulátor funguje v teplotním rozsahu $-40^\circ C - 125^\circ C$.

Regulátor se nepodařilo odladit tak, aby splňoval minimální vlastní spotřebu do $I_{q(max)} = 300 \mu A$. Vyšší spotřeba je dána odběrem proudu obvodem pro řízení geometricky velkého výkonového prvku. V paralelní kompenzaci se pro svou komplexitu nepodařilo zrealizovat klopný obvod s hysterezí pro spínání odporů pro stabilizaci zařízením v závislosti na odběru I_{load} . Zásadní problémy nastávaly ve středních hodnotách odebíraného proudu v rozsahu od cca $100 \mu A$ do $100 mA$. Myšlenka řešení paralelní kompenzace pomocí klopného obvodu a paralelně zapojených prvků byla nahrazena aktivním odporovým prvkem.

Další možné vylepšení práce vidím ve vytvoření „Band-gap“ napěťové reference a proudového generátoru. Tím by řešení bylo komplexní. Jedno z možných řešení pro snížení spotřeby je tzv. adaptivní biasing, který spočívá ve měnícím se proudovém napájení v závislosti na jiné veličině. V předložené práci to může znamenat například úplné vypnutí napájení proudové a teplotní ochrany do $\approx 500 mA$. Tím by především v malých proudových odběrech značně klesla spotřeba. Další možnou aplikací adaptivního napájení by mohl být řídicí obvod pro ovládání výkonového prvku, který je v zařízení nejnáročnější na spotřebu. Pro přiblížení se k reálnému LDO regulátoru by součástí výstupu mohla být i odporová dekáda pro nastavení zisku ve zpětné vazbě. Zde by bylo možné ve výrobě nastavovat zisk, resp. hodnotu výstupního napětí.

Literatura

1. PROF. ING. VLADISLAV MUSIL CSc., Ing. Roman Prokop. *Návrh analogových integrovaných obvodů*. FEKT Vysokého učení technického v Brně.
2. SEDRA, Adel S.; SMITH, Kenneth C. *Microelectronic Circuits*. Seventh. Oxford University Press, 2015. ISBN 978-0-19-933914-3.
3. CHEN, Ke-Horng. *Power Management Techniques for Integrated Circuit Design*. John Wiley & Sons Singapore, 2016. ISBN 9780198520115.
4. ING. DANIEL BEČVÁŘ, Ph.D; Ing. Jiří Stehlík. *Návrh analogových integrovaných obvodů (BNAO)*. FEKT Vysokého učení technického v Brně, 2006.
5. T. YTTERDAL, Y. Cheng; FJELDLY, T. A. *Device Modeling for Analog and RF CMOS Circuit Design*. Available also from: http://homepages.rpi.edu/~sawyes/Models_review.pdf.
6. FAYED, Ayman; ISMAIL, Mohammed. *Adaptive Techniques for Mixed Signal System on Chip*. Springer, Boston, MA, 2006. ISBN 978-0-387-32154-7.
7. MAGALI BRUNET, Pascal Kleimann. *High-Density 3-D Capacitors for Power Systems On-Chip: Evaluation of a Technology Based on Silicon Submicrometer Pore Arrays Formed by Electrochemical Etching*. IEEE Transactions on Power Electronics, Institute of Electrical a Electronics Engineers, 2013. Available also from: <https://hal.archives-ouvertes.fr/hal-01443216/document>.
8. LEE, Bang S. *Understanding the Terms and Definitions of LDO Voltage Regulators*. Available also from: <http://www.ti.com/lit/an/slva079/slva079.pdf>.
9. ONSEMI. *NCP110*. Available also from: <https://www.onsemi.com/pub/Collateral/NCP110-D.PDF>.
10. TECHNOLOGY, Linear. *LTC1844*. Available also from: <https://www.analog.com/media/en/technical-documentation/data-sheets/1844fa.pdf>.
11. INSTRUMENTS, Texas. *TLV757P*. Available also from: <http://www.ti.com/lit/ds/symlink/tlv757p.pdf>.
12. RICOH. *R1172x*. Available also from: https://www.e-devices.ricoh.co.jp/en/products/power/vr_ldo/r1172/r1172-ea.pdf.
13. MICROCHIP. *MCP1726*. Available also from: <http://ww1.microchip.com/downloads/en/DeviceDoc/20001936D.pdf>.
14. STMICROELECTRONICS. *LD39100*. Available also from: <https://www.st.com/resource/en/datasheet/ld39100.pdf>.
15. RNDR. JIŘÍ MIKULČÁK, CSc. a kolektiv. *Matematické, Fyzikální a Chemické tabulky pro střední školy*. Prometheus, 2009. ISBN 978-80-7196-345-5.

Přílohy

