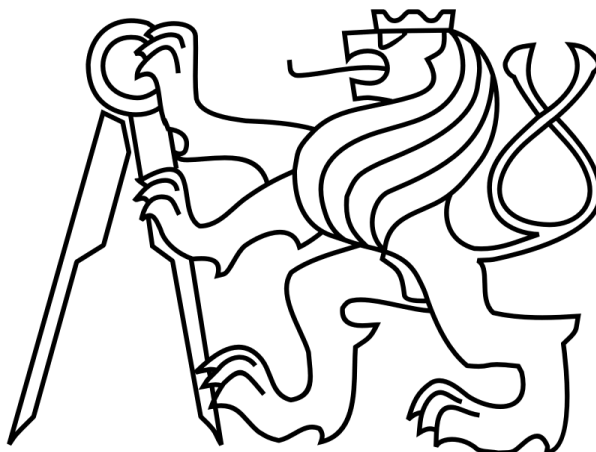


**České vysoké učení technické v Praze**

**Fakulta elektrotechnická**

**Katedra elektromagnetického pole**



**Diplomová práce**

**Dvoukanálový nízkofrekvenční generátor na principu přímé  
digitální syntézy**

**Autor:** Bc. Marcel Šindler

**Vedoucí:** Ing. Martin Pokorný Ph.D.

**2017**

Prohlašuji, že jsem zadanou diplomovou práci „Dvoukanálový nízkofrekvenční generátor na principu přímé digitální syntézy“ zpracoval sám s přispěním vedoucího práce a používal jsem pouze literaturu uvedenou na konci práce.

Datum .....

Podpis.....

## **Anotace**

Tato diplomová práce se zabývá možnostmi návrhu a realizací dvoukanálového nízkofrekvenčního generátoru harmonického signálu na principu přímé digitální syntézy. Výstupní kmitočet harmonického signálu je nastavitelný v rozmezí 2 Hz až 20 kHz. Obvod je realizován pomocí procesoru Atmel Atmega328P na desce Arduino Uno Rev.3, připojenému k PC. D/A převodníky a aktivní filtr dolní propust leží na oddělené desce plošných spojů.

## **Summary**

This diploma thesis deals with design and realization of two channel low frequency generator of harmonic signal using direct digital synthesys. Output frequency of harmonic signal is switchable between 2 Hz to 20 kHz. The circuit is implemented using processor Atmel Atmega328P on Arduino Uno Rev.3 board connected to PC. D\A converters and active low-pass filter are located on separated printed circuit board.

# Obsah

Seznam zkratk a symbolů .....	1
1. Úvod.....	2
2. Generátory signálu.....	2
2.1. Blok generování signálu.....	2
2.2. D/A převodník.....	4
2.3. Rekonstrukční filtr .....	5
3. Přímá digitální kmitočtová syntéza DDS .....	5
3.1. Stavební bloky systému DDS .....	5
3.2. Spektrální vlastnosti systému DDS.....	8
3.3. Technologie.....	9
4. Návrh a realizace DDS.....	10
4.1. Struktura systému DDS.....	10
4.2. Ovládání z PC a protokol přenosu .....	11
4.3. Vývojová deska Arduino Uno.....	13
4.4. D/A převodník.....	14
4.5. Napájecí obvody .....	16
4.6. Parametry analogového filtru.....	16
4.7. Popis algoritmu DDS .....	18
4.8. Dosažené parametry realizovaného systému DDS .....	21
4.9. Návrh DPS .....	21
5. Výsledky měření .....	22
6. Zhodnocení návrhu .....	31
7. Závěr .....	32
Literatura .....	33
Seznam obrázků .....	34
Seznam příloh.....	35

## Seznam zkratek a symbolů

AM	Amplitude Modulation	amplitudová modulace
D/A	Digital to Analog	digitální na analogový
FPGA	Field Programmable Gate Array	programovatelné hradlové pole
GPIO	General Purpose Input Output	obecné vstupy/výstupy
DAC	Digital/Analog Converter	číslicově/analogový převodník
DDS	Direct Digital Synthesis	přímá digitální syntéza
DSP	Digital Signal Processor	digitální signálový procesor
LSB	Least Significant Bit	nejméně významný bit
LUT	Lookup Tables	vyhledávací tabulka
MSB	Most Significant Bit	nejvýznamnější bit
MSps	Mega Samples per second	milion vzorků za sekundu
PLL	Phase loop locked	fázový závěs
RAM	Random Access Memory	paměť s náhodným přístupem
SINAD	Signal-to-Noise and Distortion Ratio	poměr úrovně signálu k šumu a zkreslení
SFDR	Spurious-Free Dynamic Range	odstup signálu od nejvyšší rušivé složky
SQNR	Signal-to-Quantization-Noise ratio	poměr signálu a kvantizačního šumu
SPI	Seriál Peripheral Interface	sériové rozhraní
THD	Total Harmonic Distortion	celkové harmonické zkreslení
USB	Universal Serial Bus	univerzální sériové rozhraní

# 1. Úvod

Generátory periodického signálu patří mezi základní elektronické obvody a mají široké využití v mnoha oblastech radioelektroniky. Zastoupeny jsou v komunikacích jako zdroje kmitočtu. Své využití naleznou rovněž při měření pasivních součástek, přenosových vlastností dvojbranů, ale také při nastavení a řízení složitějších el. zařízení.

Generátory na principu DDS lze realizovat pomocí jednočipových procesorů. Tento způsob je v posledních letech velmi rozšířený díky rostoucím výpočetním schopnostem jednočipových procesorů a lze jej použít namísto analogových syntezátorů pracujících na principu fázového závěsu (PLL). Využití nacházejí pro snadnou přeladitelnost a jemný frekvenční krok jako součásti v generátorech a oscilátorech a jsou vhodné k tvorbě modulací. Uplatňují se tedy v mobilních zařízeních.

Integrované obvody umožňující digitální modulace (amplitudové, frekvenční i fázové) jsou na trhu zastoupeny, například produkty firmy Analog Devices. Dvoukanálové varianty prodávaných DDS generátorů umožňují fázový posun zpravidla  $90^\circ$ .

Předmětem návrhu byl levný dvoukanálový generátor na principu DDS pro použití při laboratorních měřeních v předmětech teorie obvodu. Generátor poskytuje dva harmonické signály s nastavitelným fázovým posunem a umožňuje demonstrovat skládání fázorů harmonických průběhů se stejným kmitočtem a různou fází a projev fázového posunu při přechodných jevech. DDS zajišťuje dostatečně přesné nastavení a stabilitu kmitočtu.

## 2. Generátory signálu

V této kapitole bude uveden rozbor problematiky generování signálu z hlediska omezení jednotlivých architektur vyhovět požadavkům na řízení amplitudy, kmitočtu a fázového posunu a také kvalitu generovaného signálu. Volba architektury realizovaného prototypu byla kromě elektrických vlastností zařízení ovlivněna také konstrukční náročností a cenou výsledného zařízení.

### 2.1. Blok generování signálu

Principy generování harmonického signálu lze obecně rozdělit do dvou podskupin – analogové a digitální. V případě analogových generátorů nemusí být harmonický signál syntetizován přímo, ale může vznikat tvarováním periodického neharmonického signálu (např. trojúhelníkového průběhu) nebo filtrací

vyšších harmonických složek snadněji generovaného signálu (např. obdélníkového průběhu). Digitální generátory realizují harmonický průběh prostřednictvím jeho vzorků uložených v paměti či získaných aktuálním výpočtem.

## ❖ Analogové

RC generátory jsou tvořeny oscilátorem se zpětnovazebním obvodem. Umožňují přeladění kmitočtu v rozsahu 1:10. Jejich kmitočtový rozsah odpovídá Hz až jednotky MHz.

LC generátory tvoří LC oscilátor, ke změně kmitočtu dochází přepínáním cívek, plynulé ladění umožňuje změna kapacity varikapu. Přeladitelný v rozsahu 1:3.

Funkční generátory nejprve generují signál neharmonický, trojúhelníkového tvaru s co nejlepší linearitou a odpovídající frekvencí. Signál je dále nejčastěji pomocí diod a tranzistorů tvarován na sinusový průběh. Výhodou této architektury by byla jednoduchost, neboť by nebylo zapotřebí D/A převodníku ani rekonstrukčního filtru. Tvarováním sinusového průběhu z průběhu trojúhelníkového však vzniká relativně velké zkreslení. Rozsah kmitočtu od Hz po desítky MHz.

Generovat sinusový průběh lze i odfiltrováním vyšších harmonických složek z průběhu obdélníkového. S použitím krystalového oscilátoru a programovatelné děličky by bylo možné přesné nastavení kmitočtu. Tato možnost přináší velké nároky na strmost filtru a nutnost přeladění při změně kmitočtu.

Současné syntezátory využívají smyček fázového závěsu PLL (Phase-Locked Loop). Syntezátor je složen z: fázového komparátoru a oscilátoru řízeného napětím VCO (Voltage Controlled Oscillator). Napětí z rozdílu fází je po průchodu smyčkou upraveno tak, aby rozdíl fází byl nulový. Při vložení předděliček do vstupů komparátoru lze docílit generování požadovaných kmitočtů. PLL syntezátory jsou levné, nevýhodou je krok ladění spolu s šířkou kmitočtového pásma smyčky a časté problémy s kmitočtovou stabilitou VCO.

## ❖ Digitální

Syntezátory na principu DDS (Direct Digital Synthesis) jsou známé již řadu let. V poslední době díky levným číslicovým obvodům lze jejich vlastnosti uplatnit například k realizaci modulací. Při realizaci DDS s proměnným vzorkovacím kmitočtem by byl nutný rovněž přeladitelný rekonstrukční filtr. Při použití filtru se spínanými kondenzátory (Switched-Capacitor Filter) by se frekvence spínání projevila ve výstupním signálu jako šum. Odstup signálu od šumu u SC filtru je cca 72 dB, proto by bylo takové zapojení vhodné pro systémy s rozlišením do 12 bitů.

Při realizaci DDS s konstantním vzorkovacím kmitočtem není zapotřebí přeladitelný rekonstrukční filtr. Se změnou frekvence se mění počet vzorků na periodu v tabulce, která je opět uložena v paměti (např. EEPROM nebo FLASH). Obvodová realizace zahrnuje oproti DDS s proměnným vzorkovacím také fázový akumulátor a sčítačku. Ve srovnání s předchozí variantou vzroste nárok na počet vzorků, a tedy na kapacitu paměti. Při vyšším počtu vzorků klesá fázový šum způsobený zaokrouhlením hodnoty vzorku fce v tabulce a také nároky na strmost rekonstrukčního filtru.

Realizace signálovým procesorem umožňuje jak výpočet vzorků jednorázovým výpočtem a jejich uložení do paměti, také je však možné generovat signál výpočtem jednotlivých vzorků periody dle zadaných požadavků v reálné čase. Změnou výpočetní rutiny lze změnit průběh signálu. Frekvence generovaného signálu dosahuje desítek MHz. Pokud by byla amplituda počítána již při výpočtu vzorků, nebyl by zapotřebí programovatelný výstupní zesilovač, ale vzrostly by požadavky na rozlišení D/A převodníku.

Realizace DDS hradlovým polem není omezena výpočetními schopnostmi procesoru. Generovaný signál může dosahovat vysoké frekvence, protože vzorky jsou určeny velkým počtem logických obvodů. Výsledná funkce logických obvodů je programovatelně určena v jazycích Verilog a VHDL na PC a program je následně zaveden do hradlového pole.

Realizace s využitím čipů určených právě pro DDS. Takové čipy prodává například firma Analog Devices. Tyto čipy obsahují registry, sčítačky akumulátor a integrované D/A převodníky. Některé typy mohou obsahovat i komparátor a násobičku hodinového kmitočtu. Výhodou je, že výpočet vzorků probíhá rychleji než výpočtem prostřednictvím mikroprocesoru. Bez synchronizace připojením krystalu se však neobejde. Výsledný kmitočet dosahuje desítek MHz a u některých typů i 150 MHz. Čipů na trhu s podobnou funkcí je celá řada a pro realizaci DDS se jeví jako mimořádně vhodné. Existují varianty jednokanálové i dvoukanálové, s pevným i nastavitelným fázovým posunem mezi kanály a s různým rozlišením D/A převodníku (které má na výslednou cenu dominantní vliv). Nastavení amplitudy by bylo při této realizaci řešitelné zapojením programovatelného operačního zesilovače na výstup.

## 2.2.D/A převodník

Signály generátory vycházející z číslicové reprezentace signálu je nezbytné převést do analogové podoby pomocí D/A převodníku. Rozlišení převodníku musí být rovno rozlišení amplitudy vzorků. Chybové parametry převodníku často odpovídají právě jeho rozlišení. Rychlost převodu určuje vzorkovací perioda, ta však nesmí být kratší než doba ustálení převodníku.



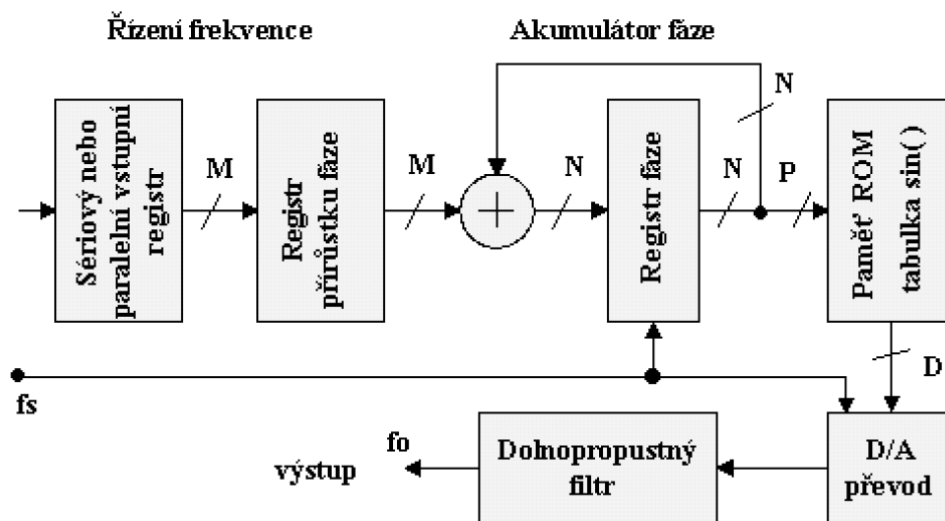
## 2.3. Rekonstrukční filtr

Pomocí rekonstrukčního filtru jsou z výstupního signálu odstraněny nežádoucí obrazy signálu - vyšší harmonické složky a obrazy způsobené rozdílovou složkou generovaného kmitočtu s kmitočtem vzorkovacím. Také vyhlazuje schodovitou aproximaci na spojitý průběh. Žádoucí je rovněž nízké zvlnění v propustném pásmu. Filtr by s ohledem na očekávanou čistotu a dynamiku signálu a neměl by zanášet šum a zkreslení.

S použitím LC filtru by nedošlo ke zhoršení kvality signálu. Komplikace by však mohli nastat s realizací indukčnosti a přesných hodnot vstupního a výstupního odporu. Zvoleno bylo řešení filtru zahrnující aktivní nízkošumové operační zesilovače a diskrétní součástky (rezistory a kondenzátory).

## 3. Přímá digitální kmitočtová syntéza DDS

Výhody DDS spočívají v jednoznačném nastavení frekvence, fáze signálů a stálosti parametrů signálu. Oproti PLL lze také zajistit malý kmitočtový krok a rychlé přeladění.



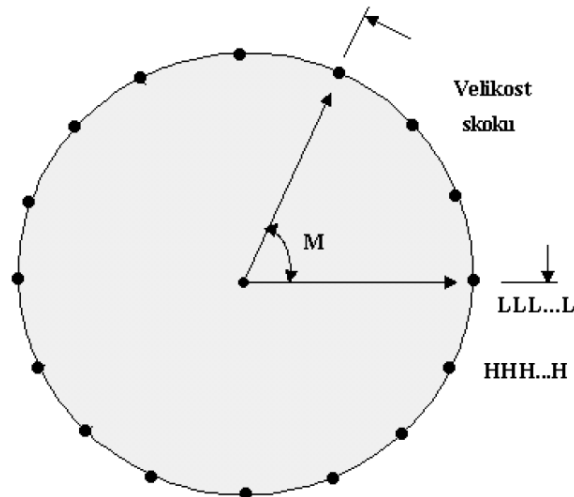
Obr.1: Blokové schéma obvodu přímé digitální syntézy [7]

### 3.1. Stavební bloky systému DDS

Do registru přírůstku fáze se přivádí hodnota ladicího slova  $m$  (běžně 16 až 48 bitů). Výstup tohoto registru řídí výstupní kmitočet a je přiveden na akumulátor (registr) fáze. Akumulátor fáze se skládá z fázového registru a sčítačky. Při každém vzorkovacím cyklu akumulátor fáze přičte k jeho aktuální hodnotě  $n$  fázového registru hodnotu  $m$  frekvenčního registru. Do přetečení bude platit pro  $k$ -tý vzorkovací cyklus:

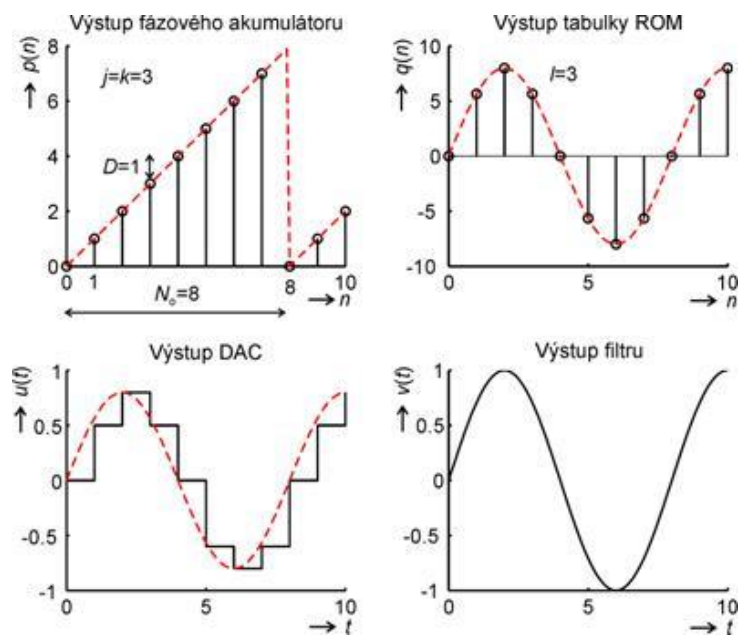
$$n = k \cdot m \quad (3.1)$$

Po překročení hodnoty  $2^N$  fázový registr přeteče. Zbytek po přetečení je zachován a v dalších vzorkovacích cyklech se fázový registr dále inkrementuje hodnotou ladicího slova. Vyšší hodnota  $m$  vede k vyšší výstupní frekvenci, ale i zkreslení vycházejícího z užití menšího počtu vzorků na periodu.



Obr.2: Digitální fázový kruh s hodnotou fázového skoku  $M$  [7]

Hodnoty fáze výstupu fázového akumulátoru jsou označeny  $p$  a generovány každou vzorkovací periodou  $T_s$ . Hodnoty  $p$  jsou maskovány z proměnné  $n$ . Každá výstupní hodnota fázového registru adresuje místo v paměti ROM s tabulkou funkce sinus. V paměti jsou uloženy diskrétní hodnoty funkce sinus s rovnoměrným rozložením odpovídající argumentu (úhlu) funkce sinus. Paměť ROM může být adresována nižším počtem bitů než by odpovídalo celé periodě při zachování rozlišení, využije-li se symetrie mezi kvadranty, mohou být ušetřeny dva bity použité při adresaci a tím klesnou nároky na paměť. Kvadrant může být určen z bitů proměnné  $n$ , které nebyli maskovány a použity k adresaci. Při plnění fázového akumulátoru mění dva významnější bity periodicky svůj stav právě v okamžiku přechodu mezi kvadranty. Pro ušetření místa v paměti lze vzorky z 2. kvadrantu vyčítat zpětným směrem a hodnoty 3. a 4. kvadrantu opět určit z kvadrantu 1. jako doplněk



Obr. 3: Průběhy v důležitých bodech DDS [2]

Dle Nyquistova kritéria je maximální hodnota ladicího slova:

$$m_{max} = \frac{n_{max}}{2} - 1 \quad (3.2)$$

Maximální hodnota fázového akumulátoru  $n_{max}$  musí být tedy alespoň taková, aby i při použití  $m_{max}$  nepřetekl častěji, než jednou za dvě vzorkovací periody a byl tak zajištěn alespoň minimální počet vzorků nutný pro rekonstrukci signálu. Pro výstupní kmitočet při vzorkovací frekvenci  $f_s$  tedy platí:

$$f_{out} = \frac{m}{2^N} \cdot f_s \text{ [Hz]} \quad (3.3)$$

Frekvenční rozlišení

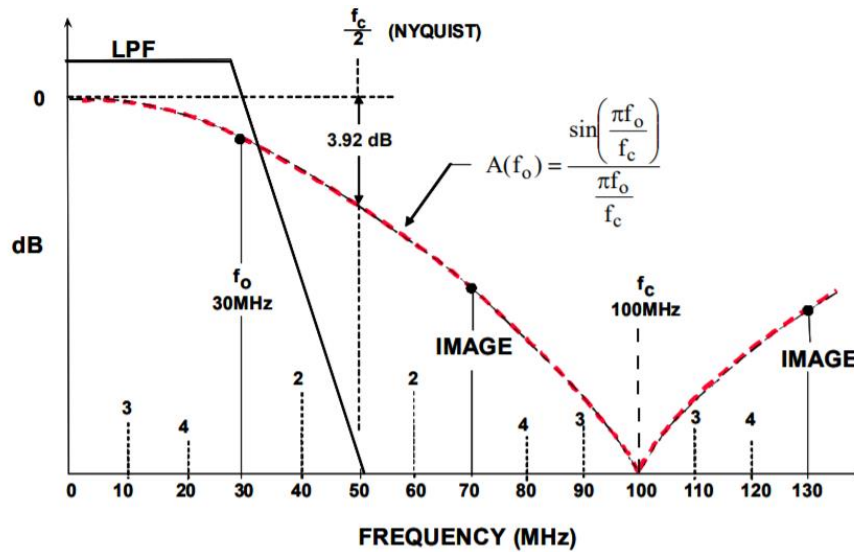
$$\Delta f_{out} = \frac{f_s}{2^N} \text{ [Hz]} \quad (3.4)$$

Fázové rozlišení:

$$\Delta\varphi = \frac{2 \cdot \pi}{2^N} \text{ [rad]} \quad (3.5)$$

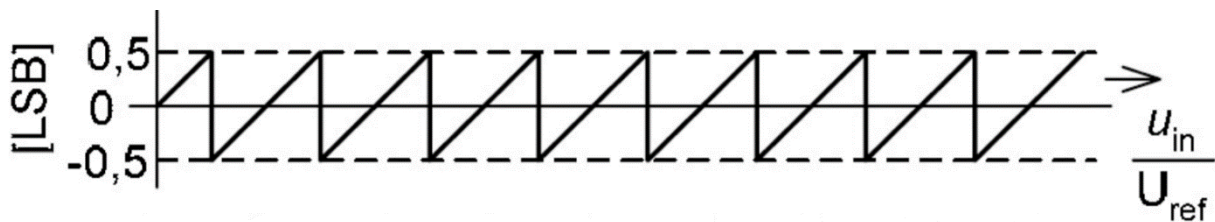
### 3.2. Spektrální vlastnosti systému DDS

Jedním z problémů v realizaci může být překrývání spektrálních čar (aliasing). Tento nepříznivý jev může být eliminován DP filtrem navrženým s ohledem na vzorkovací frekvenci a vyšší harmonické složky generovaného signálu. Filtr typu dolní propust se zlomovým kmitočtem blízkým nejvyššímu generovanému kmitočtu musí mít velkou strmost, při použití nízké vzorkovací frekvence, aby byl ze signálu odstraněn obraz (IMAGE) rozdílu vzorkovacího ( $f_c$ ) a generovaného signálu ( $f_o$ ), viz obr. 4.



Obr. 4: Aliasing v DDS systému [15]

SQNR (Signal-to-quantization-noise ratio) uvažuje rovnoměrné rozdělení kvantizační chyby.



Obr. 5: Kvantizační chyba D/A převodníku

Odstup signálu od šumu vzniklého kvantováním amplitudy (SQNR) závisí na počtu bitů  $D$  ideálního D/A převodníku.

$$SQNR = 6,02D + 1,76 \text{ [dB]} \quad (3.6)$$

Je-li využívána užší šířka pásma než 0 až  $f_s/2$  (1. Nyquistova zóna), je výše uvedený vztah modifikován:

$$SQNR = 6,02D + 1,76 + 10 \cdot \log(f_s/2B) \text{ [dB]} \quad (3.7)$$

Amplitudové a fázové kvantizační chyby vzájemně nekorelují. Pro eliminaci jitteru je vhodná synchronizace procesoru krystalem. Odstup signálu kvantizačního šumu způsobený kvantováním fáze (SQphNR) ideálního D/A převodníku bez kvantizační chyby:

$$SQphNR = 6,02P - 5,17 \text{ [dB]} \quad (3.8)$$

obecně platí:

$$SQphNR \approx 6,02P \text{ [dB]} \quad (3.9)$$

Aby byl kvantizační šum vzniklý kvantováním fáze zanedbatelný ve srovnání s SQNR (SQamNR), musí být použito pro vyjádření fáze alespoň o 2 bity více než na amplitudu.

$$P \geq D + 2 \quad (3.10)$$

Konstantně rozprostřený kvantizační šum:

$$N_{ef} = \frac{\Delta}{12} \quad (3.11)$$

kde  $\Delta$  je kvantizační krok D/A převodníku.

K popisu spektrálních vlastností lze využít i parametru SFDR, který popisuje odstup signálu od nejvyšší rušivé složky ve spektru.

### 3.3. Technologie

#### ❖ **Nepájivé pole**

Limitní frekvence přibližně 5 MHz. Při volbě této technologie by zaručeně nešlo použít synchronizaci vnějším krystalem o taktu 16 MHz. Při nižší taktovací frekvenci by došlo k výraznému úbytku výpočetního výkonu.

#### ❖ **THT**

Osazování plošných spojů součástkami s drátovými vývody (Through-hole technology). Pro kmitočty do 20 MHz je DPS vzniklá touto výrobní technologií považována za spolehlivou.

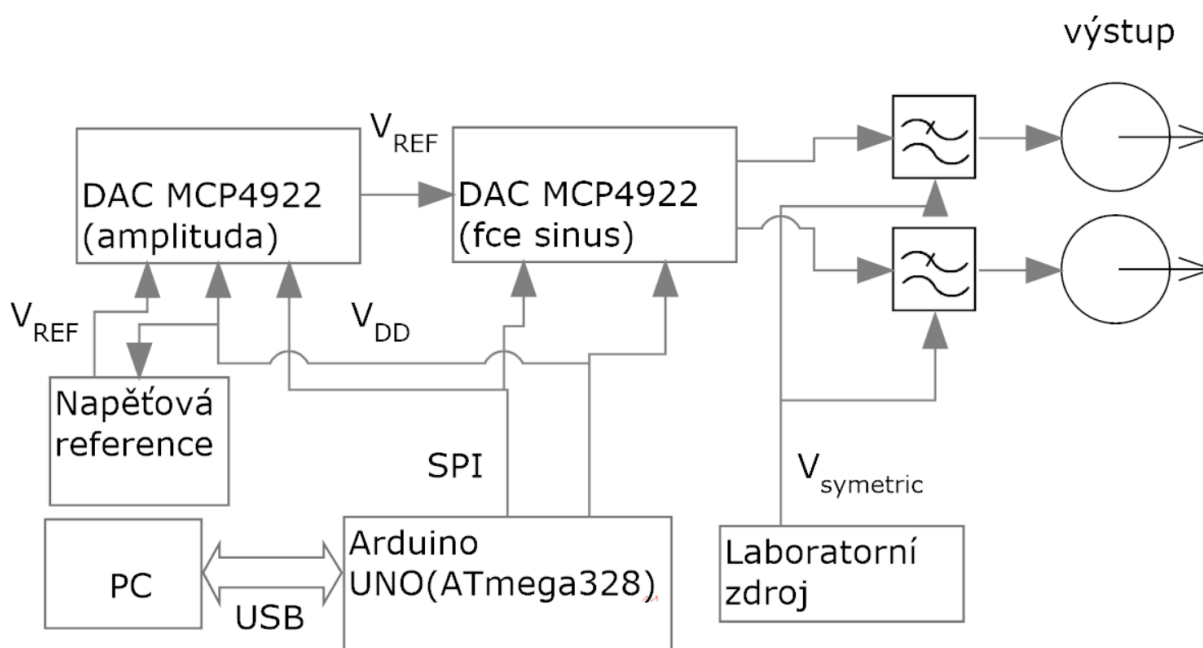
#### ❖ **SMT**

Povrchová montáž (Surface mount technology). Pro 20 MHz signály (i vyšší) je tato technologie výroby DPS považována za spolehlivou.

## 4. Návrh a realizace DDS

### 4.1. Struktura systému DDS

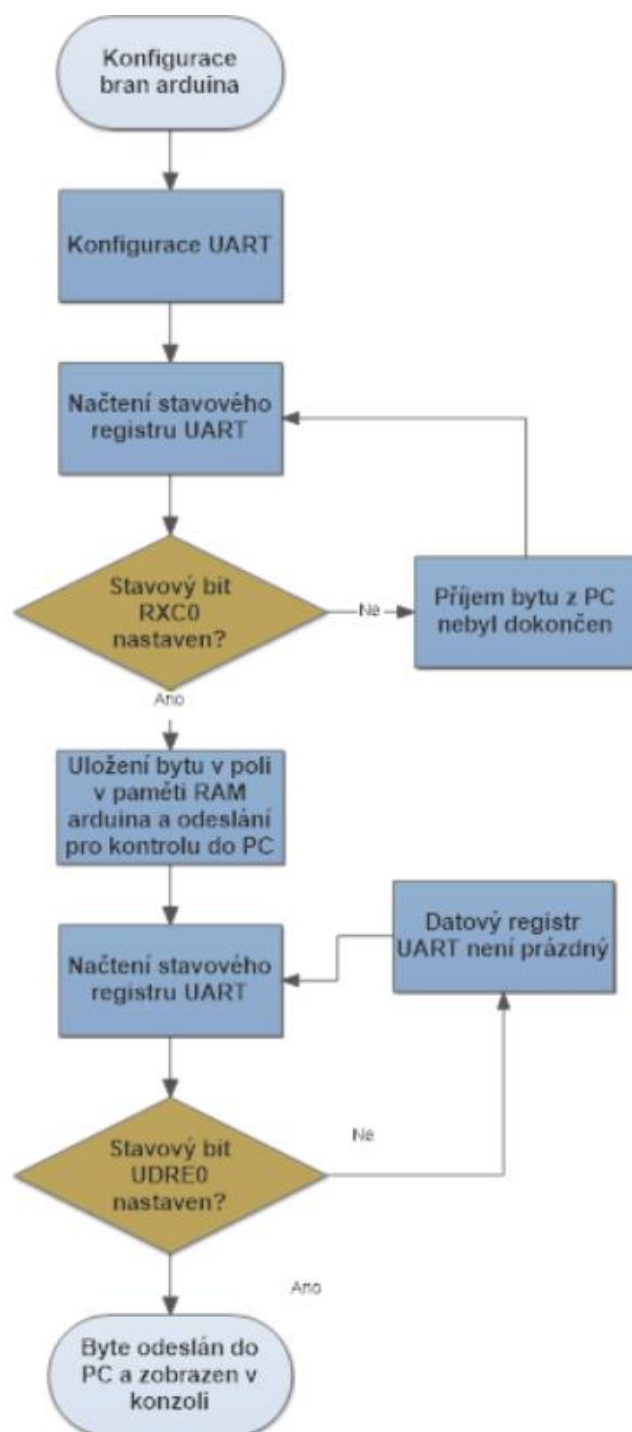
Zjednodušené blokové schéma (obr. 6) popisuje základní hardware v kontextu s distribucí napájení a referenčního napětí. Při použitím zapojení lze referenční napětí převodníku zpracovávajícího vzorky fce sinus nastavit s velmi jemným rozlišením (12bit).



Obr. 6: Blokové schéma HW realizovaného DDS systému

Za dostatečné bylo stanoveno 12bitové rozlišení amplitudy (D) a 15bitové rozlišení fáze (P). LUT obsahuje slova délky 16 bitů a je adresována 16 bity (2P). Nároky na paměť FLASH jsou tedy 64kB pro celou sinusovku. LSB rozlišuje pouze adresy významnější od méně významného bytu vzorku, proto je pro adresaci a při zadávání hodnot do terminálu odesílat hodnoty nastavující frekvenci a fázový posun dvojnásobně. Pro snížení nároků na paměť postačí vzorky 1. kvadrantu. Nejvyšší 2 bity fáze udávají kvadrant a tedy způsob výpočtu hodnoty z tabulky vzorků. Nároky na paměť se sníží na 16kB. V tabulce LUT (obr. 7) uložené ve FLASH paměti spolu s programem je uloženo  $2^{13}$  vzorků fce  $\sin(x)$ . Dva bity jsou určeny algoritmem. Při přechodu ze všech kvadrantu mění algoritmus směr vyčítání hodnot z tabulky.





Obr. 8: Diagram UART komunikace

V paměti RAM procesoru ATmega328P je vytvořeno krátké pole, do kterého jsou uloženy a následně vyčteny a odeslány zpět do PC hodnoty zachycené přes UART. Pro kontrolu je zobrazena hodnota na terminálu Scriptcommunicator. Přípustné jsou nanejvýš 15bitové hodnoty pro nastavení frekvence, aby byl zachován dostatečný počet vzorků na periodu. Fázové posuny nesmí být větší, než kolik by odpovídalo adresaci celé fce sinus, tj. 16 bitů. Pro ladicí slova a fázové posuny platí, že mohou nabývat pouze sudých



hodnot. Pokud by byla zvolena hodnota lichá (LSB=1), nastal by mezi vzorkovacími cykly skok nikoliv mezi celistvými hodnotami vzorku, ale mezi významnějším a méně významným bytem vzorku. Periodicky by pak nastávalo, že by byl namísto významnějšího bytu odeslán méně významný byte vzorku následujícího, a naopak místo méně významného bytu významnější byte vzorku předcházejícího. Amplitudy obou kanálů lze rovněž zadat v 16 bitovém formátu, ale využito bude pouze nejvýznamnějších dvanáct bitů (limit převodníku). Formát dat přenosu uvažuje osmibitové rámce bez parity. Výsledné pořadí dat odeslaných přes UART je následující:

1. Nižší byte ladicího slova 1. kanálu
2. Vyšší byte ladicího slova 1. kanálu
3. Nižší byte ladicího slova 2. kanálu
4. Vyšší byte ladicího slova 2. kanálu
5. Nižší byte amplitudy 1. kanálu
6. Vyšší byte amplitudy 1. kanálu
7. Nižší byte amplitudy 2. kanálu
8. Vyšší byte amplitudy 2. kanálu
9. Nižší byte fázového posunu 1. kanálu
10. Vyšší byte fázového posunu 1. kanálu
11. Nižší byte fázového posunu 2. kanálu
12. Vyšší byte fázového posunu 2. kanálu

Příklad odeslané hodnoty přes terminál v hexadecimálním zápisu, jednotlivé byty odděleny mezerou:

FE 7F nastavení maximálního frekvence 1. kanálu  $2M-1$ ;  $M=2^{14}$ , LSB=0  $f_{out}=f_{sample}/2$   
 02 00 nastavení minimálního frekvence 2. kanálu;  $M=2^0$ , LSB=0,  $P=15$   $f_{out}=f_{sample}/(2^P)$   
 FF FF maximální amplituda 1. kanálu (použito nejvýznamnějších 12 bitů) Amp= 5V  
 FF 1F amplituda 2.knálu odrotována o 3 bity doprava ( $\approx 1/8$  maxima) Amp= 0,624V  
 00 00 fáze 1. kanálu není posunuta; LSB=0  
 00 80 fáze 2. kanálu posunuta o  $180^\circ$ ; LSB=0

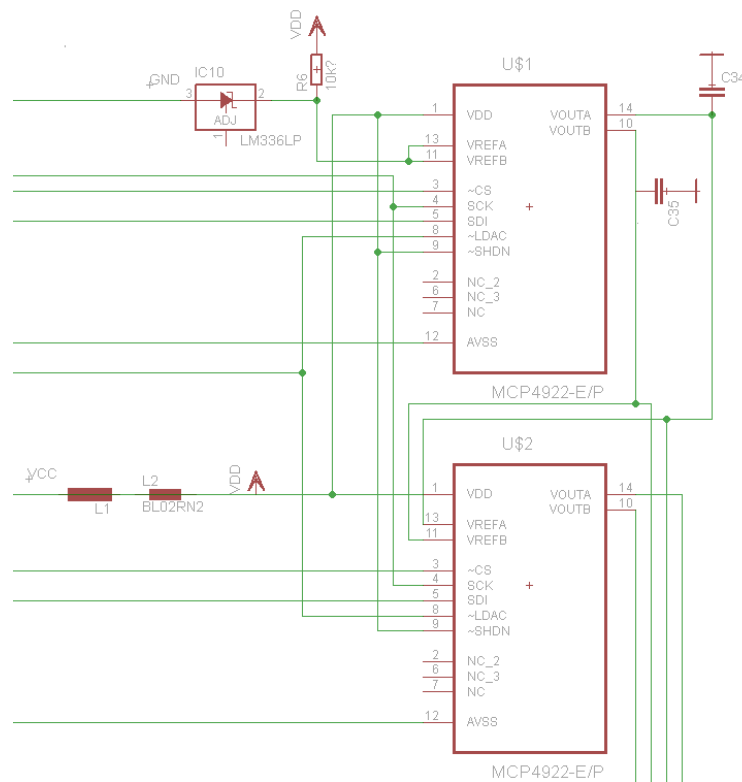
### 4.3. Vývojová deska Arduino Uno

Arduino Uno je mikrokontrolérová vývojová deska založena na procesoru ATmega328P. Výběr oscilátoru procesoru je nastavitelný, lze jej proto řídit procesor 16 MHz krystalem.

Deska obsahuje 14 digitálních vstupních / výstupních pinů (z toho může být 6 použito jako výstupy PWM), 6 analogových vstupů, 16 MHz krystal, připojení pomocí USB, napájecí konektor, ICSP rozhraní a resetovací tlačítko (viz. příloha č. 1).

#### 4.4.D/A převodník

Komunikaci s převodníky zajišťuje rozhraní SPI v režimu MOSI (Master Out Slave In). Pro komunikaci s převodníky jsou kromě zemního a datového vodiče dále potřeba signály CLK, CS1, CS2, VREF a LDAC. Nastavena byla maximální přenosová rychlost umožněná procesorem ATmega328P. Limitem rychlosti komunikace SPI na straně převodníku je hodinový kmitočet odpovídající 20 MHz. SPI komunikace je na rozdíl od UART synchronizována hodinovým kmitočtem. Data jsou však opět odesílána po jednotlivých bytech sekvenčně, bez využití přerušování. Podobně jako u UART je před odesláním dalšího bytu kontrolován bit stavového registru. SPI v principu umožňuje i komunikaci MISO (Master In Slave Out), nikoliv však při komunikaci s DAC. Odeslání hodnot z arduina do DAC tedy probíhá bez zpětné kontroly.



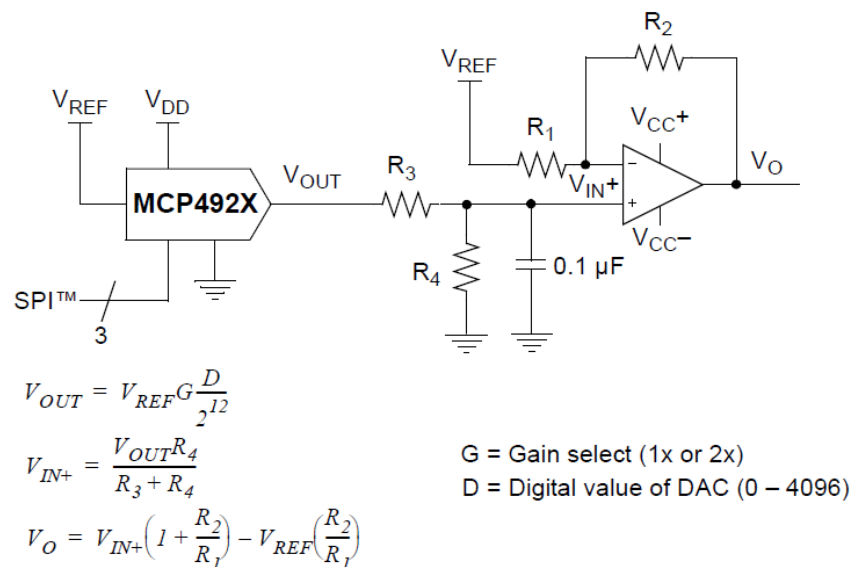
Obr. 9: Zapojení převodníků, U\$1 tvoří referenci pro U\$2

Převodník MCP4922 byl v návrhu použit dvakrát. První z převodníků nastavuje amplitudu výstupního sinusového signálu tak, že jeho výstup je přiveden, co by reference převodníku druhému. Toto zapojení umožní nastavení amplitudy s vysokým rozlišením. Amplitudy výstupních signálů lze nastavit také

násobením vzorku z tabulky v paměti ROM (D) hodnotami uloženými v některém z registrů. Došlo by však navýšení počtu bitů (problém pro D/A převodník) nebo ke snížení rozlišení amplitudy. Při nejnižší uvažované amplitudě je důležitým parametrem kvantizační šum. Také lze amplitudu výstupního signálu modifikovat pomocí PWM. Tento postup ale nepříznivě ovlivní spektrální vlastnosti signálu. K nastavení amplitudy byl využit celý dynamický rozsah 12bit D/A převodníku. Pokud by byl použit pouze 1 převodník s vyšším než 12bitovým rozlišením, byl by mnohonásobně dražší.

Limit SQNR na výstupu DAC pro ideální 12bitový převodník v celé 1. Nyquistově zóně je 74 dB. Limit SQNR na výstupu filtru (pro ideální filtr bez zvlnění v propustném pásmu, s nekonečným útlumem v nepropustném pásmu a  $f_{\text{pass}}=f_{\text{stop}}=20\text{kHz}$ ) je 75,9 dB. Limit SQphNR pro ideální DAC při použitím 15bitového kvantování fáze je 85,1 dB, šum vzniklý kvantováním fáze je tedy přibližně o 10 dB nižší, než šum vzniklý kvantováním amplitudy.

Vybraný převodník nepodporuje dvojkový doplněk a má pouze kladné napájení. Generování harmonického průběhu bez stejnosměrného napěťového offsetu umožňuje bipolární zapojení, kde je výstup z převodníku spolu s referenčním signálem přiveden na vstup operačního zesilovače.



Obr. 10: Bipolární zapojení převodníku MCP4922

V souladu s unipolárním napájením převodníku musí být určen i způsob vyčítání vzorků z tabulky LUT. Nulová hodnota na vstupu D/A převodníku odpovídá minimu funkce sinus. Při použití převodníku se symetrickým napájením komunikujícím ve dvojkovém doplňku by museli být přivedeny vzorky funkce sinus na vstupy převodníku v mírně odlišném tvaru.

## 4.5. Napájecí obvody

Napájení k vývojové desce přivádí rozhraní USB. Převodníky pracují v rozsahu napětí 2,7-5,5V. Digitální část generátoru je napájena 5V pinem z desky arduina. Po průchodu napájecího napětí feritem a tlumivkou k odstranění vř rušení je k určení přesné reference D/A převodníku použita napěťová reference LM336 (obr. 9).

Analogová část složená z operačních zesilovačů ve filtru a operačních zesilovačů použitých v bipolárním zapojení (unipolárního) převodníku je napájena symetricky napětím z laboratorního zdroje. Amplitudy symetrického napájení postačí  $\pm 5V$ , protože ani amplituda generovaného signálu nebude vyšší (obr. 6). V digitálních i analogové napájecí větvi jsou použity tantalové a keramické kondenzátory k odstranění vř rušení v oblasti vstupních svorek. Keramické kondenzátory jsou obdobně použity i v místě blízko napájecích pinů integrovaných obvodů.

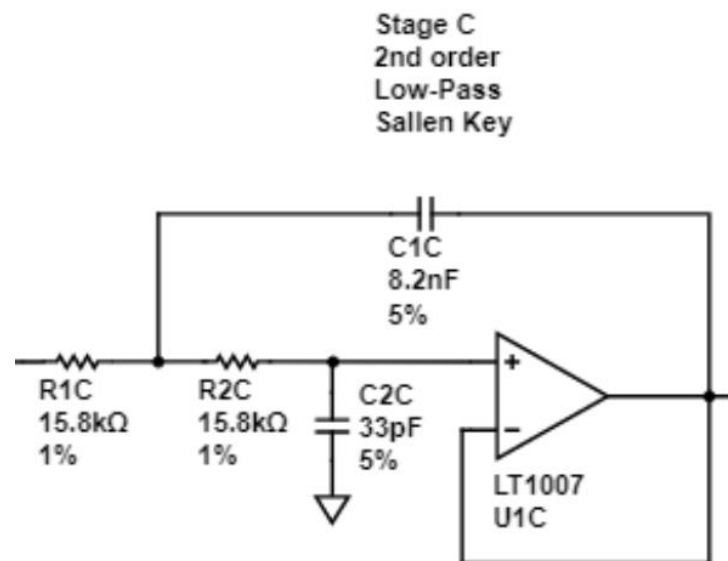
## 4.6. Parametry analogového filtru

Návrh filtru probíhal v doplňku na stránkách [www.Analogdevices.com](http://www.Analogdevices.com). K odfiltrování rozdílového obrazu vzorkovací frekvence a generovaného signálu není nezbytný DP filtr vysokého řádu, bude-li použit filtr Čebyševův se svou strmou charakteristikou. Potřebné strmosti dosáhne i Butterworthův filtr avšak vyššího řádu. Návrh je tedy kompromisní, nižší řád filtru je vykoupen zvlněním v propustném pásmu.

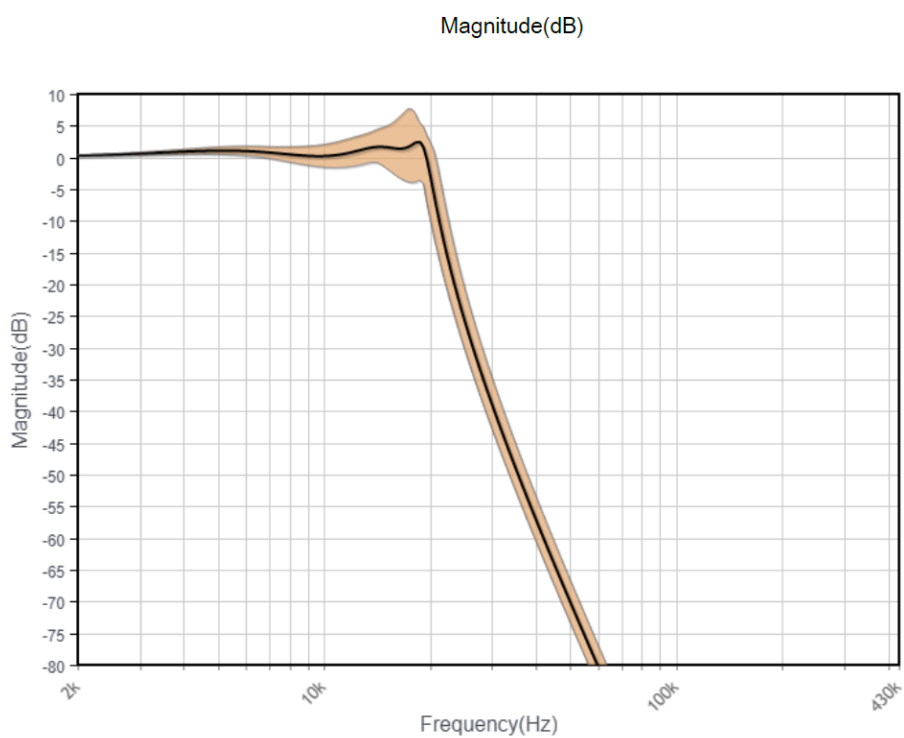
**Aproximace** Dolní propust, Chebyshev, 6. řád

$$f_{\text{pass}} = 20\text{kHz}, f_{\text{stop}} = 43\text{kHz}, a_p = 1\text{dB}, a_s = 60\text{dB}$$

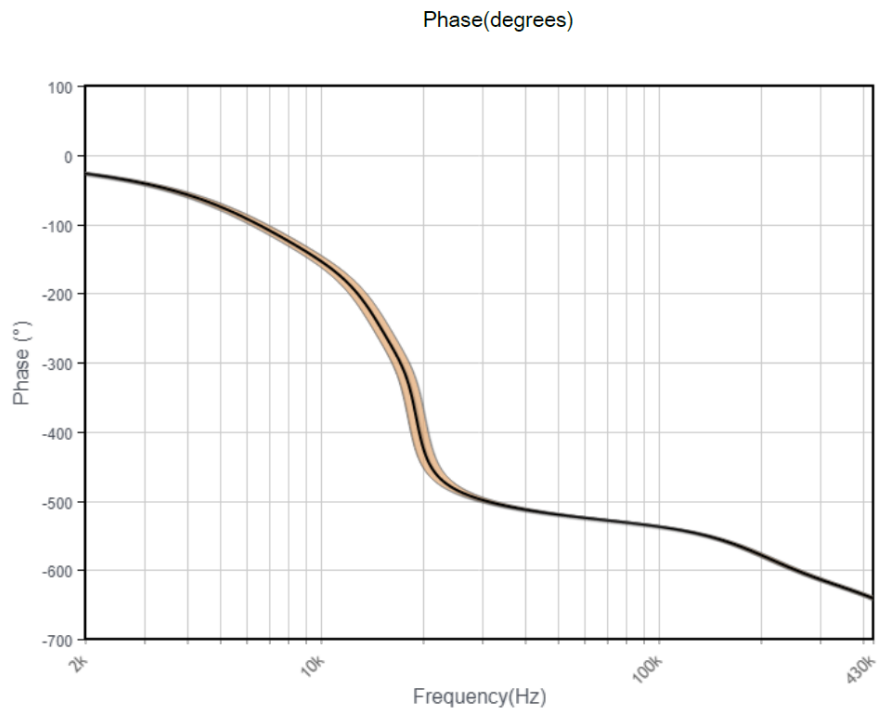
Za dostatečný útlum v nepropustném pásmu ( $f_{\text{stop}}$ ) je považováno 60 dB, přípustné zvlnění propustného pásma ( $f_{\text{pass}}$ ) potom 1 dB. Pro vyšší vzorkovací kmitočet, a tedy nižší nároky na filtr, nemá bohužel zvolený procesor (bez použití přídavných obvodů pro tvorbu DDS) dostatečný výpočetní výkon. Zvolen byl kaskádní aktivní RC Čebyševův RC filtr 6. řádu. Použity byly nízkošumové operační zesilovače LT1007, rezistory s tolerancí 1% a foliové kondenzátory s tolerancí 5%. Jeden ze tří bloků kaskády filtru uveden níže (obr. 10). Kompletní kaskáda včetně hodnot a tolerancí součástek použitých v signálové i napájecí cestě jednoho z kanálů uvedena v příloze spolu se spektrální šumovou hustotou filtru.



Obr. 11: Blok kaskády (2. řádu) rekonstrukčního filtru (6. řádu)



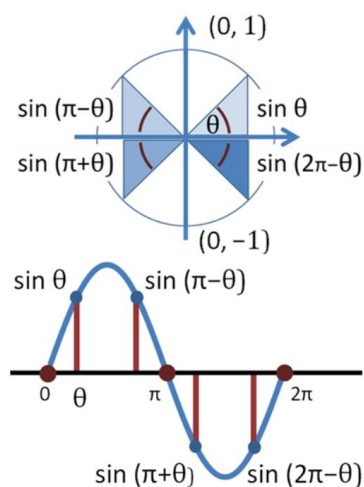
Obr. 12: Amplitudová charakteristika filtru včetně tolerancí součástek



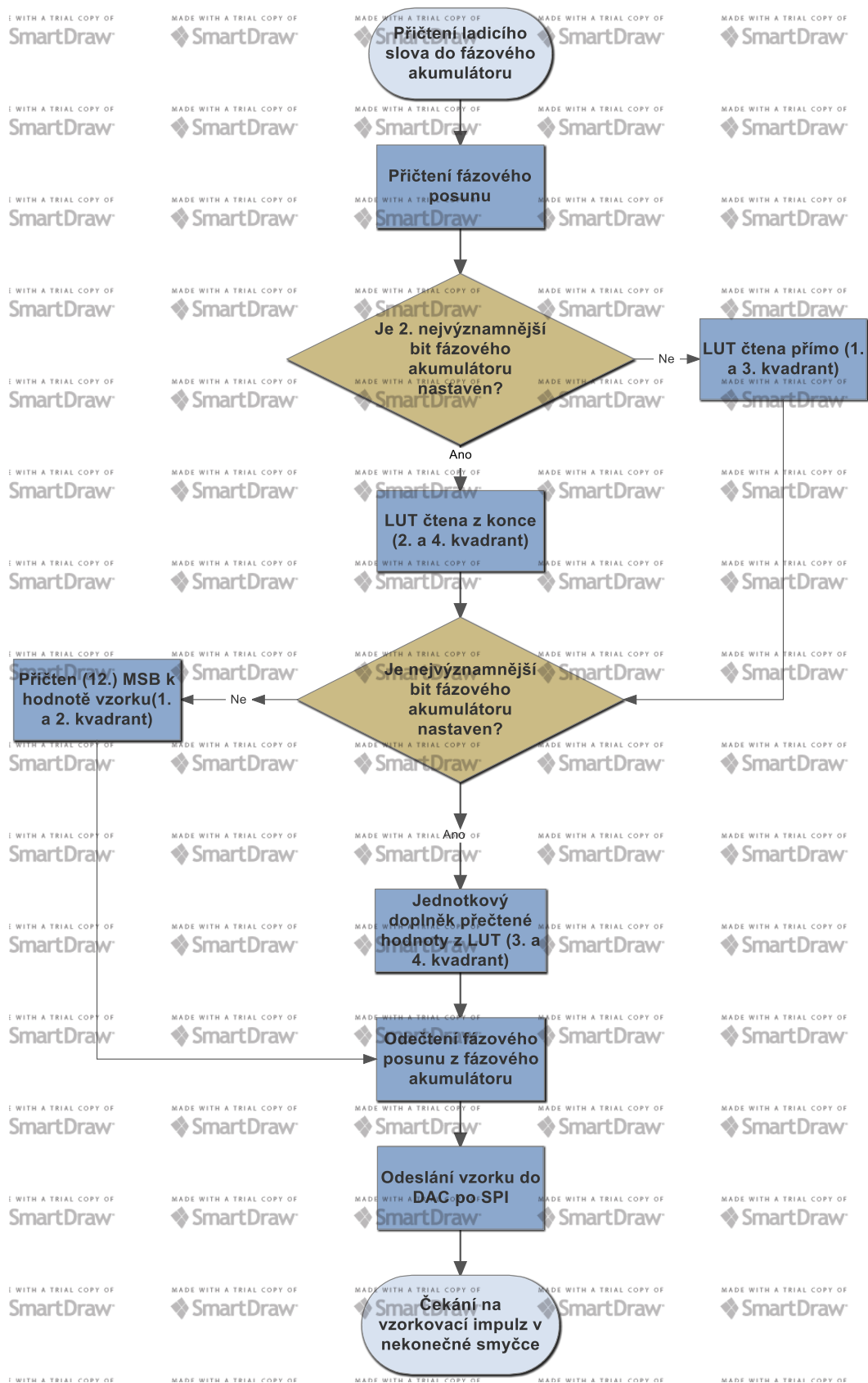
Obr.13: Fázová charakteristika filtru včetně tolerancí součástek

#### 4.7. Popis algoritmu DDS

Vývoj probíhal v prostředí Atmel Studio 7, zdrojový kód byl napsán v jazyce Assembler pro procesor Atmega328P. Při tvorbě DDS nebyli použity žádné sčítačky ani hradlová pole. Veškeré aritmetické a logické operace zpracovává procesor. Vzorkovací kmitočet byl zvolen konstantní pro všechny požadované výstupní kmitočty a je odvozen od čítače procesoru. Pro zvýšení fázového rozlišení byla využita symetrie funkce sinus.

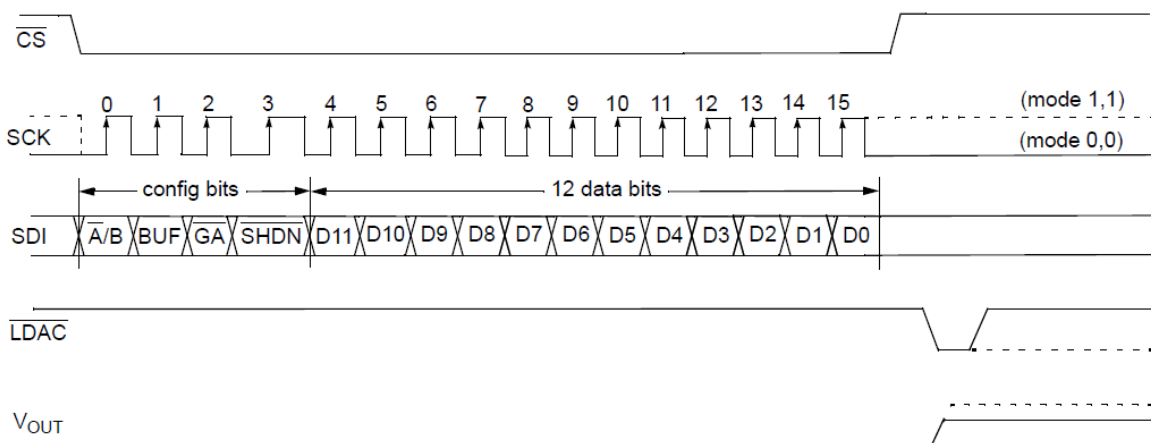


Obr. 14: Symetrie funkce sinus



Obr. 15: Diagram postupu určení kvadrantu fce sinus

Fázový akumulátor je složen ze dvou 8bitových registrů, tvoří ho tedy 16 bitů. Ladicí slovo obsahuje maximálně 15 bitů, které odpovídají adresaci vzorků prvního a druhého kvadrantu funkce sinus. Každý ze vzorků zabírá v paměti FLASH 2 byty, na jeden z kvadrantů tedy připadá  $2^{13}$  hodnot. Maximální hodnota ladicího slova je omezena Shannonovým vzorkovacím teorémem. Při vzorkovací frekvenci  $f_s=62500$  Hz (odvozené od čítače procesoru), odpovídá nejvyšší generovatelný kmitočet hodnotě 31250 Hz. V praxi dochází k deformaci výstupního signálu v důsledku nedostatečného počtu vzorků na periody i pro kmitočty nižší. Bez deformace byl generován kmitočet 20 kHz. Vyčítání hodnoty vzorku z tabulky umožňují vyšší bity fázového akumulátoru, které již nejsou použity k adresaci. V prvním kvadrantu jsou vzorky vyčteny přímo a po vyčtení vzorku je jeho hodnota doplněna nastavením nejvyššího bitu určujícího kladnou půlvlnu. Tento bit je přičten i k hodnotě vzorku z druhého kvadrantu, ve kterém čtení hodnot z tabulky probíhá pozpátku. Ve třetím kvadrantu jsou hodnoty vyčítány obdobně jako v prvním kvadrantu a protože se jedná o zápornou půlvlnu, zůstane narozdíl od prvního a druhého kvadrantu MSB v nule a nad zbylými bity musí být proveden jednotkový doplněk. Stejný postup následuje i pro hodnotu vzorku kvadrantu čtvrtého, hodnoty se však vyčítají od konce tabulky jako u druhého kvadrantu (obr. 15). Hodnota pro převodník nastavující amplitudu může být 12bitová, ale pro převodník zpracovávající vzorky fce sinus musí být hodnota vzorků sinu v 11 bitech (viz přičítání MSB v jednotlivých kvadrantech).



Obr. 16: Zápis do DAC MCP4922

Během každé periody vzorkování jsou do obou kanálů převodníku odeslány vzorky funkce sinus. Volba kanálu závisí na konfiguračním bitu odeslaném po SPI. Před příchodem vzorkovacího impulzu ( $\overline{LDAC}$ ) generovaného časovačem musí být hodnoty přichodící po SPI uloženy do vyrovnávací paměti



převodníku. Zápis do vyrovnávací paměti umožňuje signál „chip select“. Pro realizované zapojení je podstatné, aby po úvodním nastavení amplitudy (před inicializací časovače a nekonečným opakováním smyčky určení a odesílání vzorků fce sinus) nebyla u převodníku nastavujícího amplitudu již nikdy vyrovnávací paměť přepsána. Oba převodníky totiž sdílejí vzorkovací impuls, který překlopí hodnoty uložené ve vyrovnávací paměti na výstup, stejně jako sběrnici SPI, která přivádí současně hodnoty na vstup vyrovnávacích paměti obou převodníků. Do kterého z převodníků bude hodnota zapsána rozhodují právě signály „chip select“ (/CS1, /CS2).

#### 4.8. Dosažené parametry realizovaného systému DDS

Maximální frekvence:  $f_{out} = 20 \text{ kHz}$  ( $f_s = 62,5 \text{ kHz}$  vzorkovací kmitočet). Teoretický limit důsledkem vzorkovací frekvence je vyšší, hodnota 20 kHz byla zvolena pro snazší realizaci filtru.

Minimální frekvence:  $f_{out} = 1,907 \text{ Hz}$

Frekvenční rozlišení:  $\Delta f_{out} = 1,907 \text{ Hz}$  ( $\Delta f_{out} = \frac{62500}{2^{15}}$ ; 15 = počet výstupních bitů fázového akumulátoru)

Rozsah nastavení fázového posunu  $\varphi = 0^\circ - 360^\circ$

Fázové rozlišení:  $\Delta\varphi = 0,0001917 \text{ rad} \approx 0,011^\circ$  ( $\frac{2\pi}{2^{15}}$ )

Rozsah amplitudy – nastavením  $V_{REF}$  v mezích 0 až 5V s rozlišením 12 bitů, případně v mezích 0 až 2,5V se stejným rozlišením (bez použití funkce „gain“ převodníku nastavujícího amplitudu umožňující generovat výstupní signál dvojnásobné amplitudy než signál referenční – platí pro  $V_{REF} \leq V_{DD}/2$ )

Amplitudové rozlišení:  $\Delta Amp = 1,22 \text{ mV}$  (D=12 počet bitů použitého D/A převodníku)

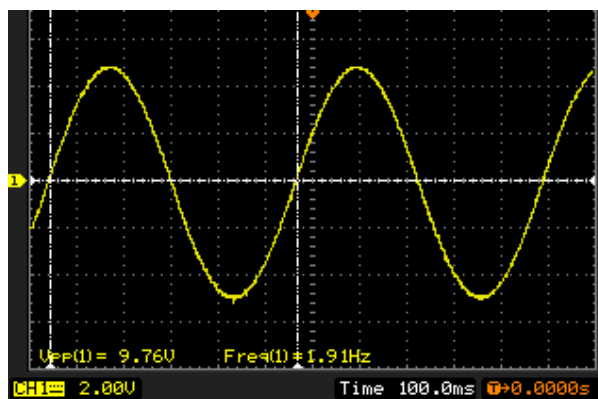
SFDR (odstup od nejvyšší rušivé složky)  $> 60 \text{ dB}$  pro  $f_{out} = 100 \text{ Hz} - 2 \text{ kHz}$

SFDR  $> 35 \text{ dB}$  pro  $f_{out} = 10 \text{ kHz}$

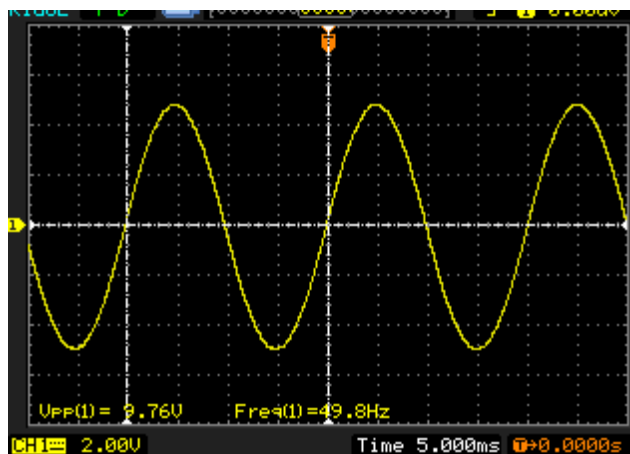
#### 4.9. Návrh DPS

Návrh DPS probíhal v programu Eagle. Deska je oboustranně pokovená s rozlitou zemí a byla vyrobena v POOL servisu firmou Pragoboard. Analogová a digitální zem jsou spojeny v jednom místě, aby se zamezilo průniku rušivých signálů z digitální části do analogové.

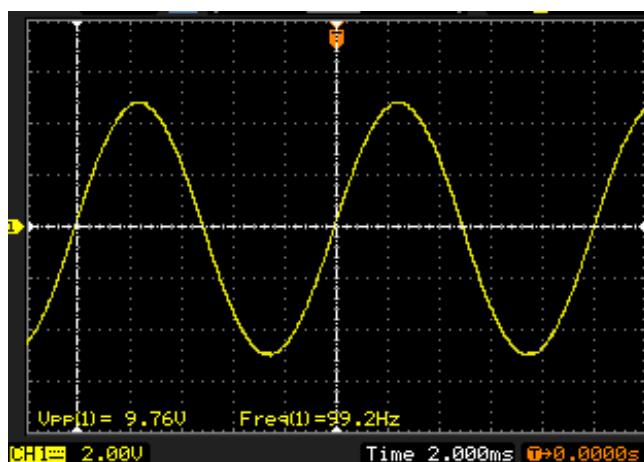
## 5. Výsledky měření



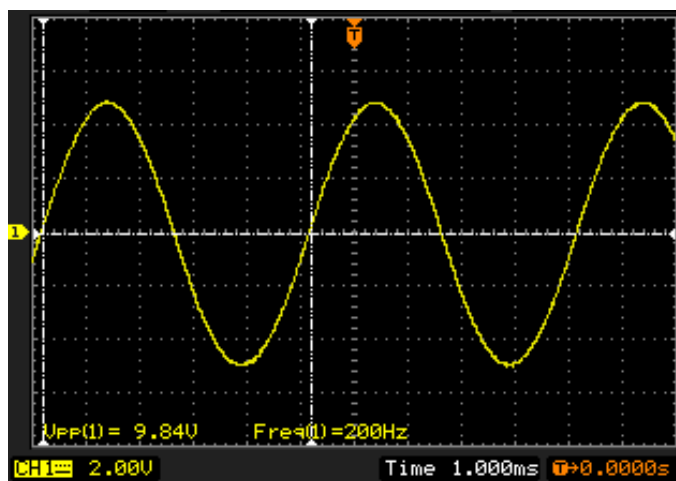
Obr.17: Výstupní signál nejnižší frekvence  $f_{out} = 1,907$  Hz



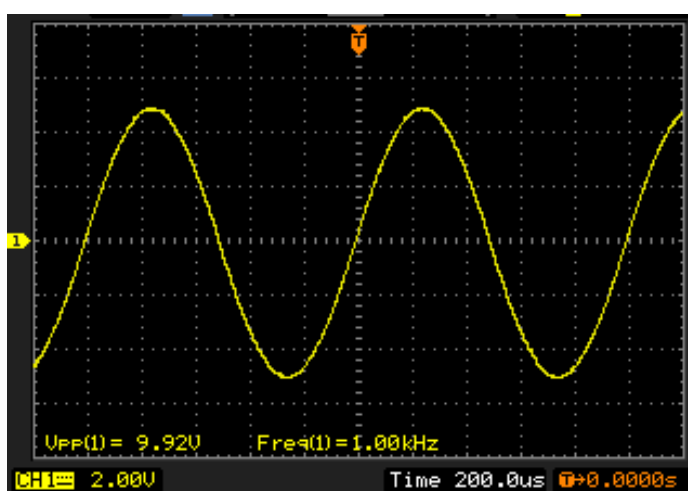
Obr.18: Výstupní signál frekvence  $f_{out} = 50$  Hz



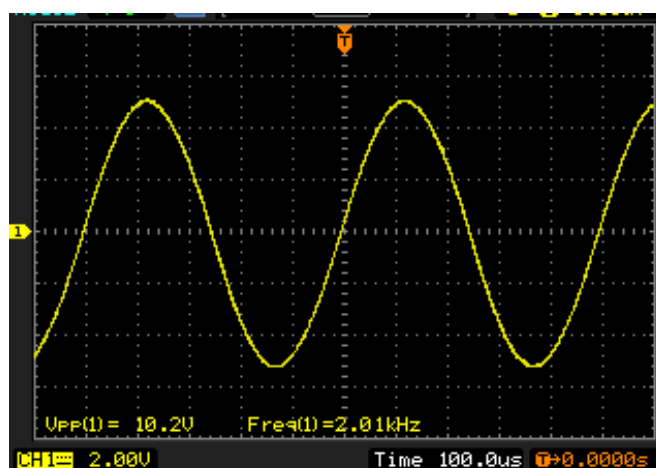
Obr.19: Výstupní signál frekvence  $f_{out} = 100$  Hz



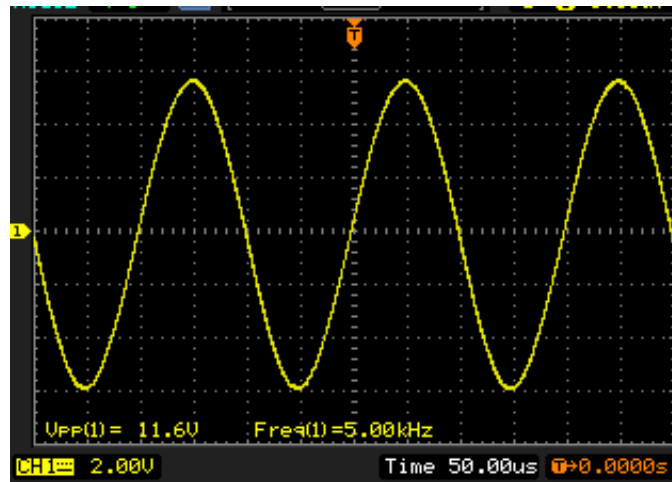
Obr.20: Výstupní signál frekvence  $f_{out} = 200$  Hz



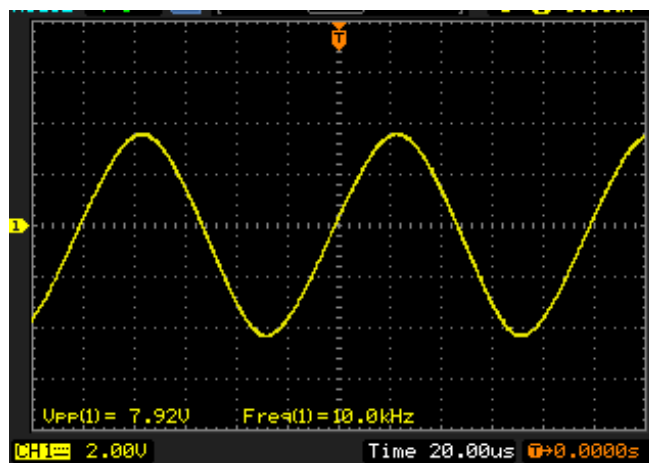
Obr.21: Výstupní signál frekvence  $f_{out} = 1$  kHz



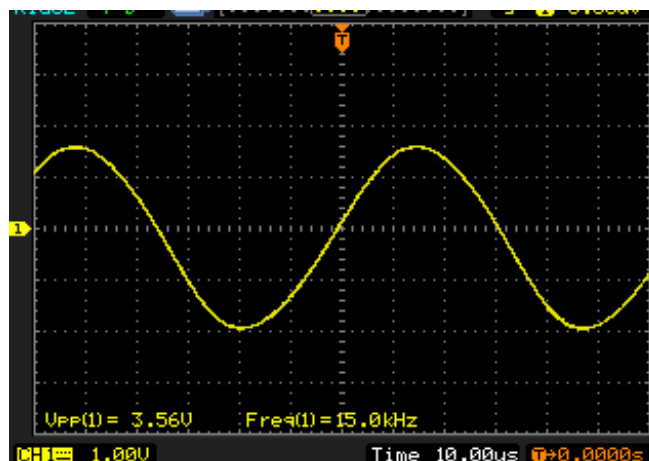
Obr.22: Výstupní signál frekvence  $f_{out} = 2$  kHz



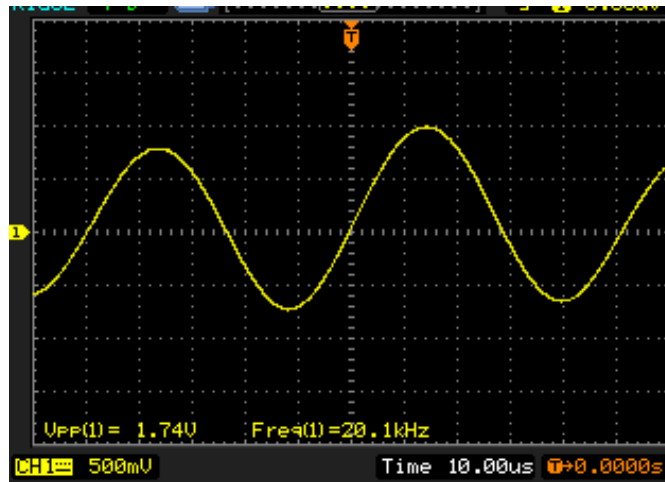
Obr.23: Výstupní signál frekvence  $f_{\text{out}} = 5 \text{ kHz}$



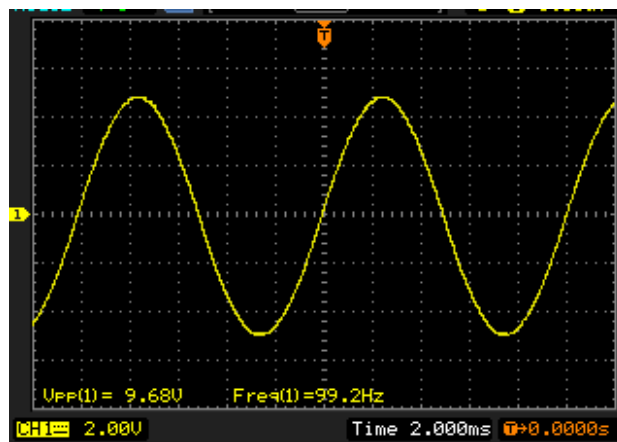
Obr.24 Výstupní signál frekvence  $f_{\text{out}} = 10 \text{ kHz}$



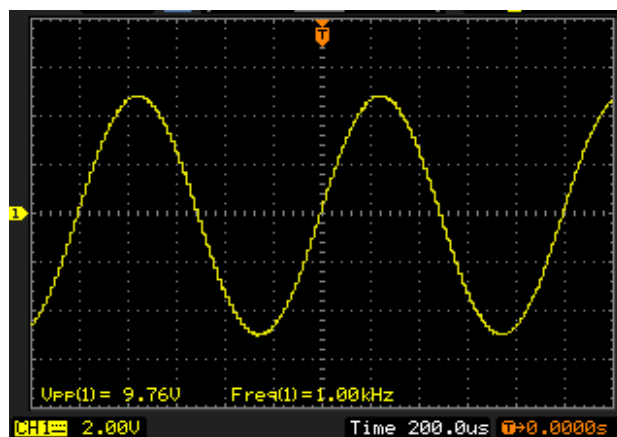
Obr.25: Výstupní signál frekvence  $f_{\text{out}} = 15 \text{ kHz}$



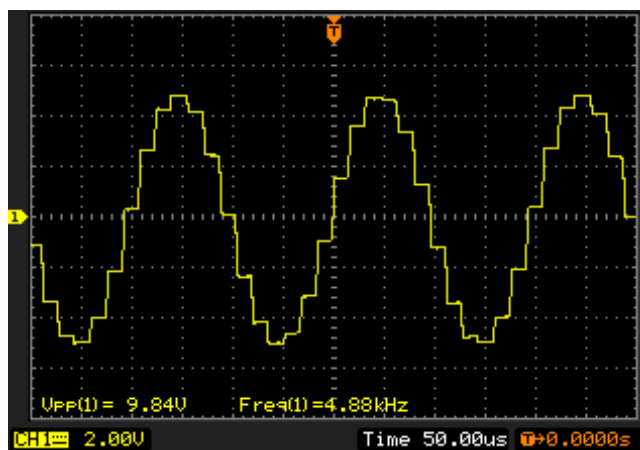
Obr.26: Výstupní signál nejvyšší frekvence  $f_{out} = 20$  kHz



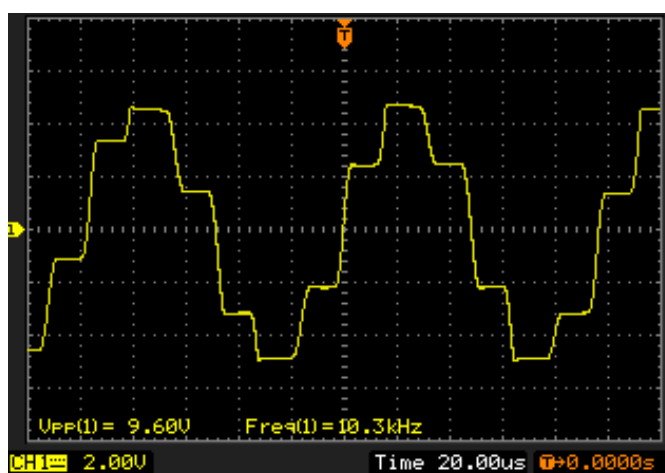
Obr.27: Výstupní signál  $f_{out} = 100$  Hz před zpracováním rekonstrukčním filtrem



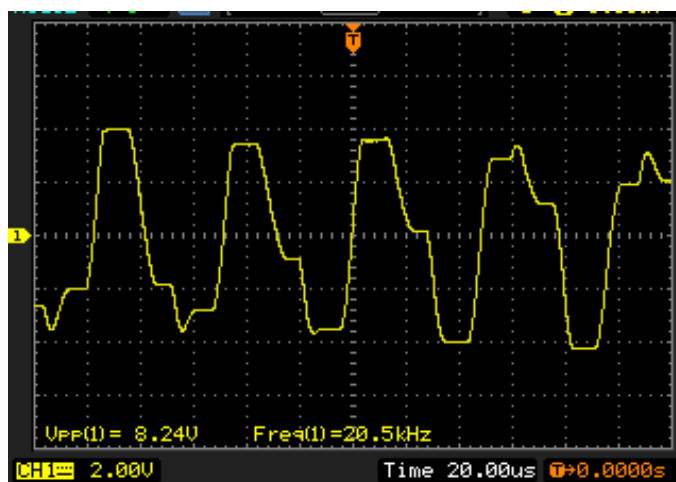
Obr.28: Výstupní signál  $f_{out} = 1$  kHz před zpracováním rekonstrukčním filtrem



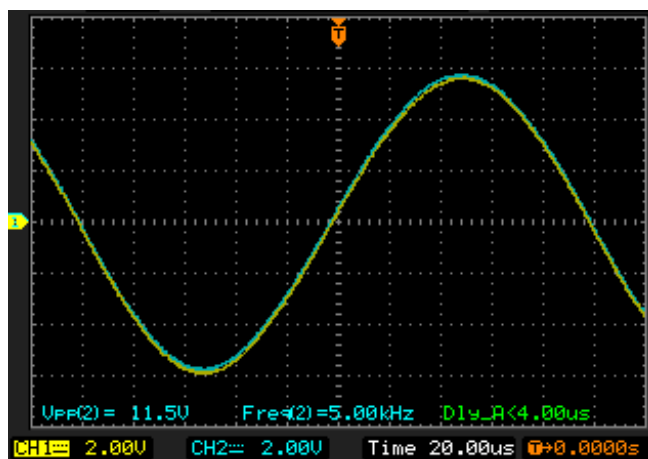
Obr.29: Výstupní signál  $f_{\text{out}} = 5$  kHz před zpracováním rekonstrukčním filtrem



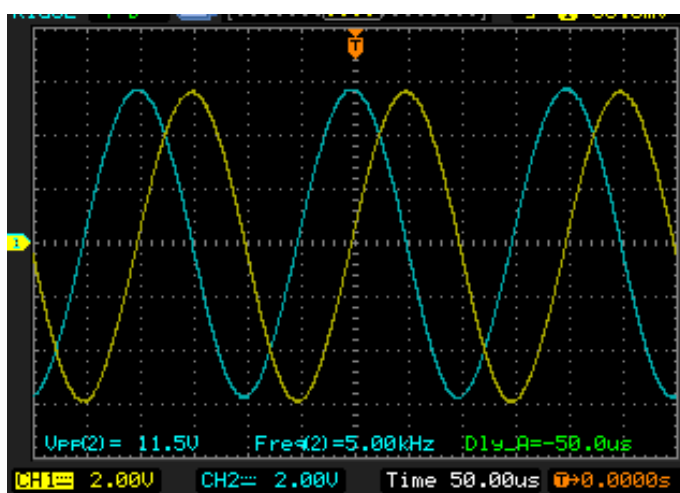
Obr.30: Výstupní signál  $f_{\text{out}} = 10$  kHz před zpracováním rekonstrukčním filtrem



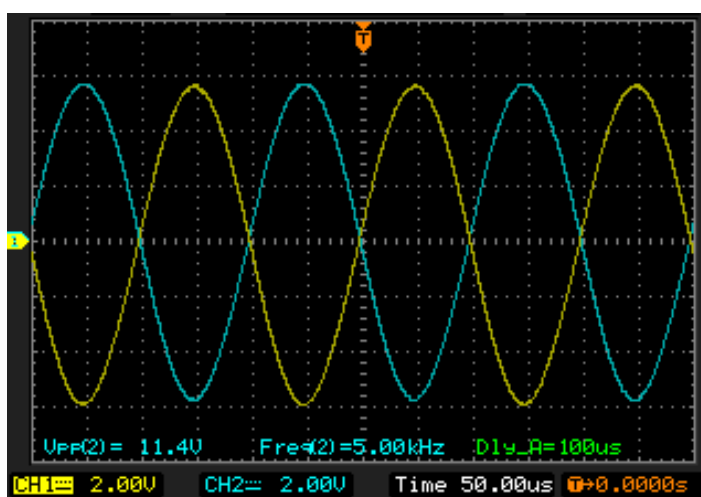
Obr.31: Výstupní signál  $f_{\text{out}} = 20$  kHz před zpracováním rekonstrukčním filtrem



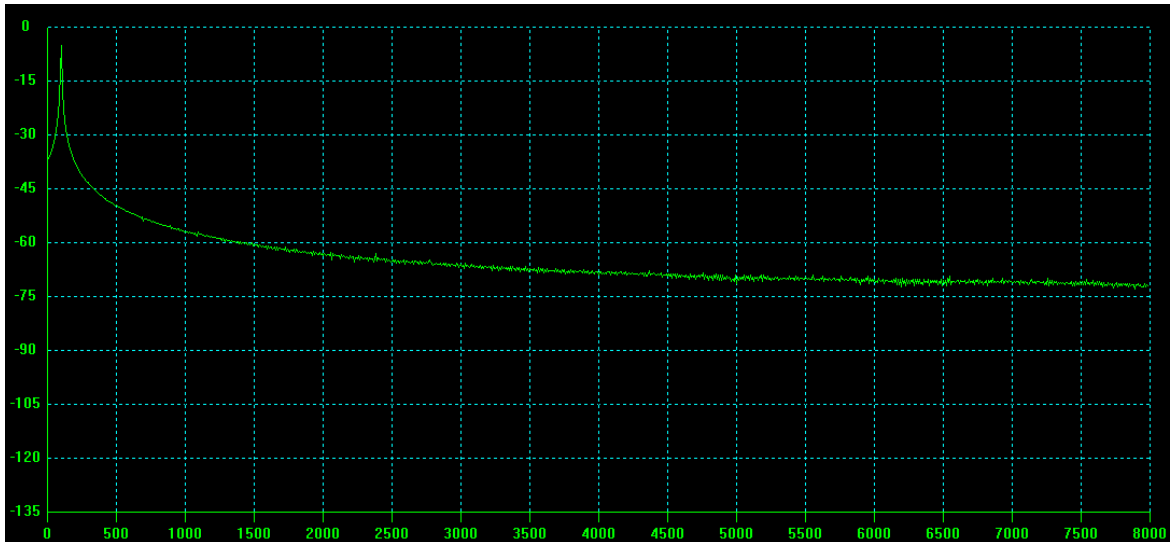
Obr.32: Nejnižší fázový posun =  $0,011^\circ$



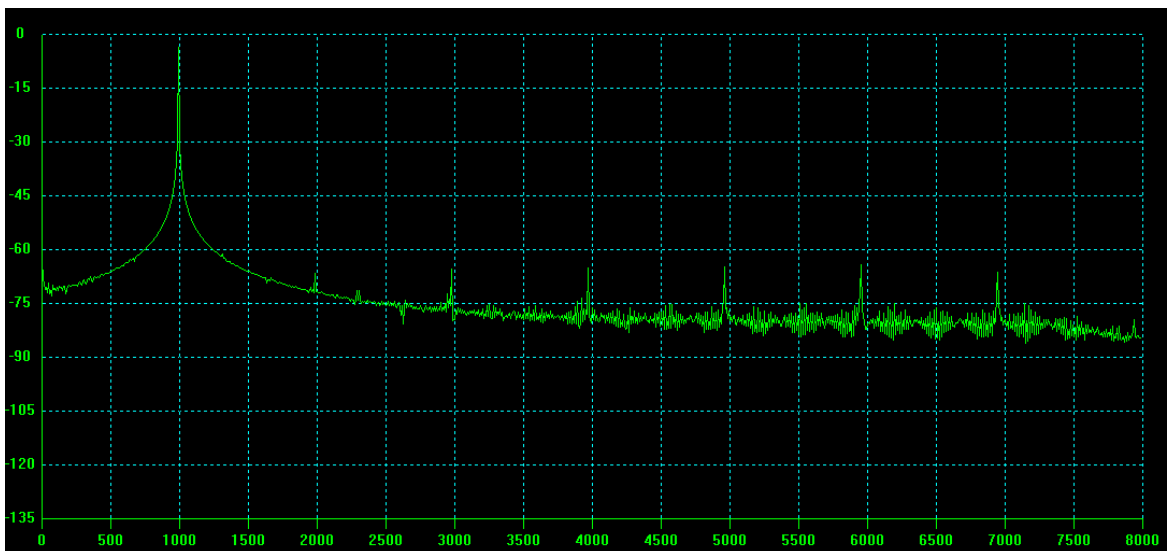
Obr.33: Fázový posun =  $90^\circ$



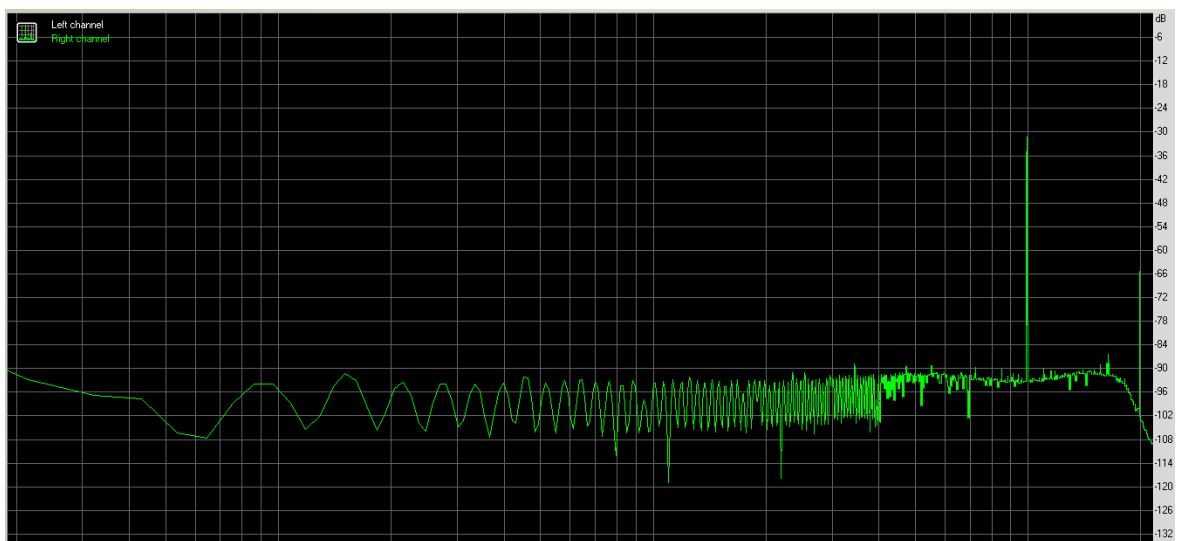
Obr.34: Fázový posun =  $180^\circ$



Obr.35: Spektrum výstupního signálu frekvence  $f_{\text{out}} = 100$  Hz

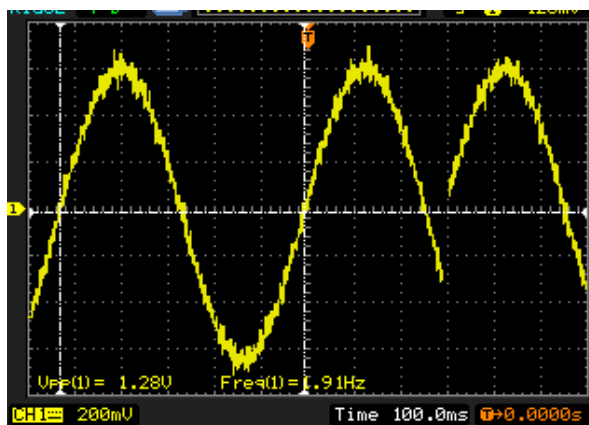


Obr.36: Spektrum výstupního signálu frekvence  $f_{\text{out}} = 1$  kHz

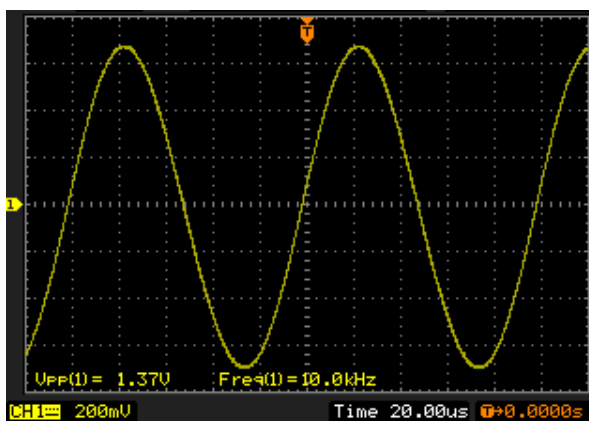


Obr.37: Spektrum výstupního signálu frekvence  $f_{\text{out}} = 10$  kHz

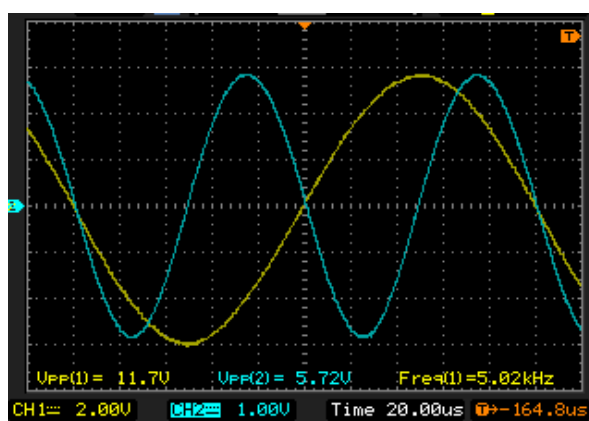




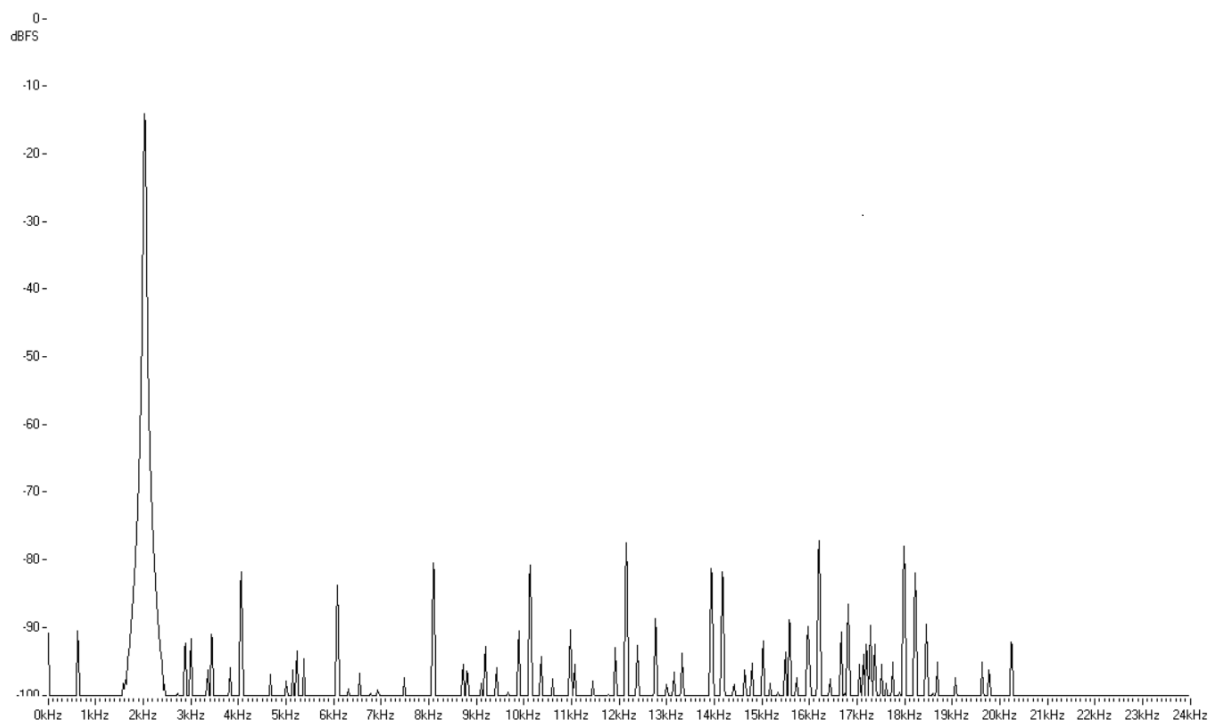
Obr.38: Výstupní signál frekvence  $f_{out} = 1,907$  Hz („zašuměný“); amplituda 0,624V, deformace průběhu fce je způsobena vzorkováním osciloskopem na nízkých frekvencích



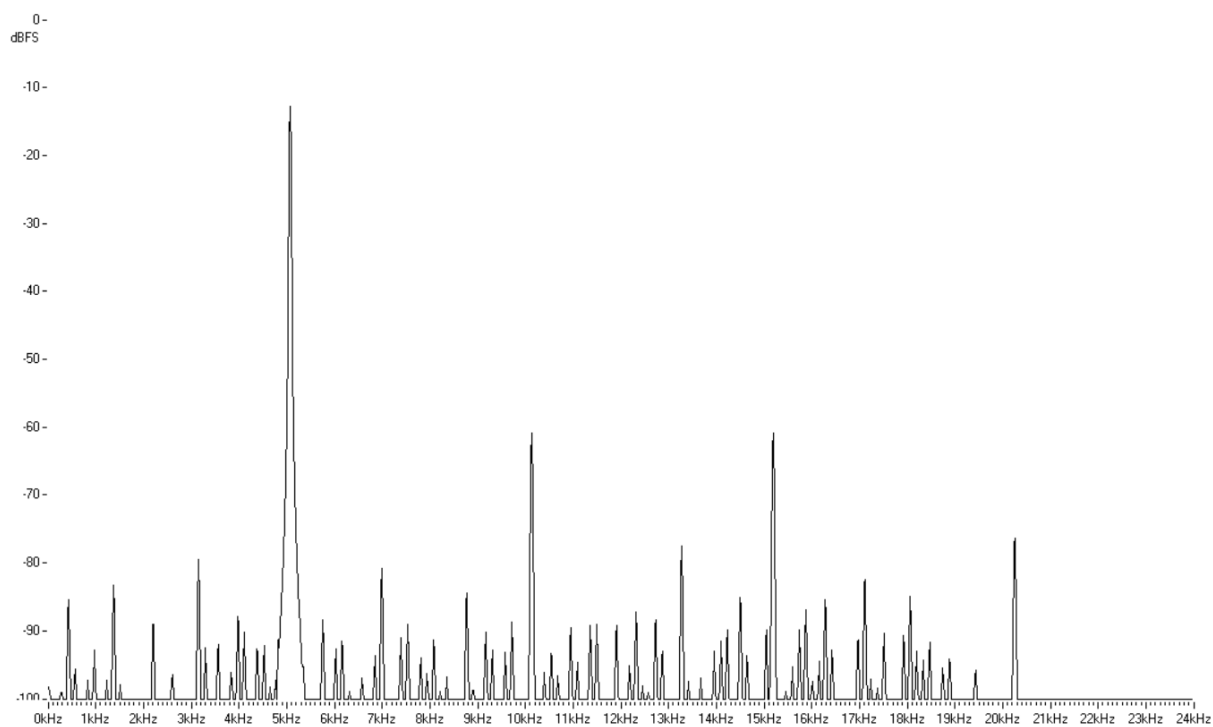
Obr.39: Výstupní signál frekvence  $f_{out} = 10$  kHz; amplituda 0,624V



Obr.40: Výstupní signály frekvence 5 a 10 kHz; amplitud 2,5 a 5V



Obr.41: Spektrum výstupního signálu frekvence  $f_{\text{out}} = 2 \text{ kHz}$



Obr.42: Spektrum výstupního signálu frekvence  $f_{\text{out}} = 5 \text{ kHz}$

## 6. Zhodnocení návrhu

Navržený DDS generátor splňuje požadavky zadání. Amplituda, frekvence i fázový posun (obr. 32) jsou nastavitelné. Nastavení amplitudy je limitováno zdola šumovým prahem. Za minimální použitelnou amplitudu považuji  $1/8$  maximální amplitudy ( $\approx 0,624\text{V}$ ), pro nižší hodnoty je výstupní signál příliš deformován. Oba kanály mohou současně generovat různé frekvence (obr. 39), protože návrh uvažuje dva fázové akumulátory a dvě ladicí slova (obr. 7). Při použití pouze jednoho fázového akumulátoru a ladicího slova by došlo k úspoře pouze dvou jednocyklových instrukcí (přičtení ladicího slova do fázového akumulátoru), neboť algoritmy určení kvadrantu by kvůli libovolnému fázovému posunu museli být opět zdvojeny. Algoritmus využívající symetrie snižuje sice nároky na paměť, ale zvyšuje výpočetní zátěž a snižuje maximální dosažitelný výstupní kmitočet, protože vzorek musí být určen a odeslán do převodníků za dobu kratší než je perioda vzorkování.

Generátor DDS tvořený pouze jednočipovým procesorem bez využití přídavných obvodů se středním nebo vyšším stupněm integrace je použitelný pouze pro nízkofrekvenční aplikace. Při požadavku na generování harmonického průběhu o frekvenci přesahující 1 MHz se jako vhodnější řešení jeví použití hradlového pole, signálového procesoru nebo například některého z obvodů řady AD98xx firmy Analog Devices doplněných o krystal. Pro mírný nárůst výstupní frekvence by mohla být deska arduina s procesorem ATmega328P nahrazena například deskou STM obsahující ARM procesor Cortex M4 s vyšším kmitočtem oscilátoru. Taková deska by měl i větší FLASH paměť k uložení LUT s vyšším rozlišením, to by mělo za následek snížení fázového šumu.

Realizovaný generátor využívá kromě desky s procesorem (a nastavení parametrů z terminálu PC) pouze DPS se součástkami v THT pouzdrech. V současné době se již mnoho součástek prodává pouze v SMD pouzdrech. Využití SMD součástek by přineslo více použitelných D/A převodníků a také například levnější kondenzátory s vyšší přesností, vedlo by to však k vyšším nárokům na montáž.

Generátoru s maximálním výstupním kmitočtem 20 kHz lze využít jako levnou laboratorní pomůcku pro měření přechodných jevů s harmonickým buzením nebo jako ukázkou sčítání fázorových průběhů ve výukových laboratorních měření, pro přesnější měření se však nehodí. Na použití v audiotechnice je i pro méně náročné aplikace 12bitový rozsah převodníku nedostatečný. Za limit lze považovat 16bitový rozsah. Na trhu je velké množství převodníků se 16bitovým (i vyšším) rozlišením. Realizovaný prototyp DDS lze tedy spíše považovat za demonstraci návrhových postupů.

Amplituda je značně závislá na frekvenci pro frekvence od 10 do 20 kHz. Důvodem zvlnění v propustném pásmu je použitá Čebyševova aproximace DP filtru. Ve větší míře, než zvlnění filtru použitou aproximací se v uvedeném intervalu projevují tolerance příslušných součástek ve filtru použitých. Zvlnění by mohlo být odstraněno užitím Butterworthova filtru vyššího řádu (aby měl odpovídající strmost) nebo i filtrem stejného řádu při použití vyšší vzorkovací frekvence (vyšší výpočetní nároky na procesor).

Kvalita výstupního signálu byla změřena zvukovou kartou Steinberg U22. Pro nízké kmitočty (100 Hz - 2 kHz) bylo dosaženo odstupů signálu od vyšších harmonických složek spektra 60 dB. Při generování frekvence 10 kHz byl i kvůli zvlnění filtru odstup 2. harmonické (20 kHz) pouze 35 dB, to může být způsobeno nelinearitou a zákřivostí DAC, případně mohou vyšší harmonické vznikat i v OZ filtru. Dále je amplituda vyšších generovaných kmitočtů snížena poklesem vzorkovací funkce  $\sin(x)/x$ . Frekvence vyšší než 20 kHz jsou potlačeny strmým rekonstrukčním filtrem. Obraz rozdílu vzorkovací a generované frekvence je potlačen minimálně o 60 dB. Měření spektra probíhalo s amplitudou 0,5V, aby nedošlo k poškození zvukové karty.

## 7. Závěr

Pro zamýšlené účely jsou parametry realizovaného generátoru vyhovující. Kmitočtový rozsah s přijatelným SNR a vyhovující stálostí amplitudy je dostačující. Šumový práh znemožňuje efektivní nastavení amplitudy všemi bity, aniž by klesl SNR pro velmi nízké kmitočty pod únosnou mez (obr.37). Nastavení v rozmezí 1:8 však vyhovuje požadavkům a další snížení amplitudy je možné například napěťovým děličem. Přesné nastavení amplitudy v širokém rozsahu hodnot není pro zmíněné účely požadováno.

V případě budoucího rozšíření popsaného návrhu by byla zajímavá implementace modulací. Nastavení režimu vnitřní vyrovnávací paměti převodníku, pomocí konfiguračního bitu poslaného po SPI, by umožnilo modulaci 2. signálem přivedeným na  $V_{REF}$ . Realizace modulací je tedy uskutečnitelná i v navrženém generátoru. Pokud by však měla zůstat nastavitelná amplituda, musel by být návrh rozšířen o další převodník nastavující amplitudu, případně programovatelný operační zesilovač, jenž nastaví amplitudu na výstupu signálu. Také by došlo ke zvýšení výpočetní náročnosti, protože by při zachování dvoukanálové činnosti (dva nezávislé modulující kmitočty a dva nezávislé modulované kmitočty) musel být určen a odeslán po SPI během vzorkovací periody dvojnásobný počet vzorků.

# Literatura

- [1] SKALICKÝ, Petr. “Číslicové systémy v radiotechnice“ Praha: Vydavatelství ČVUT, leden 2004. ISBN 80-01-02854-2
- [2] PROKEŠ Aleš, ČERMÁK, Karel. “Využití přímé kmitočtové syntézy v radiotechnice,” Elektrevue: Časopis pro elektrotechniku [online], 2003 / 48.  
URL: <<http://www.elektrevue.cz/clanky/03048/index.html>>, ISSN 1213-1539.
- [3] HRDINA, Zdeněk, VEJRAŽKA, František. “Signály a soustavy,“ Praha: Vydavatelství ČVUT, 1998. ISBN 80-01-01726-5.
- [4] SKALICKÝ, Petr. “Mikroprocesory řady 8051,“ Praha: BEN - technická literatura, 2000.
- [5] HOLÝ, Radek. “Generátor klíčovaného harmonického signálu,“ Bakalářská práce. Praha: ČVUT FEL. Katedra teorie obvodů, 2004. 29 s.
- [6] ŠTORK, Milan. “Principy přímé digitální syntézy,“ Slaboproudý obzor: Příloha (nejen) pro mladé inženýry. Praha: Československá sekce IEEE
- [7] Syntéza elektrických filtrů [online], URL: <<https://asinus.feld.cvut.cz/syntfil>>
- [8] Návrh ARC filtru [online], URL: <<http://www.analog.com/designtools/en/filterwizard/>>
- [9] Arduino Uno ISP [online], URL: <<https://www.arduino.cc/en/Tutorial/ArduinoISP>>
- [10] D/A převodník MCP4922 datasheet [online], URL: <<http://ww1.microchip.com/downloads/en/DeviceDoc/22250A.pdf>>
- [11] ATmega328P datasheet [online], URL: <[http://www.atmel.com/Images/Atmel-42735-8-bit-AVR-Microcontroller-ATmega328-328P\\_Datasheet.pdf](http://www.atmel.com/Images/Atmel-42735-8-bit-AVR-Microcontroller-ATmega328-328P_Datasheet.pdf)>
- [12] ATmega328P instruction set-manual [online], URL: <<http://www.atmel.com/images/Atmel-0856-AVR-Instruction-Set-Manual.pdf>>
- [13] Arduino Uno manual [online], URL: <<http://www.lillyelectronics.com/download/Arduino-Uno-Manual.pdf>>
- [14] ATmega328P explained – debugger [online], URL: <<http://www.atmel.com/tools/mega328p-xmini.aspx>>
- [15] Aliasing v DDS systémech [online], URL: <<http://www.analog.com/media/en/training-seminars/tutorials/MT-085.pdf>>
- [16] TULÁČEK, Jiří. “Syntéza periodického signálu z harmonických složek,“ Diplomová práce. Praha: ČVUT FEL. Katedra radioelektroniky, 2013.
- [17] SCHULA, Petr. “Měřicí generátor,“ Diplomová práce. Praha: ČVUT FEL. Katedra radioelektroniky, 1998.

# Seznam obrázků

Obr.1: Blokové schéma obvodu přímé digitální syntézy .....	5
Obr.2: Digitální fázový kruh s hodnotou fázového skoku M .....	6
Obr.3: Průběhy v důležitých bodech DDS .....	7
Obr.4: Aliasing v DDS systému .....	8
Obr.5: Kvantizační chyba D/A převodníku.....	8
Obr.6: Blokové schéma HW realizovaného DDS systému.....	10
Obr. 7 Model realizovaného dvoukanalového nízkofrekvenčního DDS generátoru.....	11
Obr. 8: Diagram UART komunikace.....	12
Obr. 9: Zapojení převodníků, U\$1 tvoří referenci pro U\$2.....	14
Obr. 10: Bipolární zapojení převodníku MCP4922.....	15
Obr. 11: Blok kaskády (2. řádu) rekonstrukčního filtru (6. řádu) .....	16
Obr. 12: Amplitudová charakteristika filtru včetně tolerancí součástek.....	17
Obr.13: Fázová charakteristika filtru včetně tolerancí součástek.....	18
Obr.14: Symetrie funkce sinus.....	18
Obr.15: Diagram postupu určení kvadrantu fce sinus.....	19
Obr.16: Zápis do DAC MCP4922.....	20
Obr.17: Výstupní signál nejnižší frekvence $f_{out} = 1,907 \text{ Hz}$ .....	22
Obr.18: Výstupní signál frekvence $f_{out} = 50 \text{ Hz}$ .....	22
Obr.19: Výstupní signál frekvence $f_{out} = 100 \text{ Hz}$ .....	22
Obr.20: Výstupní signál frekvence $f_{out} = 200 \text{ Hz}$ .....	23
Obr.21: Výstupní signál frekvence $f_{out} = 1 \text{ kHz}$ .....	23
Obr.22: Výstupní signál frekvence $f_{out} = 2 \text{ kHz}$ .....	23
Obr.23: Výstupní signál frekvence $f_{out} = 5 \text{ kHz}$ .....	24
Obr.24: Výstupní signál frekvence $f_{out} = 10 \text{ kHz}$ .....	24
Obr.25: Výstupní signál frekvence $f_{out} = 15 \text{ kHz}$ .....	24
Obr.26: Výstupní signál frekvence $f_{out} = 20 \text{ kHz}$ .....	25
Obr.27: Výstupní signál $f_{out} = 100 \text{ Hz}$ před zpracováním rekonstrukčním filtrem.....	25
Obr.28: Výstupní signál $f_{out} = 1 \text{ kHz}$ před zpracováním rekonstrukčním filtrem.....	25
Obr.29: Výstupní signál $f_{out} = 5 \text{ kHz}$ před zpracováním rekonstrukčním filtrem.....	26
Obr.30: Výstupní signál $f_{out} = 10 \text{ kHz}$ před zpracováním rekonstrukčním filtrem.....	26
Obr.31: Výstupní signál $f_{out} = 20 \text{ kHz}$ před zpracováním rekonstrukčním filtrem.....	26
Obr.32: Nejnižší fázový posun = $0,011^\circ$ .....	27
Obr.33: Fázový posun = $90^\circ$ .....	27
Obr.34: Fázový posun = $180^\circ$ .....	27
Obr.35: Spektrum výstupního signálu frekvence $f_{out} = 100 \text{ Hz}$ .....	28
Obr.36: Spektrum výstupního signálu frekvence $f_{out} = 1 \text{ kHz}$ .....	28
Obr.37: Spektrum výstupního signálu frekvence $f_{out} = 10 \text{ kHz}$ .....	28
Obr.38: Výstupní signál frekvence $f_{out} = 1,907 \text{ Hz}$ („zašuměný“); amplituda 0,6V, deformace průběhu fce je způsobena vzorkováním osciloskopem na nízkých frekvencích.....	29
Obr.39: Výstupní signál frekvence $f_{out} = 10 \text{ kHz}$ ; amplituda 0,624V.....	29
Obr.40: Výstupní signály frekvence 5 a 10 kHz; amplitud 2,5 a 5V.....	29
Obr.41: Spektrum výstupního signálu frekvence $f_{out} = 2 \text{ kHz}$ .....	30
Obr.42: Spektrum výstupního signálu frekvence $f_{out} = 5 \text{ kHz}$ .....	30

# Seznam příloh

Příloha 1 – Layout vývojového kitu Arduino Uno Rev.3

Příloha 2 – Schéma vývojového kitu Arduino Uno Rev.3

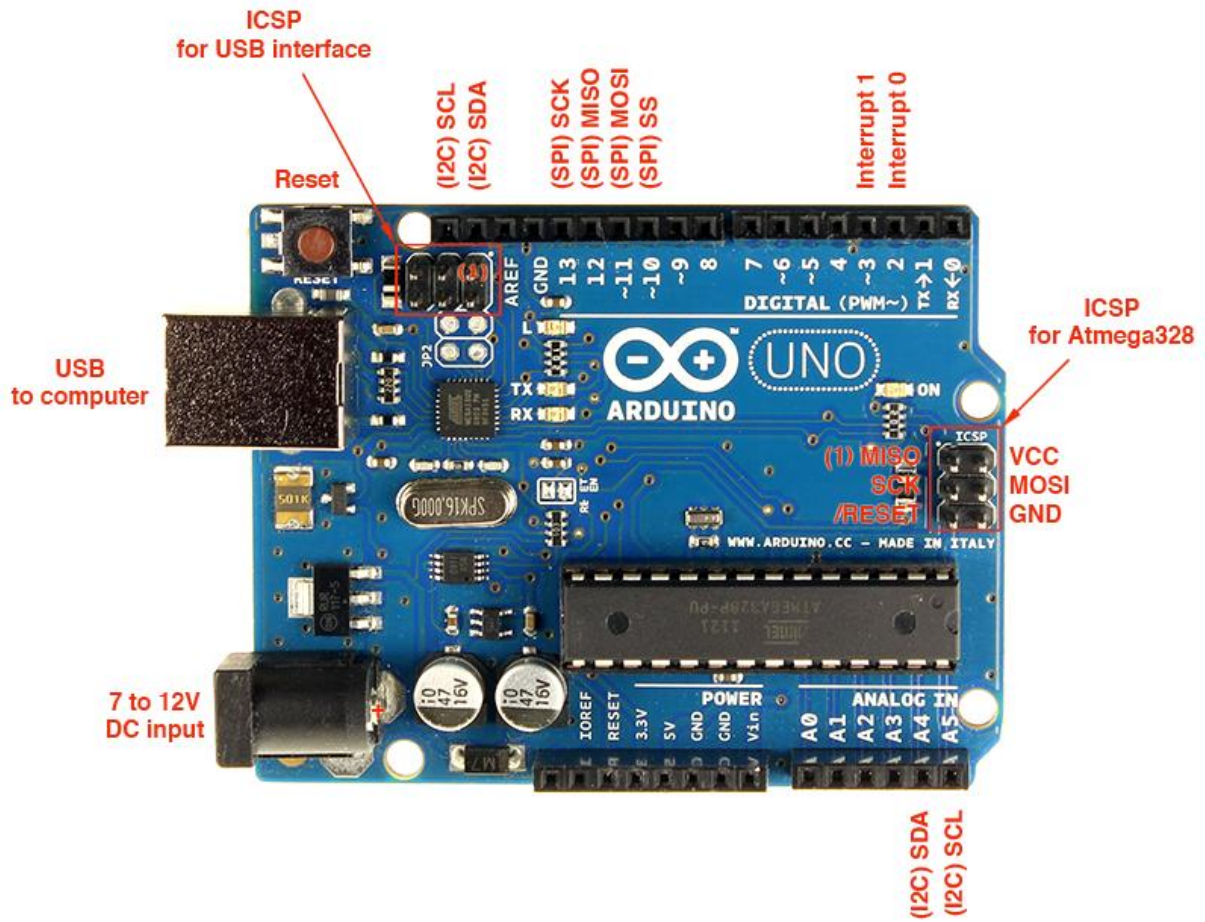
Příloha 3 – Layout DPS

Příloha 4 – Schéma analogového filtru

Příloha 5 – Schéma realizované DPS

Příloha 6 – Spektrální hustota šumu filtru

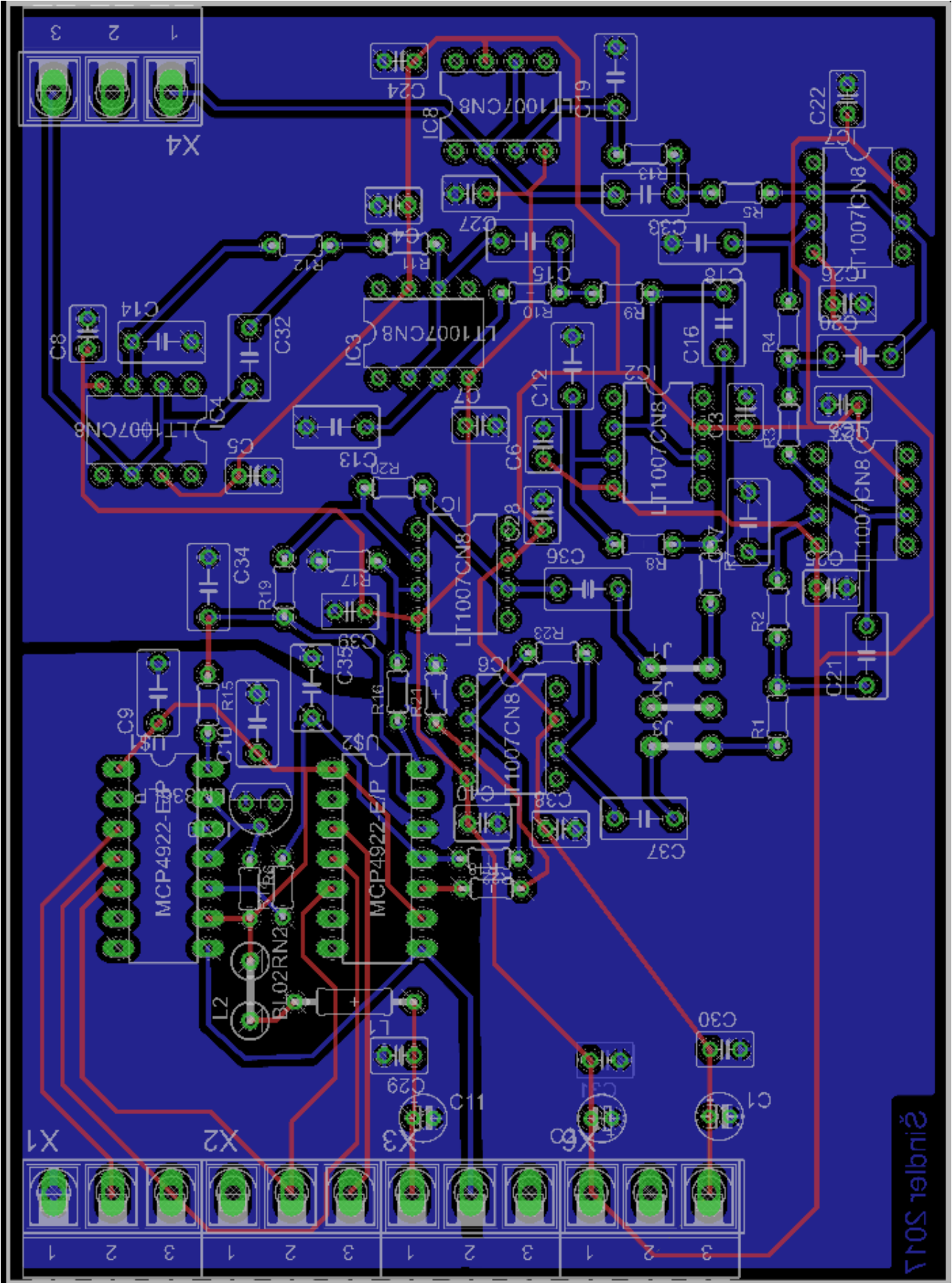
*Příloha 1 –*



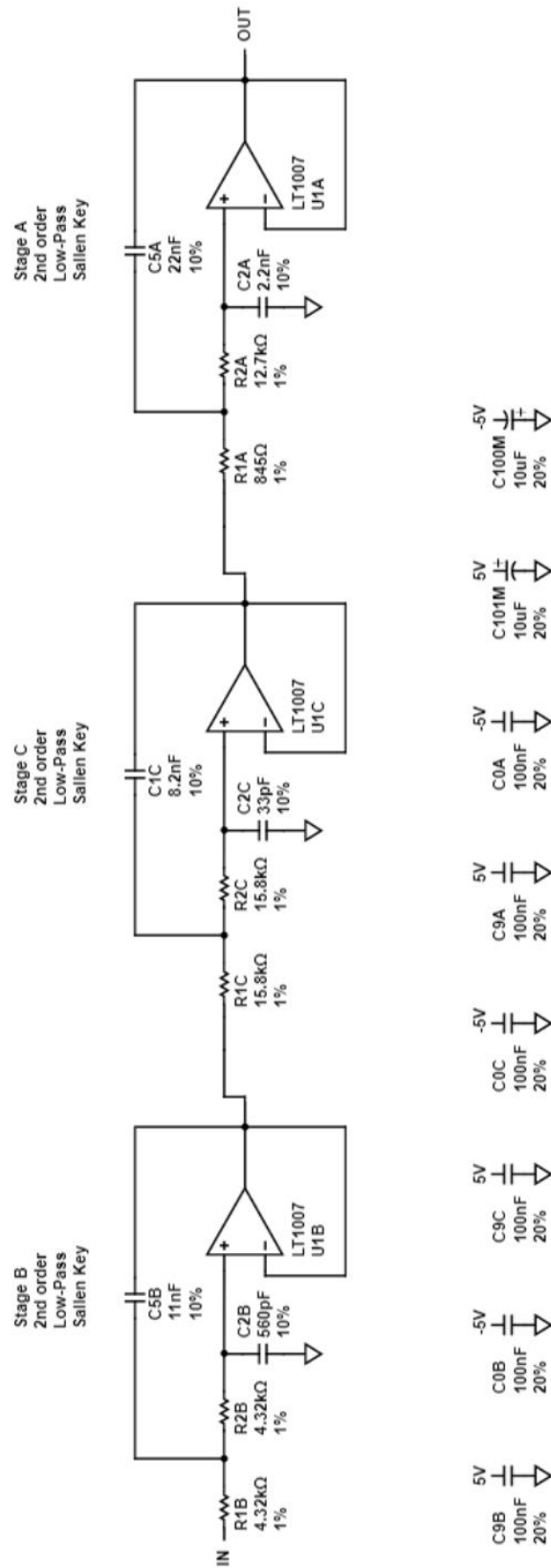




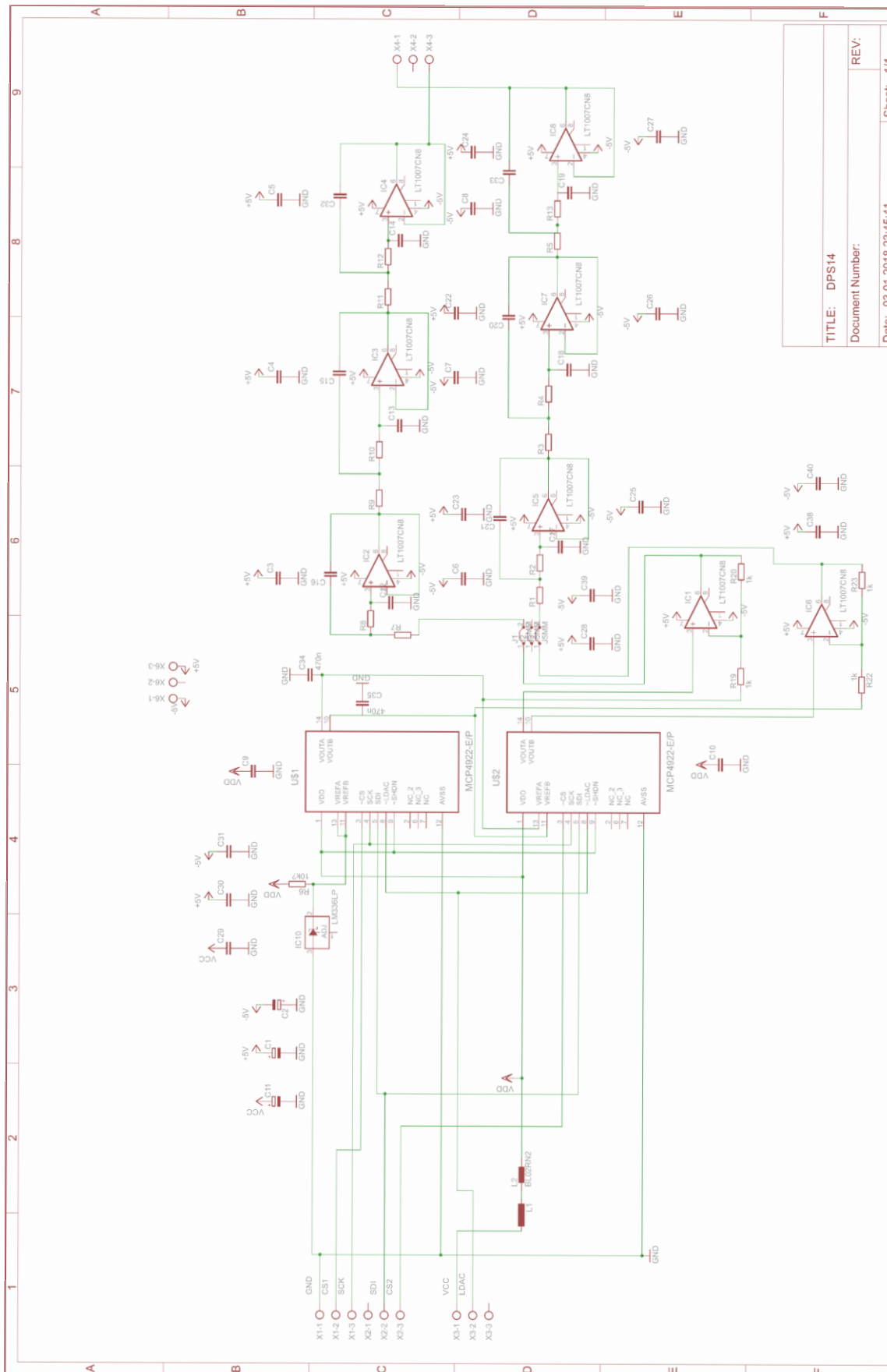
***Příloha 3 –***



**Příloha 4 –**



**Příloha 5 –**



***Příloha 6 –***

