

ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ

FAKULTA ELEKTROTECHNICKÁ

KATEDRA MĚŘENÍ



# BAKALÁŘSKÁ PRÁCE

Tutoriál digitálního návrhu v Cadence  
pro studenty informatiky

Digital Design Tutorial in Cadence for Students of Informatics

Jana Ščuková

Vedoucí práce: Ing. Vladimír Janíček, Ph.D.





## ZADÁNÍ BAKALÁŘSKÉ PRÁCE

Student: **Jana Ščuková**

Studijní program: **Otevřená informatika**  
Obor: **Počítačové systémy**

Název tématu česky: **Tutoriál digitálního návrhu v Cadence pro studenty informatiky**

Název tématu anglicky: **Digital Design Tutorial in Cadence for Students of Informatics**

### Pokyny pro vypracování:

1. Nastudujte problematiku logických obvodů využívaných v číslicovém návrhu IO. Seznamte se s prostředím Cadence.
2. Navrhněte sadu elektronických tutoriálů pro výuku hierarchického návrhu logických obvodů a jejich aplikací.
3. Postupujte od základních bloků až po jejich kombinace ve formě komplexních sekvenčních obvodů (např. dělička, čítač, registry, převodníky).
4. Návrh realizujte v prostředí Cadence, doplňte vhodný doprovodný výukový materiál. Sada bude primárně určena pro doplňkovou výuku studentů inženýrských oborů.

### Seznam odborné literatury:

- [1] ILS kurzy Cadence (<http://learning.cadence.com/>)
- [2] Deschamps, J.-P.: Digital Systems: From Logic Gates to Processors, Springer, ISBN-13: 978-3319411972
- [3] Hwang, E. O.: Digital Logic and Microprocessor Design with Interfacing. ISBN-13: 978-1305859456

Vedoucí bakalářské práce: Ing. Vladimír Janíček, Ph.D. (K 13134)  
Datum zadání bakalářské práce: 14. února 2017  
Platnost zadání do<sup>1</sup>: 30. září 2018

Prof. Ing. Jan Holub, Ph.D.  
vedoucí katedry



Prof. Ing. Pavel Ripka, CSc.  
děkan

V Praze dne 14. 2. 2017

<sup>1</sup> Platnost zadání je omezena na dobu tří následujících semestrů.



## Čestné prohlášení autora práce

Prohlašuji, že jsem předloženou práci vypracovala samostatně a že jsem uvedla veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

Jana Ščuková

V Praze dne .....

.....

Podpis autora práce



## Poděkování

Ráda bych poděkovala Ing. Vladimíru Janíčkoví, Ph.D. za metodické vedení mé bakalářské práce, zvláště pak jeho pozitivní přístup a podporu při zpracování.





## **Anotace**

Bakalářská práce je zaměřena na diskrétní návrh digitálních obvodů a jejich simulaci v programu Cadence Virtuoso. V příloze jsou vytvořeny doprovodné materiály, které je možno ve vysokoškolské výuce.

## **Klíčová slova**

digitální návrh, Cadence, schéma, simulace, tranzistor, logické hradlo, kombinační obvod, sekvenční obvod, sčítačka, DA převodník, paměťová buňka, sdílená paměť, zpětná vazba

## **Annotation**

This bachelor thesis is focused on discrete design of digital circuits and their simulation in Cadence Virtuoso. In the appendix, there are created supplementary materials that may be used to complete college lectures.

## **Key words**

digital design, Cadence, schema, simulation, transistor, logic gate, combinational circuit, sequential circuit, adder, DAC converter, memory cell, shared memory, feedback loop



# OBSAH

---

Seznam tabulek .....	13
Seznam obrázků .....	13
1 Úvod .....	17
2 Vývojové prostředí .....	18
3 Základní pojmy .....	19
4 Návrh logických obvodů .....	22
4.1 Tranzistor jako základní kámen návrhu .....	22
4.1.1 Stavba logických obvodů .....	23
4.1.2 Charakteristiky unipolárního tranzistoru .....	24
4.2 Kombinační obvody .....	26
4.2.1 Invertor .....	26
4.2.2 NAND (negative-AND) .....	28
4.2.3 NOR (negative-OR) .....	29
4.2.4 AND .....	30
4.2.5 OR .....	31
4.2.6 XOR (exclusive-OR) .....	32
4.2.7 XNOR (exclusive-NOR) .....	33
4.2.8 Shefferova a Peircova algebra .....	34
4.2.9 Dekodér 1 z N .....	35
4.2.10 Demultiplexor .....	36
4.2.11 Multiplexor .....	38
4.2.12 Sčítačka .....	41
4.3 Sekvenční obvody .....	47
4.3.1 RS (Reset-Set) klopný obvod .....	47
4.3.2 Synchronní RS klopný obvod .....	48
4.3.3 D klopný obvod (D flip flop) .....	49
4.3.4 Dělička kmitočtu .....	50
4.4 DA převodník .....	52
4.4.1 Transmission Gate .....	52
4.4.2 Switch .....	53
4.4.3 R2R DAC .....	54
4.5 Paměti .....	56
4.5.1 Asynchronní paměť z RS klopných obvodů .....	56
4.5.2 Synchronní paměť z D klopného obvodu .....	57

4.5.3	Sdílená paměť 8x8b .....	57
5	Numerický procesor se sdílenou pamětí a zpětnou vazbou .....	59
5.1	Numerický blok.....	59
5.2	Převodní blok.....	62
5.3	Konečná simulace numerického procesoru .....	64
5.4	Layout .....	66
6	Závěr .....	68
7	Použitá literatura.....	69
	Seznam použitých zkratk a symbolů .....	71
	Seznam příloh.....	72

## SEZNAM TABULEK

---

Tabulka 1: Souhrn základních elektromagnetických fyzikálních veličin a jejich jednotek .....	20
Tabulka 2: Pravdivostní tabulka invertoru .....	26
Tabulka 3: Pravdivostní tabulka NAND .....	28
Tabulka 4: Pravdivostní tabulka NOR.....	29
Tabulka 5: Pravdivostní tabulka AND.....	30
Tabulka 6: Pravdivostní tabulka OR .....	31
Tabulka 7: Pravdivostní tabulka XOR .....	32
Tabulka 8: Pravdivostní tabulka XNOR.....	33
Tabulka 9: Pravdivostní tabulka dekodéru 1 z 8 .....	35
Tabulka 10: Pravdivostní tabulka demultiplexoru .....	36
Tabulka 11: Pravdivostní tabulka multiplexoru .....	38
Tabulka 12: Pravdivostní tabulka poloviční sčítačky .....	41
Tabulka 13: Pravdivostní tabulka úplné sčítačky .....	42
Tabulka 14: Pravdivostní tabulka RS klopného obvodu .....	47
Tabulka 15: Pravdivostní tabulka synchronního RS klopného obvodu .....	48

## SEZNAM OBRÁZKŮ

---

Obrázek 1: Schéma bipolárního tranzistoru [13] .....	22
Obrázek 2: Průřez NPN tranzistorem [14].....	23
Obrázek 3: Průřez MOSFET tranzistorem [15] .....	23
Obrázek 4: Zapojení NMOS tranzistoru .....	24
Obrázek 5: Závislost proudu $I_D$ na napětí $U_{DS}$ .....	24
Obrázek 6: Závislost proudu $I_D$ na napětích $U_{DS}$ a $U_{GS}$ .....	25
Obrázek 7: Měření průrazného napětí $I_D$ .....	25
Obrázek 8: Schéma zapojení invertoru .....	26
Obrázek 9: Symbol invertoru .....	26
Obrázek 10: Schéma simulace invertoru .....	27
Obrázek 11: Průběh simulace invertoru .....	27
Obrázek 12: Zaoblení hran simulace invertoru.....	27
Obrázek 13: Schéma zapojení NAND .....	28
Obrázek 14: Symbol NAND.....	28
Obrázek 15: Schéma simulace NAND.....	28
Obrázek 16: Průběh simulace NAND.....	29
Obrázek 17: Schéma zapojení NOR.....	29
Obrázek 18: Symbol NOR .....	29
Obrázek 19: Schéma simulace NOR .....	30
Obrázek 20: Průběh simulace NOR .....	30
Obrázek 21: Schéma zapojení AND.....	30
Obrázek 22: Symbol AND .....	30
Obrázek 23: Schéma simulace AND .....	31
Obrázek 24: Průběh simulace AND .....	31
Obrázek 25: Schéma zapojení OR .....	31
Obrázek 26: Symbol OR.....	31

Obrázek 27: Schéma simulace OR .....	31
Obrázek 28: Průběh simulace OR .....	32
Obrázek 29: Schéma zapojení XOR.....	32
Obrázek 30: Symbol XOR.....	32
Obrázek 31: Schéma simulace XOR .....	32
Obrázek 32: Průběh simulace XOR .....	33
Obrázek 33: Schéma zapojení XNOR .....	33
Obrázek 34: Symbol XNOR .....	33
Obrázek 35: Schéma simulace XNOR .....	33
Obrázek 36: Průběh simulace XNOR .....	34
Obrázek 37: Schéma zapojení dekodéru 1 z 8.....	35
Obrázek 38: Symbol dekodéru 1 z 8.....	35
Obrázek 39: Schéma simulace dekodéru 1 z 8 .....	36
Obrázek 40: Průběh simulace dekodéru 1 z 8.....	36
Obrázek 41: Schéma zapojení demultiplexoru.....	37
Obrázek 42: Symbol demultiplexoru .....	37
Obrázek 43: Schéma simulace demultiplexoru .....	37
Obrázek 44: Průběh simulace demultiplexoru .....	38
Obrázek 45: Schéma zapojení multiplexoru.....	39
Obrázek 46: Symbol multiplexoru .....	39
Obrázek 47: Schéma simulace multiplexoru .....	39
Obrázek 48: Průběh simulace multiplexoru .....	40
Obrázek 49: Schéma zapojení poloviční sčítačky .....	41
Obrázek 50: Symbol poloviční sčítačky .....	41
Obrázek 51: Schéma simulace poloviční sčítačky.....	41
Obrázek 52: Průběh simulace poloviční sčítačky.....	42
Obrázek 53: Schéma zapojení úplné sčítačky.....	43
Obrázek 54: Symbol úplné sčítačky .....	43
Obrázek 55: Schéma simulace úplné sčítačky .....	43
Obrázek 56: Průběh simulace úplné sčítačky .....	43
Obrázek 57: Schéma zapojení 8-bitové sčítačky/odčítačky .....	44
Obrázek 58: Symbol 8-bitové sčítačky/odčítačky .....	44
Obrázek 59: Schéma simulace 8-bitové sčítačky/odčítačky.....	45
Obrázek 60: Průběh vstupních signálů A simulace 8-bitové sčítačky/odčítačky.....	46
Obrázek 61: Průběh vstupních signálů B 8-bitové sčítačky/odčítačky .....	46
Obrázek 62: Průběh výstupních signálů 8-bitové sčítačky/odčítačky .....	46
Obrázek 63: Schéma zapojení RS klopného obvodu .....	47
Obrázek 64: Symbol RS klopného obvodu .....	47
Obrázek 65: Schéma simulace RS klopného obvodu .....	48
Obrázek 66: Průběh simulace RS klopného obvodu .....	48
Obrázek 67: Schéma zapojení synchronního RS klopného obvodu .....	49
Obrázek 68: Symbol synchronního RS klopného obvodu .....	49
Obrázek 69: Schéma simulace synchronního RS klopného obvodu.....	49
Obrázek 70: Průběh simulace synchronního RS klopného obvodu.....	49
Obrázek 71: Schéma zapojení D klopného obvodu typu Master-Slave .....	50
Obrázek 72: Symbol D klopného obvodu typu Master-Slave.....	50
Obrázek 73: Schéma simulace D klopného obvodu typu Master-Slave.....	50
Obrázek 74: Průběh simulace D klopného obvodu .....	50

Obrázek 75: Schéma zapojení děličky kmitočtu.....	50
Obrázek 76: Symbol děličky kmitočtu .....	50
Obrázek 77: Schéma simulace děličky kmitočtu .....	51
Obrázek 78: Průběh simulace děličky kmitočtu .....	51
Obrázek 79: Schéma zapojení transmission gate.....	52
Obrázek 80: Symbol transmission gate.....	52
Obrázek 81: Schéma simulace transmission gate .....	52
Obrázek 82: Průběh simulace transmission gate .....	53
Obrázek 83: Schéma zapojení switch.....	53
Obrázek 84: Symbol switch .....	53
Obrázek 85: Schéma simulace switch .....	54
Obrázek 86: Průběh simulace switch .....	54
Obrázek 87: Schéma zapojení R2R.....	55
Obrázek 88: Symbol R2R .....	55
Obrázek 89: Schéma simulace R2R .....	55
Obrázek 90: Průběh simulace R2R .....	55
Obrázek 91: Schéma zapojení asynchronní paměti z RS klopných obvodů .....	56
Obrázek 92: Symbol asynchronní paměti z RS klopných obvodů .....	56
Obrázek 93: Schéma simulace asynchronní paměti z RS klopných obvodů .....	56
Obrázek 94: Průběh simulace asynchronní paměti z RS klopných obvodů .....	57
Obrázek 95: Schéma zapojení synchronní paměti z D klopných obvodů .....	57
Obrázek 96: Symbol synchronní paměti z D klopných obvodů.....	57
Obrázek 97: Schéma zapojení sdílené paměti 8x8b.....	58
Obrázek 98: Symbol sdílené paměti 8x8b.....	58
Obrázek 99: Schéma zapojení procesoru.....	59
Obrázek 100: Schéma zapojení numerického bloku procesoru.....	59
Obrázek 101: Symbol numerického bloku procesoru.....	60
Obrázek 102: Schéma simulace numerického bloku procesoru .....	61
Obrázek 103: Průběh vstupních signálů simulace numerického procesoru .....	61
Obrázek 104: Průběh řídicích signálů simulace numerického procesoru .....	61
Obrázek 105: Průběh výstupních simulace numerického bloku procesoru.....	62
Obrázek 106: Schéma zapojení převodního bloku procesoru .....	62
Obrázek 107: Symbol převodního bloku procesoru.....	62
Obrázek 108: Schéma simulace převodního bloku procesoru.....	63
Obrázek 109: Průběh simulace převodního bloku procesoru.....	63
Obrázek 110: Schéma simulace numerického procesoru .....	64
Obrázek 111: Průběh výstupních signálů simulace numerického procesoru .....	65
Obrázek 112: Průběh analogového výstupu simulace numerického procesoru .....	65
Obrázek 113: Layout numerického procesoru.....	66
Obrázek 114: Layout numerického procesoru včetně propojení .....	67





# 1 ÚVOD

---

Elektronika se stala běžným pomocníkem každého z nás, zvláště pak studenta informatiky, jako jsem například já. Mnohdy ale programujeme nebo pracujeme na čipech, aniž bychom si uvědomovali, jak náš program přesně funguje. Proto jsem se rozhodla zaměřit se ve své bakalářské práci na digitální obvody, se kterými my studenti přicházíme denně do styku a ne vždy známe přesně jejich funkčnost.

V dnešní době je obrovské množství učebnic i internetových tutoriálů digitálního návrhu a číslicové techniky. Některé z nich jsou tvořené samotnými univerzitami, např. kurzy od Massachusetts Institute of Technology (MIT) ve formě online tutoriálů [1] nebo Youtube videí [2], jiné materiály různé kvality jsou od jednotlivců. Pro studenta může vzniknout problém, protože každý materiál předpokládá různou znalost čtenářů.

Jelikož jsem sama prošla bakalářskými předměty oboru Počítačové systémy programu Otevřená informatika na Fakultě elektrotechnické ČVUT, vím přesně, co toto studium obnáší. Proto jsem se snažila vytvořit ucelenou sadu doprovodných materiálů k výuce digitálního návrhu, která bude odpovídat formou i obsahem znalostem studenta informatiky na FEL ČVUT. Postupovala jsem hierarchicky od základních obvodů po jejich složitější aplikace tak, aby na sebe všechny části hierarchicky i logicky navazovaly. Součástí práce je sada elektronických učebních textů a knihoven pro návrhový software, které je možno přímo využít ve výuce.

## 2 VÝVOJOVÉ PROSTŘEDÍ

---

Bakalářská práce je vytvořena za pomoci školní licence programu Cadence Virtuoso. Oficiální webové stránky Cadence jsou k nalezení pod odkazem [3] a podrobný návod k obsluze tohoto programu pod odkazem [4]. V dalším textu je předpokládáno, že čtenář má základní přehled o vývojovém prostředí – umí vytvořit schéma, knihovní symbol a spustit simulaci v ADE L. Na FEL je možné přijít s tímto programem do styku např. v bakalářském předmětu Elektronika a mikroelektronika (A4B34EM) a magisterském předmětu Integrované systémy na čipu (A4B34ISC, B4B34ISC), oba vyučované doc. Ing. Jiřím Jakovenkem, Ph.D. a Ing. Vladimírem Janíčkem, Ph.D.

V rámci licence nabízí Cadence velké množství dostupných knihoven, z nichž je použita knihovna analogLib obsahující zdroje napětí a proudu, rezistory, kondenzátory aj., a knihovna gpdk090 obsahující tranzistory tvořené v 90nm technologii.

V rámci programu jsou využívány hlavně simulační funkce ADE L a na konci práce je pro demonstrační účely zobrazen finální layout automaticky vytvořený pomocí LAYOUT XL.

### 3 ZÁKLADNÍ POJMY

---

Na úplný začátek je důležité shrnout si a ujasnit si základní pojmy a fyzikální veličiny. V případě zájmu o doplnění širších znalostí jsou zájemci doporučeny zdroje ze seznamu použité literatury.

- „Při popisu chování částic s ohledem na elektromagnetické silové působení jim přisuzujeme určitou vlastnost tím, když říkáme, že nesou elektrický náboj. (...) Náboje nikde nevznikají ani nezánikají, nabití částice se mohou v rámci určitých hmotných těles přemísťovat, posouvat, hromadit, čímž se elektromagnetické jevy projevují i v makroskopickém měřítku.“ [5]  
„Jednotkou elektrického náboje je Coulomb. Tato jednotka je odvozena pomocí definovaného elektrického proudu, což je tok volně pohyblivých elektronů v elektrických vodičích.“ [6]  
Částice jsou buď kladně elektricky nabití (proton) nebo záporně elektricky nabití (elektron). Proton i elektron mají náboj o velikosti elementárního náboje, avšak s opačným znaménkem. Elementární náboj je nejmenší elektrický náboj, jenž nelze dále dělit a má velikost přibližně  $1,602 \cdot 10^{-19}$  C. [5]
- „Elektrický proud udává, kolik náboje projde určitým průřezem za jednotku času (1). Jeden ampér odpovídá průtoku náboje o velikosti jeden coulomb za jednotku času.“ [7]

$$I = \frac{Q}{t} \quad (1)$$

„Ampér je stálý elektrický proud, který při průchodu dvěma přímými rovnoběžnými nekonečně dlouhými vodiči zanedbatelného kruhového průřezu umístěnými ve vakuu ve vzájemné vzdálenosti 1 metr vyvolá mezi nimi stálou sílu o velikosti  $2 \cdot 10^{-7}$  newtonu na 1 metr délky vodiče.“ [8]

- „Elektrické napětí je rozdíl elektrických potenciálů mezi dvěma body v prostoru. Napětí 1 Volt je takové napětí, které je mezi konci vodiče, do kterého konstantní proud 1 A dodává výkon 1 W. V takovém případě má vodič odpor 1  $\Omega$ .“ [8]  
„Stejnoseměrné je takové napětí, které nemění v čase svoji polaritu, velikost měnit může. Střídavé napětí je napětí, které se v čase mění s určitou periodou, přičemž jeho střední hodnota nemusí být nulová. Časový průběh (tvar) napětí může být libovolný, nejčastěji se můžeme setkat se sinusovým průběhem. Dalšími průběhy mohou být pilovité, obdélníkové nebo libovolné jiné.“ [8]
- „Stejnoseměrný elektrický výkon je součin napětí a proudu, jelikož změnu práce lze vyjádřit jako změnu elektrického náboje při daném napětí (2).“ [8]

$$P = \frac{dW}{dt} = U \cdot \frac{dQ}{dt} = U \cdot I \quad (2)$$

„U střídavého výkonu je výpočet složitější, závisí mimo velikosti napětí a proudu také na tvaru signálu a vzájemném fázovém posuvu napětí a proudu.“ [8]

Níže v Tabulka 1 jsou shrnuty potřebné veličiny a jejich jednotky:

Tabulka 1: Souhrn základních elektromagnetických fyzikálních veličin a jejich jednotek

veličina	značka veličiny	jednotka	značka jednotky	jednotka dle soustavy SI
náboj	Q	Coulomb	C	A·s
proud	I	Amper	A	A
napětí	U	Volt	V	m <sup>2</sup> ·kg·s <sup>-3</sup> ·A <sup>-1</sup>
odpor	R	Ohm	Ω	m <sup>2</sup> ·kg·s <sup>-3</sup> ·A <sup>-2</sup>
výkon	P	Watt	W	m <sup>2</sup> ·kg·s <sup>-3</sup>

Kromě fyzikálních veličin je nutné znát zákony ohledně chování elektrických obvodů.

- Kirchhoffovy zákony jsou pravidla o zachování náboje a energie v elektrických obvodech. [8]
  - První Kirchhoffův zákon je znám jako zákon zachování náboje a říká, že náboj nelze vytvořit ani zničit. Proto součet proudů v kterémkoliv uzlu elektrického obvodu se rovná nule. [7]
  - Druhý Kirchhoffův zákon uvádí, že součet svorkových napětí prvků elektrického obvodu v libovolné uzavřené smyčce se rovná nule. [7]
- Ohmův zákon udává vzájemný vztah mezi proudem a napětím (3). [7]

$$U = R \cdot I \quad (3)$$

Dále je důležité si objasnit některé pojmy z oblasti polovodičů. Na širší doplnění znalostí jsou vhodné zdroje [7] a [9]. Také se předpokládá znalost pojmů jako kovalentní vazba nebo valenční elektron, v opačném případě je vhodné si znalosti doplnit z jakékoliv středoškolské učebnice chemie.

Nejčastěji rozdělujeme látky na nevodiče (tj. izolanty, nikdy nevedou proud), polovodiče a vodiče (vždy vedou proud). Podle [9] je polovodič látka, jejíž vodivost výrazně klesá s teplotou blížící se k hodnotě absolutní nuly a závisí dále na vnitřních i vnějších podmínkách, např. teplotě, osvětlení, tlaku nebo vlivu vnějších polí. Příkladem polovodiče je monokrystal křemíku (<sup>14</sup>Si) ležící ve 14. skupině periodické tabulky prvků (dále PTP) tvořený kovalentní vazbou, na které se podílejí 4 valenční elektrony. Běžně křemík nevede elektrický proud ani po přiložení vnějšího elektrického pole, protože nemá žádné volné nosiče náboje.

Dále [8] a [9] tvrdí, že můžeme vytvořit tzv. nevlastní polovodič nahrazením atomu křemíku atomem jiného prvku. Pokud ho nahradíme fosforem, tedy prvkem 15. skupiny PTP s pěti valenčními elektrony, vznikne polovodič typu N. Fosfor má totiž o jeden valenční elektron více než křemík a po zaplnění kovalentní vazby čtyřmi elektrony zůstane ten pátý elektron vázán jen velmi slabými silami. Elektron se odtrne v blízkosti vnějšího elektrického pole nebo po dodání tepla a stane se volným. Právě volnost elektronů způsobuje, že jsou takové látky vodivé. V polovodiči typu N jsou koncentračně v převaze elektrony a stávají se majoritním nosičem náboje. Opačná situace nastává, pokud se rozhodneme vytvořit polovodič typu P substitucí atomu křemíku atomem prvku ze 13. skupiny PTP, tedy boru, hliníku nebo galia. Tyto prvky mají pouze 3 valenční elektrony, tedy o jeden méně než křemík. Z toho důvodu chybí jeden elektron k zaplnění kovalentní vazby. Při vyšší teplotě nebo působením vnějšího elektrického pole dojde k odtržení elektronu v okolí vazby a zaplnění volného místa. Proces se dá znázornit tak, jako by

se pohybovala kladně nabitá částice nazvaná díra. U polovodičů typu P je díra majoritním nosičem náboje.

Podle [10] a [11] vzniká PN přechod spojením polovodiče typu P s řádově vyšší koncentrací děr než elektronů a polovodiče typu N s řádově vyšší koncentrací elektronů než děr. Dochází k difúzi děr do oblasti N z oblasti P, kde po sobě zanechávají ionizované akceptory, a elektronů do oblasti P z oblasti N, kde po sobě zanechávají ionizované donory. V místě metalurgického přechodu vzniká ochuzená oblast prostorového náboje, která se chová jako dielektrikum. Elektrické pole současně s difúzí odsává minoritní nosiče náboje, tedy díry z oblasti N a elektrony z oblasti P. V klidovém stavu bez přiložení vnějšího elektrického pole je tento stav ustálený, dochází ke kompenzaci difúze majoritních nosičů náboje a driftu minoritních nosičů náboje v oblasti prostorového náboje.

## 4 NÁVRH LOGICKÝCH OBVODŮ

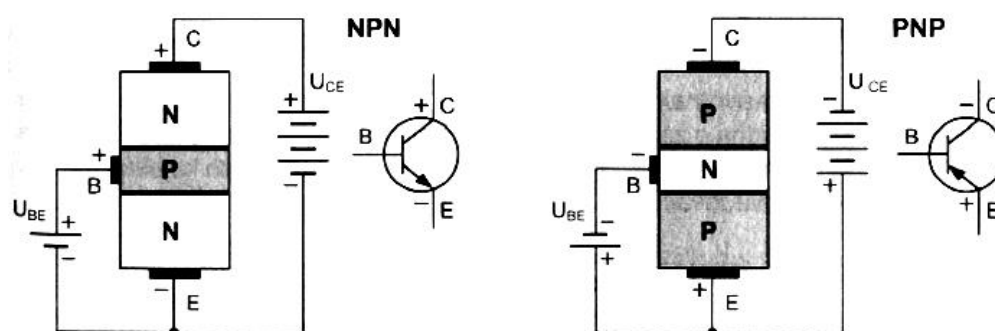
Největší důraz je v této bakalářské práci kladen na sestavení a simulaci logických obvodů v programu Cadence a jejich vysvětlení způsobem vyhovujícím běžnému studentovi Otevřené informatiky. Jednotlivé digitální obvody jsou zvoleny takové, se kterými má student možnost se běžně setkat při studiu i v praxi a na kterých lze ukázat jejich funkčnost.

Všechny obvody jsou tvořeny stejným způsobem – nejprve je sestaveno schéma, poté symbol reprezentující obvod, následně proběhla simulace takového obvodu a na konci je vysvětlen průběh simulace i s jejími výsledky. Pokud nebude řečeno jinak, ke stavbě všech dalších logických obvodů bude použit tranzistor „pmos1v“, resp. „nmos1v“ z knihovny gpdk090. Také je důležité pro zachování správnosti všech schémat a simulací, aby žádný ze vstupů nebo výstupů nezůstal nezapojený. V opačném případě by mohlo dojít k nežádoucímu samovolnému generování napětí, které by mohlo zkreslovat výsledky.

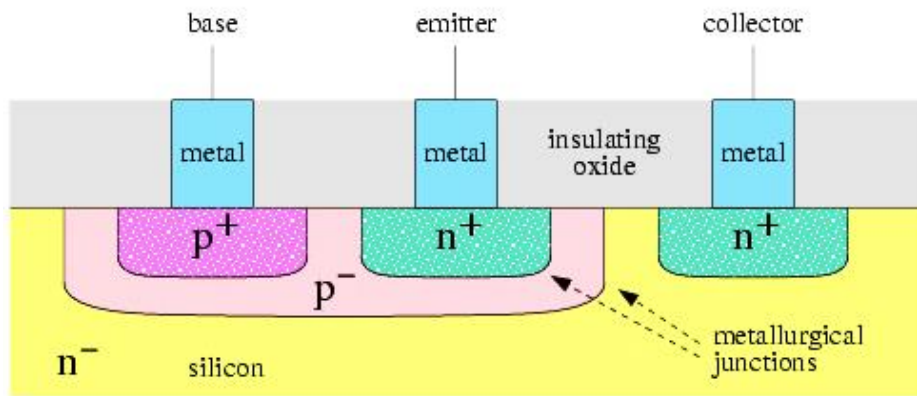
### 4.1 TRANZISTOR JAKO ZÁKLADNÍ KÁMEN NÁVRHU

„Tranzistory jsou elektronické součástky (nejčastěji) se třemi elektrodami, které jsou v závislosti na jejich konkrétním zapojení schopny zesilovat buď napětí, nebo proud, nebo obojí současně. (...) Dnes existuje několik principů tranzistorů, které se podle konstrukce dělí na bipolární, unipolární a kombinované. Bipolární tranzistory využívají ke své činnosti jak elektrony, tak i díry. Naproti tomu k zajištění základního principu činnosti unipolárních tranzistorů stačí nosiče náboje jedné polaroty, a to elektrony (díry) pro kanál typu N (P).“ [12]

„Bipolární tranzistor se skládá alespoň ze tří různě dotovaných oblastí tvořících dva přechody P-N v těsném uspořádání. Názvy emitoru a kolektoru respektují skutečnost, že silně dotovaný emitor  $N^{++}$  ( $P^{++}$ ) „emituje“ elektrony (díry) do úzké báze  $P^+$  ( $N^+$ ), kterou většina z nich projde a je „sbírána“ kolektorem N (P). Počet prošlých částí z emitoru do kolektoru lze přitom ovládat velikostí proudu do báze.“ [12]

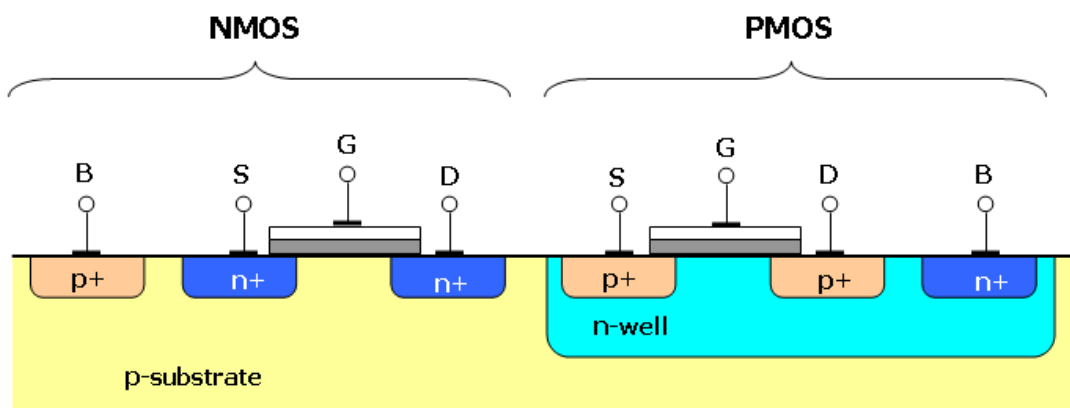


Obrázek 1: Schéma bipolárního tranzistoru [13]



Obrázek 2: Průřez NPN tranzistorem [14]

„Tranzistor MOSFET (Metal Oxide Semiconductor FET) je polem řízený tranzistor, kde je vodivost kanálu mezi elektrodami Source a Drain ovládána elektrickým polem vytvářeným ve struktuře kov(M)—oxid(O)—polovodič(S) napětím přiloženým mezi hradlo (Gate) a Source. Oxid nejčastěji tvoří  $\text{SiO}_2$  z důvodu jeho relativně snadné přípravy na povrchu křemíku. (...) Existuje-li vodivý kanál i při  $U_{GS} = 0$ , jedná se o MOSFET se zabudovaným kanálem. Je-li pro vytvoření kanálu vodivosti N (P) nutné přivést napětí  $U_{GS} > 0$  ( $U_{GS} < 0$ ), jedná se o MOSFET s indukovaným kanálem.“ [12]



Obrázek 3: Průřez MOSFET tranzistorem [15]

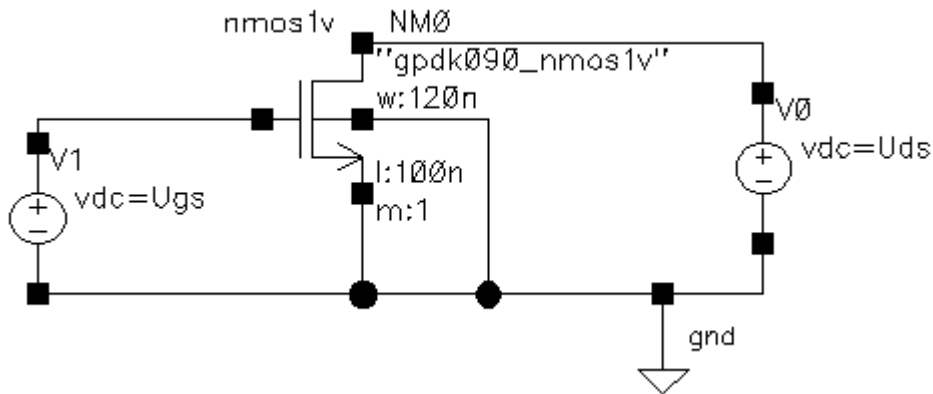
#### 4.1.1 Stavba logických obvodů

Ke stavbě logických obvodů je možné použít TTL standard pro digitální návrh využívající bipolární tranzistory. Podle [16] se původní řada obvodů typové řady TTL vyvinutá firmou Texas Instruments dnes již nevyužívá, ale stala se mezinárodně uznávanou normou včetně zaručovaných tolerančních pásem logických hodnot. Dále se zde uvádí, že vstup obvodu musí napětí od 2 V do 5 V považovat za log. 1 a napětí mezi 0 V až 0,8 V za log. 0. Pokud se na výstupu objeví napětí v rozmezí 2,4 V až 5 V, je hodnota považována za log. 1, hodnoty v rozmezí 0 V až 0,4 V jsou považovány za log. 0.

Většina logických obvodů, včetně uváděných v této bakalářské práci, se v dnešní době sestavuje z integrovaných obvodů CMOS, což je dle [17] řada sestavená z dvojice MOSFET tranzistorů – jednoho PMOS s indukovaným P kanálem a jednoho NMOS tranzistoru s indukovaným N kanálem.

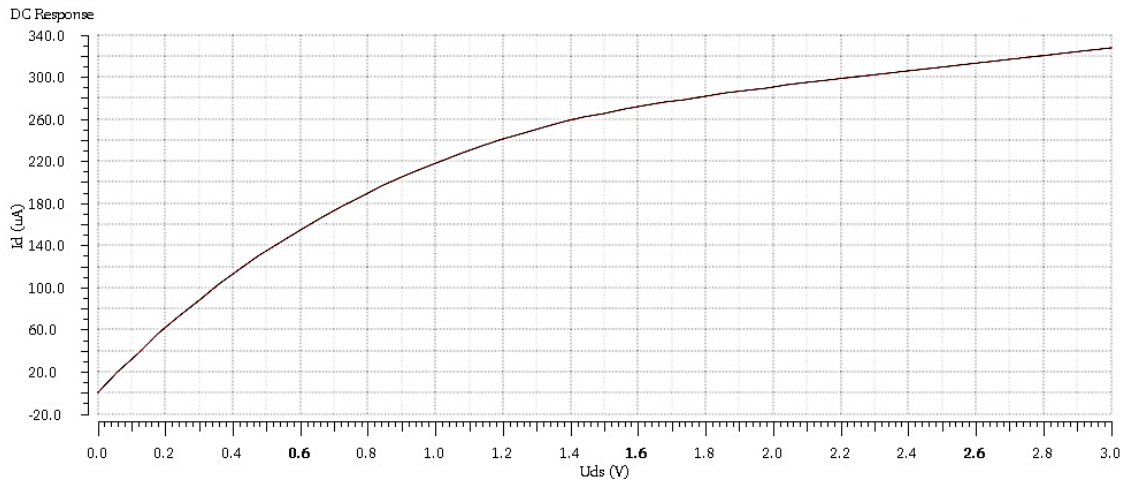
#### 4.1.2 Charakteristiky unipolárního tranzistoru

Jako první je nasimulované výše popsané chování tranzistoru v závislosti na napětích  $U_{GS}$  a  $U_{DS}$ . Pro simulaci je zvolený tranzistor „nmos1v“ z knihovny gpdk090 zapojený se dvěma zdroji napětí, generujícími požadovaná stejnosměrná napětí  $U_{GS}$  a  $U_{DS}$ , Bulk je připnutý na místo s nejnižším potenciálem, tedy k zemi (viz obrázek 4).



Obrázek 4: Zapojení NMOS tranzistoru

Při statickém nastavení napětí  $U_{GS} = 3 \text{ V}$  lze sledovat proud  $I_D$  při postupném zvyšování parametru  $U_{DS}$  od 0 V do 3 V. Výsledkem je křivka viditelná na obrázku 5.

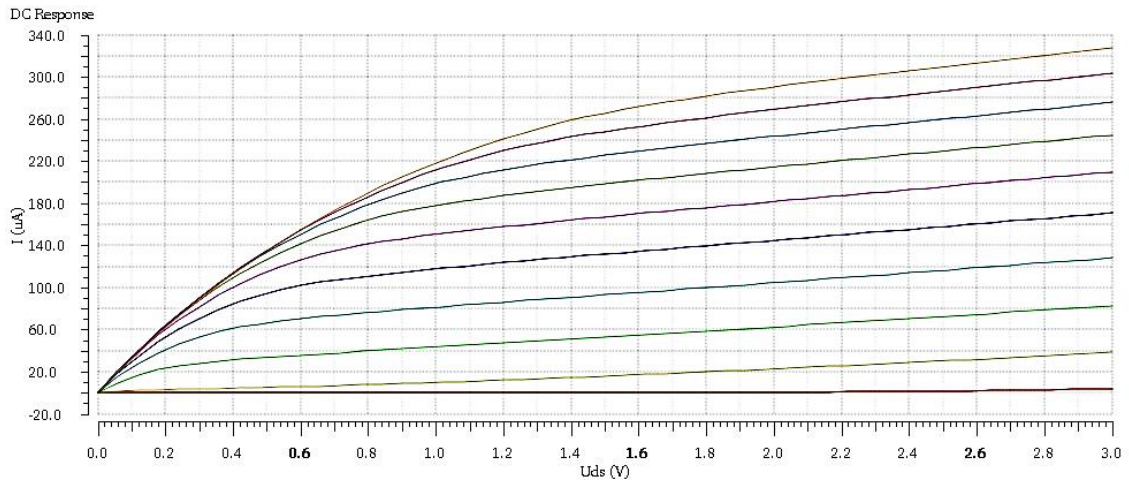


Obrázek 5: Závislost proudu  $I_D$  na napětí  $U_{DS}$

Průběh této křivky lze rozdělit na dvě oblasti – lineární a saturační, podle hodnoty prahového napětí  $U_t$ . Dle [18] je prahové napětí  $U_t$  u tranzistoru s indukovaným kanálem takové napětí  $U_{GS}$ , při kterém se vytvoří vodivý kanál. Dále [19] definuje lineární oblast jako takovou oblast, ve které platí, že  $U_{GS} > U_t$  a zároveň  $U_{DS} < U_{GS} - U_t$  a saturační oblast jako takovou oblast, ve které platí, že  $U_{GS} > U_t$  a zároveň  $U_{DS} > U_{GS} - U_t$ .



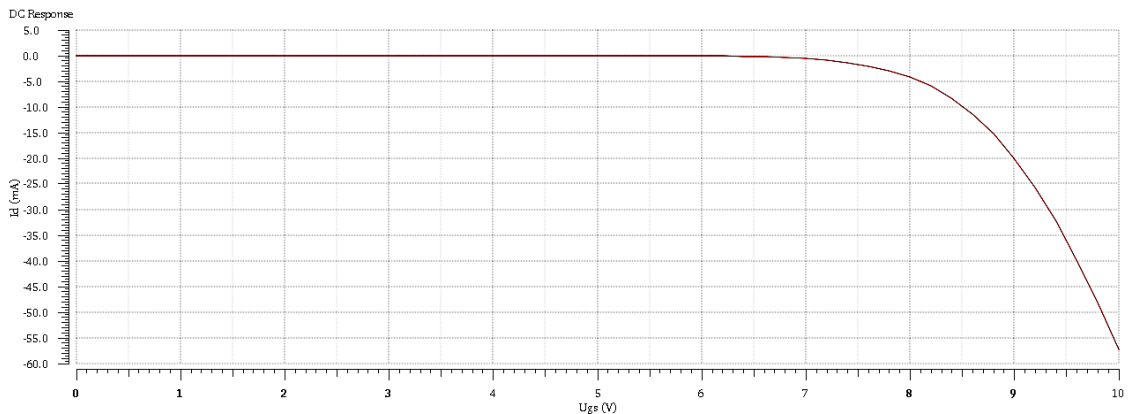
Sklon křivky na obrázku 5 je ale závislý na napětí  $U_{GS}$ . Při parametrické analýze  $U_{GS}$  od 0 V do 3 V je vidět, že platí přímá úměra – čím vyšší je napětí  $U_{GS}$ , tím větší je proud  $I_D$ , viz obrázek 6.



Obrázek 6: Závislost proudu  $I_D$  na napětích  $U_{DS}$  a  $U_{GS}$

Je ale potřeba dodržovat, aby maximální napětí  $U_{GS}$  nepřekročilo hodnotu průrazného napětí, při kterém se kanál prorazí, poteče jím vysoký závěrný proud a dojde ke zničení tranzistoru.

Tato hodnota se dá také zjistit z DC analýzy, při které se  $U_{DS}$  nastaví na hodnotu 0 V a postupně se zvyšuje hodnota napětí  $U_{GS}$ . Z průběhu napětí na obrázku 7 je patrné, že průraz nastává na hodnotě  $U_{GS} = 7$  V.



Obrázek 7: Měření průrazného napětí  $I_D$

## 4.2 KOMBINAČNÍ OBVODY

[17] definuje kombinační obvody jako takové obvody, kdy stav výstupů závisí pouze na aktuální kombinaci vstupů a nezávisí na předešlých stavech. Tyto obvody lze popsat rovnicí (4):

$$(y_1, y_2, \dots, y_m) = f(x_1, x_2, \dots, x_n) \quad (4)$$

kde  $y_1$  až  $y_m$  jsou výstupní stavy a  $x_1$  až  $x_n$  jsou vstupní stavy. Výstupní stavy jsou tedy logickou funkcí vstupních stavů.

### 4.2.1 Invertor

Invertor je jednovstupové logické hradlo, které překlápí logickou hodnotu (IN) na její negaci (OUT) (viz tabulka 2).

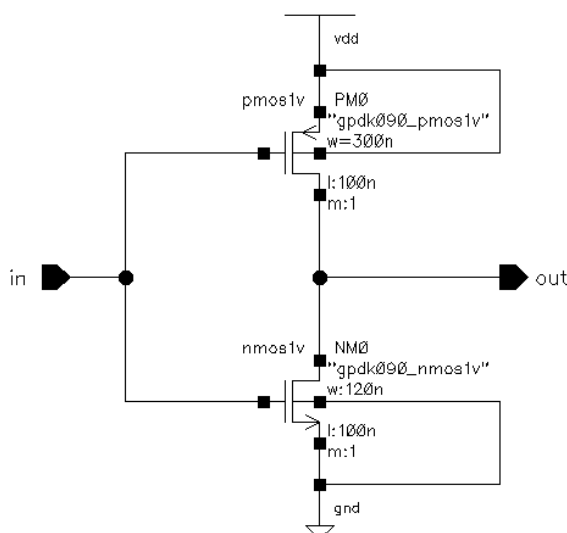
Tabulka 2: Pravdivostní tabulka invertoru

IN	OUT
0	1
1	0

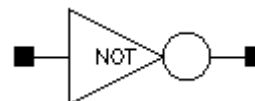
Hradlo je tvořené jedním PMOS a jedním NMOS tranzistorem. Protože v PMOS tranzistoru jsou majoritním nosičem náboje díry a je statisticky dokázáno, že díry jsou asi 3x pomalejší než elektrony, musí mít PMOS tranzistor asi 3x větší šířku pro vyrovnání schopnosti vést náboj (v tomto konkrétním případě se šířka rovná 120 nm u NMOS a 300 nm u PMOS tranzistoru).

Schéma zapojení je vidět níže na obrázku 8. Vstup je přiveden na G obou tranzistorů. V PMOS tranzistoru je D připojen na  $V_{DD}$ , B na místo s nejvyšším potenciálem (tedy také  $V_{DD}$ ) a S je připojen na výstup. Obdobně v NMOS tranzistoru je S připojen na GND, B na místo s nejnižším potenciálem (opět GND) a D je připojen na výstup.

Po přiložení napájecího napětí je PMOS zavřený a NMOS otevřený. [17] uvádí, že výstup bude spojený se zemí přes odpor otevřeného NMOS tranzistoru, který má velikost asi 0,5 až 1 k $\Omega$ . Zavřený PMOS pak plní úlohu zatěžovacího odporu s hodnotou přibližně  $10^9$  až  $10^{11}$   $\Omega$ . Na výstupu se tedy objeví hodnota napětí odpovídající log. 0. Opačná situace nastane, pokud je na vstup přivedeno nulové napětí. V tom případě je PMOS otevřený a NMOS zavřený, výstup je spojený s  $V_{DD}$  a na výstupu se objeví hodnota napětí odpovídající log. 1.

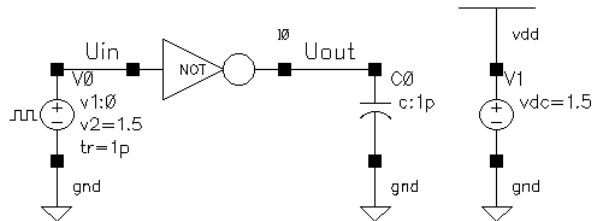


Obrázek 8: Schéma zapojení invertoru



Obrázek 9: Symbol invertoru

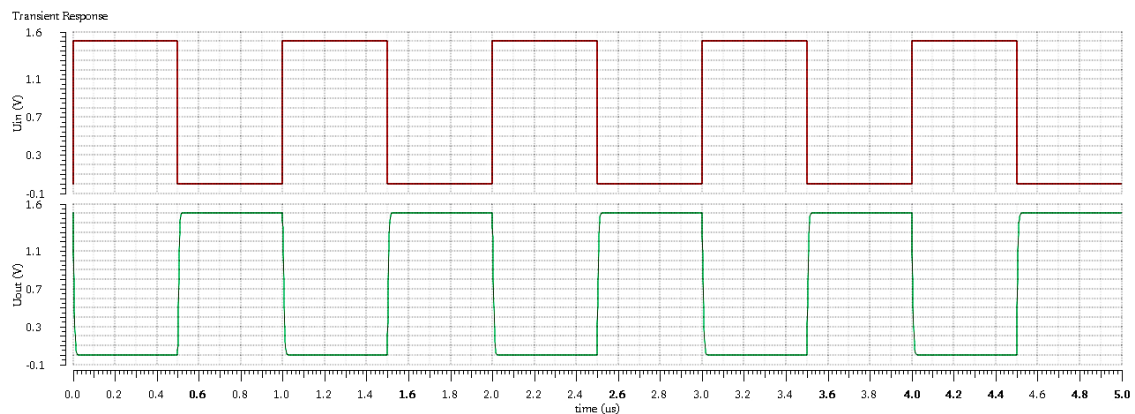
K otestování invertoru je ke vstupu připojen pulsní zdroj „vpulse“ z knihovny analogLib generující periodický obdélníkový signál s napětovými úrovněmi odpovídajícími  $V_{DD}$  a GND. Testovací frekvence je zvolena 1 MHz, což odpovídá periodě 1  $\mu$ s a napevno definované velikosti náběžné a sestupné hrany 1 ps. Na výstupu je jako zátěž kondenzátor o velikosti kapacity 1 pF (tj.  $10^{-12}$  F). Návěští vdd a gnd jsou propojena se stejnosměrným zdrojem napětím „vdc“ z knihovny analogLib, který nastavuje napětové hladiny  $V_{DD} = 1,5$  V a GND = 0 V.



Obrázek 10: Schéma simulace invertoru

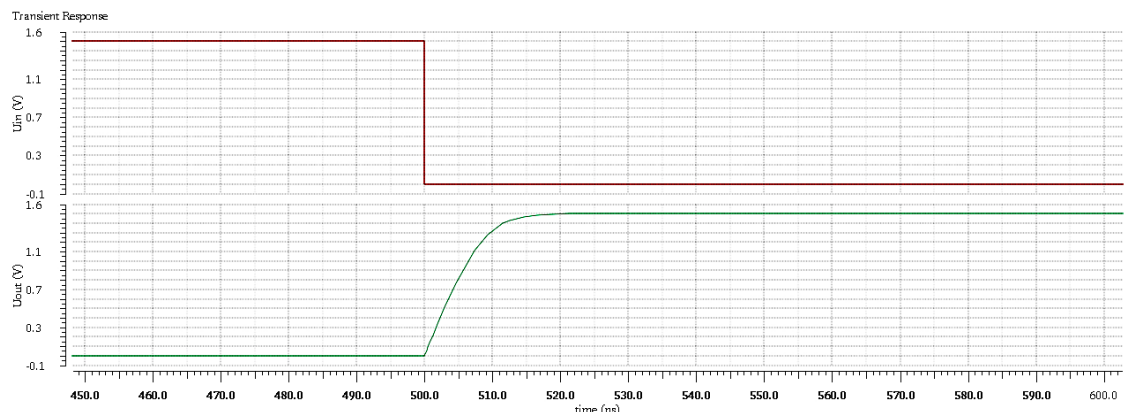
Simulace je tranzientní analýza, tedy analýza průběhu signálu v čase. Jelikož je na vstupu periodicky proměnný signál, na výstupu se objeví periodicky proměnný výstupní signál opačné logické hodnoty než vstupní. Změny signálu jsou sledovány po dobu pěti period, tedy 5  $\mu$ s.

Níže na obrázku 11 je zobrazeno nejprve vstupní napětí a poté výstupní napětí, které má právě opačnou logickou hodnotu.



Obrázek 11: Průběh simulace invertoru

Z průběhu simulace to není sice přesně vidět, ale přechodové hrany nejsou úplně ostré, ale zaoblené v důsledku pomalého nabíjení zátěžového kondenzátoru na výstupu. Pokud by byla zvolena menší velikost kapacity, např. v řádech jednotek fF ( $10^{-15}$  F), hrany by byly téměř ostré, ale takovýto stav by neodpovídal skutečnosti, kdy se používá v praxi velikost alespoň 1 pF.



Obrázek 12: Zaoblení hran simulace invertoru

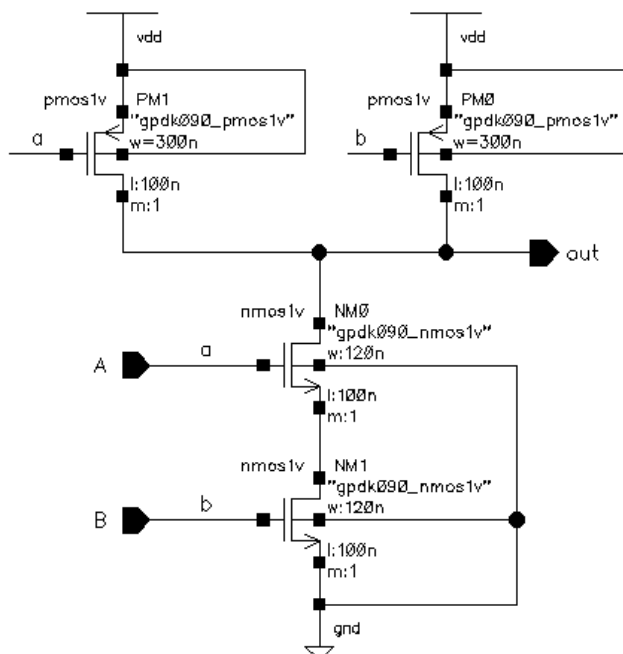
## 4.2.2 NAND (negative-AND)

Dvouvstupové hradlo NAND má na výstupu log. 0, pokud mají oba vstupy zároveň hodnotu log. 1, v ostatních případech je na výstupu vždy log. 1.

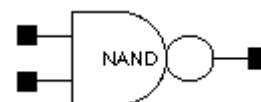
Tabulka 3: Pravdivostní tabulka NAND

A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

Dvouvstupové hradlo NAND je tvořeno čtyřmi tranzistory – dvěma paralelně zapojenými PMOS tranzistory a dvěma sériově zapojenými NMOS tranzistory. Následkem toho je výstup spojený se zemí, pouze pokud jsou oba NMOS tranzistory otevřené. Jelikož NMOS tranzistor se otevře po připojení napájecího napětí, musí být na obou vstupech napětí hodnoty log. 1 (tedy  $V_{DD}$ ), aby se oba NMOS tranzistory zároveň otevřely a na výstupu se objevila hodnota log. 0. V ostatních případech bude na výstupu hodnota log. 1, protože stačí, aby se na jakémkoliv vstupu objevila hodnota log. 0, otevře se jeden z PMOS tranzistorů a výstup se propojí s napájecím napětím.

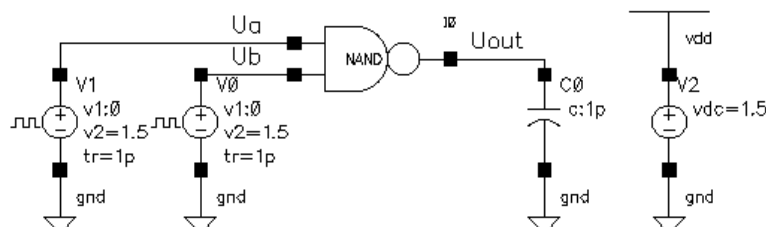


Obrázek 13: Schéma zapojení NAND



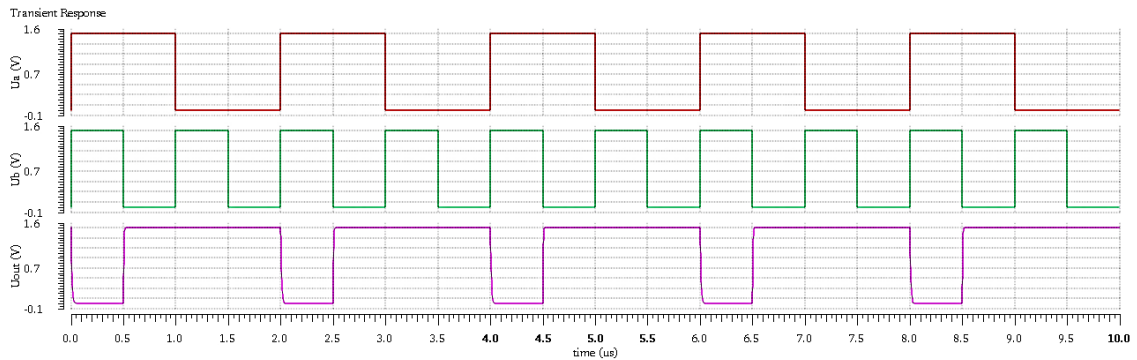
Obrázek 14: Symbol NAND

Pokud se hradlo zapojí se dvěma pulsními zdroji generujícími obdélníkové signály – jeden s periodou  $1 \mu\text{s}$  a druhý s dvojnásobnou periodou  $2 \mu\text{s}$ , dosáhne se tím toho, že se na vstupu prošťidají všechny čtyři kombinace možného zapojení a lze tak hradlo otestovat.



Obrázek 15: Schéma simulace NAND

Výstupní signál je sledován v čase v závislosti na aktuální kombinaci vstupních signálů. Doba sledování odpovídá pěti periodám signálu s nejdelší periodou, tedy  $10 \mu\text{s}$ . Nejprve jsou na obrázku 16 zobrazena vstupní napětí signálů A a B, poté výstupní napětí signálu OUT.



Obrázek 16: Průběh simulace NAND

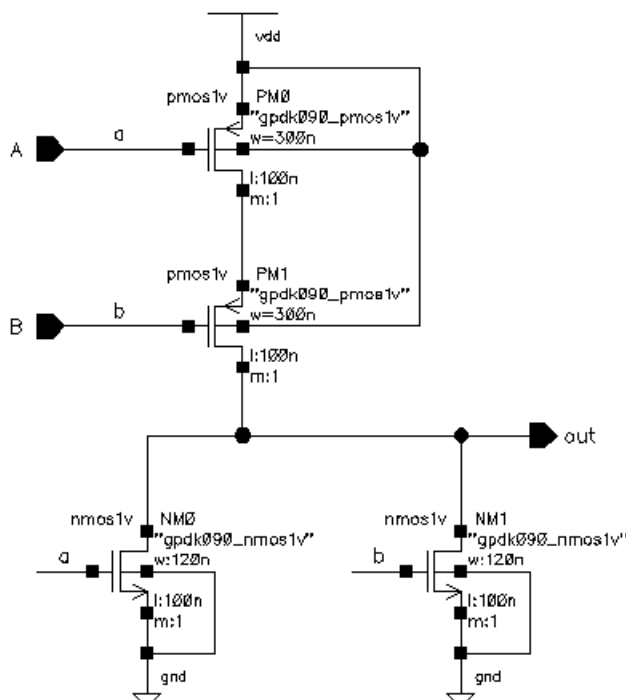
### 4.2.3 NOR (negative-OR)

Dvouvstupové hradlo NOR má na výstupu hodnotu log. 1 v případě, že na obou vstupech jsou zároveň log. 0, jinak je na výstupu vždy log. 0.

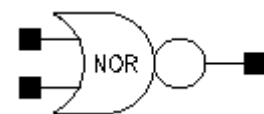
Tabulka 4: Pravdivostní tabulka NOR

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	0

Toto hradlo je tvořeno čtyřmi tranzistory stejně jako dvouvstupové hradlo NAND, ale na rozdíl od něj jsou PMOS tranzistory spojeny sériově a NMOS tranzistory jsou spojeny paralelně. Aby se na výstupu objevila hodnota log. 1, musí být oba PMOS tranzistory zároveň otevřené, což se stane pouze v případě, že mají oba vstupy hodnotu log. 0. Pokud jakýkoliv ze vstupů má hodnotu log. 1, otevře se jeden z NMOS tranzistorů a na výstupu se objeví napětí odpovídající hodnotě log. 0.

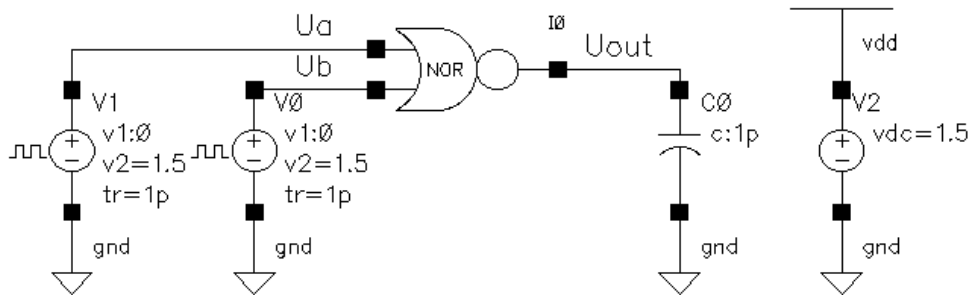


Obrázek 17: Schéma zapojení NOR



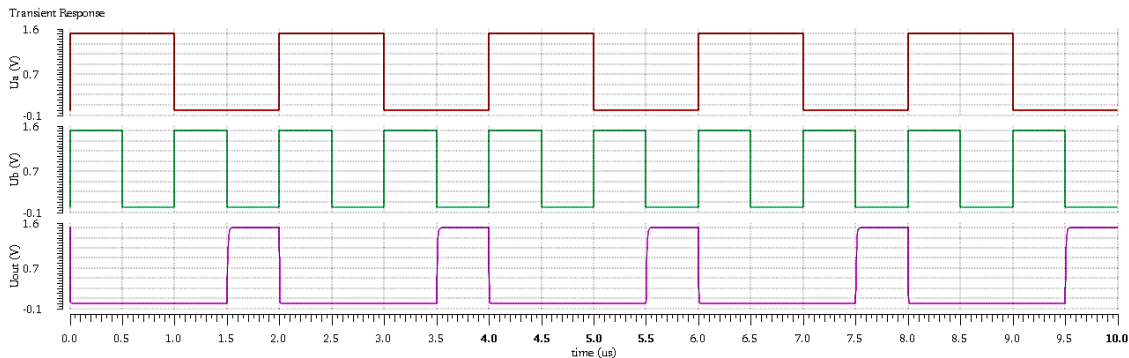
Obrázek 18: Symbol NOR

Pro ověření funkčnosti jsou ke vstupu připojeny dva pulsní zdroje generující obdélníkové signály s periodami 1  $\mu$ s a 2  $\mu$ s. Takto postupně vznikají čtyři kombinace logických hodnot a je sledován výstup.



Obrázek 19: Schéma simulace NOR

Průběh výstupních signálů je zobrazen na obrázku 20, kde jsou zobrazena nejdříve vstupní napětí signálů A a B, poté výstupní napětí signálu OUT.



Obrázek 20: Průběh simulace NOR

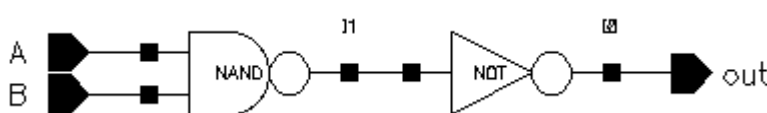
#### 4.2.4 AND

Dvouvstupové hradlo AND není nutné stavět z tranzistorů stejně jako v předchozích případech invertor, NAND a NOR, ale je možné použít právě tato hotová logická hradla. AND je hradlo, které má na výstupu log. 1 právě tehdy, když na vstupu jsou také log. 1, v ostatních případech je na výstupu log. 0.

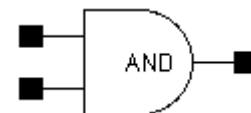
Tabulka 5: Pravdivostní tabulka AND

A	B	OUT
0	0	0
0	1	0
1	0	0
1	1	1

Je zřejmé, že na výstupu je vždy opačná hodnota, než by byla na výstupu hradla NAND. Proto je nejjednodušší takové hradlo postavit tak, že za hradlo NAND se připojí invertor.

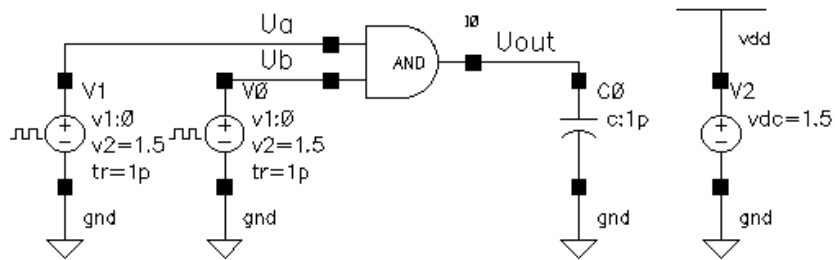


Obrázek 21: Schéma zapojení AND



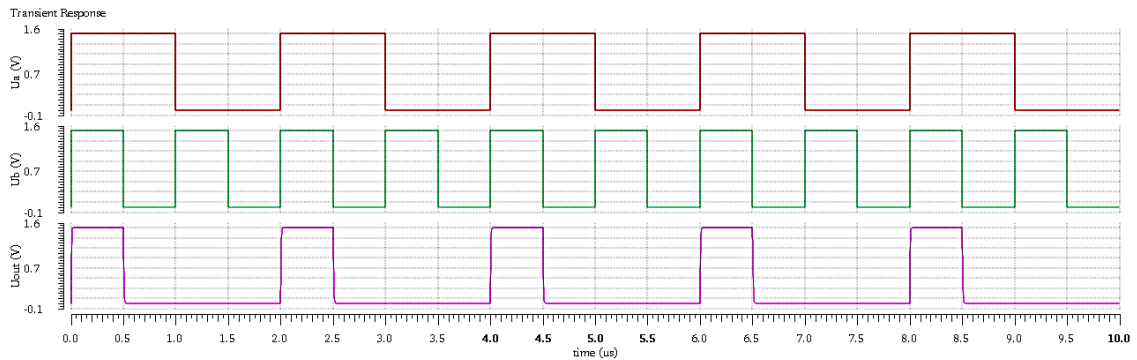
Obrázek 22: Symbol AND

Simulace hradla AND probíhá stejně jako výše simulovaná hradla NAND a NOR a to postupným připojením všech čtyř možných kombinací vstupních hodnot a sledováním aktuálního výstupního signálu v závislosti na vstupních signálech.



Obrázek 23: Schéma simulace AND

Závislost výstupního napětí  $U_{out}$  na aktuální vstupní kombinaci  $U_a$  a  $U_b$  je vidět na obrázku 24.



Obrázek 24: Průběh simulace AND

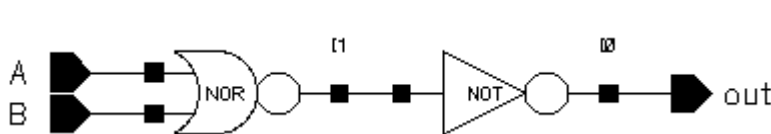
#### 4.2.5 OR

Dvou vstupové hradlo OR má na výstupu log. 0 pouze v případě, že na vstup jsou zároveň přivedeny log. 0, jinak je na výstupu log. 1.

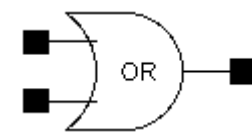
Tabulka 6: Pravdivostní tabulka OR

A	B	OUT
0	0	0
0	1	1
1	0	1
1	1	1

Opět je výše vidět, že výstupní funkce tohoto hradla je opačná než u hradla NOR. Proto nejjednodušší cesta vytvoření hradla OR je taková, že za hradlo NOR se připojí invertor (stejně jako z hradla NAND vzniklo hradlo AND).

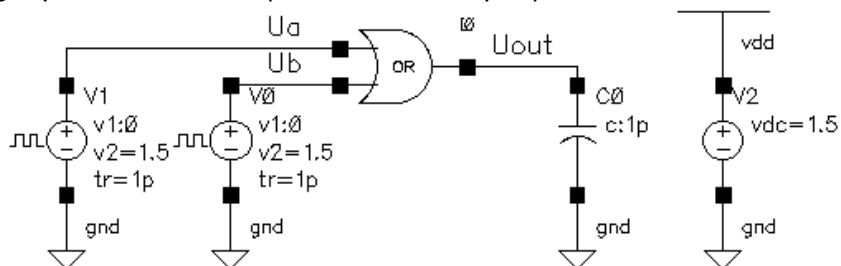


Obrázek 25: Schéma zapojení OR



Obrázek 26: Symbol OR

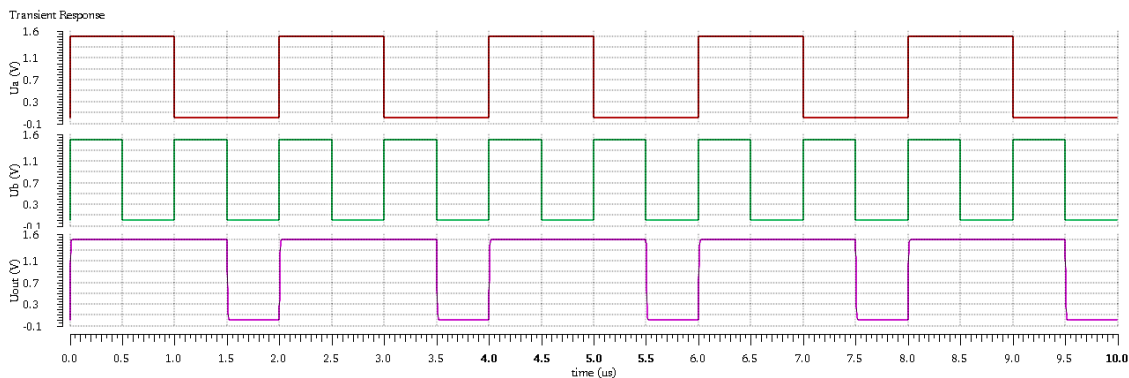
Simulace probíhá naprosto stejně jako v případě hradel výše, tedy postupným zapojením všech možných logických kombinací vstupů a sledováním výstupu.



Obrázek 27: Schéma simulace OR



Níže na obrázku 28 je vidět průběh vstupních napětí  $U_a$  a  $U_b$ , poté výstupní napětí  $U_{out}$ .



Obrázek 28: Průběh simulace OR

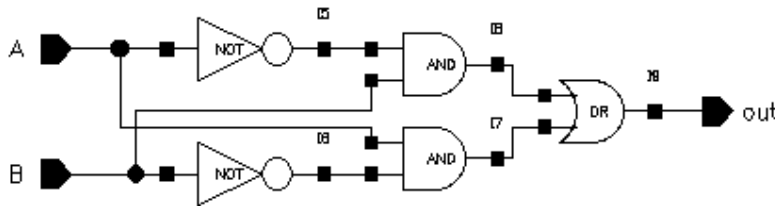
#### 4.2.6 XOR (exclusive-OR)

Dvouvstupové hradlo XOR, tedy exkluzive-OR, má na výstupu log. 1, pokud se vstupy sobě nerovnaj, tj. jeden vstup má hodnotu log. 0 a druhý má hodnoty log. 1.

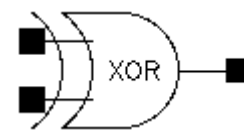
Tabulka 7: Pravdivostní tabulka XOR

A	B	OUT
0	0	0
0	1	1
1	0	1
1	1	0

Hradlo XOR není nutné sestavovat z tranzistorů, ale mohou se využít již sestavená hradla – invertor, AND a OR. Dle tabulky 7 je potřeba z hradel sestavit logickou funkci, aby odpovídala výstupu. První případ log. 1 na výstupu odpovídá situaci, kdy vstup A má hodnotu log. 0 a vstup B má hodnotu log. 1, což je případ logické funkce  $NOT(A) AND B$ . Druhý případ je opačný, na vstupu A je hodnota log. 1 a na vstupu B log. 0, tedy  $A AND NOT(B)$ . Jelikož může nastat kterýkoliv z těchto dvou případů, spojí se obě logické funkce členem OR a vznikne finální logická funkce:  $(NOT(A) AND B) OR (A AND NOT(B))$ , viz obrázek 29.

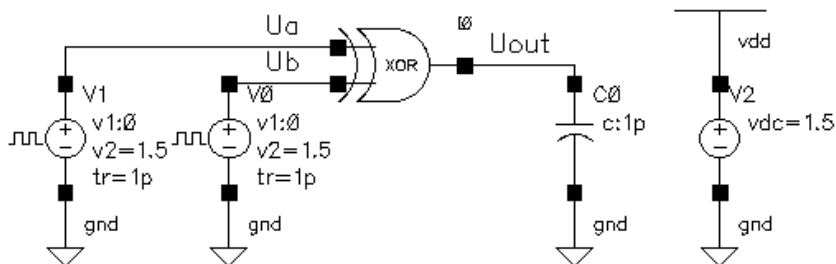


Obrázek 29: Schéma zapojení XOR



Obrázek 30: Symbol XOR

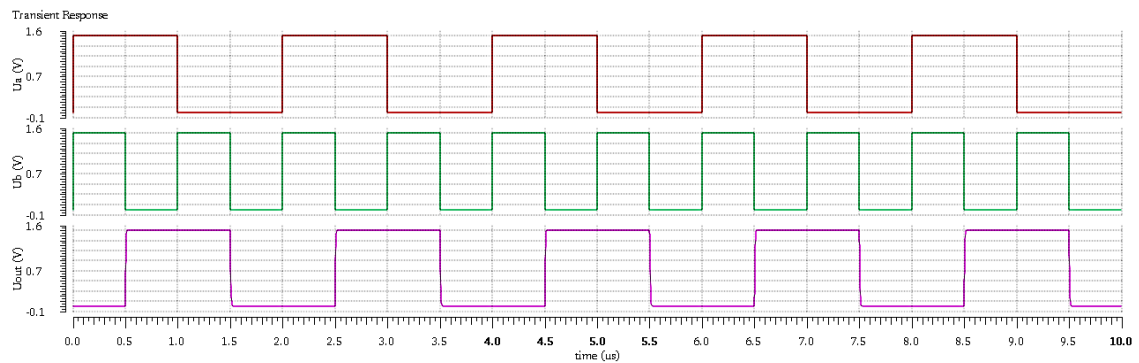
Zapojení simulace je stejné jako u ostatních dvouvstupových hradel výše, tedy postupným dosažením všech 4 možných kombinací vstupních hodnot se sleduje výstupní logická hodnota.



Obrázek 31: Schéma simulace XOR



Níže na obrázku 32 je vidět, že poslední signál OUT závisí na předchozích dvou A a B dle předpokládaného chování.



Obrázek 32: Průběh simulace XOR

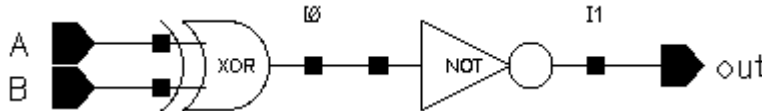
#### 4.2.7 XNOR (exclusive-NOR)

XNOR je dvouvstupové hradlo, které má na výstupu log. 1 v případě, že se vstupy sobě rovnají, tedy oba mají hodnotu log. 0 nebo log. 1.

Tabulka 8: Pravdivostní tabulka XNOR

A	B	OUT
0	0	1
0	1	0
1	0	0
1	1	1

Jelikož výstupní logická funkce odpovídá negaci XOR, není potřeba ho nějak stavět z tranzistorů, ale stačí zapojit za hradlo XOR výstup negující invertor.

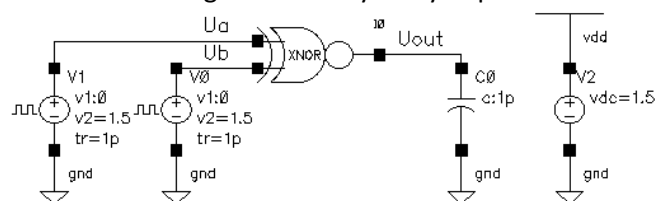


Obrázek 33: Schéma zapojení XNOR



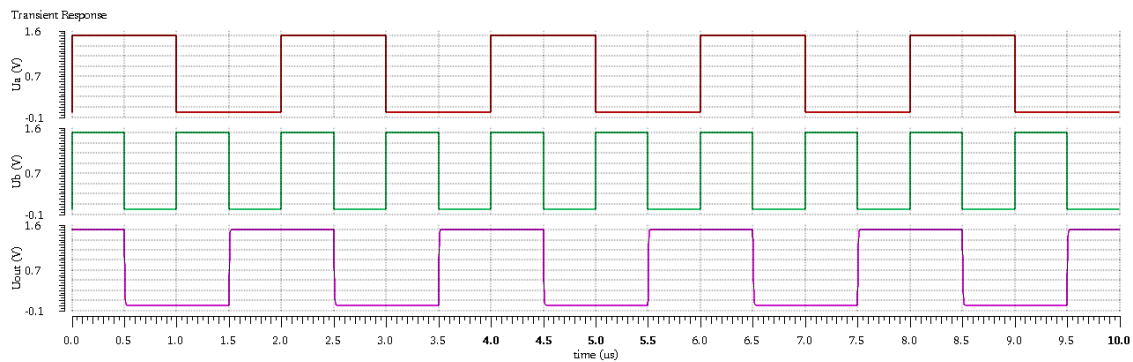
Obrázek 34: Symbol XNOR

Simulace je stejně jako v předchozích případech provedena formou testování všech 4 možných vstupních kombinací a sledováním logické hodnoty na výstupu.



Obrázek 35: Schéma simulace XNOR

Z grafu na obrázku 36 je patrné, že na výstupu je hodnota log. 1, pouze pokud mají horní dva průběhy Ua a Ub stejnou úroveň.



Obrázek 36: Průběh simulace XNOR

#### 4.2.8 Shefferova a Peircova algebra

Poslední téma, které je dle mě potřeba zmínit u logických hradel jsou Shefferova a Peircova algebra. [20]

Schefferova algebra je taková algebra využívající pouze NAND hradlo, pomocí něho lze vytvořit ostatní hradla:

- invertor: oba vstupy hradla NAND se buď propojí, nebo se na druhý vstup přivede log. 1
- AND: stejným způsobem jako na obrázku 21
- OR: oba vstupy se negují a pak se přivedou na NAND
- NOR: neguje se výstup hradla OR
- XOR, XNOR: stejným způsobem jako na obrázcích 29 a 33

Peircova algebra je algebra využívající pouze NOR hradlo. Ostatní hradla se z něho dají ale vytvořit velmi obdobně jako v případě Schefferovy algebry:

- invertor: oba vstupy hradla NOR se buď propojí, nebo se na druhý vstup přivede log. 0
- OR: stejným způsobem jako na obrázku 25
- AND: oba vstupy se negují a pak se přivedou na NOR
- NAND: neguje se výstup hradla AND
- XOR, XNOR: stejným způsobem jako na obrázcích 29 a 33

#### 4.2.9 Dekodér 1 z N

Obecně se dekodér říká jakémukoliv obvodu, který převádí jeden typ kódu na jiný. Nejčastěji se ale pod pojmem dekodér rozumí binární dekodér 1 z N, který převádí vstupní n-bitovou hodnotu na výstupní N-bitovou ( $N = 2^n$ ) hodnotu. V případě této práce se jedná konkrétně o dekodér 1 z 8, tedy 3 bitová vstupní hodnota se převádí na 8 bitovou výstupní hodnotu ( $8 = 2^3$ ).

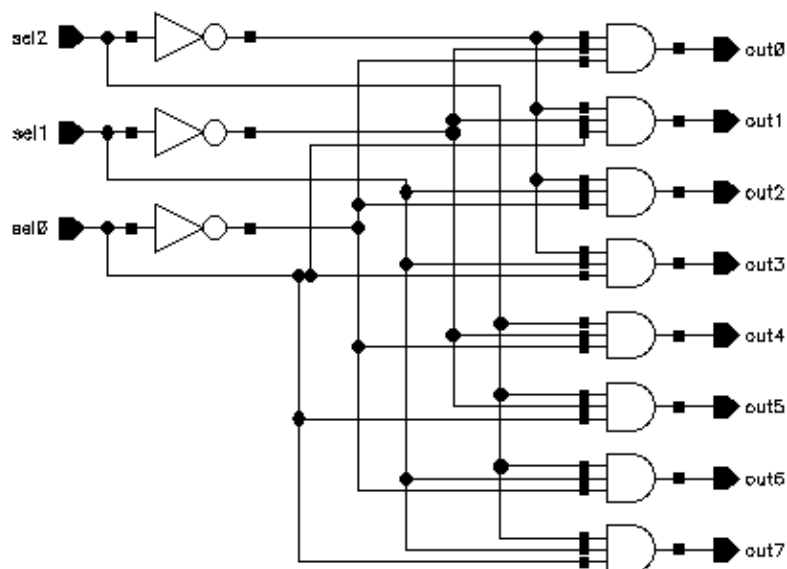
Používá se tzv. one-hot dekodér, takže v jednom časovém okamžiku je aktivován pouze jeden výstup, který má hodnotu log. 1, a ostatní výstupy jsou deaktivovány s hodnotou logické 0.

Tabulka 9: Pravdivostní tabulka dekodéru 1 z 8

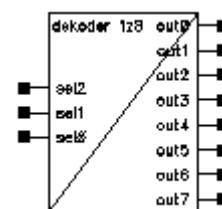
A	B	C	out0	out1	out2	out3	out4	out5	out6	out7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Dekodér se může používat samostatně nebo může tvořit složitější funkční bloky, např. demultiplexor, jak bude ukázáno později.

Zapojení takového dekodéru je poměrně jednoduché – výstupy mají hodnotu log. 1, pokud se vstupy rovnají požadované kombinaci. Takže stačí všechny logické kombinace vstupů ve správném pořadí připojit na výstup pomocí AND hradel. Tak se docílí, že v daném časovém okamžiku bude pravdivá právě jedna kombinace, a tedy bude aktivovaný pouze jeden výstup.

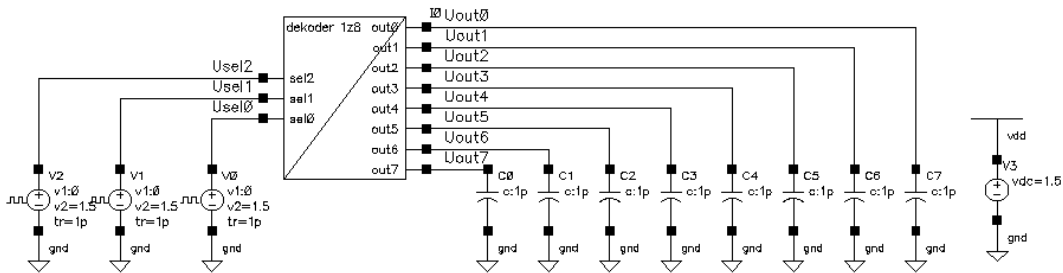


Obrázek 37: Schéma zapojení dekodéru 1 z 8



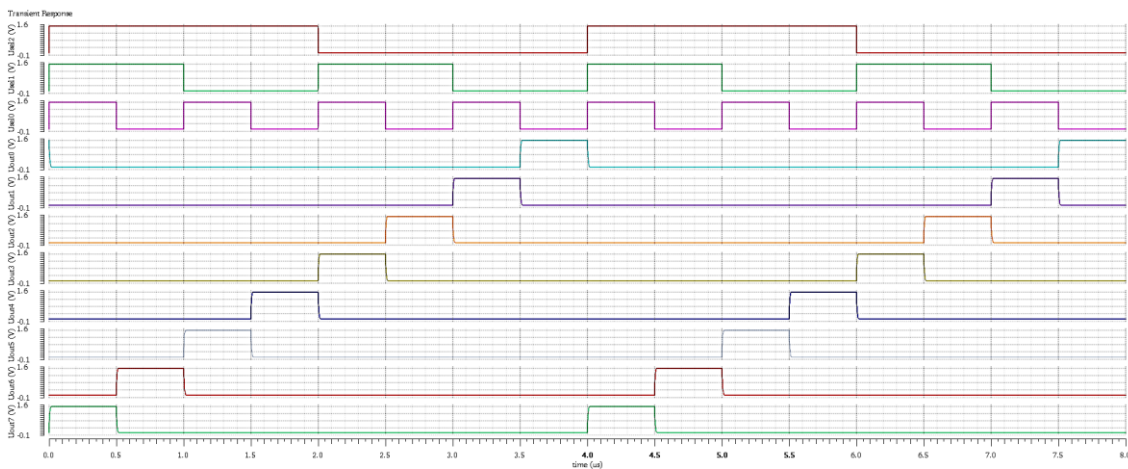
Obrázek 38: Symbol dekodéru 1 z 8

Stejně jako dříve u hradel je potřeba odsimulovat funkci dekodéru a ověřit si tak jeho funkčnost. Při takto poměrně nízkém počtu kombinací je pořád možné vyzkoušet všechny. Proto je na každý vstup zapojen pulsní zdroj napětí generující obdélníkové signály s periodou 4  $\mu$ s, 2  $\mu$ s a 1  $\mu$ s. Tímto způsobem vznikne všech 8 možných vstupních logických kombinací.



Obrázek 39: Schéma simulace dekodéru 1 z 8

Z průběhu výstupních signálů je vidět, že v jeden konkrétní okamžik je aktivovaný vždy právě jeden výstupní signál – ten který odpovídá momentální vstupní kombinaci. Na obrázku níže jsou nejdříve zobrazeny tři vstupní signály sel2 až sel0 a poté osm výstupních signálů out0 až out7. Je zřejmé, že se aktivuje vždy jeden výstup dle binární hodnoty vstupních signálů.



Obrázek 40: Průběh simulace dekodéru 1 z 8

#### 4.2.10 Demultiplexor

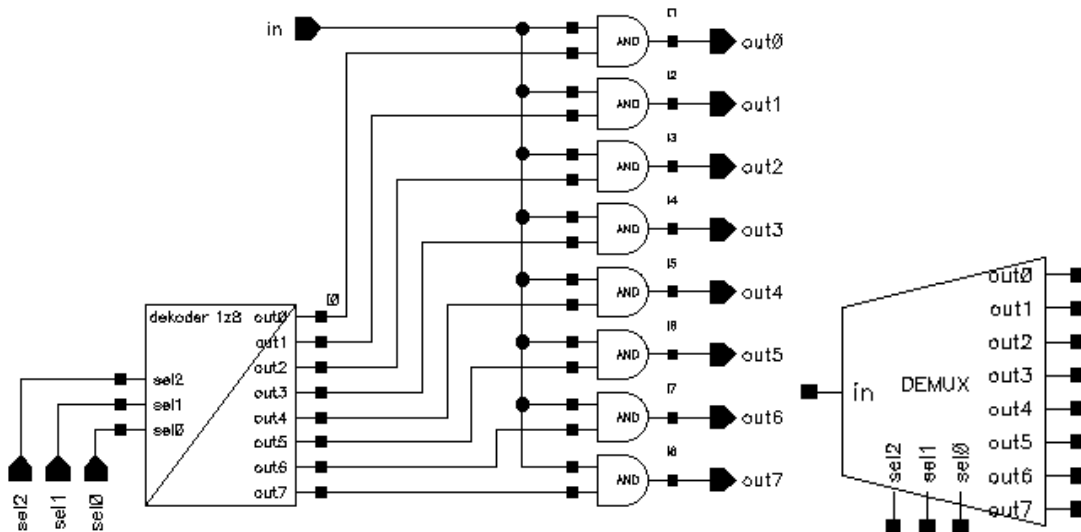
Demultiplexor je součástka, která je velmi podobná dekodéru. Jediný rozdíl je v tom, že dekodér aktivuje jeden z výstupů (posílá na výstup hodnotu log. 1), zatímco demultiplexor posílá na výstup hodnotu zadanou jedním datovým vodičem.

Tabulka 10: Pravdivostní tabulka demultiplexoru

sel2	sel1	sel0	out0	out1	out2	out3	out4	out5	out6	out7
0	0	0	in	0	0	0	0	0	0	0
0	0	1	0	in	0	0	0	0	0	0
0	1	0	0	0	in	0	0	0	0	0
0	1	1	0	0	0	in	0	0	0	0
1	0	0	0	0	0	0	in	0	0	0
1	0	1	0	0	0	0	0	in	0	0
1	1	0	0	0	0	0	0	0	in	0
1	1	1	0	0	0	0	0	0	0	in

Kvůli podobnosti s dekodérem je i velmi jednoduché ho z něj vytvořit – výstup z dekodéru je veden společně s datovým vstupním vodičem do hradla AND a poté na výstup. Tak se docílí toho,

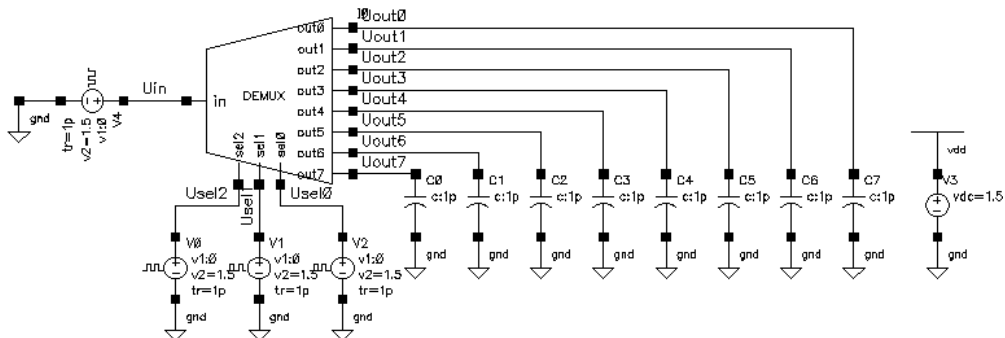
že na výstupu bude log. 1 právě tehdy, když je aktivován příslušný výstup dekodéru a zároveň vstupní vodič má hodnotu log. 1.



Obrázek 41: Schéma zapojení demultiplexoru

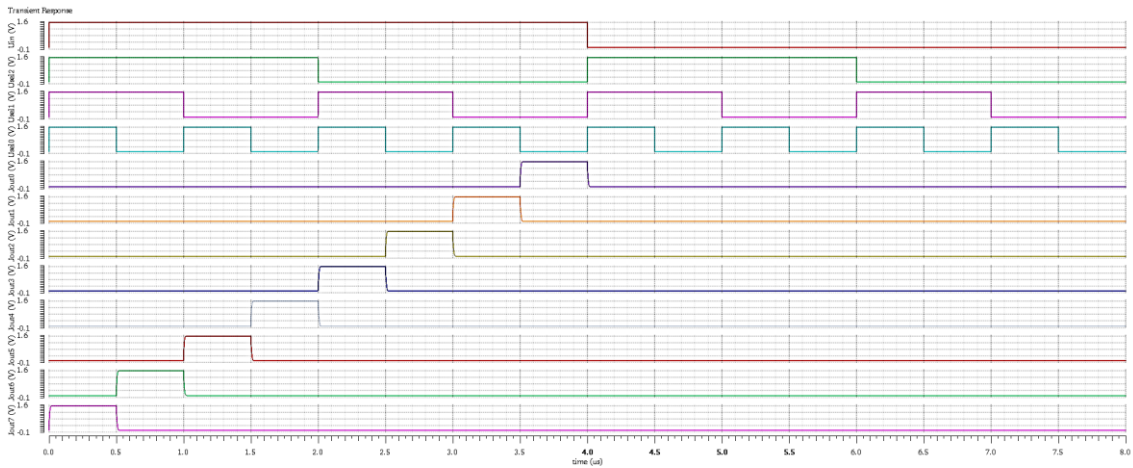
Obrázek 42: Symbol demultiplexoru

Demultiplexor obsahuje jeden vstupní datový vodič in a 3 vstupní adresní vodiče sel2 až sel0, které dohromady tvoří 16 možných vstupních kombinací. Toto číslo ještě není příliš velké, proto jsou simulovány všechny kombinace vstupů a výstup je sledován v čase.



Obrázek 43: Schéma simulace demultiplexoru

Na obrázku 44 je zobrazen výstup simulace – nejprve průběh napětí vstupního datového vodiče Uin, poté průběh napětí tří vstupních adresních vodičů Usel2 až Usel0 a na konci jsou průběhy napětí výstupních vodičů Uout0 až Uout7. Je vidět, že průběh signálu v oblasti, kdy Uin se rovná hodnotě log. 1, je stejný jako tomu bylo u dekodéru. Pokud má ale napětí Uin hodnotu log. 0, na výstupu se zobrazí nulové napětí.



Obrázek 44: Průběh simulace demultiplexoru

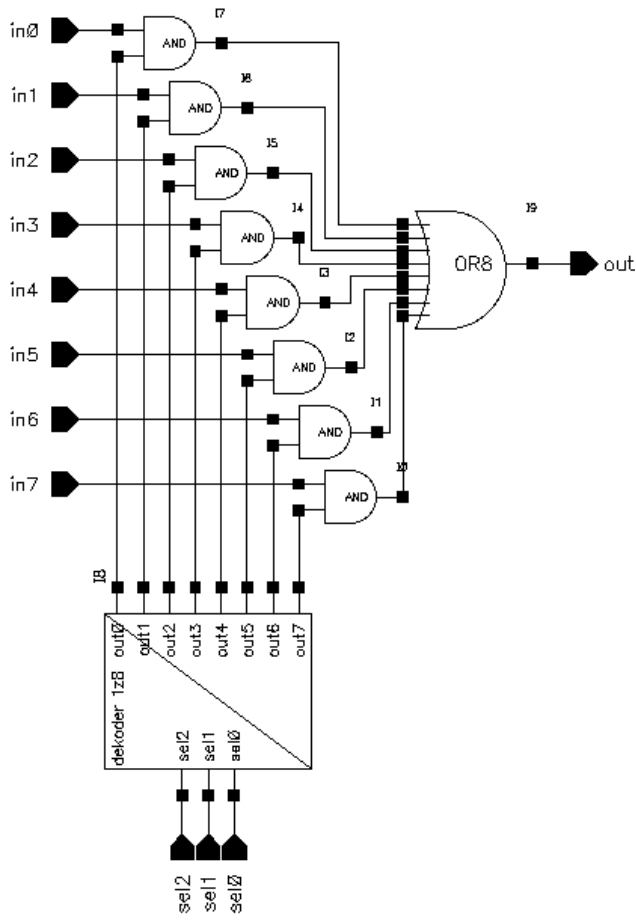
#### 4.2.11 Multiplexor

Multiplexor je obvod, který funguje právě opačně než demultiplexor. Z několika datových vodičů in0 až in7 vybírá právě jeden, který posílá na výstup. Určení konkrétního vstupního vodiče je realizováno za pomoci adresních vodičů, stejně jako u demultiplexoru.

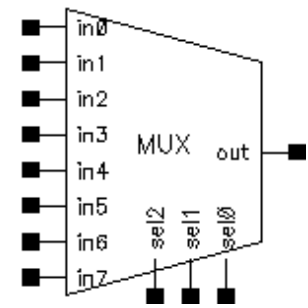
Tabulka 11: Pravdivostní tabulka multiplexoru

sel2	sel1	sel0	out
0	0	0	in0
0	0	1	in1
0	1	0	in2
0	1	1	in3
1	0	0	in4
1	0	1	in5
1	1	0	in6
1	1	1	in7

K sestavení multiplexoru je použito zapojení již dříve vytvořeného dekodéru. Podle tabulky 9 má v daný okamžik pouze jeden výstup hodnotu log. 1, ostatní mají vždy hodnotu log. 0. Této skutečnosti je využito i při sestavení multiplexoru – vstupní signály in0 až in7 jsou spojeny s výstupními signály dekodéru (out0 až out7) hradly AND, na jehož výstupu bude vstupní hodnota in podle toho, zda je daná kombinace adresních vodičů aktivní. Výstup z AND hradel je spojen pomocí osmivstupového hradla OR na výstup. Schéma zapojení je ukázáno níže na obrázku 45.

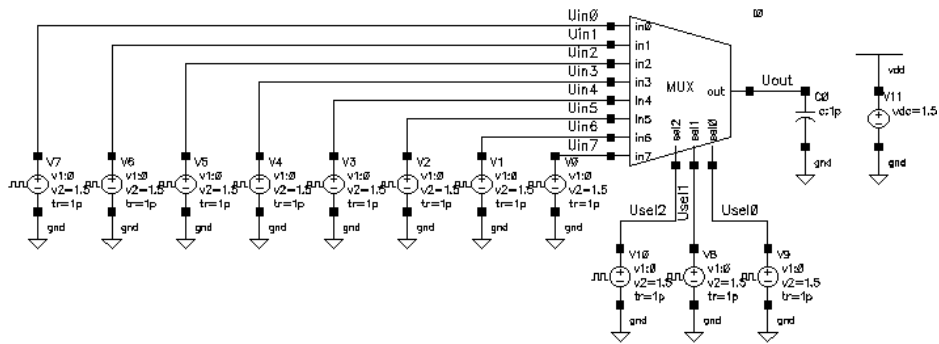


Obrázek 45: Schéma zapojení multiplexoru



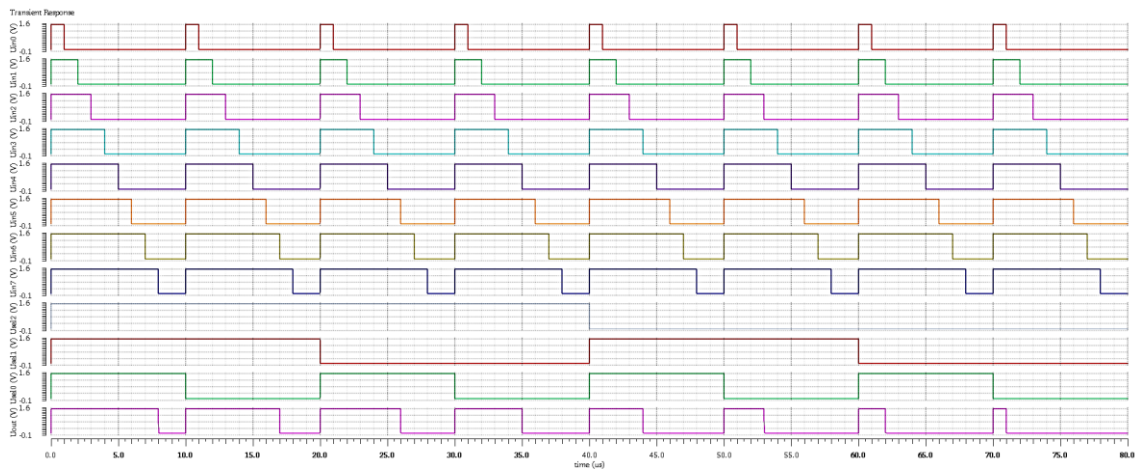
Obrázek 46: Symbol multiplexoru

Simulace multiplexoru je provedena velmi podobně jako v předchozích případech. Pokud by ale na všech vstupech byl ten samý signál, nebylo by na první pohled jasné, který vstup je momentálně posílaný na výstup. Proto na vstupu jsou opět zapojeny pulsní zdroje napětí generující obdélníkový signál s různou střídou. Tak je na první pohled jasně vidět, který signál je momentálně na výstupu.



Obrázek 47: Schéma simulace multiplexoru

Na obrázku 48 je zobrazen vždy obdélníkový signál s danou střídou dle kombinace adresních vodičů.



Obrázek 48: Průběh simulace multiplexoru



## 4.2.12 Sčítačka

### 4.2.12.1 Poloviční sčítačka (half adder)

Poloviční sčítačka je jednodušší typ sčítačky, která sčítá pouze 2 bity s přenosem do vyššího řádu a na rozdíl od úplné sčítačky nepočítá s přenosem z nižšího řádu.

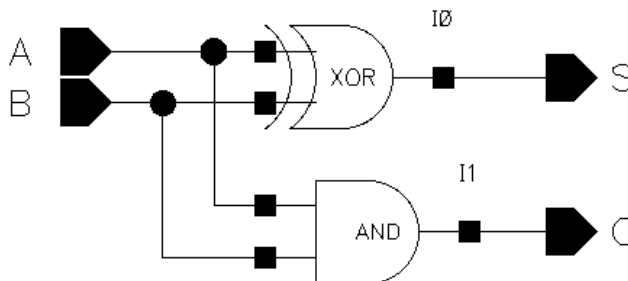
Tabulka 12: Pravdivostní tabulka poloviční sčítačky

A	B	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

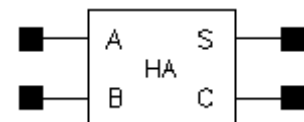
Ze sčítačky vedou dva výstupní signály – Sum (= součet) a Carry (= přenos do vyššího řádu). Do sčítačky vedou vstupy A, B. Mohou tedy nastat 4 různé součty počítané binárně:

- $0 + 0 = 0$
- $0 + 1 = 1$
- $1 + 0 = 1$
- $1 + 1 = 10$

Právě v posledním případě je nutno použít přenos do vyššího řádu. Při porovnání jednotlivých výstupů v tabulce 12 je zřejmé, že hodnoty výstupu Sum odpovídají logickému hradlu XOR a hodnoty výstupu Carry odpovídají logickému hradlu AND. A právě z těchto hradel je také sčítačka sestavena, jak je vidět na obrázku 49.

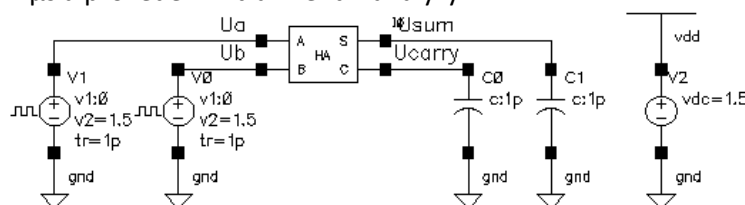


Obrázek 49: Schéma zapojení poloviční sčítačky



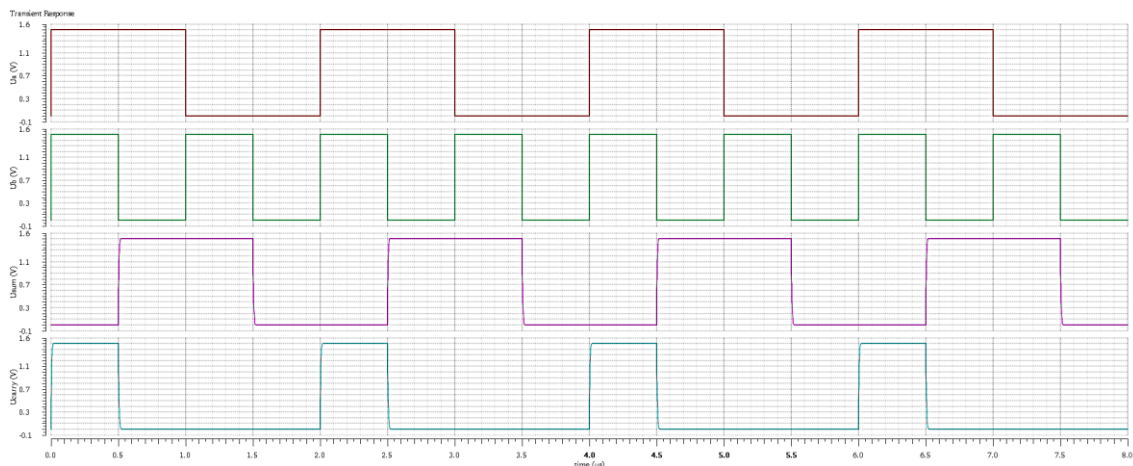
Obrázek 50: Symbol poloviční sčítačky

Jelikož je poloviční sčítačka kombinační obvod, který má pouze 4 různé vstupní kombinace, stačí opět k jejímu otestování pouze postupně zapojit všechny 4 možné kombinace vstupů. Toho se docílí zapojením dvou pulsních zdrojů generujících obdélkový signál – jeden o periodě  $1 \mu\text{s}$  a druhý o periodě  $2 \mu\text{s}$  a provedením tranzientní analýzy.



Obrázek 51: Schéma simulace poloviční sčítačky

Na průběhu signálů níže na obrázku 52 je vidět odshora dolů průběh vstupních signálů A a B a poté průběh výstupních signálů Sum a Carry, které odpovídají očekávanému chování popsanému v tabulce 12.



Obrázek 52: Průběh simulace poloviční sčítačky

#### 4.2.12.2 Úplná sčítačka (full adder)

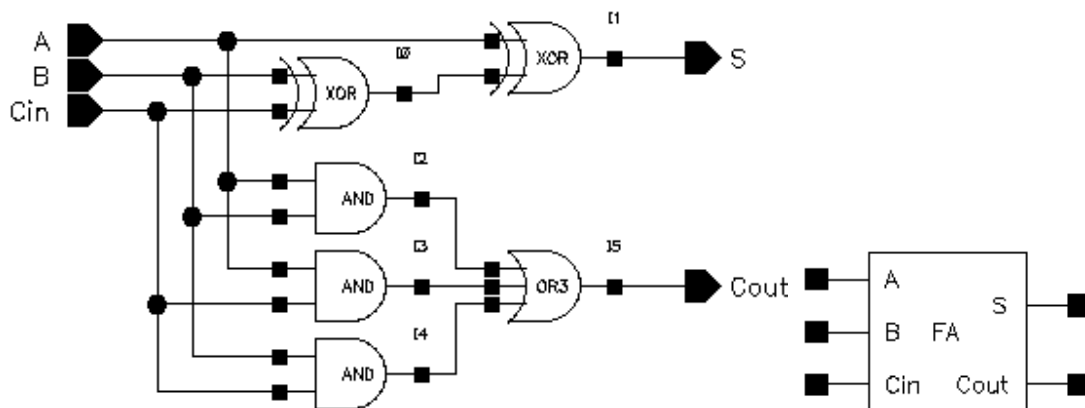
Úplná sčítačka na rozdíl od té poloviční počítá kromě dvou sčítanců i s přenosem z nižšího řádu. Rázem tedy vznikne 8 možných kombinací součtů, které jsou přehledně rozepsány v tabulce 13:

- $0 + 0 + 0 = 0$
- $0 + 0 + 1 = 1$
- $0 + 1 + 0 = 1$
- $0 + 1 + 1 = 10$
- $1 + 0 + 0 = 1$
- $1 + 0 + 1 = 10$
- $1 + 1 + 0 = 10$
- $1 + 1 + 1 = 11$

Tabulka 13: Pravdivostní tabulka úplné sčítačky

A	B	Carry_in	Sum	Carry_out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

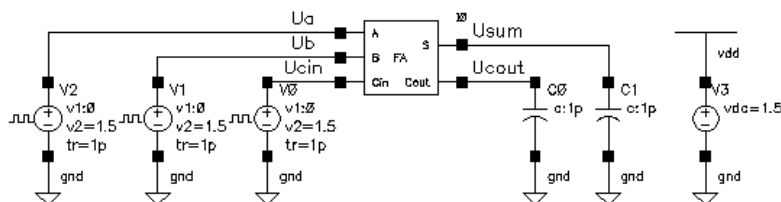
V tomto případě už není logická funkce tvořící úplnou sčítačku vidět hned na první pohled. Přenos do vyššího řádu, tj. Carry\_out, má hodnotu log. 1 právě tehdy, když alespoň dva vstupy jsou zároveň v log. 1. Součet, tj. Sum, má hodnotu log. 1 právě tehdy, když hodnotu log. 1 má lichý počet sčítanců.



Obrázek 53: Schéma zapojení úplné sčítačky

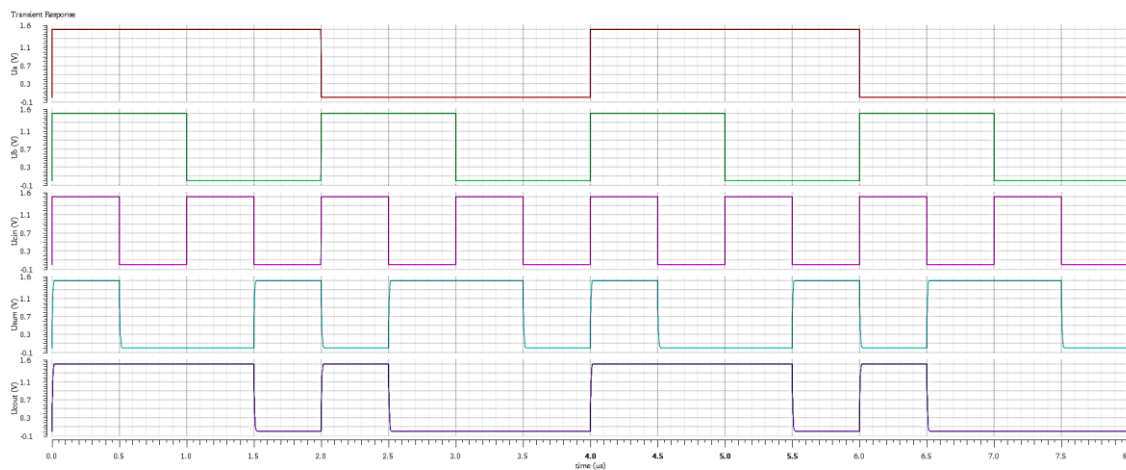
Obrázek 54: Symbol úplné sčítačky

Jelikož existuje 8 možných kombinací vstupů, stále je možné otestovat všechny jejich možné kombinace. Proto se na vstupy připojí 3 pulsní zdroje generující obdélníkové signály o periodách 4  $\mu$ s, 2  $\mu$ s a 1  $\mu$ s.



Obrázek 55: Schéma simulace úplné sčítačky

Průběh výstupních signálů je zobrazen níže na obrázku 56. Nejprve jsou vykreslena vstupní napětí  $U_a$ ,  $U_b$  a  $U_{cin}$ , poté výstupní napětí  $U_{sum}$  a  $U_{cout}$ .



Obrázek 56: Průběh simulace úplné sčítačky

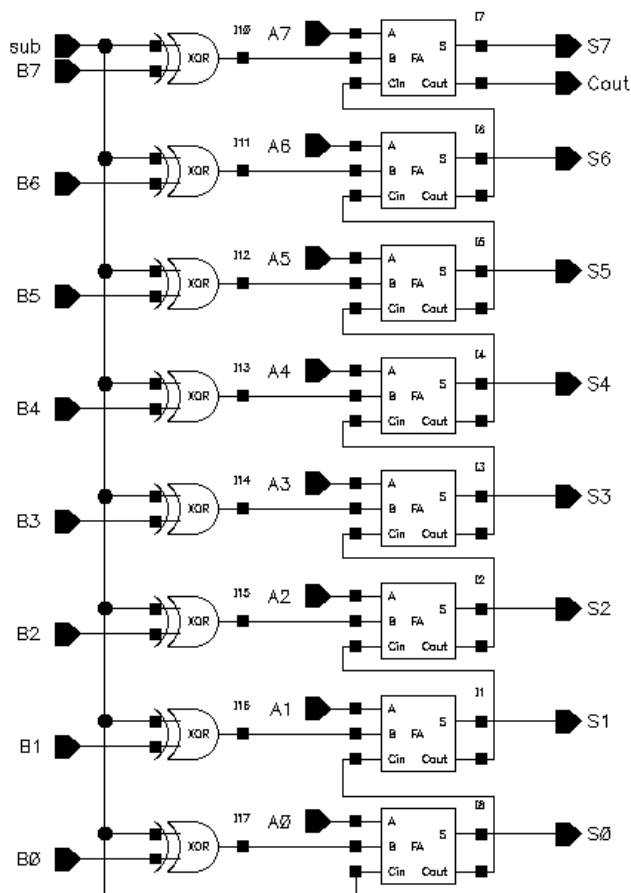
#### 4.2.12.3 8-bitová sčítačka/odčítačka

Ukázkou složitějšího kombinačního obvodu je 8-bitová sčítačka, která zároveň funguje jako odčítačka. Je sestavená z úplných sčítaček a hradel XOR, na vstupech jsou dvě 8-bitová binárně reprezentovaná čísla a vodič sub, který určuje, zda bude obvod čísla sčítat ( $A + B$ ) nebo odčítat ( $A - B = A + (-B)$ ).

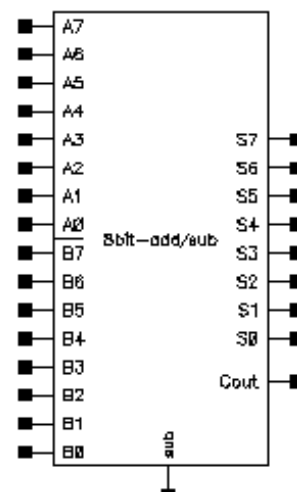
Čísla jsou reprezentovaná ve dvojkovém doplňku [21], v němž se záporné číslo  $-B$  rovná  $NOT(B) + 1$ . Z tabulky 7 vyplývá, že obecně pro jakoukoliv logickou proměnnou platí:  $A XOR 1 = NOT(A)$ ,

A XOR 0 = A. S aplikací těchto pravidel je vidět, že pomocí hradla XOR lze vyjádřit závislost znaménka čísla B na vodiči sub (viz obrázek 57): při sčítání sub = 0 a B XOR 0 = B, při odčítání sub = 1, B XOR 0 = NOT(B) a k nejnižšímu řádu se přičte 1.

Princip 8-bitové sčítačky je v přenosu do vyšších řádů. Přenos z nižšího řádu vždy vstupuje v následující úplné sčítačce do vyššího řádu až do požadovaného počtu řádů. V nejvyšším řádu zůstane přenos do vyššího řádu jako výstup, aby se detekoval stav, když výsledek je větší než požadovaný rámeč.

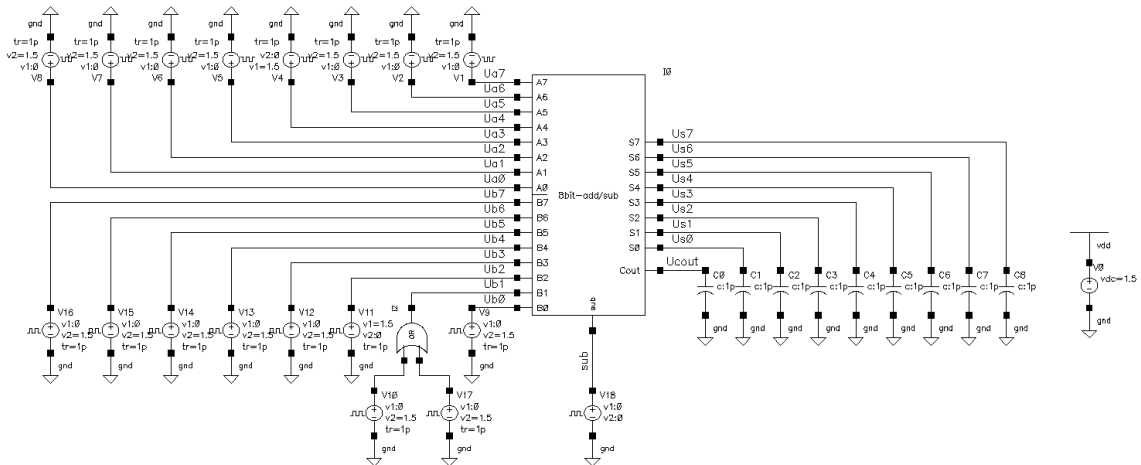


Obrázek 57: Schéma zapojení 8-bitové sčítačky/odčítačky



Obrázek 58: Symbol 8-bitové sčítačky/odčítačky

Protože do sčítačky vedou dva 8-bitové sčítance, vznikne  $2^{16} = 65\,536$  různých kombinací součtů, které není možné všechny otestovat. Proto bylo vybráno pět náhodných čísel, jejichž signály jsou generovány pulsními zdroji obdélníkového signálu a hodnoty se obměňují s periodou 1  $\mu$ s.



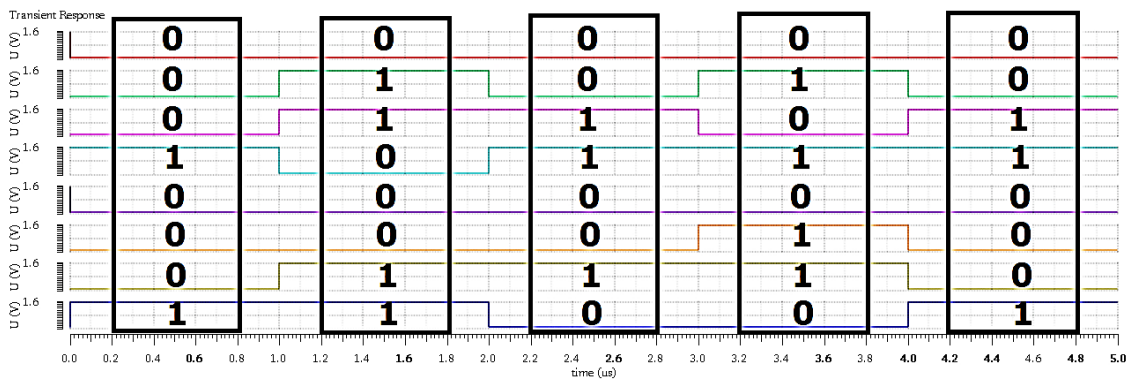
Obrázek 59: Schéma simulace 8-bitové sčítačky/odčítačky

Testovala se platnost těchto binárních součtů (v závorce je uvedena ekvivalentní rovnice v dekadické soustavě):

- 00010001 + 00011111 = 00110000 (17 + 31 = 48)
- 01100011 + 00011100 = 11111111 (99 + 28 = 127)
- 00110010 – 00011010 = 00011000 (50 – 26 = 24)
- 01010110 – 00000101 = 01010001 (86 – 5 = 81)
- 00110001 + 10000000 = 10110001 (61 + 128 = 189?)

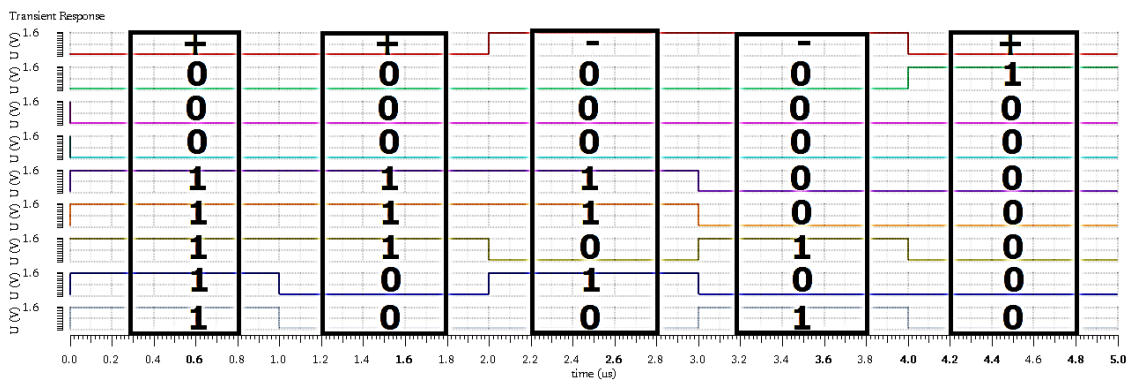
Přestože by se mohlo zdát, že všechny součty jsou výše správně uvedeny, poslední řádek nesedí. Dvojkový doplněk zobrazuje n-bitová čísla v rozsahu  $-2^{n-1}$  do  $2^{n-1}-1$ , tedy dekadická hodnota součtu je ve skutečnosti -159.

Na obrázku 60 je vidět průběh vstupních signálů prvního 8-bitového sčítance A.



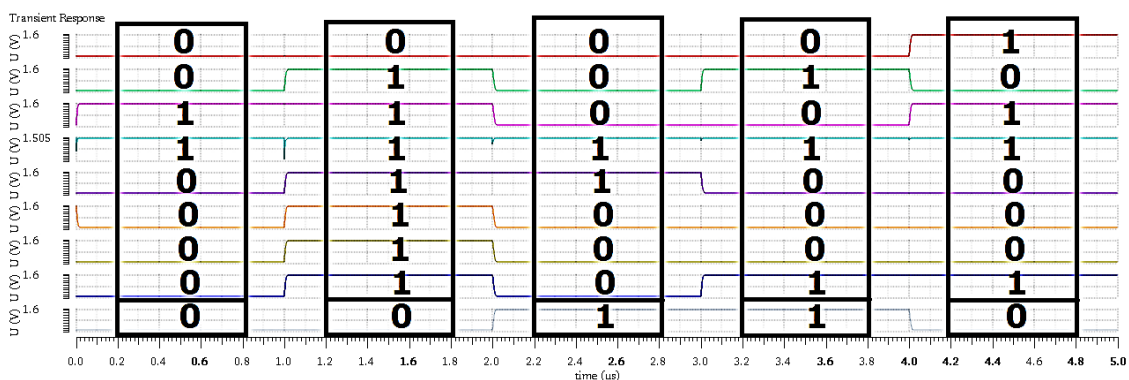
Obrázek 60: Průběh vstupních signálů A simulace 8-bitové sčítačky/odčítačky

Na obrázku 61 je znázorněn průběh vstupních signálů druhého 8-bitového sčítance B včetně znaménka operace.



Obrázek 61: Průběh vstupních signálů B 8-bitové sčítačky/odčítačky

A na obrázku 62 je zobrazen výsledný součet a poté přenos do vyššího řádu.



Obrázek 62: Průběh výstupních signálů 8-bitové sčítačky/odčítačky

Z posledního obrázku je zřejmé, že při odčítání se nastaví hodnota přenosu do vyššího řádu na log. 1.

## 4.3 SEKVENČNÍ OBVODY

[17] definuje sekvenční logické obvody jako takové logické obvody, kdy výstupní hodnoty nezávisí pouze na okamžité kombinaci vstupních hodnot, ale i na předchozích stavech. Proto musí obsahovat paměť, která předchozí stavy uchovává. Sekvenční obvod lze rozdělit na část kombinační, generující hodnoty výstupních signálů a budící signály klopných obvodů a sekvenční část tvořenou klopnými obvody řízené hodinovým signálem.

Podle [22] lze sekvenční obvody často popsat stavovým automatem Moorova typu, ve kterém závisí stav výstupních signálů pouze na vnitřním stavu automatu, nebo stavovým automatem Mealyho typu, ve kterém závisí stav výstupních signálů i na stavu vstupních signálů.

### 4.3.1 RS (Reset-Set) klopný obvod

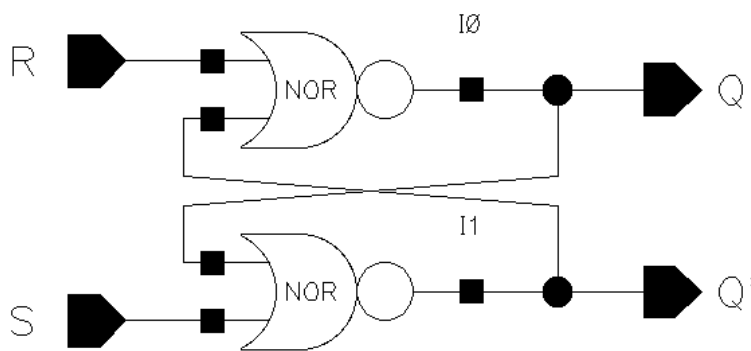
Klopný obvod je druh sekvenčního obvodu, který se využívá jako paměťový člen. Podle [17] se rozlišují 3 druhy klopných obvodů dle počtu stabilních stavů: bistabilní (2 stabilní stavy), monostabilní (1 stabilní stav) a astabilní (žádný stabilní stav).

RS klopný obvod je nejjednodušším bistabilním klopným obvodem, který lze sestavit z NAND i NOR hradel, funkčnost je u obou stejná.

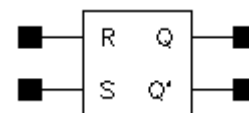
Na výstupu RS klopného obvodu jsou 2 signály – Reset (R), který nastavuje výstup na hodnotu log. 0, a Set (S), který nastavuje výstup na hodnotu log. 1. Pokud oba vstupní signály mají hodnotu log. 0, na výstupu zůstává hodnota nezměněna. Stav, ve kterém mají oba signály R i S hodnotu log. 1, nesmí nikdy nastat, je zakázaný.

Tabulka 14: Pravdivostní tabulka RS klopného obvodu

R	S	$Q_{n+1}$	$Q'_{n+1}$
0	0	$Q_n$	$Q'_n$
0	1	1	0
1	0	0	1
1	1	x	x



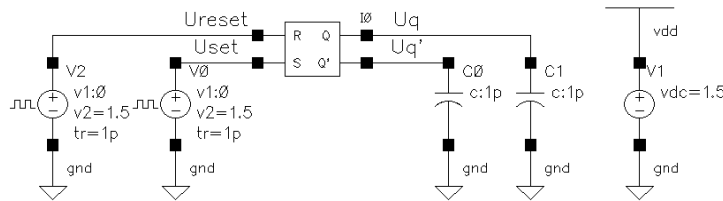
Obrázek 63: Schéma zapojení RS klopného obvodu



Obrázek 64: Symbol RS klopného obvodu

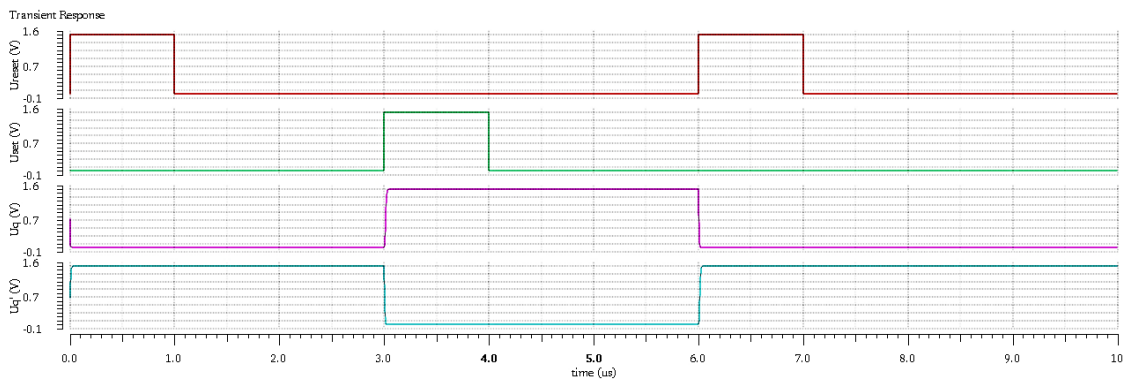
U sekvenčních obvodů již není možné zkoušet postupně všechny kombinace – ani by to nemělo smysl, jelikož výstupní stavy nezávisí pouze na aktuální kombinaci vstupních stavů, ale i na předchozích stavech. Naopak, aby se ověřila schopnost zapamatovat si předchozí stav, je důležité signály vybírat víceméně náhodně.

Proto je v obvodě v čase 0  $\mu\text{s}$  nejprve nastaven Reset, poté v čase 3  $\mu\text{s}$  nastaven Set a následně v čase 6  $\mu\text{s}$  opět Reset.



Obrázek 65: Schéma simulace RS klopného obvodu

Níže na obrázku 66 jsou znázorněny napěťové průběhy jednotlivých signálů – R, S, Q a Q'. V časech, kdy mají oba signály Reset i Set hodnotu log. 0, výstup obvodu drží předešlou hodnotu. Jinak Set nastavuje výstup na log. 1 a Reset na log. 0.



Obrázek 66: Průběh simulace RS klopného obvodu

#### 4.3.2 Synchronní RS klopný obvod

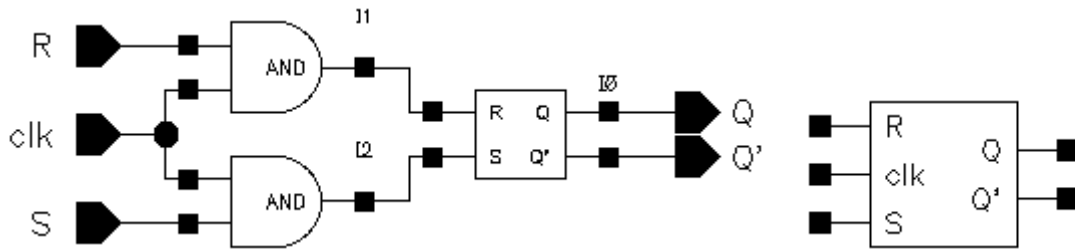
Synchronní RS klopný obvod funguje úplně stejně jako ten asynchronní s jedinou výjimkou, změny v obvodu se dějí pouze s náběžnou hranou hodinového signálu.

Tabulka 15: Pravdivostní tabulka synchronního RS klopného obvodu

R	S	clk	$Q_{n+1}$	$Q'_{n+1}$
0	0	1	$Q_n$	$Q'_{n+1}$
0	1	1	1	0
1	0	1	0	1
1	1	1	x	x
0/1	0/1	0	$Q_n$	$Q'_n$

Jelikož asynchronní RS klopný obvod se od toho synchronního liší pouze absencí zdroje hodinového signálu, nejjednodušší cesta k sestavení synchronního RS klopného obvodu je propojení vstupních signálů Reset a Set hradly AND právě s hodinovým signálem. Tak se docílí toho, že výstup se bude měnit, pouze pokud hodinový signál bude mít hodnotu log. 1.

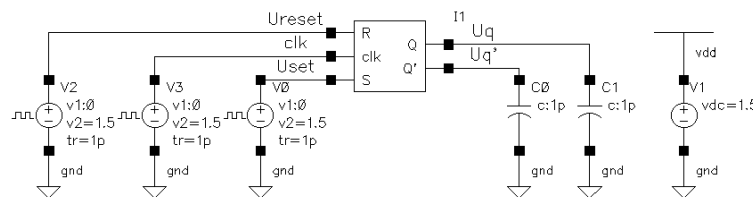




Obrázek 67: Schéma zapojení synchronního RS klopného obvodu

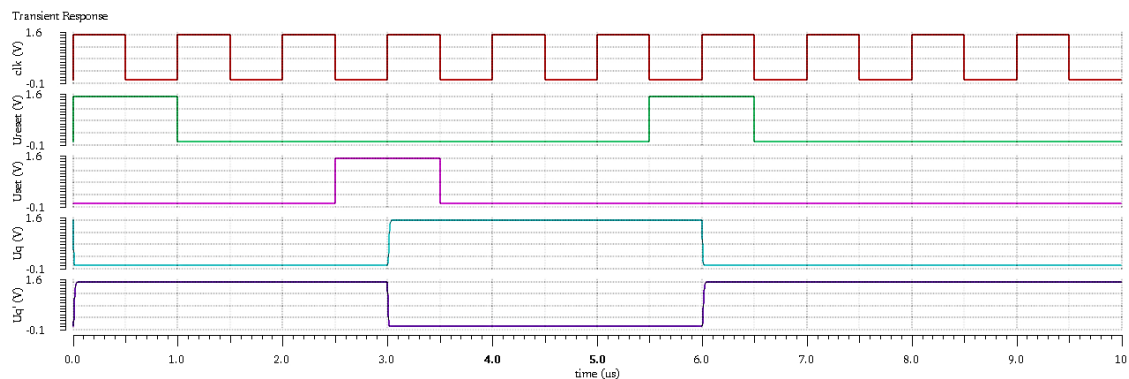
Obrázek 68: Symbol synchronního RS klopného obvodu

K otestování tohoto obvodu jsem použila podobný sled signálů jako u asynchronní varianty RS klopného obvodu. Změny signálů jsou ale posunuté o půl periody, aby bylo opravdu vidět, že se výstupy mění s náběžnou hranou hodin. Nejprve je tedy nastaven Reset v čase 0  $\mu\text{s}$ , poté Set v čase 2,5  $\mu\text{s}$  a nakonec opět Reset v čase 5,5  $\mu\text{s}$ .



Obrázek 69: Schéma simulace synchronního RS klopného obvodu

Z průběhu signálů níže je vidět, že průběh výstupních signálů je naprosto stejný jako v případě asynchronní varianty RS klopného obvodu, protože změny se projeví až s náběžnou hodinovou hranou, tedy v časech 3  $\mu\text{s}$  a 5  $\mu\text{s}$ .

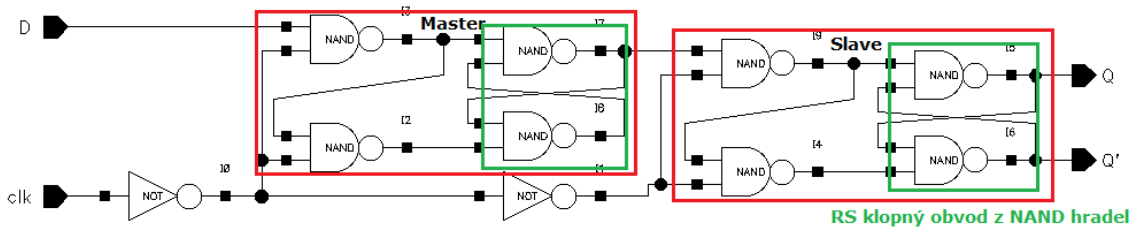


Obrázek 70: Průběh simulace synchronního RS klopného obvodu

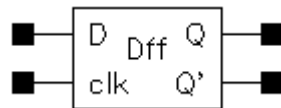
### 4.3.3 D klopný obvod (D flip flop)

D klopný obvod je synchronní sekvenční obvod, který kopíruje vstup na výstup s následující náběžnou hranou hodinového signálu, jinak na výstupu drží předchozí stav. Funguje na bázi RS klopného obvodu, v tomto případě z hradel NAND. Jedná se o obvod typu Master-Slave, změny v tomto případě probíhají s náběžnou hranou hodin. Podrobnější informace o D klopných obvodech nebo obvodech typu Master-Slave jsou k nalezení např. na stránkách předmětu Struktury počítačových systémů [23].

Ve schématu zapojení na obrázku 71 jsou vyznačeny obě části obvodu – Master poháněná invertovanými hodinami a Slave poháněná neinvertovanými hodinami. Také je zde vyznačena možnost extrakce RS klopného obvodu sestaveného z NAND hradel.

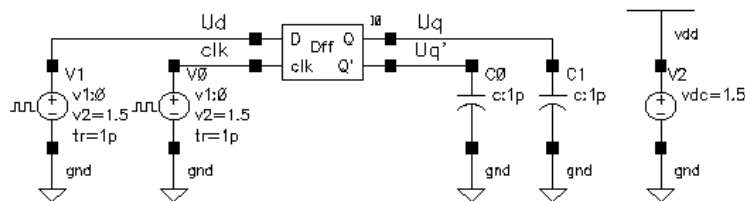


Obrázek 71: Schéma zapojení D klopného obvodu typu Master-Slave



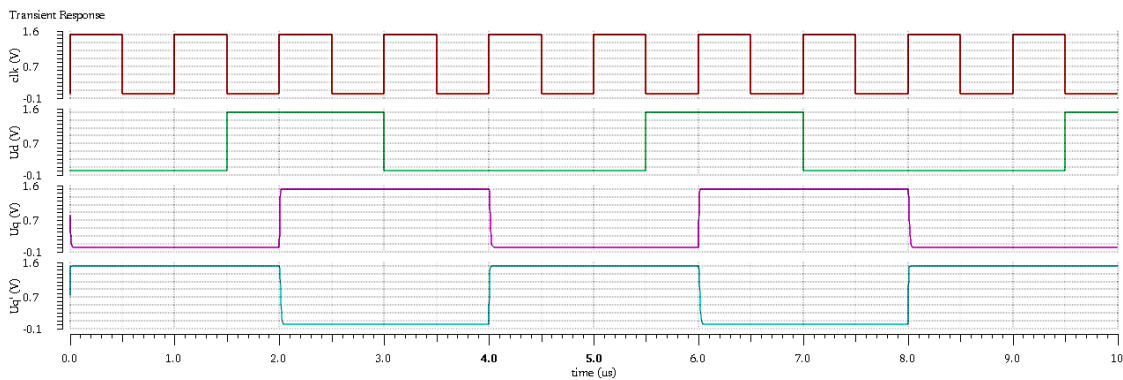
Obrázek 72: Symbol D klopného obvodu typu Master-Slave

Pro simulaci tohoto klopného obvodu je na vstup zapojen zdroj hodinového signálu o periodě 1  $\mu$ s a zdroj obdélíkového signálu D o periodě 4  $\mu$ s, šířce pulzu 1,5  $\mu$ s a zpoždění 1,5  $\mu$ s.



Obrázek 73: Schéma simulace D klopného obvodu typu Master-Slave

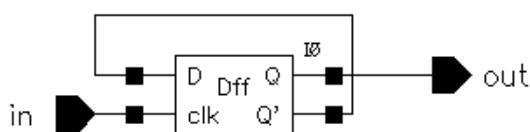
Z průběhů jednotlivých signálů na obrázku 74 je patrné, že hodnota výstupu se „aktualizuje“ s každou následující vstoupnou hranou hodin.



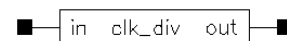
Obrázek 74: Průběh simulace D klopného obvodu

#### 4.3.4 Dělička kmitočtu

Ze sestavených D klopných obvodů lze jednoduše sestavit děličku kmitočtu. Výsledkem bude hodinový signál o poloviční frekvenci, tedy o dvojnásobné periodě. Při zapojení invertovaného výstupu na D vstup dojde ke změně výstupního signálu na opačný vždy až s následující náběžnou hranou hodinového signálu.

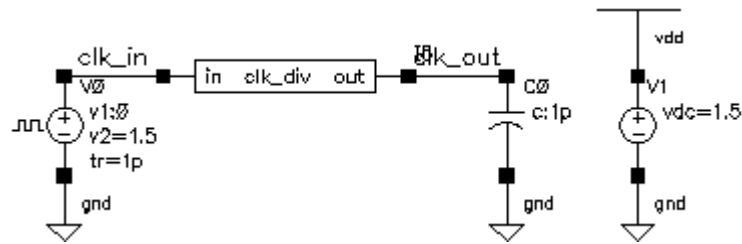


Obrázek 75: Schéma zapojení děličky kmitočtu



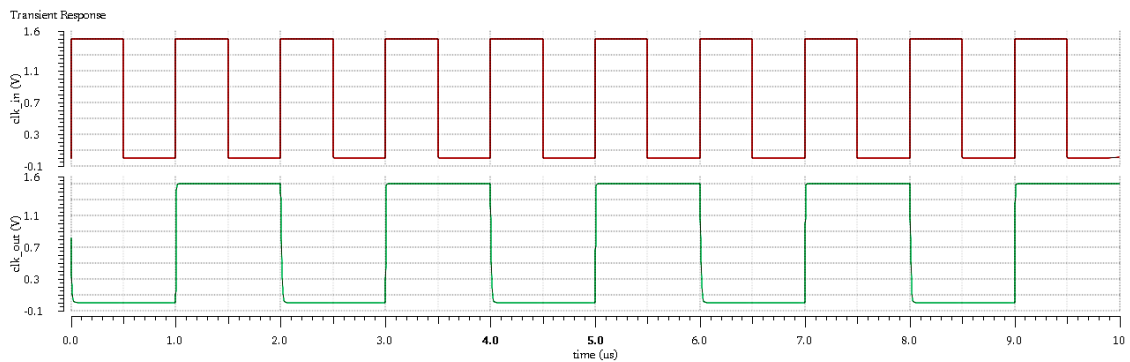
Obrázek 76: Symbol děličky kmitočtu

Simulace této součástky je naprosto jednoduchá. Na vstup se zapojí zdroj generující hodinový signál libovolné periody (v tomto případě 1  $\mu$ s).



Obrázek 77: Schéma simulace děličky kmitočtu

Z průběhu simulace je na obrázku 78 vidět, že původní hodinový signál má periodu 1  $\mu$ s, zatímco výstupní hodinový signál má dvojnásobnou periodu 2  $\mu$ s.



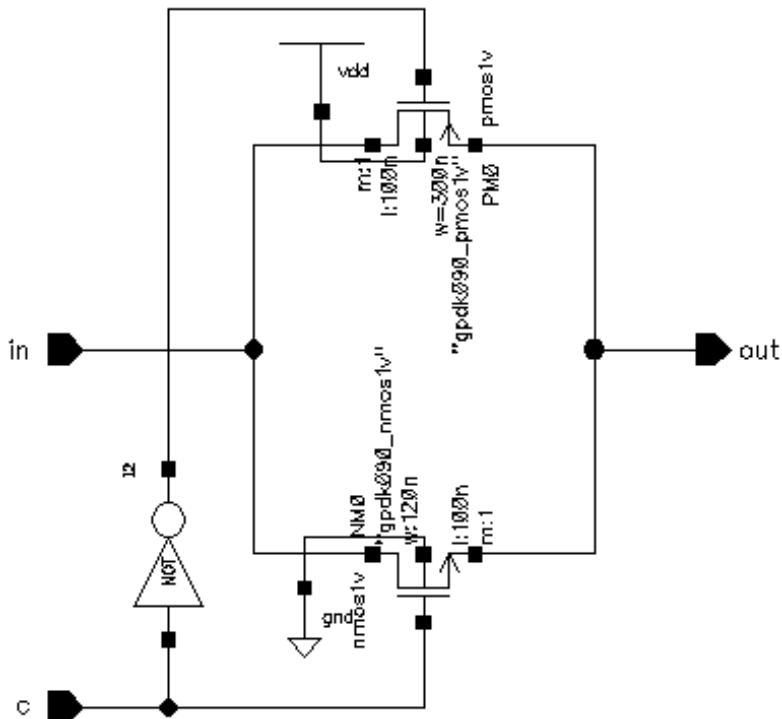
Obrázek 78: Průběh simulace děličky kmitočtu

## 4.4 DA PŘEVODNÍK

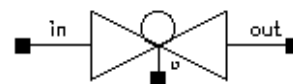
DA převodník konvertuje binárně zapsanou 8-bitovou hodnotu na analogové napětí. 8 bitů umožňuje 256 různých napěťových úrovní, na které je rozděleno celkové referenční napětí.

### 4.4.1 Transmission Gate

Transmission gate má především spínací funkci. Pro  $c = \log. 1$  převádí na výstupu vstupní hodnotu a pro  $c = \log. 0$  zůstává na výstupu nulové napětí.

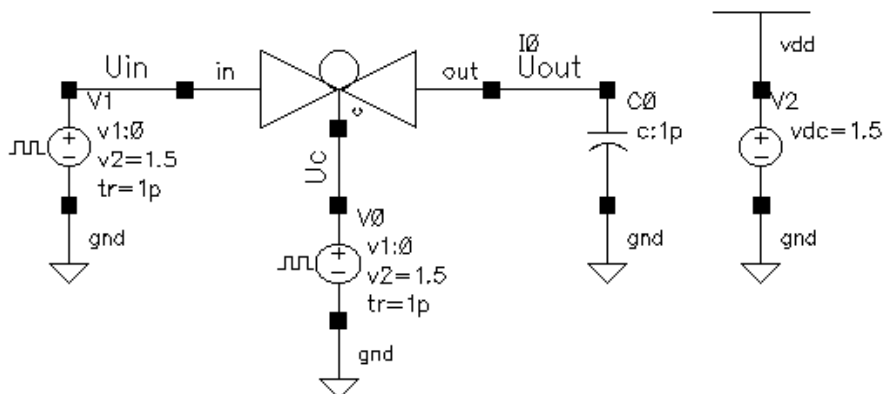


Obrázek 79: Schéma zapojení transmission gate



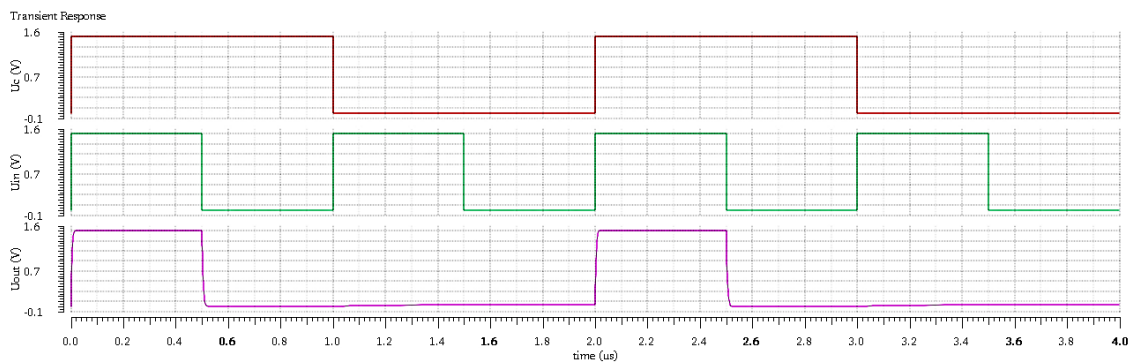
Obrázek 80: Symbol transmission gate

Simulace této součástky je postupným spínáním a rozepínáním a sledováním výstupu. Na vstup c je připojen zdroj generující obdélníkový signál s periodou  $2 \mu s$  a s touto periodou je také součástka spínána a zase rozepínána. Na vstupu in je obdélníkový signál s periodou  $1 \mu s$  a je sledovaný výstup, zda jím bude součástka sepnutá a objeví se na něm hodnota vstupního napětí nebo ne.



Obrázek 81: Schéma simulace transmission gate

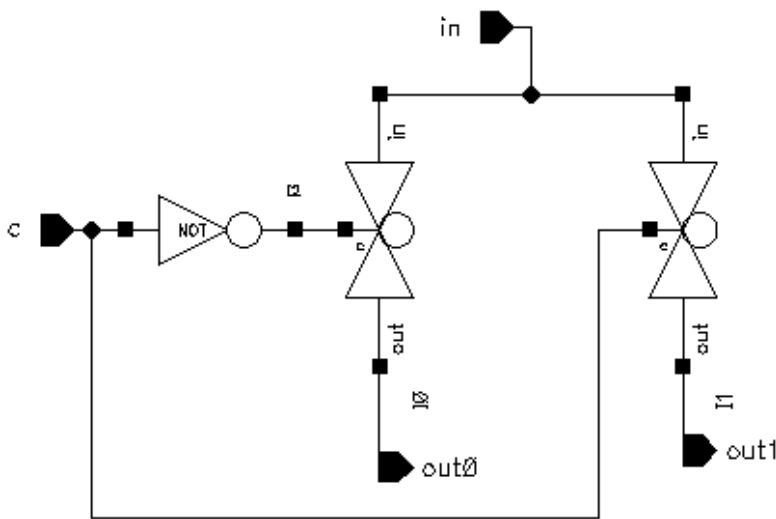
Z průběhu simulace na obrázku 82 je zřejmé, že v sepnutém stavu (tj.  $c = 1$ ) je hodnota výstupního napětí stejná jako hodnota vstupního napětí. Naopak v rozpojeném stavu ( $c = 0$ ) je na výstupu nulové napětí.



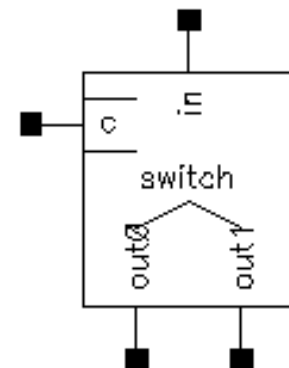
Obrázek 82: Průběh simulace transmission gate

#### 4.4.2 Switch

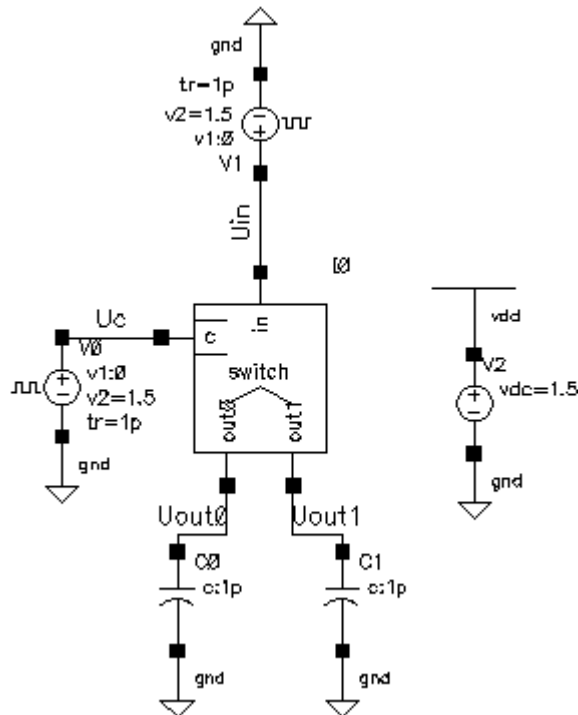
Switch je elektronická součástka spínající vstupní hodnotu s dvěma alternativními výstupy. V zapojení dle obrázku 83 probíhá spínání vstupní hodnoty s výstupem out0 při  $c = 0$  a out1 při  $c = 1$ . Podrobnější informace o funkcionalitě transmission gate a switch lze najít v např. [24].



Obrázek 83: Schéma zapojení switch

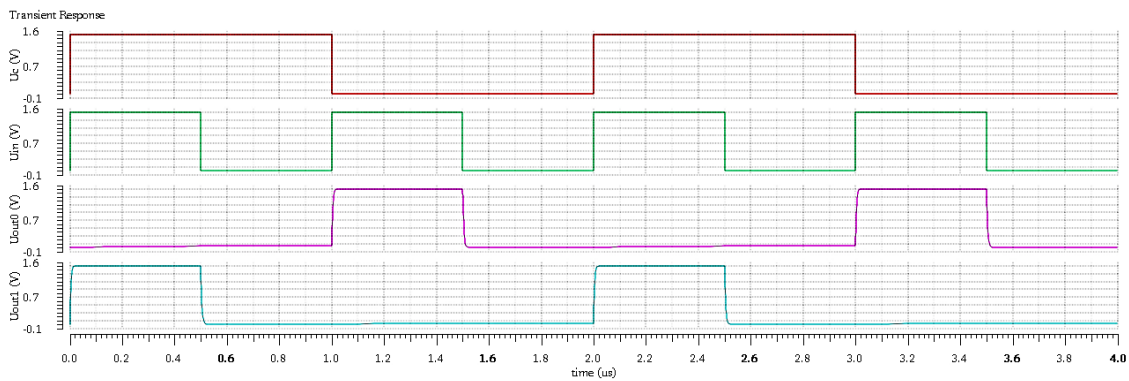


Obrázek 84: Symbol switch



Obrázek 85: Schéma simulace switch

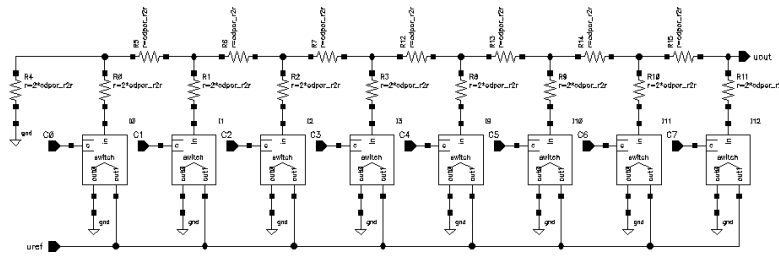
Na obrázku 86 je vidět průběh jednotlivých vstupních i výstupních signálů. Je z něj zřejmé, že při  $c = 0$  je výstup out0 sepnut se vstupem, a naopak při  $c = 1$  je výstup out1 sepnut se vstupem.



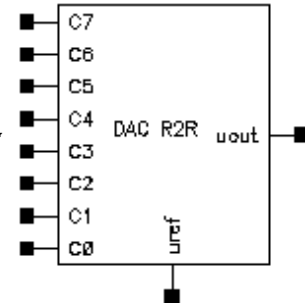
Obrázek 86: Průběh simulace switch

#### 4.4.3 R2R DAC

Jedním z druhů digitálně analogového převodníku je převodník s označením R2R. Funguje na principu obvodu switch, který dle binárně zapsané 8-bitové hodnoty spíná obvod buď na referenční napětí uref nebo na zem.

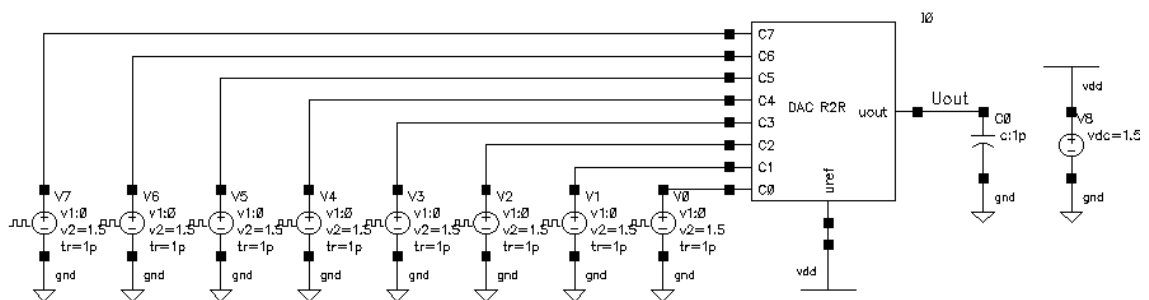


Obrázek 87: Schéma zapojení R2R



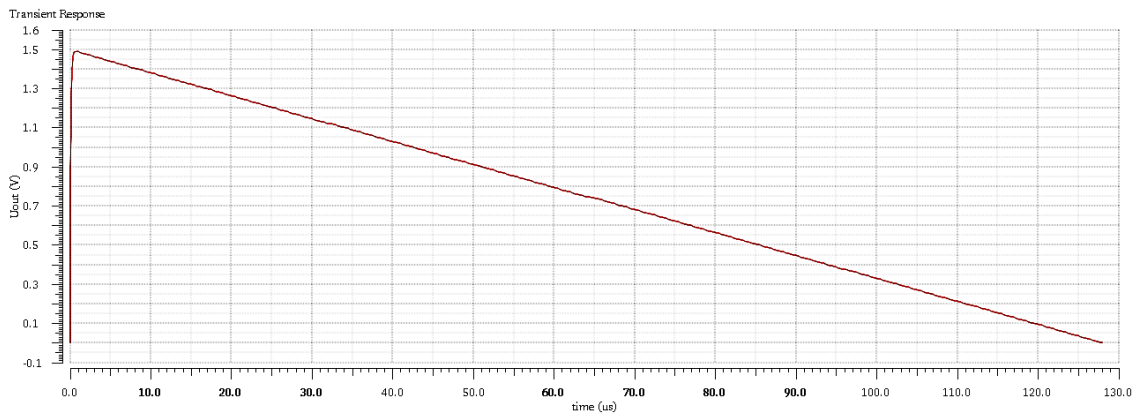
Obrázek 88: Symbol R2R

Simulace R2R je provedena postupným přiřazením všech 256 kombinací 8-bitově vyjádřené binární hodnoty. Odpor v zapojení je nastaven na 100 kΩ.



Obrázek 89: Schéma simulace R2R

Jelikož jsou v simulačním zapojení binárně reprezentované hodnoty v sestupném pořadí, výsledkem konverze je přímka lineárně klesající od 1,5 V do 0 V.



Obrázek 90: Průběh simulace R2R

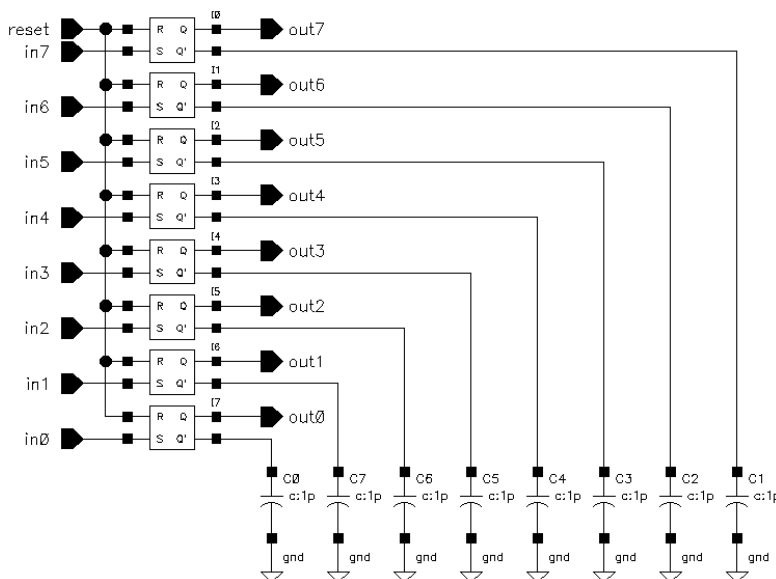
## 4.5 PAMĚTI

Jelikož sekvenční obvody lze použít k zapamatování předchozího vstupního stavu, je z nich sestavena paměť, která je použita později v numerickém procesoru.

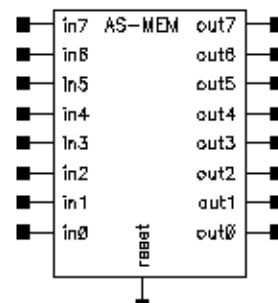
### 4.5.1 Asynchronní paměť z RS klopných obvodů

Nejjednodušší paměť k zapamatování předchozí hodnoty je sestavena z RS klopných obvodů. Výše z tabulky 14 je zřejmé, že pokud mají signály Reset i Set shodně hodnotu log. 0, na výstupu zůstává předchozí výstup. Tato skutečnost je využita v sestavení asynchronní paměti, tedy paměti nezávislé na hodinovém signálu.

Pokud má signál reset hodnotu log. 1, celá osmibitová paměť se současně vymaže (nastaví se hodnota 0). Nastavení hodnoty jednotlivých bitů se provádí vstupními signály in7 až in0 a jejich přechtení je možné výstupními signály out7 až out0.

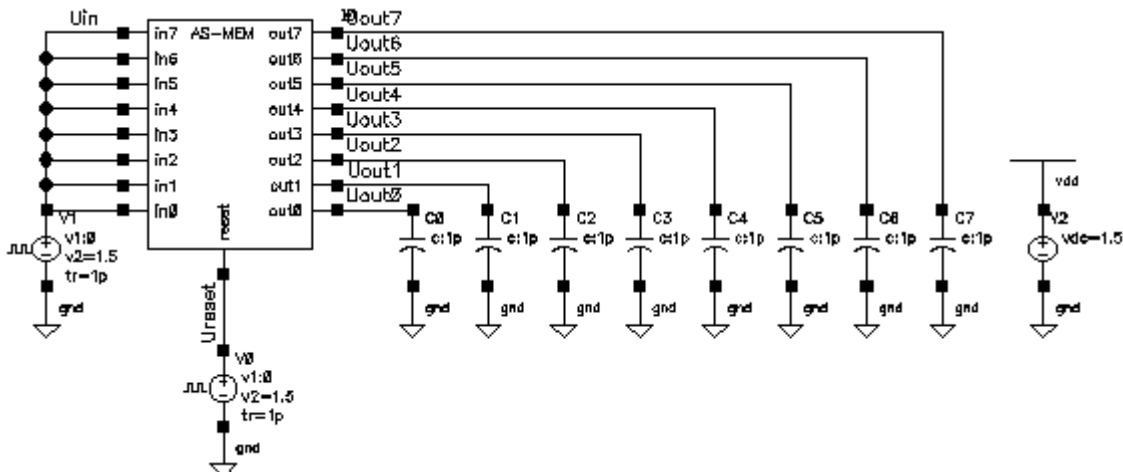


Obrázek 91: Schéma zapojení asynchronní paměti z RS klopných obvodů



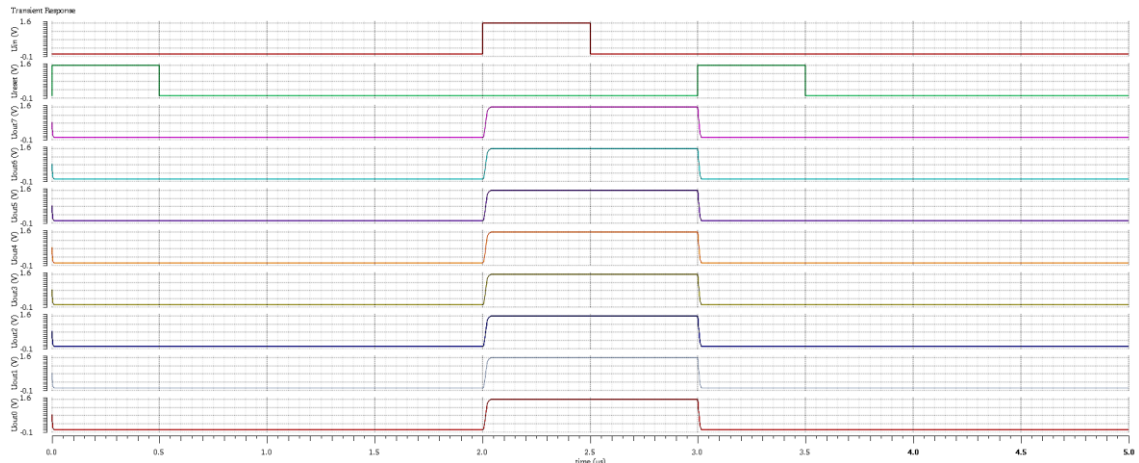
Obrázek 92: Symbol asynchronní paměti z RS klopných obvodů

K simulaci 8-bitové asynchronní paměti je nastavena stejná hodnota na všechny vstupní vodiče a sledován výstup v závislosti na kombinaci vstupních vodičů in7 až in0 a reset.



Obrázek 93: Schéma simulace asynchronní paměti z RS klopných obvodů

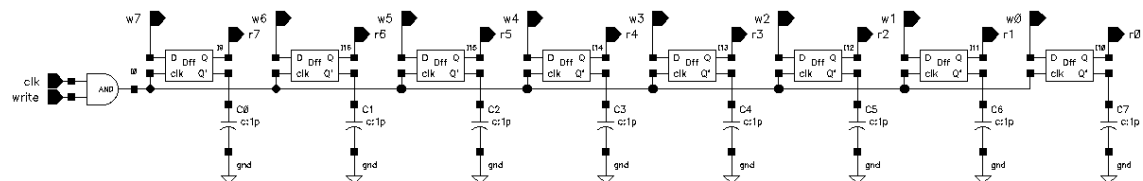




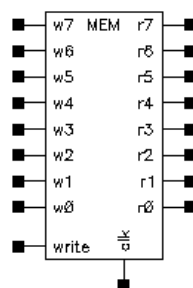
Obrázek 94: Průběh simulace asynchronní paměti z RS klopných obvodů

#### 4.5.2 Synchronní paměť z D klopného obvodu

Další možnost k uložení hodnoty je použití D klopného obvodu k sestavení synchronní paměti, tedy paměti závislé na hodinovém signálu. Na výstupu D klopného obvodu je vždy ta hodnota, která je zadaná na vstupu signálem D. Hodnota se mění vždy s náběžnou hranou a aby nedocházelo k nechtěnému přepsání paměti, je hodinový signál ještě spojen hradlem AND s vodičem write, který právě zajišťuje psaní do paměti. Takže uživatel do paměti může zapisovat pouze tehdy, když nastaví vodič write na hodnotu log. 1 a s náběžnou hranou hodin, čímž je zajištěno, že se nestane nechtěné přepsání paměti.



Obrázek 95: Schéma zapojení synchronní paměti z D klopných obvodů

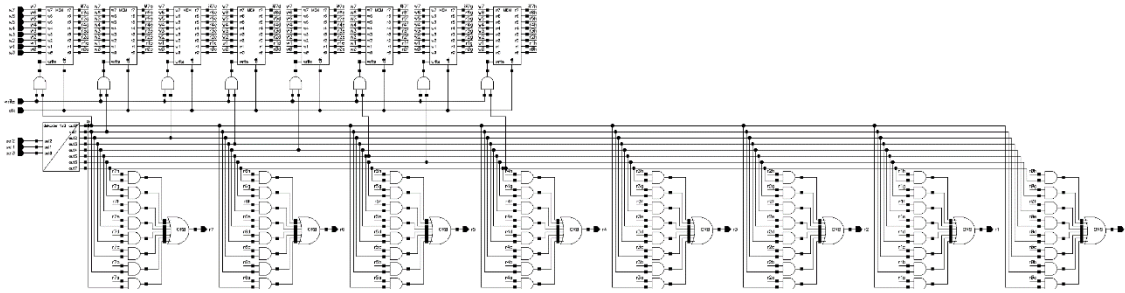


Obrázek 96: Symbol synchronní paměti z D klopných obvodů

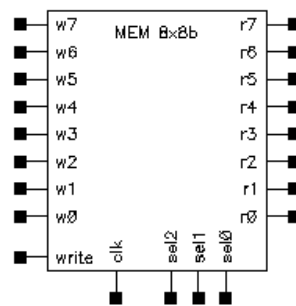
#### 4.5.3 Sdílená paměť 8x8b

Předchozí paměť je určena pro zapsání 8 bitů. Aby bylo možné zapsat více bitů nebo více čísel zároveň, je sestavena sdílená paměť pro 8 x 8 bitů. Je tedy možné do ní zapsat osm 8-bitových čísel nebo i 64 separátních nezávislých bitů – dle potřeby. Docílí se toho zapojením osmi synchronních pamětí z předchozího příkladu a tří adresních vodičů sel2, sel1 a sel0. Právě tyto adresní vodiče udávají, na které místo v paměti chce uživatel dané číslo zapsat. Adresní vodiče jsou totiž zapojeny do série s dekodérem 1 z N, kterým se vždy aktivuje právě jeden výstup.

Výstupy z dekodéru jsou pak propojeny s hodinami a signálem write logickým hradlem AND, takže hodnota se zapíše pouze do jedné paměťové buňky. Na druhou stranu jsou výstupy z dekodéru propojené s výstupy z paměťových buněk, takže při čtení se na výstupu také objeví pouze informace právě z té jedné paměťové buňky.



Obrázek 97: Schéma zapojení sdílené paměti 8x8b



Obrázek 98: Symbol sdílené paměti 8x8b

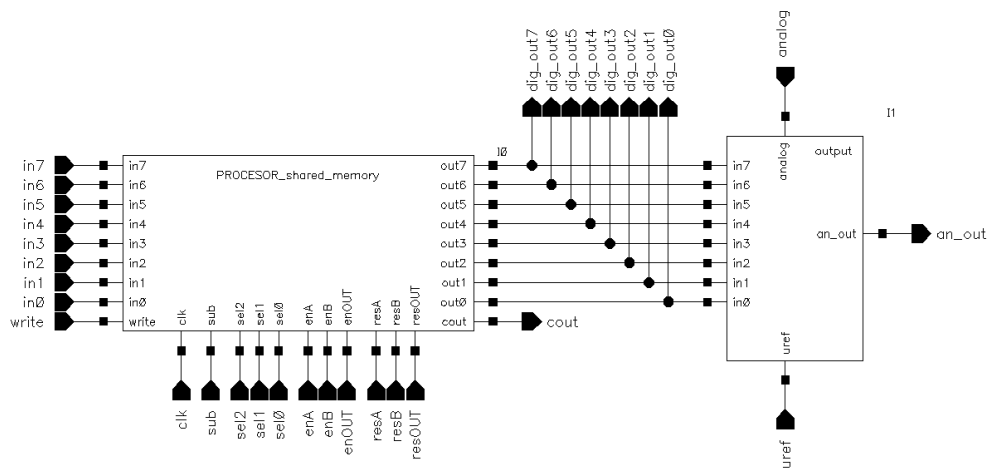
Pozn. Obě synchronní paměti jsou simulovány až v rámci numerického bloku procesoru, je tak tedy lépe vidět jejich funkčnost v praxi a v závislosti na vstupních logických hodnotách.

# 5 NUMERICKÝ PROCESOR SE SDÍLENOU PAMĚTÍ A ZPĚTNOU VAZBOU

Z předchozích bloků byl navržen obvod, který emuluje numerický procesor se sdílenou pamětí a zpětnou vazbou. Na funkci i jeho pochopení je takový obvod stále poměrně jednoduchý, ale k jeho sestavení bylo použito nejvíce součástek.

Tento obvod slouží jako velmi jednoduchá kalkulačka. Na vstupu ukládá postupně 8-bitová čísla do paměti, dále může uživatel vybrat dvě čísla z paměti, sečíst nebo odečíst je a opět uložit do sdílené paměti.

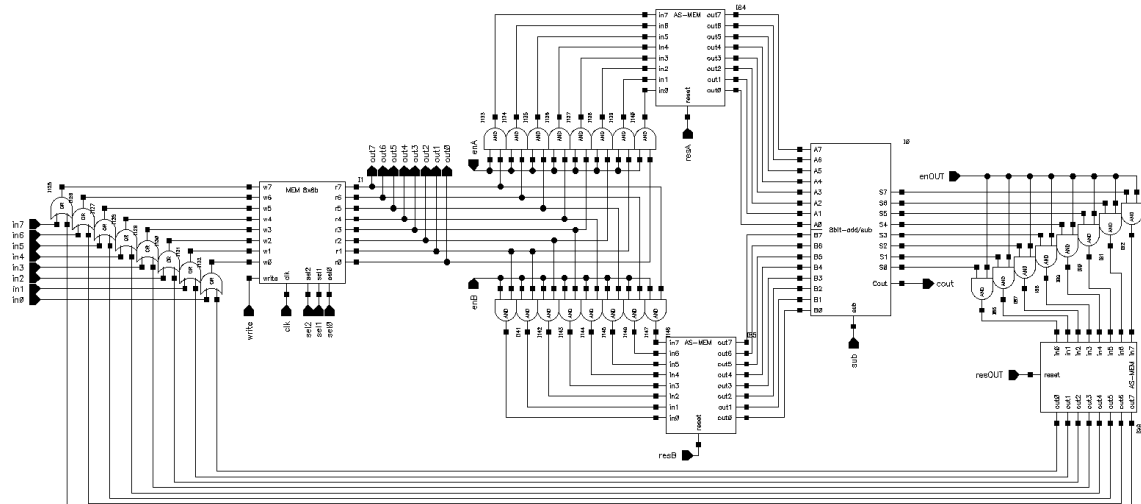
Na obrázku 99 je vidět, že procesor se skládá ze dvou částí – numerického a převodního bloku. Numerický blok má na starosti uložení čísel do společné paměti a výpočet, převodní blok zajišťuje konverzi binárně reprezentovaného 8-bitového výsledku na analogové napětí.



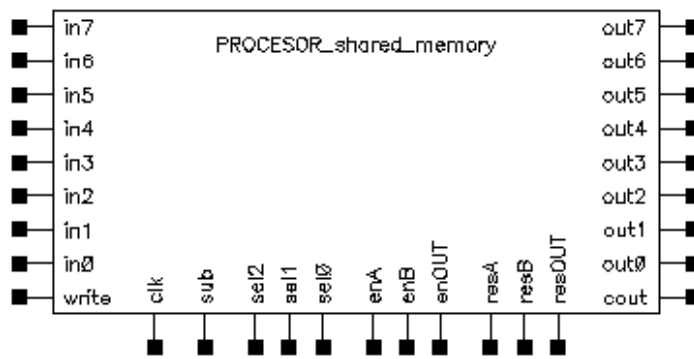
Obrázek 99: Schéma zapojení procesoru

## 5.1 NUMERICKÝ BLOK

Numerický blok se stará o výpočetní funkce tohoto procesoru. Skládá se ze synchronní sdílené paměti 8x8b, 8-bitové sčítačky, asynchronních pamětí a logických hradel dle schématu zapojení na obrázku 100.



Obrázek 100: Schéma zapojení numerického bloku procesoru



Obrázek 101: Symbol numerického bloku procesoru

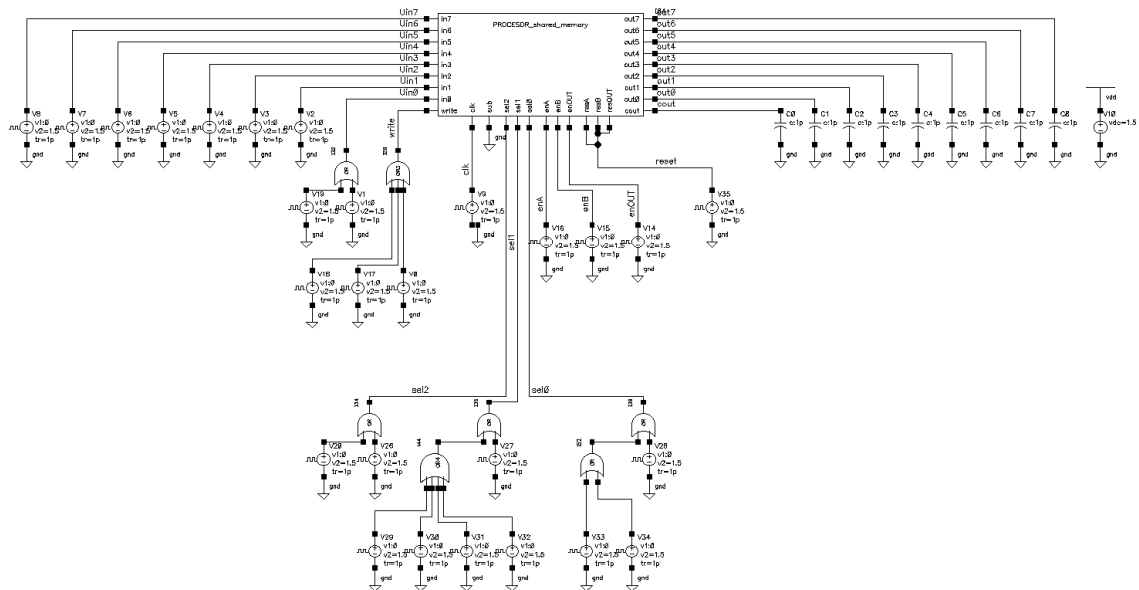
Tento obvod zajišťuje 3 funkce: čtení z paměti, výpočet výsledku a opětovný zápis do paměti. Jedná se vlastně o stavový automat a jediná podmínka pro zajištění jeho správného fungování je zajištění správného sledu signálů.

Nejprve je nutné pro jistotu vymazat asynchronní paměti, jelikož ve stavu  $R = 0$ ,  $S = 0$  na výstupu drží předchozí hodnotu. Poté se na vstupu musí zadat alespoň dvě čísla, vodičem write nastavit na hodnotu log. 1 a tím povolit zápis čísel do sdílené paměti. Adresa, na kterou se čísla přesně uloží, je zadána adresními vodiči sel2 až sel0. Sdílená paměť je synchronní, tedy musí do ní vést hodinový signál a bity se ukládají s náběžnou hranou hodin. Takto by se měla uložit alespoň dvě čísla, aby se mohla použít jako sčítance do sčítačky, ale samozřejmě je možné třeba nejdříve zaplnit celou sdílenou paměť.

Po zapsání čísel do paměti je možnost je přečíst z paměti podle adresy určené adresními vodiči. Vodičem enA se hodnota čtená ze sdílené paměti uloží jako sčítanec A, obdobně se vodičem enB hodnota uloží jako sčítanec B. Hodnoty se ukládají do asynchronních pamětí tvořených RS klopnými obvody. Tyto paměti pouze podrží napětí nezávisle na hodinovém signálu. Poté jsou sčítance vedeny do sčítačky, kterou je možné pomocí vodiče sub transformovat na odčítačku. Vodičem enOUT se výstup uloží také do asynchronní paměti a tím se podrží jeho hodnota, než jí uživatel zapíše vodičem write do sdílené paměti.

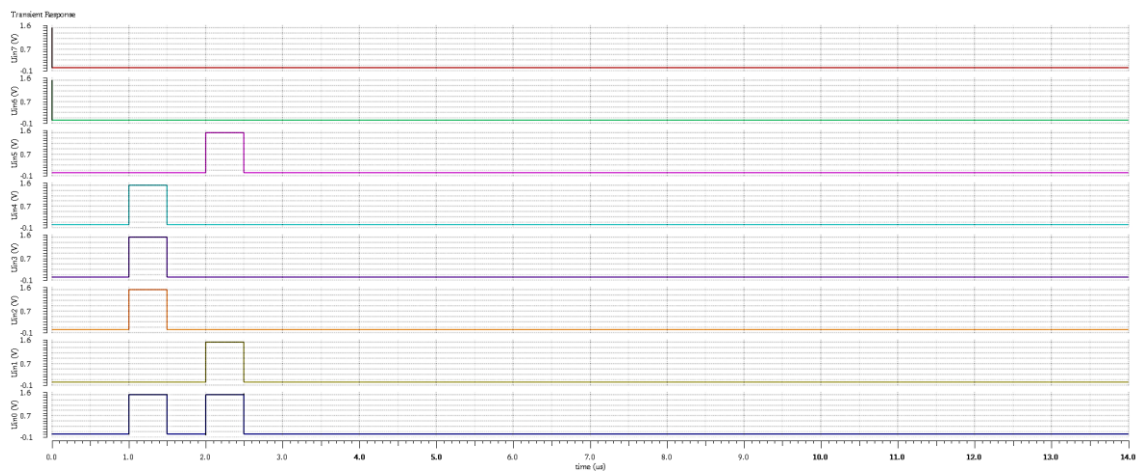
K simulaci numerického bloku procesoru je použit následující průběh signálů:

1. reset asynchronních paměťových členů v čase 0 s
2. přivedení sčítance A na vstup a jeho uložení do synchronní sdílené paměti v čase 1  $\mu$ s
3. přivedení sčítance B na vstup a jeho uložení do synchronní sdílené paměti v čase 2  $\mu$ s
4. vybrání čísla A ze synchronní sdílené paměti a uložení do asynchronní paměti k podržení napěťové úrovně v čase 3  $\mu$ s
5. vybrání čísla B ze synchronní sdílené paměti a uložení do asynchronní paměti k podržení napěťové úrovně v čase 4  $\mu$ s
6. uvolnění výsledku a jeho zapsání do asynchronní paměti k podržení napěťové úrovně v čase 5  $\mu$ s
7. zapsání výsledku do synchronní sdílené paměti v čase 6  $\mu$ s
8. postupné procházení celé synchronní sdílené paměti a čtení jednotlivých hodnot v čase od 10  $\mu$ s do 14  $\mu$ s



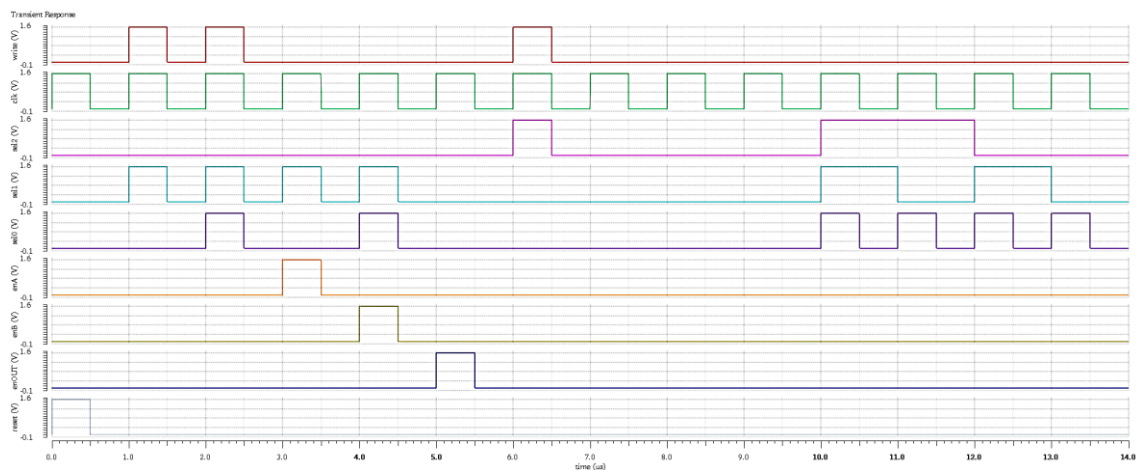
Obrázek 102: Schéma simulace numerického bloku procesoru

Na prvním průběhu jsou zobrazeny průběhy vstupních signálů in7 až in0.



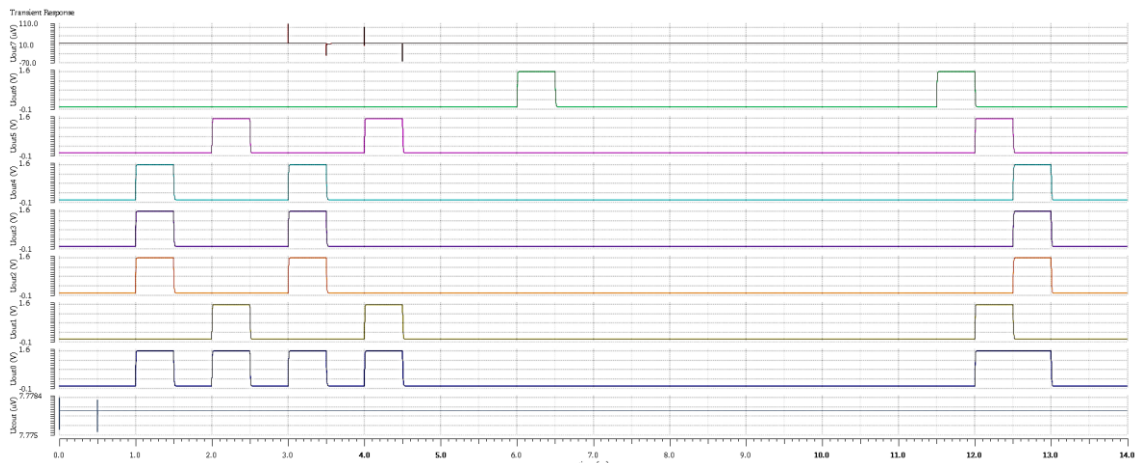
Obrázek 103: Průběh vstupních signálů simulace numerického procesoru

Na druhém průběhu jsou zobrazeny řídicí signály write, clk, sel2 až sel0, enA, enB, enOUT a reset.



Obrázek 104: Průběh řídicích signálů simulace numerického procesoru

A na posledním průběhu jsou zobrazeny výstupní signály out7 až out0 a cout.

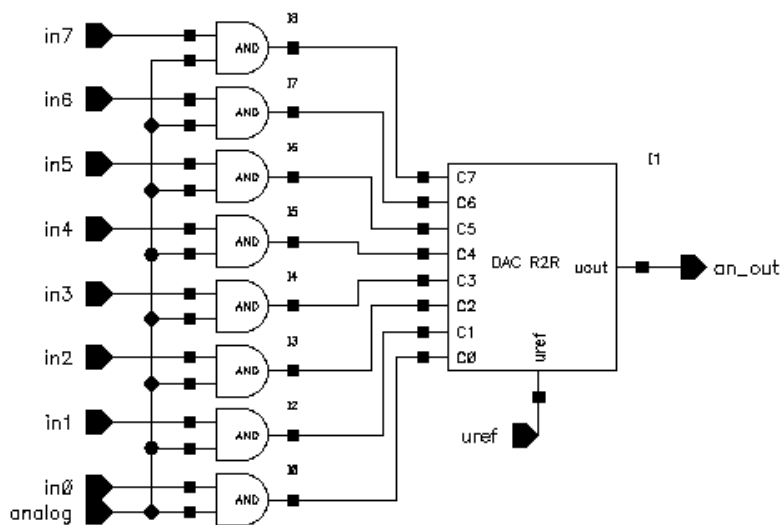


Obrázek 105: Průběh výstupních simulace numerického bloku procesoru

Je vidět, že v čase od 10  $\mu$ s do 14  $\mu$ s jsou ve sdílené paměti uloženy oba sčítance i součet.

## 5.2 PŘEVODNÍ BLOK

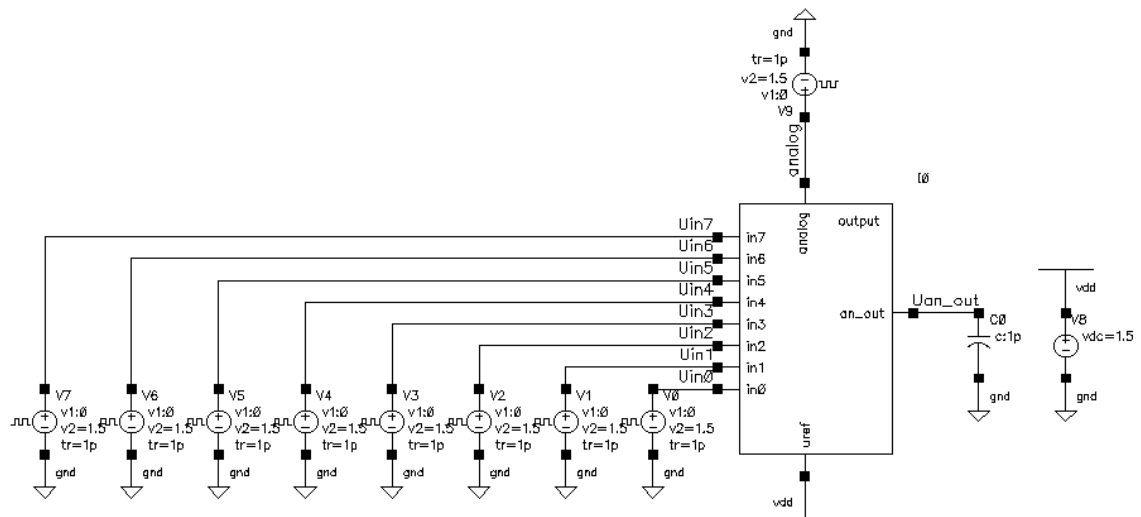
Převodní blok má v rámci numerického procesoru na starosti konverzi digitálního 8-bitového binárně reprezentovaného čísla na analogové napětí. Vstupní vodiče in7 až in0 jsou spojeny s rozhodovacím vodičem analog logickým hradlem AND a poté vedou do DA převodníku. Pokud je nastaven analog = log. 1, binárně zapsaná 8-bitová hodnota se konvertuje na analogové napětí, v opačném případě do DA převodníku vede nulová hodnota.



Obrázek 106: Schéma zapojení převodního bloku procesoru

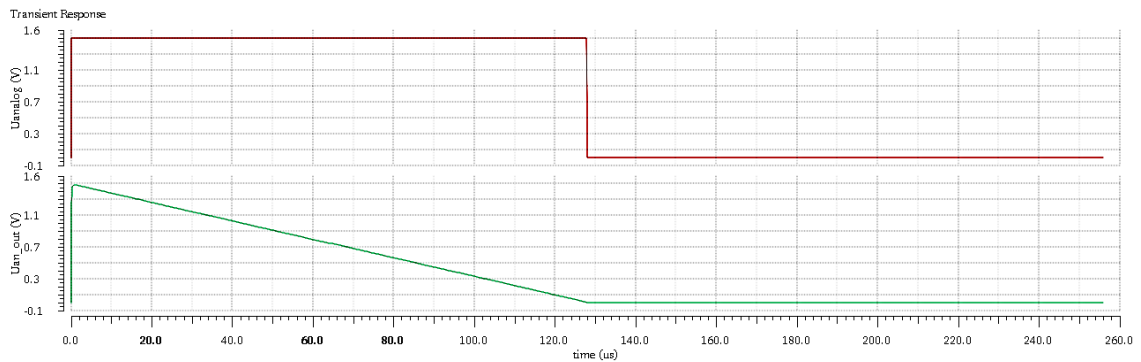
Obrázek 107: Symbol převodního bloku procesoru

Simulace převodního bloku procesoru probíhá stejně jako simulace dříve zmíněného R2R DAC – na vstupu je zadána sestupná binární kombinace.



Obrázek 108: Schéma simulace převodního bloku procesoru

A z průběhu výstupního signálu je zřejmé, že konvertované analogové napětí má sestupnou tendenci.

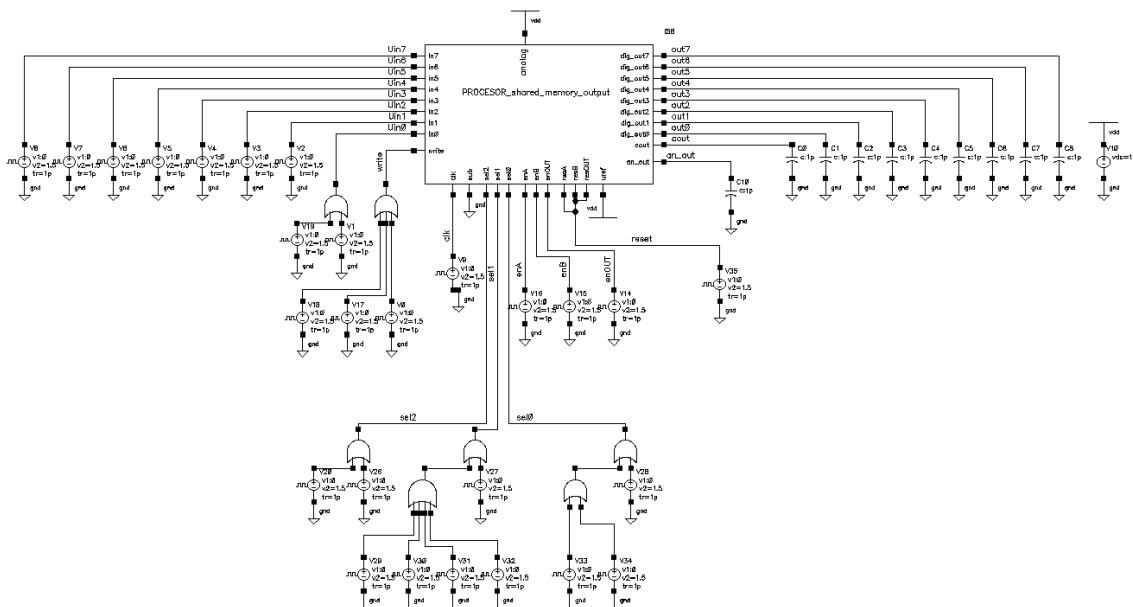


Obrázek 109: Průběh simulace převodního bloku procesoru

### 5.3 KONEČNÁ SIMULACE NUMERICKÉHO PROCESORU

Po sestavení a otestování obou částí numerického procesoru je posledním krokem ho otestovat jako celek. Pro simulaci takovéto složitější digitální součástky je nejdůležitější správné načasování jednotlivých signálů. V této práci probíhala simulace v následujícím pořadí:

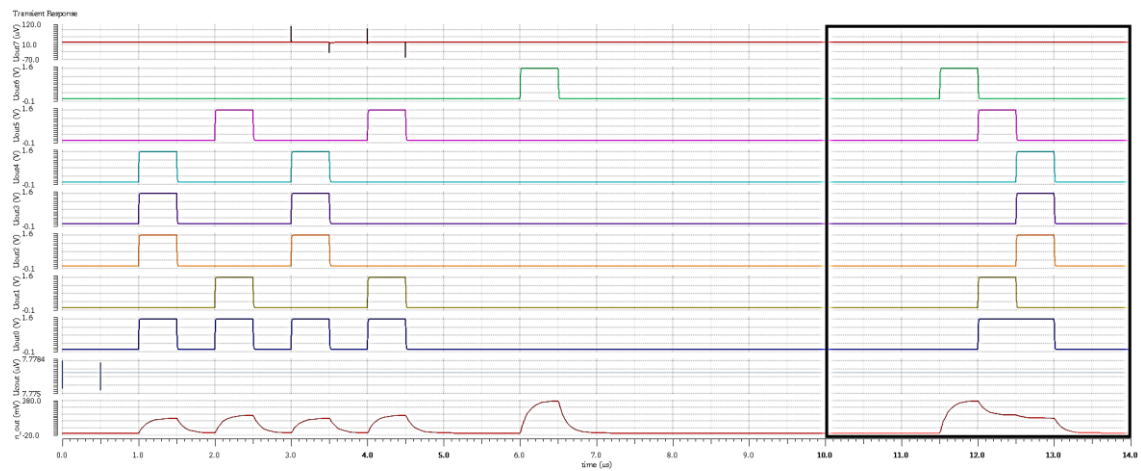
1. reset asynchronních paměťových členů v čase 0 s
2. přivedení sčítance A na vstup a jeho uložení do synchronní sdílené paměti v čase 1 μs
3. přivedení sčítance B na vstup a jeho uložení do synchronní sdílené paměti v čase 2 μs
4. vybrání čísla A ze synchronní sdílené paměti a uložení do asynchronní paměti k podržení napěťové úrovně v čase 3 μs
5. vybrání čísla B ze synchronní sdílené paměti a uložení do asynchronní paměti k podržení napěťové úrovně v čase 4 μs
6. uvolnění výsledku a jeho zapsání do asynchronní paměti k podržení napěťové úrovně v čase 5 μs
7. zapsání výsledku do synchronní sdílené paměti v čase 6 μs
8. postupné procházení celé synchronní sdílené paměti a čtení jednotlivých hodnot v čase od 10 μs do 14 μs



Obrázek 110: Schéma simulace numerického procesoru

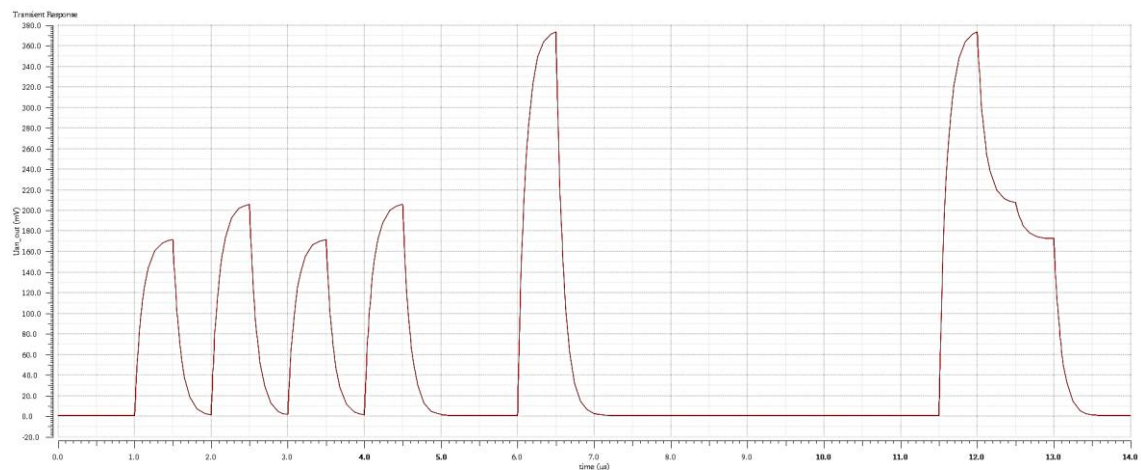
Průběh vstupních a řídicích signálů je naprosto stejný jako u simulace numerického bloku procesoru.





Obrázek 111: Průběh výstupních signálů simulace numerického procesoru

V digitálně zaměřených simulacích byla zvolena výstupní kapacita o velikosti 1 pF. Pro zobrazení analogového konvertovaného signálu byla zvolena menší hodnota kapacity 10 fF, aby se eliminovala doba nabíjení a vybíjení kondenzátoru.

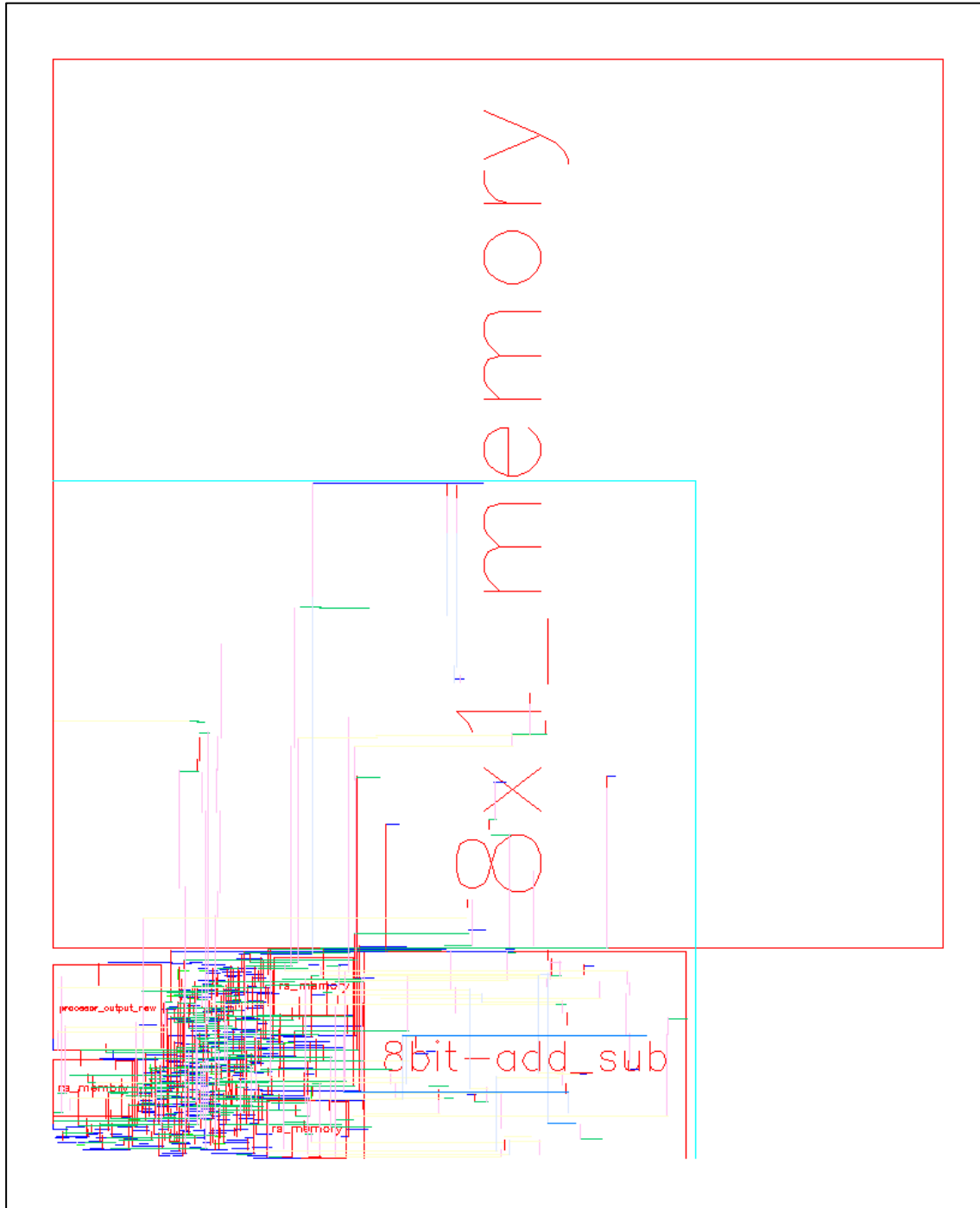


Obrázek 112: Průběh analogového výstupu simulace numerického procesoru

## 5.4 LAYOUT

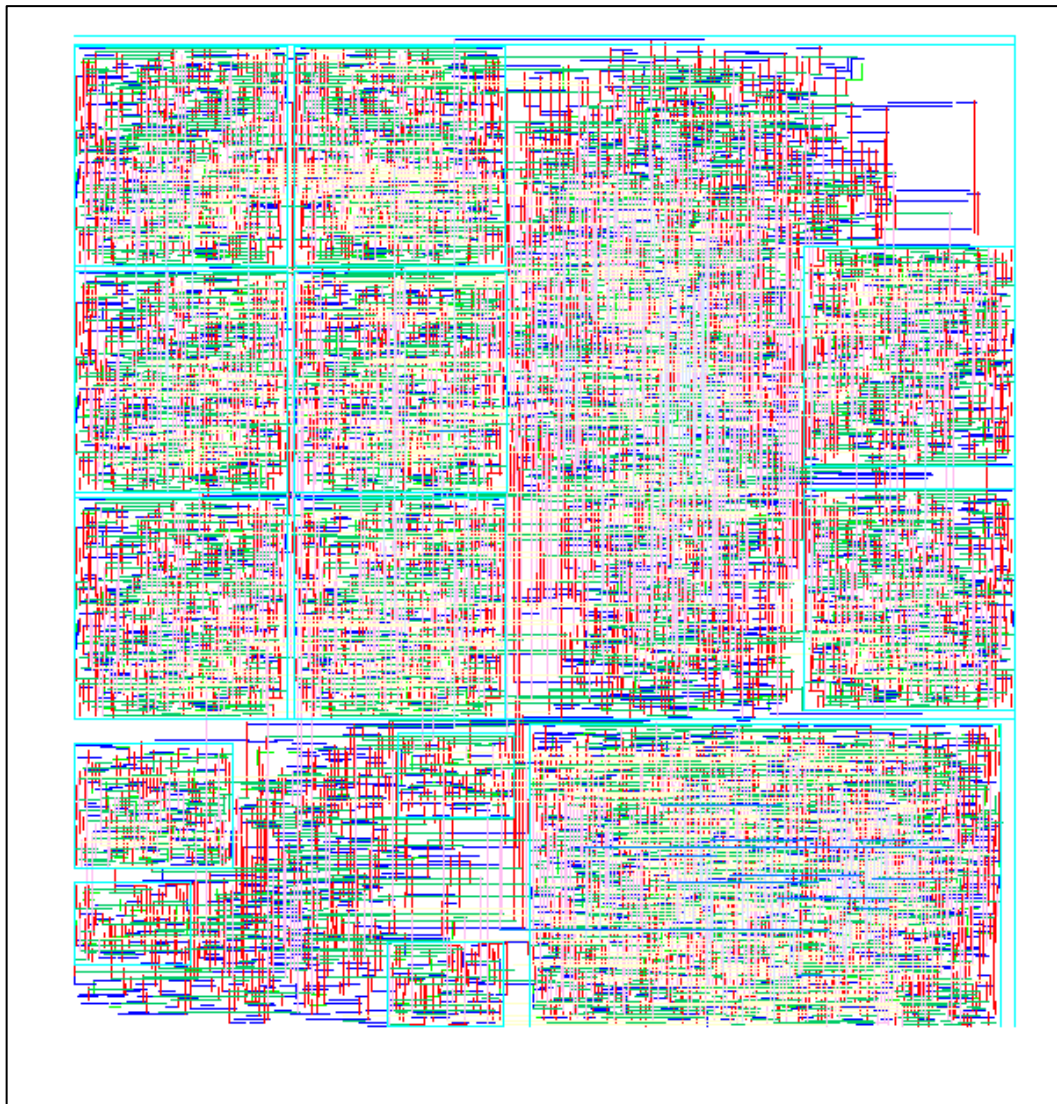
Pro demonstrační účely byl automaticky vytvořen layout finálního zapojení numerického procesoru v LAYOUT XL.

Na obrázku 113 je vidět layout numerického procesoru rozvržený v blocích a jejich vzájemné propojení.



Obrázek 113: Layout numerického procesoru

Na obrázku 114 je zobrazen tentýž layout numerického procesoru, ale včetně všech spojů.



*Obrázek 114: Layout numerického procesoru včetně propojení*

## 6 ZÁVĚR

---

Cílem práce bylo zpřístupnit studentům informatiky digitální návrh elektronických součástek formou praktických ukázek diskrétního zapojení jednotlivých logických obvodů, jelikož forma a rozsah znalostí se u této skupiny studentů odlišují od klasických studentů elektrotechniky. Právě diskrétní realizace byla zvolena záměrně, protože je z ní možné pochopit chování jednotlivých součástek a průběh jejich signálů. Ačkoliv se v dnešní době tento postup návrhu příliš nepoužívá a spíše se využívají programovací jazyky Verilog nebo VHDL, myslím si, že zvolená forma je důležitá pro pochopení digitálního návrhu. Pokud student rozumí tomu, jak jeho program funguje, může svá programová řešení lépe optimalizovat.

Ve výsledné práci je patrný důraz na praktická obvodová zapojení na úkor hlubokých teoretických znalostí, které je možno případně nalézt v citovaných zdrojích. Součástí práce je sada elektronických učebních textů a knihoven pro návrhový software, které je možno přímo využít ve výuce.

## 7 POUŽITÁ LITERATURA

---

- [1] „Complex Digital Systems,“ MITOPENCOURSEWARE - Massachusetts Institute of Technology, [Online]. Available: <https://ocw.mit.edu/courses/electrical-engineering-and-computer-science/6-884-complex-digital-systems-spring-2005/index.htm>.
- [2] C. Terman, „MIT 6.004 L03: CMOS Technology,“ Youtube, [Online]. Available: [https://www.youtube.com/watch?v=SkbBM6To9F0&list=PLqAMIAbd8sluiuk\\_yJeqCWWxe7jxWgswj&index=3](https://www.youtube.com/watch?v=SkbBM6To9F0&list=PLqAMIAbd8sluiuk_yJeqCWWxe7jxWgswj&index=3).
- [3] „Cadence,“ [Online]. Available: <https://www.cadence.com/>.
- [4] „Cadence Tutorial,“ ČVUT FEL katedra mikroelektroniky, [Online]. Available: <http://micro.feld.cvut.cz/home/CADTUT/>.
- [5] [Online]. Available: [https://elmag.fel.cvut.cz/sites/default/files/users/pankrac/files/1\\_A1B17EMP.pdf](https://elmag.fel.cvut.cz/sites/default/files/users/pankrac/files/1_A1B17EMP.pdf). [Přístup získán 14 Březen 2017].
- [6] V. Pankrác, „Pomocné texty k přednáškám z teorie elektromagnetického pole,“ Prosinec 2015. [Online]. Available: [http://old.elmag.org/sites/default/files/users/pankrac/files/text\\_A1B17EMP\\_22\\_leden\\_2016.pdf](http://old.elmag.org/sites/default/files/users/pankrac/files/text_A1B17EMP_22_leden_2016.pdf). [Přístup získán 9 Květen 2017].
- [7] J. Vobecký a V. Záhlava, „2. Základní pojmy,“ v *Elektronika - Součástky a obvody, principy a příklady*, Praha, Grada Publishing, a.s., 2006, pp. 28-48.
- [8] J. Jakovenko, „A4B34EM - Elektronika a mikroelektronika, 2. přednáška,“ [Online]. Available: [https://moodle.fel.cvut.cz/pluginfile.php/4884/course/section/1031/02-EM-Zakladni\\_pojmy.pdf](https://moodle.fel.cvut.cz/pluginfile.php/4884/course/section/1031/02-EM-Zakladni_pojmy.pdf). [Přístup získán 5 Únor 2017].
- [9] I. Burger a L. Hudec, „2.7 Statistika elektronů a děr v polovodičích,“ v *Elektronické prvky*, Bratislava, Alfa, 1989, pp. 97-111.
- [10] J. Vobecký a V. Záhlava, „4.1 PN přechod,“ v *Elektronika - součástky a obvody, principy a příklady*, Praha, Grada Publishing, a.s., 2006, pp. 68-70.
- [11] J. Jakovenko, „A4B34EM - Elektronika a mikroelektronika, 3. přednáška,“ [Online]. Available: <https://moodle.fel.cvut.cz/pluginfile.php/4884/course/section/1031/03-EM-PN-Dioda.pdf>. [Přístup získán 12 Květen 2017].
- [12] J. Vobecký a V. Záhlava, „5. Tranzistory,“ v *Elektronika - součástky a obvody, principy a příklady*, Praha, Grada Publishing, a.s., 2006, pp. 99-150.
- [13] [Online]. Available: <http://klopneobvody.hys.cz/tranzistory.html>.
- [14] [Online]. Available: <http://www.statemaster.com/encyclopedia/BJT>.

- [15] [Online]. Available:  
<https://courses.engr.illinois.edu/ece110/content/courseNotes/files/?MOSFETs>.
- [16] J. Foit a L. Hudec, „6.4.1 Signálové úrovně TTL,“ v *Základy elektroniky*, Praha, České vysoké učení technické, 2009, pp. 299-302.
- [17] M. Antošová a V. Davídek, Číslicová technika, České Budějovice: KOPP, 2013.
- [18] M. Olejář, „elweb.cz - elektronické aplikace,“ [Online]. Available:  
<http://www.elweb.cz/clanky.php?clanek=94>. [Přístup získán 12 Květen 2017].
- [19] J. Jakovenko, „A4B34EM - Elektronika a mikroelektronika, 5. přednáška,“ [Online]. Available: [https://moodle.fel.cvut.cz/pluginfile.php/4884/course/section/1031/05-EM-Unipolarni\\_tranzistor.pdf](https://moodle.fel.cvut.cz/pluginfile.php/4884/course/section/1031/05-EM-Unipolarni_tranzistor.pdf). [Přístup získán 14 Březen 2017].
- [20] „P000 Architektura počítačů,“ [Online]. Available:  
<https://is.muni.cz/el/1433/podzim2004/PB151/um/15020.html>. [Přístup získán 22 Květen 2017].
- [21] P. Píša, M. Štěpanovský a M. Šnorek. [Online]. Available:  
[https://cw.fel.cvut.cz/wiki/\\_media/courses/b35apo/lectures/01/b35apo\\_lecture01-arithmetics.pdf](https://cw.fel.cvut.cz/wiki/_media/courses/b35apo/lectures/01/b35apo_lecture01-arithmetics.pdf). [Přístup získán 23 Květen 2017].
- [22] „6 Stavové automaty,“ [Online]. Available:  
[http://www.urel.feec.vutbr.cz/~kolouch/pld/1\\_prednasky/kapitola06.html](http://www.urel.feec.vutbr.cz/~kolouch/pld/1_prednasky/kapitola06.html). [Přístup získán 23 Květen 2017].
- [23] „Moodle - Struktury počítačových systémů,“ [Online]. Available:  
<https://moodle.fel.cvut.cz/course/view.php?id=778>.
- [24] P. E. Allen a D. R. Holberg, CMOS Analog Circuit Design, Oxford University Press, 2012.
- [25] I. Burger a Hudec Lubomír, „4 Kontaktní jevy v polovodičích,“ v *Elektronické prvky*, Bratislava, Alfa, 1989, pp. 142-180.
- [26] J. Jakovenko. [Online]. Available:  
[https://moodle.fel.cvut.cz/pluginfile.php/63517/mod\\_page/content/1/prednasky/02\\_MOSFET.pdf](https://moodle.fel.cvut.cz/pluginfile.php/63517/mod_page/content/1/prednasky/02_MOSFET.pdf). [Přístup získán 15 Březen 2017].
- [27] [Online]. Available:  
[http://elektross.gjn.cz/soucastky/dva\\_prechody/uni\\_tranzistor.html](http://elektross.gjn.cz/soucastky/dva_prechody/uni_tranzistor.html).

## SEZNAM POUŽITÝCH ZKRATEK A SYMBOLŮ

---

MOSFET	Metal Oxid Semiconductor Field Effect Transistor
G	elektroda Gate
S	elektroda Source
D	elektroda Drain
B	elektroda Bulk
$U_{GS}$	napětí mezi elektrodami Gate a Source
$U_{DS}$	napětí mezi elektrodami Drain a Source
$I_D$	proud procházející elektrodou Drain
CMOS	Complementary Metal Oxid Semiconductor
PMOS	unipolární tranzistor s P-jámou
NMOS	unipolární tranzistor s N-jámou
TTL	Transistor-Transistor-Logic
$V_{DD}$	napájecí napětí
GND	zem
DAC	Digital-to-Analog Converter

## SEZNAM PŘÍLOH

---

Přiložené CD obsahuje následující:

- adresář *text*
  - text práce ve formě MS Word
  - text práce ve formě pdf
- adresář *prezentace* – 6 prezentací použitelných ve výuce ve formě pdf
  - Základní logická hradla
  - Kombinační logické obvody
  - Sekvenční logické obvody
  - DA převodník
  - Paměti
  - Numerický procesor
- adresář *cadence* – vytvořené knihovny pro program Cadence Virtuoso
- adresář *obrazky* – exportované obrázky schémat a simulací použité v tomto textu