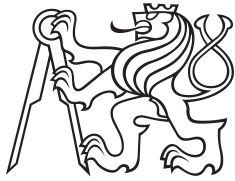


Bakalářská práce



České
vysoké
učení technické
v Praze

F3

Fakulta elektrotechnická
Katedra mikroelektroniky

Generátor řídicího napětí pro tester odolnosti

Radovan Blažek

Vedoucí práce: Ing. Vít Záhlava, CSc.

Obor: Aplikovaná elektronika

Studijní program: Komunikace, multimédia a elektronika

Květen 2017

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Blažek** Jméno: **Radovan** Osobní číslo: **420268**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra mikroelektroniky**
Studijní program: **Komunikace, multimédia a elektronika**
Studijní obor: **Aplikovaná elektronika**

II. ÚDAJE K BAKALÁŘSKÉ PRÁCI

Název bakalářské práce:

Generátor řídicího napětí pro tester odolnosti

Název bakalářské práce anglicky:

Control Voltage Generator for the Immunity Tester

Pokyny pro vypracování:

- 1) Prostudujte problematiku testování součástek pro 48 V automobilové systémy.
- 2) Navrhněte obvodové elektrické schéma zapojení generátoru řízeného z PC.
- 3) Proveďte simulace klíčových částí obvodů.
- 4) Vytvořte potřebné programové vybavení řídicího obvodu.
- 5) Navrhněte desku plošného spoje a realizujte přípravek pro ověření funkčnosti.

Seznam doporučené literatury:

- 1) Horowitz, P.; Hill, W.: The Art of Electronics. Cambridge University Press, New York, 2015, ISBN 978-0-521-80926-9
- 2) Vobecký J., Záhlava V.: Elektronika - součástky a obvody, principy a příklady, Třetí rozšířené vydání, Grada Publishing, Praha 2005
- 3) Záhlava, V. : Návrh a konstrukce desek plošných spojů, BEN, Praha 2011
- 4) Katalogové a aplikační listy příslušných elektronických součástek

Jméno a pracoviště vedoucí(ho) bakalářské práce:

Ing. Vít Záhlava CSc., katedra mikroelektroniky FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) bakalářské práce:

Datum zadání bakalářské práce: **07.02.2017**

Termín odevzdání bakalářské práce: _____

Platnost zadání bakalářské práce: **10.09.2018**

Podpis vedoucí(ho) práce

Podpis vedoucí(ho) ústavu/katedry

Podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Student bere na vědomí, že je povinen vypracovat bakalářskou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v bakalářské práci.

Datum převzetí zadání

Podpis studenta

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze, 26. května 2017

Anotace

Tato práce se zabývá návrhem arbitrárního generátoru napětí ovládaného z PC pro generování neomezeně dlouhých průběhů. Nejdříve je vysvětlený účel takového zařízení a na to navazuje popis jednotlivých funkčních součástí generátoru.

Klíčová slova:

Vedoucí práce: Ing. Vít Záhlava, CSc.

Annotation

This thesis is about the design of the arbitrary waveform generator controlled from PC for generating continuous waveforms. It discusses the purpose of such device and then describes all parts of the device in detail.

Keywords:

Title translation: Control Voltage Generator for the Immunity tester

Obsah

1 Úvod	1
2 Teorie	3
2.1 Způsob testování	3
2.2 Vzorkovací teorém	3
2.3 Interpolace	4
2.4 Dostupná řešení	5
3 Realizace přípravku pro ověření funkčnosti	7
3.1 USB Převodník	7
3.2 FPGA	8
3.2.1 Příjem dat	9
3.2.2 Vyrovnávací paměť	10
3.2.3 Zvýšení vzorkovací frekvence	10
3.2.4 Protokol	10
3.2.5 Trigger	11
3.2.6 Kalibrace	11
3.3 Analogová část	11
3.3.1 Měniče napětí	11
3.3.2 DAC	12
3.3.3 Rekonstrukční filtr	12
3.3.4 Výstupní zesilovač	13
3.3.5 Ochrana výstupu	14
4 Program pro PC	15
5 Závěr	17
5.1 Parametry	17
5.2 Mechanické zpracování	17
Bibliografie	21
A Použitý software	23
B Seznam zkratek	25
C Kompletní schéma	27

Obrázky

2.1 Příklad průběhu napájecího napětí z normy LV148.[2]	3
2.2 Originální signál.	4
2.3 Model výstupu z DAC při původní vzorkovací frekvenci.	5
2.4 Signál proložený nulami.	5
2.5 Signál po vyfiltrování FIR filtrem.	5
3.1 Blokové schéma.	7
3.2 Blokové schéma logiky FPGA.	8
3.3 Zjednodušený stavový diagram příjmu dat	9
3.4 Simulace logiky VHDL pro čtení dat.	10
3.5 schéma zapojení boost měniče ..	12
3.6 schéma zapojení nábojové pumpy.	12
3.7 schéma zapojení DAC a rekonstrukčního filtru.	13
3.8 schéma zapojení výstupního zesilovače a výstupu.	14
4.1 Ovládací program pro generátor.	16
5.1 3D model osazeného plošného spoje.	18
5.2 3D model krabičky s plošným spojem.	18
5.3 Fotografie generátoru bez krytu.	18
5.4 Fotografie generátoru.	19

Tabulky

3.1 Formát dat	10
3.2 Parametry AD9764 při 25 °C ...	13
5.1 Parametry generátoru při 23 °C .	17



Kapitola 1

Úvod

Byl jsem postaven před úkol nakreslení průběhů pro arbitrární generátor podle normy VDA 320[1] pro testování součástí automobilů pro ST Microelectronics. Současné řešení používalo arbitrární generátor s pamětí na 64 tisíc vzorků, který ovládá výstupní napětí výkonového zdroje. To není problém pro generování relativně krátkých nebo periodických signálů. Když však potřebujeme průběh s délkou trvání v řádu minut, začne nás relativně malá paměť na vzorky omezovat. Generátor musí snížit vzorkovací frekvenci a to nám znemožní mít v rámci dlouhého průběhu rychleji se měnící úsek, jako je potřeba v normě VDA 320[1]. Nabízí se dvě možnosti jak to vyřešit: mnohem větší paměť na vzorky nebo počítat vzorky postupně během generování signálu.

Dále je popsáno řešení generátoru ovládaného programem v PC, který do generátoru posílá už vypočítané vzorky a generátor podle nich rovnou vytváří napětí na výstupu. Veškerá paměťová náročnost je tedy přenesena na PC. Takové řešení netrpí problémem paměti na vzorky a je naprosto univerzální - je omezené jen programem v PC a možnostmi výkonového zdroje.

Hlavní důvod proč se tímto zabývat je však trochu jiný. Nastíněný problém je totiž vyřešitelný i běžným generátorem a to například použitím předprogramované funkce generátoru na jednu část průběhu a arbitrární průběh na druhou. Hlavní motivace pro návrh generátoru, kterým se zabývá tato práce, je jednoduchost a praktičnost použití.

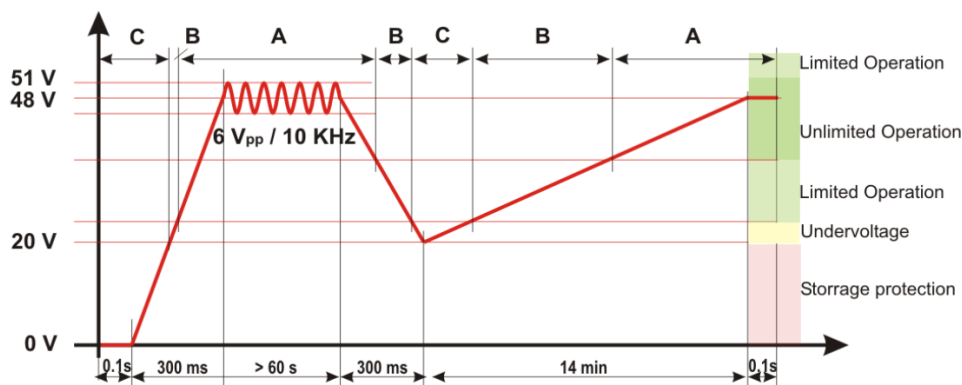
Kapitola 2

Teorie

2.1 Způsob testování

Elektrické a elektronické součásti automobilů procházejí testy, které sestávají z aplikace průběhů napájecího napětí daných normou a sledování chování testované součásti. Průběhy jsou navrženy tak, aby simulovali chování palubního napětí při různých situacích. K vytvoření průběhu napájecího napětí lze použít zdroj ovládaný právě napětím z generátoru.

Jeden z testovacích průběhů z normy VDA 320[1] je vidět na obrázku 2.1. Tento průběh je typickým příkladem, kde je problém s omezenou pamětí na vzorky. Obsahuje totiž harmonický signál s frekvencí 10 kHz a zároveň je více než 15 min (900 s) dlouhý. Pro generování harmonického průběhu s frekvencí 10 kHz je potřeba rychlost vzorkování minimálně 20 kS/s. Takže je potřeba více než $900 \text{ s} \cdot 20 \text{ kS/s} = 18 \text{ MS}$ paměť.



Obrázek 2.1: Příklad průběhu napájecího napětí z normy LV148.[2]

2.2 Vzorkovací teorém

„Přesná rekonstrukce spojitého, frekvenčně omezeného signálu z jeho vzorků je možná tehdy, pokud byla vzorkovací frekvence vyšší než dvojnásobek nejvyšší harmonické složky vzorkovaného signálu.“[3] Pokud tedy chceme vygenerovat

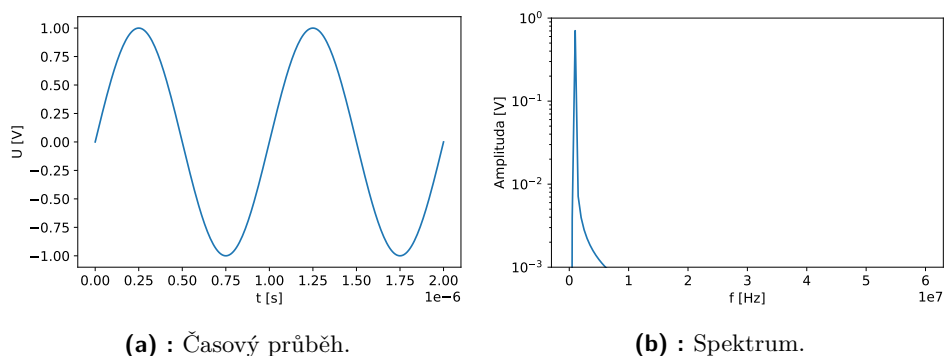
signál s harmonickými složkami o maximální frekvenci f , pak vzorkovací frekvence f_s musí být větší než dvojnásobek f . $f_s > 2f$ Vzorkovací teorém nám tedy udává jakou musíme mít minimální rychlost vzorkování generátoru.

2.3 Interpolace

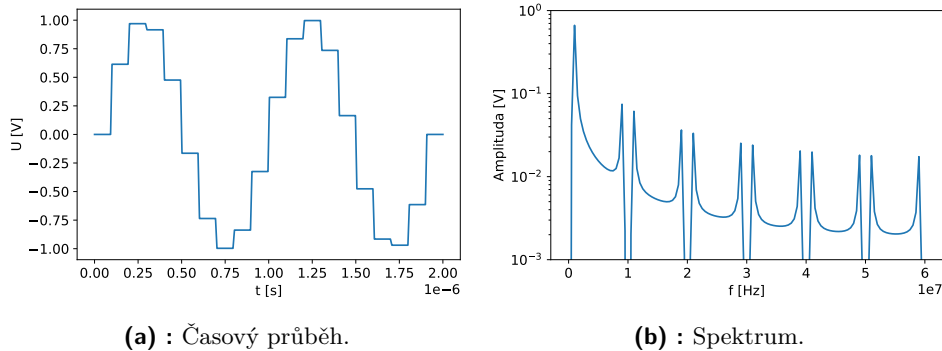
Máme např. harmonický signál jako je na obrázku 2.2. Signál navzorkujeme a vzorky pošleme do D/A převodníku, pak výstup z převodníku má tvar přibližně jako po částech konstantní funkce, viz obrázek 2.3. V některých případech je potřeba, aby výstup odpovídal signálu, který jsme vzorkovali. V takovém případě je nutné použít rekonstrukční filtr - dolní propust s mezní frekvencí rovnou polovině vzorkovací frekvence $f_0 = f_s/2$. Ideální dolní propust vyfiltruje všechny složky spektra s frekvencí větší než $f_s/2$ a dostaneme původní signál.

Pokud byl při vzorkování signálu splněn vzorkovací teorém, pak je možné vzorkovaný signál ze vzorků přesně rekonstruovat. To znamená, že je možné i dopočítat hodnotu signálu kdekoli v čase mezi vzorky. Lze to využít ke zvýšení počtu vzorků pro zvýšení rychlosti vzorkování. Což je výhodné, protože zvýšením rychlosti vzorkování se nám sníží nároky na rekonstrukční filtr - propustné pásmo zůstane stejné, ale filtrované pásmo se posune k vyšším frekvencím.

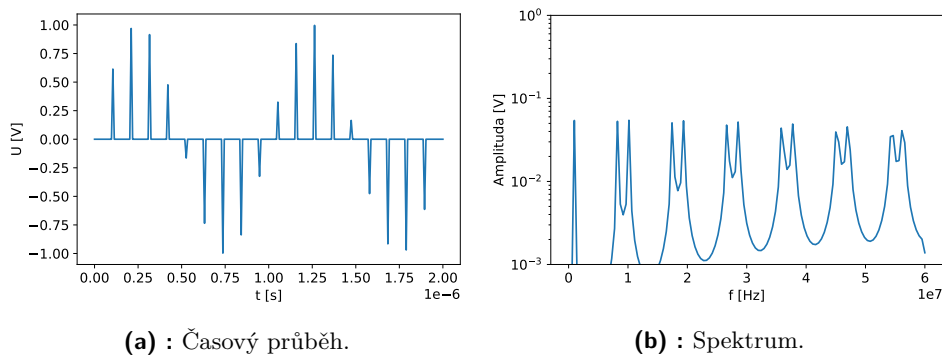
Interpolace se provede tak, že se mezi vzorky přidá určitý počet nulových vzorků a tento nový signál vyfiltrujeme dolní propustí. Kolik přidáme nul určuje kolikrát se zvýší rychlost vzorkování - jeden nulový vzorek zdvojnásobí množství vzorků, takže zvýší rychlost vzorkování dvakrát. Na filtr se kladou velké nároky, nicméně tentokrát je to filtr digitální. Digitální filtr sice v praxi také nebude ideální dolní propust, ale lze realizovat velice dobrý filtr za cenu pouze výpočetních prostředků. [4]



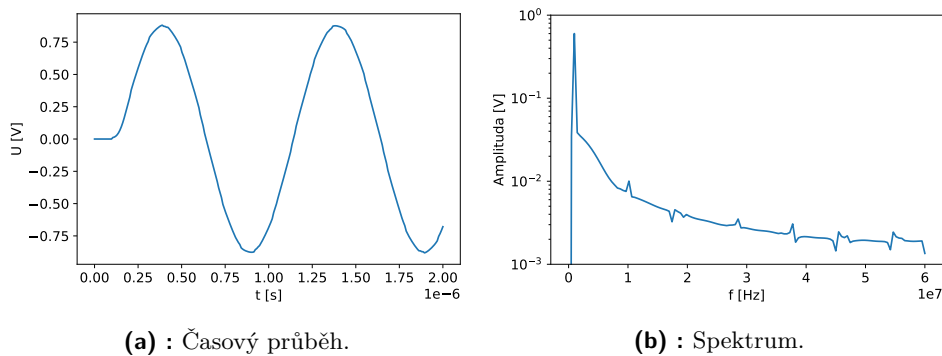
Obrázek 2.2: Originální signál.



Obrázek 2.3: Model výstupu z DAC při původní vzorkovací frekvenci.



Obrázek 2.4: Signál proložený nulami.



Obrázek 2.5: Signál po vyfiltrování FIR filtrem.

2.4 Dostupná řešení

Existuje několik dostupných řešení generátoru, které lze použít:

■ Běžný arbitrární generátor s velkou pamětí

- Např. Keysight řada 33600a má možnost mít paměť o velikosti až 64 MS, což stačí pro většinu průběhů z normy VDA 320[1] až na frekvenční sweep

do 200 kHz, který má trvat 2 min. To samozřejmě není problém, protože lze vygenerovat předprogramovanou funkci, ale už je potřeba generátor ovládat jiným způsobem. Některé generátory lze naprogramovat i tak, aby generovali sekvenci několika předprogramovaných funkcí. To je výhodné do té doby, dokud není potřeba signál, který generátor neumí.
<http://www.keysight.com/en/pc-2371707/33600a-series-waveform-generators-80-120-mhz>

■ **Specializovaný generátor přímo určený pro tento typ testování**

— Např. AutoWave - programuje se sekvence předprogramovaných funkcí. Stojí více než 500 tisíc korun.¹

<http://www.emtest.com/products/product/135120100000010146.php>

■ **Existující generátory k PC do USB**

— Často není jasné, jestli podporují nepřetržité generování signálu.

— Nemívají výstupní napětí v rozsahu do 10 V.

— Např. BitGen.

<http://www.bitscope.com/product/DWG100/>

Ukázaná řešení rozhodně lze použít, ale mohou být v určitých ohledech nepraktická, drahá nebo neuniverzální.

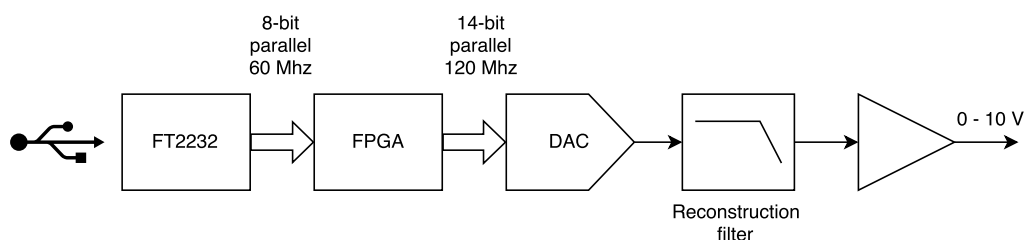
¹<https://www.vhodne-uverejneni.cz/index.php?m=xenorders&h=orderdocument&a=download&document=1112182>

Kapitola 3

Realizace přípravku pro ověření funkčnosti

Hlavní součásti generátoru jsou:

- **Převodník USB na paralelní sběrnici** — Převádí data ze sběrnice USB na jednodušeji použitelnou paralelní sběrnici.
- **FPGA** — Zajišťuje převod dat mezi USB převodníkem a D/A převodníkem, vyrovnávací paměť a další ovládací logiku.
- **D/A převodník** — Převádí data na elektrický proud.
- **Paralelní RC článek** — Slouží jako převodník proudu na napětí a jako rekonstrukční filtr - dolní propust.
- **Výstupní zesilovač** — Mění rozsah výstupního napětí na 0-10 V, snižuje výstupní odpor a zvyšuje maximální výstupní proud.



Obrázek 3.1: Blokové schéma.

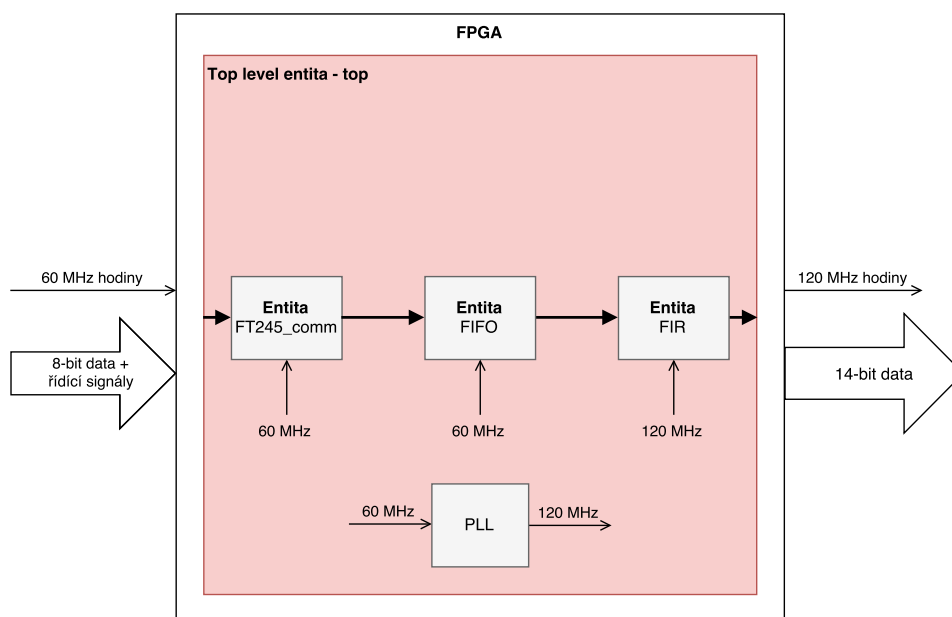
3.1 USB Převodník

Pro připojení generátoru k osobnímu počítači, bylo zvoleno široce rozšířené rozhraní pro periferie PC, USB. Jedna z možností jak implementovat sběrnici USB je externí transceiver a logika v FPGA. Existuje otevřená implementace USB 2.0 i USB 3.0 přímo pro Cyclone IV. Nicméně, jednodušším řešením je využít obvod FT2232H.

FT2232H je univerzální převodník ze sběrnice USB, který má několik módů ve kterých může fungovat. Pro naše účely je zajímavý mód "FT245

synchronous FIFO", ten ze všech dosahuje nejvyšších přenosových rychlostí. Teoretická maximální rychlost přenosu je 40 MB/s. Data z USB jsou pak zpřístupněna na relativně jednoduché paralelní sběrnici s hodinovým signálem a signály pro řízení přenosu. Pro posílání dat do FT2232H z PC jsou od výrobce k dispozici knihovny pro několik programovacích jazyků. Existuje i open-source knihovna libftdi pro jazyk C.

3.2 FPGA



Obrázek 3.2: Blokové schéma logiky FPGA.

Napájecí větve pro FPGA jsou řešené lineárními regulátory napojenými na 5 V z USB. Cyclone IV potřebuje 1,2 V, 2,5 V a 3,3 V pro napájení IO. Výkonová ztráta je zde přijatelná, protože FPGA spotřebovává málo proudu při množství použitých hradel a frekvenci překlápění maximálně 120 MHz.

Kapacita a množství blokovacích kondenzátorů bylo navrženo pomocí nástroje od výrobce FPGA.

Nároky na FPGA jsou relativně nízké, nicméně nelze použít CPLD kvůli tomu, že většina CPLD nemá dostatek RAM pro implementaci větší vyrovnávací paměti FIFO. Intel (Altera) Cyclone IV jsem zvolil z vyhovujících FPGA z praktických důvodů - předchozí zkušenost a měl jsem k dispozici všechny potřebné SW i HW nástroje pro práci s tímto FPGA. Další možností byl např. Lattice ICE40.

Modul vyrovnávací paměti a PLL byl vygenerován pomocí funkce ve vývojovém prostředí pro Intel FPGA, Quartus. Pro všechno ostatní byla použita vlastní implementace ve VHDL.

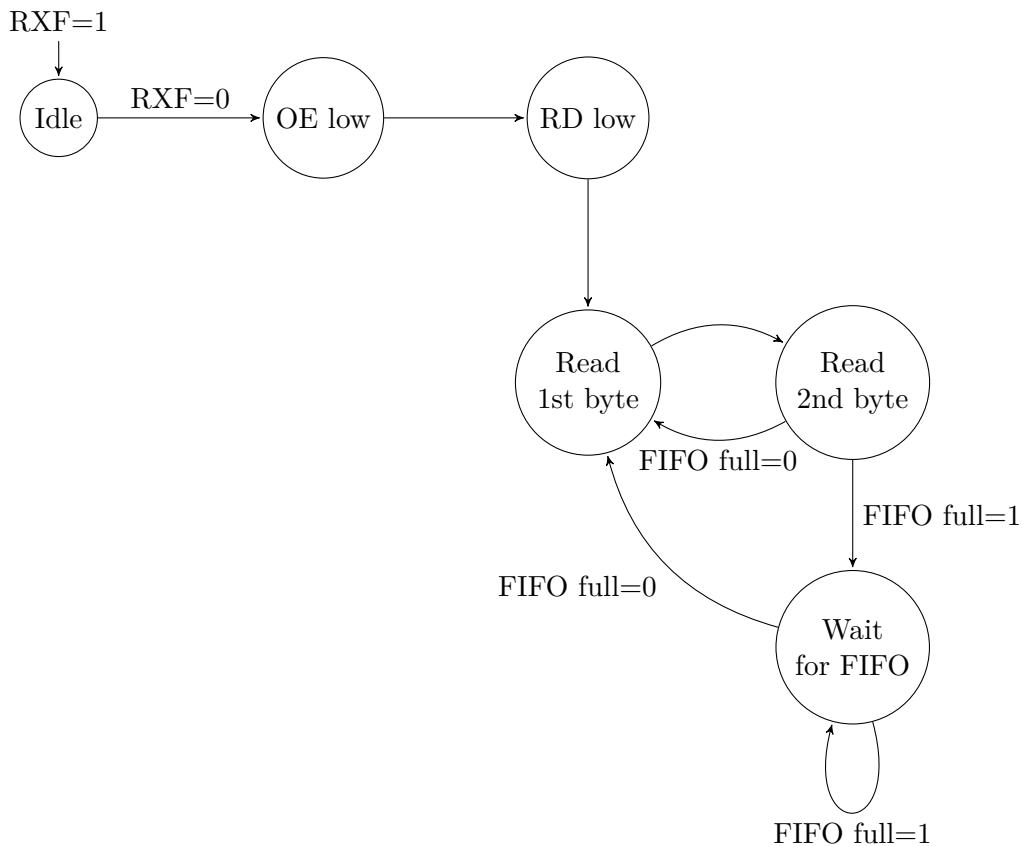
3.2.1 Příjem dat

Příjem dat v FPGA obstarává stavový automat. Automat generuje správně časované ovládací signály pro FT2232 a ve správný čas čte data. Změna stavu je synchronizována s hodinovým signálem.

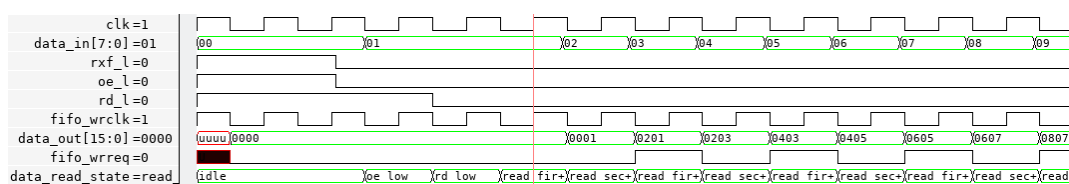
FT2232H generuje hodinový signál o frekvenci 60 MHz a stavový signál RXF, naopak čte signály OE a RD. Všechny řídicí signály jsou aktivní v nule. Přenos dat začíná tím, že FT2232 nastaví RXF do nuly. Takto obvod signalizuje, že má k dispozici data na předání. Potom můžeme nastavit OE do nuly, to způsobí nastavení prvního bytu dat na datovou sběrnici. Jakmile byte ze sběrnice přečteme, můžeme nastavit RD do nuly, tím potvrdíme přečtení bytu a obvod na sběrnici nastaví další byte. Přenos se může zastavit z naší strany nastavením RD na jedničku nebo ze strany FT2232 nastavením RXF na jedničku. Odesílání směrem do FT2232 a tím pádem do PC jsem neimplementoval.

Maximální rychlost přenosu se pohybuje okolo 27 MB/s.

Byla provedena simulace tohoto modulu, ale sloužila hlavně k ověření, jestli se vše chová podle očekávání než k ověření funkčnosti s FT2232. Datasheet a aplikační poznámka nebyly úplně jasné, takže nešlo napsat správný stimulační kód. Ladění jsem provedl pomocí funkce SignalTap - logického analyzátoru nahraného přímo do FPGA.



Obrázek 3.3: Zjednodušený stavový diagram příjmu dat



Obrázek 3.4: Simulace logiky VHDL pro čtení dat.

3.2.2 Vyrovnávací paměť

Relativně velká vyrovnávací paměť typu FIFO First In - First Out první dovnitř - první ven neboli fronta je potřeba kvůli možné pomalé odezvě USB a operačního systému. USB přenáší data po paketech a má topologii sběrnice a běžné PC nemají operační systém reálného času, takže je možné, že se přenos dat na několik ms přeruší. V tento okamžik se začne FIFO vyprazdňovat a umožní nepřerušené generování dat než znovu začne přenos. Ve zvoleném FPGA šla vytvořit FIFO o maximální hloubce 16384 vzorků o šířce 14 bitů. Tato velikost FIFO vystačí na překlenutí přibližně 16 ms výpadku při 1 MS/s, 3,2 ms při 5 MS/s a 1,6 ms při 10 MS/s.

3.2.3 Zvýšení vzorkovací frekvence

Zvýšení vzorkovací frekvence se provádí interpolací popsané v teoretické části. V FPGA je implementováno jako jeden samostatný modul. Ve výchozím stavu je vypnutý.

U FIR filtru je důležité, aby úplně filtroval původní frekvenci vzorkování. Pokud toto není splněno, pak při požadované stejnosměrné hodnotě je výstup filtru zvlněný. Úplného odfiltrování původní vzorkovací frekvence lze dosáhnout zařazením vhodného průměrovacího filtru za dolní propust.

3.2.4 Protokol

Data jsou přijímána po bytech a každé dva byty tvoří jeden 16-ti bitový word. Word může být buď vzorek signálu nebo ovládací příkaz pro FPGA. Nejvyšší dva bity wordu udávají typ dat ve zbytku wordu. Klíč je vidět v tabulce 3.1.

V současnosti je implementovaný pouze jeden příkaz a to spuštění generování neboli trigger: 0xFFFF. Pro větší flexibilitu zařízení by bylo možné implementovat další příkazy jako např. změna rychlosti vzorkování, smazání FIFO, uložení kalibrační hodnoty atd.

Bit 15 (MSB)	Bit 14	Význam bitů 13-0
0	X	Vzorek signálu
1	X	Příkaz pro FPGA

Tabulka 3.1: Formát dat

■ 3.2.5 Trigger

Generování se spustí automaticky pokud se zaplní vyrovnávací paměť FIFO. Nebo pokud máme krátký signál, který má málo vzorků a tedy nenaplní FIFO nebo chceme nastavit určité stejnosměrné napětí na výstupu - pošleme data s napětím a startovací příkaz. Pokud je vyrovnávací paměť prázdná, startovací příkaz nemá žádný efekt.

Po vyprázdnění FIFO se generování automaticky zastaví a znovu se čeká na jednu ze spouštěcích podmínek.

■ 3.2.6 Kalibrace

Největší chyba výstupního napětí je chyba zesílení, která je způsobená nepřesnými hodnotami odporu a to hned na třech místech.

- Nastavení proudu D/A převodníku
- Snímací rezistor proudu
- Nastavení zesílení výstupního zesilovače

Tuto chybu lze eliminovat přímo v zapojení pomocí proměnného rezistoru, kterým se vyladí hodnota odporu v jednom nebo hned v několika jmenovaných místech v obvodu. Jiný přístup je zvolit takové hodnoty odporu rezistorů, aby v jakémkoliv případě byla chyba zesílení nulová nebo kladná (nikdy ne záporná) a potom můžeme provést kalibraci v softwaru pomocí rovnice $y = kx$. Rovnicí vypočítáme chybu a tu pak odečteme od požadované hodnoty výstupního napětí.

Další chybou je offset, který lze eliminovat v softwaru jeho prostým odečtením. Odečtení celé chyby offsetu je možné až pro hodnoty výstupního napětí vyšší než je hodnota offsetu. Jelikož je hodnota offsetu v řádu jednotek mV, tak nás toto nijak neomezuje. Nakonec tedy kalibrace probíhá pomocí celé rovnice přímky $y = kx + q$.

Generátor využívá pouze kalibraci v softwaru.

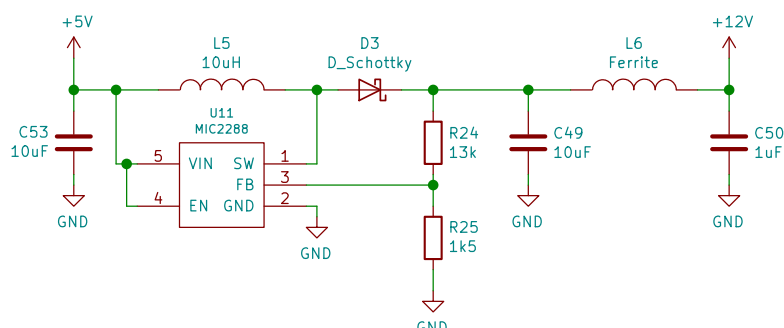
■ 3.3 Analogová část

■ 3.3.1 Měníče napětí

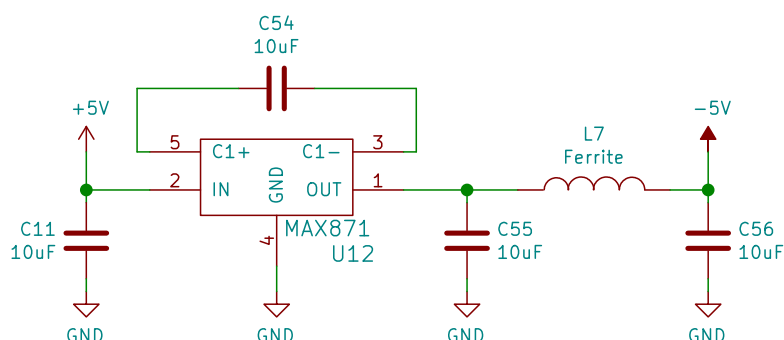
Zařízení je napájené z USB portu počítače, který poskytuje 5 V. Výstupní napětí, ale musí být až 10 V. To je důvod proč je potřeba měnič napětí. Pro zvyšování napětí je možné použít buď nábojovou pumpu nebo měnič s cívkou. Nábojová pumpa by musela mít topologii ztrojovače napětí, což už je vhodné jen pro velmi malé výstupní proudy. Byl tedy použit měnič s cívkou - topologie zvyšovač (boost).

Další problém se týká výstupních napětí blízkých nule. Operační zesilovač, i když je typu RRIO (Rail-to-Rail Input Output), nedokáže na výstupu vytvořit 0 V, pokud je jeho záporná napájecí větev připojena také na 0 V.

Řešením je vytvořit pro zápornou napájecí větev záporné napájecí napětí minimálně několik stovek mV pod 0 V. Pro tento účel je ideální invertující nábojová pumpa.



Obrázek 3.5: schéma zapojení boost měniče



Obrázek 3.6: schéma zapojení nábojové pumpy.

3.3.2 DAC

D/A převodník je jedna z hlavních součástí celého zapojení, protože ovlivňuje několik zásadních parametrů generátoru. K těm nejdůležitějším parametrům patří maximální vzorkovací frekvence, stejnosměrná přesnost a zkreslení. Některé parametry jsou uvedeny v tabulce 3.2. D/A převodník disponuje paralelním rozhraním pro přenos dat. Paralelní rozhraní oproti sériovému velice zjednodušuje komunikaci a snižuje potřebnou frekvenci překlápění výstupních pinů FPGA pro určitou vzorkovací frekvenci.

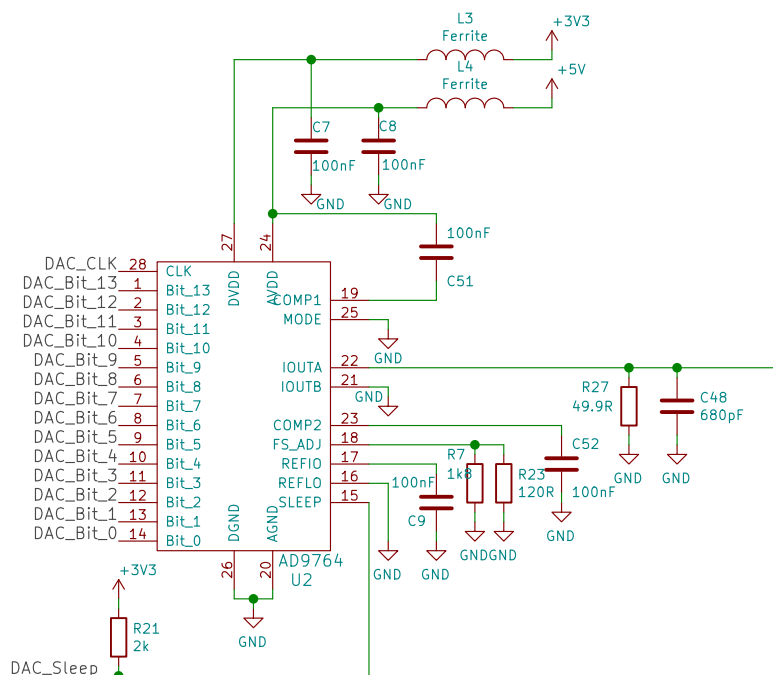
Počet bitů převodníku určuje jeho rozlišení. Rozhodl jsem se pro 14 bitů, pak je rozlišení přibližně 0,61 mV. U 16 bitů by bylo nutno změnit protokol za složitější, ale vylepšené rozlišení není potřeba. Bylo by možné použít 15-ti bitový převodník, ale 15-ti bitové D/A převodníky nejsou běžné.

3.3.3 Rekonstrukční filtr

Jelikož je přenosová rychlost přibližně 27 MB/s a na každý vzorek jsou potřeba 2 byty je maximální rychlost vzorkování 10 MS/s, s malou rezervou.

Název parametru	Hodnota
Počet bitů	14 bitů
Nelinearita INL	typicky 2,5 LSB
Nelinearita DNL	typicky 1,5 LSB
Maximální vzorkovací frekvence	125 MS/s

Tabulka 3.2: Parametry AD9764 při 25 °C



Obrázek 3.7: schéma zapojení DAC a rekonstrukčního filtru.

To odpovídá maximální frekvenci generovaného sinálu 5 MHz. Pokud tedy budeme chtít využívat 10 MS/s je ideální rekonstrukční filtr s mezní frekvencí 5 MHz.

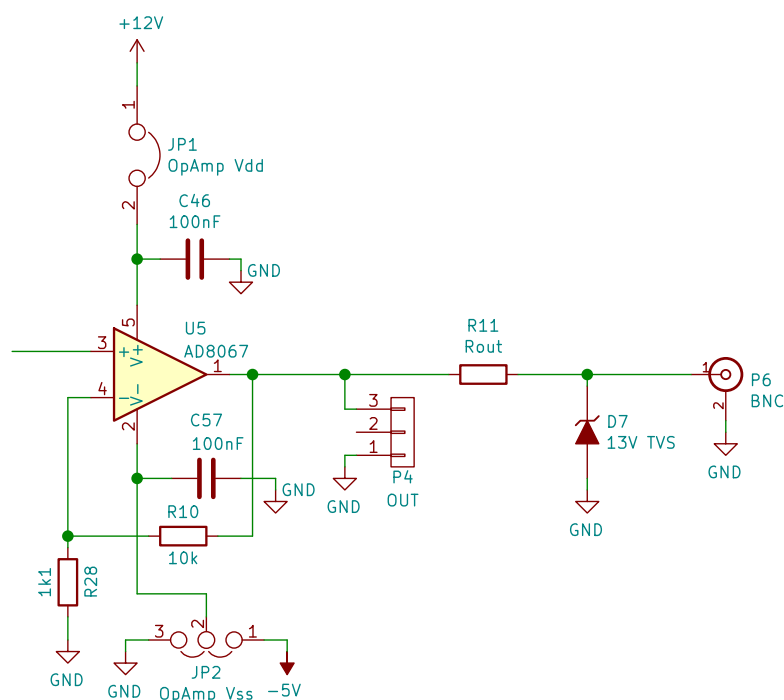
Díky interpolaci je možné několikanásobně zvýšit vzorkovací frekvenci, takže i jednoduchý RC filtr znatelně tlumí nechtěné části spektra. Nicméně v cílové aplikaci není rekonstrukční filtr nutně potřeba.

Odpor je daný 49.9 Ω, kapacita se spočítá jako: $C = \frac{1}{f_c 2\pi R}$

3.3.4 Výstupní zesilovač

Operační zesilovač je AD8067 od Analog Devices, je vyroben z části z FET tranzistorů a z části z bipolárních. FET tranzistory umožňují malé vstupní proudy a bipolární část je rychlá. Díky tomu má OZ malé vstupní proudy, ale velké GBP a velkou rychlost přeběhu.

Výstupní zesilovač je tvořen operačním zesilovačem v neinvertujícím zapojení. Zesílení má nastavené přibližně na 10. Mění napětí na výstupu filtru z rozsahu 0-1 V na rozsah 0-10 V.



Obrázek 3.8: schéma zapojení výstupního zesilovače a výstupu.

3.3.5 Ochrana výstupu

Výstup je chráněn proti připojení vyššího nebo záporného napětí jednosměrnou TVS diodou s průrazným napětím v závěrném směru 12 V. Mezi výstupním zesilovačem a TVS diodou je zapojený rezistor s hodnotou 27 Ω . TVS dioda má kapacitu přibližně 1 nF, takže se zmíněným rezistorem tvoří RC člunek - dolní propust. Frekvence zlomu, se spočítá jako: $f_c = \frac{1}{2\pi RC}$. Po dosazení vychází přibližně 5,9 MHz.



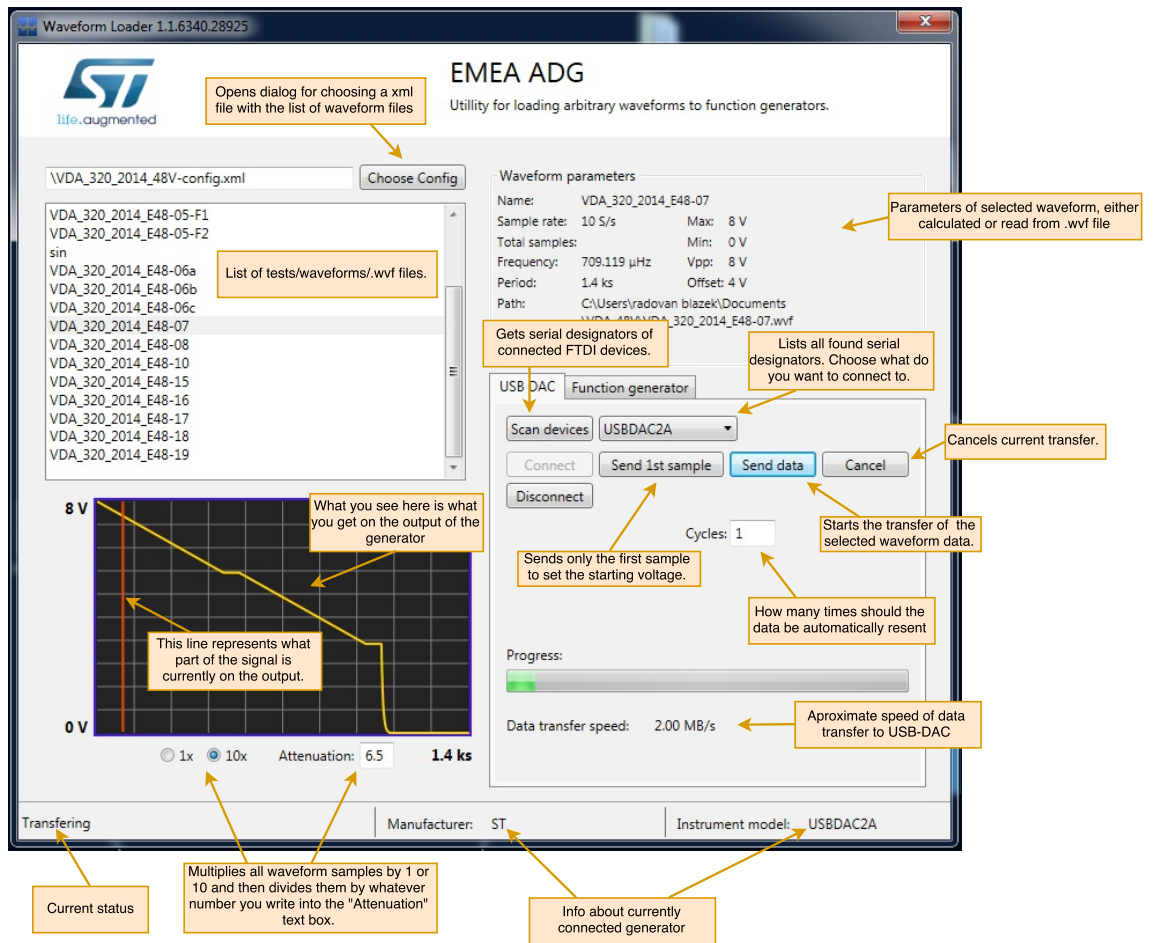
Kapitola 4

Program pro PC

Program pro ovládání generátoru je principiálně velice jednoduchý. Přečte z disku nebo spočítá vzorek napětí, ten přeočítá na 14-ti bitové číslo vyjadřující napětí 0-10 V. 0 znamená 0 V a 16383 znamená 10 V. Větší množství těchto vzorků sdruží do pole, které přetypuje na pole bytů a předá funkci z knihovny na odeslání do FT2232.

Program pro testování při vývoji byl napsán v C. Pro ST Microelectronics je napsána aplikace v jazyce C# na míru jejich potřeb, viz obrázek 4.1. Výhoda jazyka C# je v jednoduchosti vytváření grafického uživatelského prostředí programu a relativně jednoduchého vícevláknového programování. Nevýhoda je možnost spuštění pouze pod OS Windows a nižší rychlost oproti kompilovaným jazykům. Vhodný by pravděpodobně byl jazyk Go. Je kompilovaný, vícevláknové programování je integrováno přímo do jazyka a lze ho použít s GUI knihovnou Qt.

4. Program pro PC



Obrázek 4.1: Ovládací program pro generátor.

Kapitola 5

Závěr

Zapojení generátoru se ukázalo jako funkční, bude používán v laboratoři ST Microelectronics pro testování jak je popsáno v teoretické části. Zásadní ladění bylo potřeba u přenosu dat z PC do FPGA a to jak na straně softwaru v PC, tak na straně FPGA. U softwaru v PC se musí vyloučit jakékoliv delší prodlevy mezi přenosy dat. Na straně FPGA se musela vyladit komunikace s FT2232, kde je přenos neustále přerušován.

Pro rychlost vzorkování 1 MS/s funguje přenos dat bezchybně, současná rychlost je dostačující, takže vyšší nebyly testovány.

5.1 Parametry

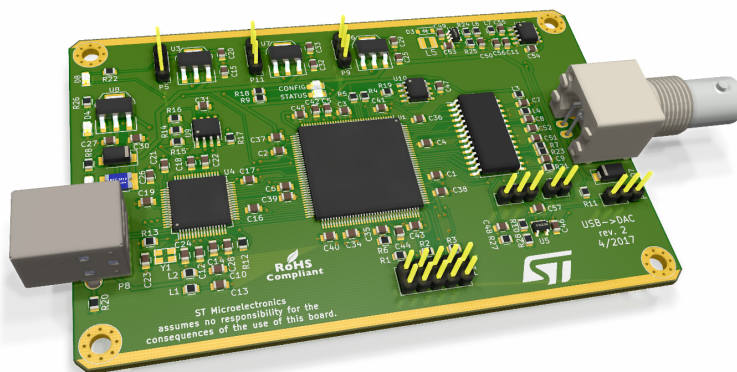
Generátor dosahuje potřebných parametrů pro syntézu jakéhokoliv signálu z normy VDA 320[1].

Název parametru	Hodnota
DC přesnost	± 1 mV
Vzorkovací frekvence	min 1 MS/s
Frekvenční rozsah	DC - 5 MHz
Šum	11 mV _{p-p}

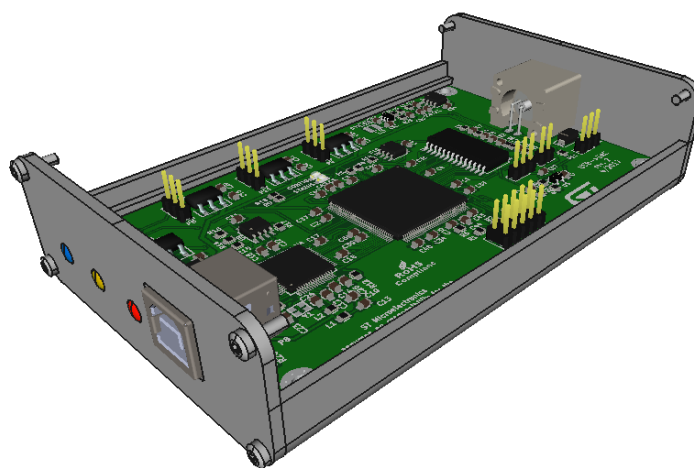
Tabulka 5.1: Parametry generátoru při 23 °C

5.2 Mechanické zpracování

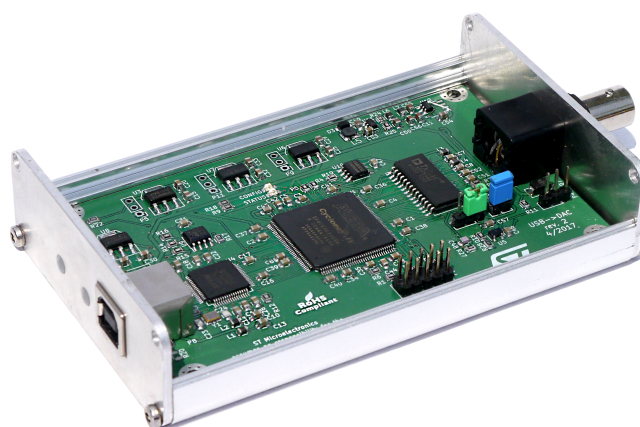
Osazený plošný spoj je usazen v krabičce z hliníkové slitiny, která poskytuje mechanickou ochranu zařízení. Krabička byla vymodelována v programu FreeCAD podle výkresu od prodejce. Model krabičky a osazeného plošného spoje byl použit pro návrh výřezů v čelních krytech pro usazení konektorů a světlovodů pro indikační LED diody.



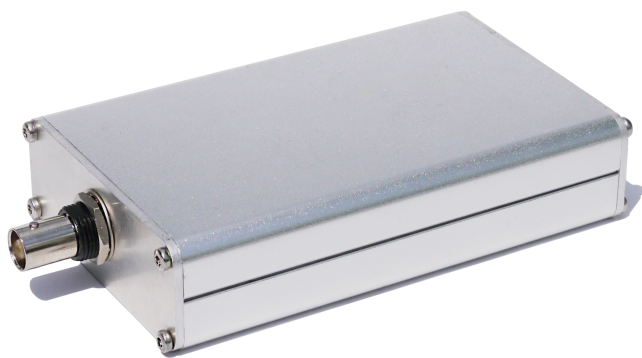
Obrázek 5.1: 3D model osazeného plošného spoje.



Obrázek 5.2: 3D model krabičky s plošným spojem.



Obrázek 5.3: Fotografie generátoru bez krytu.



Obrázek 5.4: Fotografie generátoru.



Bibliografie

1. *Electric And Electronic Components In Motor Vehicles 48 V On-Board Power Supply Requirements And Tests*. 2014. Standard. Verband der Automobilindustrie (VDA).
2. *LV 124 & LV 148 Electrical normative basics and practical challenges for vehicle components and systems*. Berwyn, Pensylvánie, USA: Ametek, 2016. Dostupné také z: http://www.testforce.com/testforce_files/Seminars/SpirentAutomotiveSeminar2016/SpirentAutomotiveLV124-LV148V.pdf.
3. WIKIPEDIE. *Shannonův teorém — Wikipedie: Otevřená encyklopedie*. 2017. Dostupné také z: https://cs.wikipedia.org/w/index.php?title=Shannon%C5%AFv_teor%C3%A9m&oldid=14934219. [Online; navštíveno 21. 05. 2017].
4. DSPGURU. *Interpolation*. 2017. Dostupné také z: <https://dspguru.com/dsp/faqs/multirate/interpolation/>. [Online; navštíveno 21. 05. 2017].
5. HOROWITZ, Paul; HILL, Winfield. *Art of electronics*. Third edition. New York: Cambridge University Press, 2015. ISBN 9780521809269.
6. *Cyclone IV Device Handbook*. 2016. Č. Cyclone IV.
7. *FT2232H Dual High Speed USB to Multipurpose UART/FIFO IC Datasheet*. 2016. Č. FT2232H. Dostupné také z: http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232D.pdf. Verze 2.5.
8. *Application Note AN130 FT2232H Used in an FT245 Style Synchronous FIFO Mode*. 2015. Č. FT2232H. Dostupné také z: http://www.ftdichip.com/Support/Documents/AppNotes/AN_130_FT2232H_Used_In_FT245%20Synchronous%20FIFO%20Mode.pdf. Verze 1.3.
9. *High Gain Bandwidth Product, Precision Fast FET™ Op Amp*. 2017. Č. AD8067. Dostupné také z: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD8067.pdf>. Rev. B.
10. *14-Bit, 125 MSPS TxDAC® D/A Converter*. 2017. Č. AD9764. Dostupné také z: <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9764.pdf>. Rev. C.



Příloha A

Použitý software

Pro návrh desek plošných spojů byl použit program KiCAD. Matematické modelování signálového řetězce a návrh FIR filtru pro interpolaci bylo provedeno v jazyce Python s využitím knihoven SciPy a NumPy. Program GHDL byl použit pro simulaci vybraných částí logiky pro FPGA. 3D model krabičky pro generátor je vytvořen ve FreeCADu. Pro vývoj logiky pro FPGA byl použit program Quartus Lite.

Veškerý použitý software s výjimkou Quartus Lite je volně šiřitelný svobodný software s otevřeným zdrojovým kódem.

Příloha B

Seznam zkratek

- USB** Universal Serial Bus - běžné rozhraní počítače
- LED** Light Emitting Diode - světlo vyzařující dioda
- TVS** Transient Voltage Suppressor - ochrana proti přepětí
- HDL** Hardware Description Language - jazyk pro popis HW
- OZ** Operační zesilovač
- FIFO** First In First Out - druh uspořádání paměti
- MS, kS** Megasample, Kilosample - milion vzorků, tisíc vzorků
- VHDL** VHSIC Hardware Description Language - jeden z jazyků pro popis hardwaru
- VHSIC** Very High Speed Integrated Circuits
- SW** Software - programové vybavení počítače/program
- HW** Hardware - fyzické vybavení počítače/fyzicky existující součástka
- FPGA** Field Programmable Gate Array - programovatelné hradlové pole
- LSB** Least Significant Bit - nejméně významný bit
- FIR** Finite Impulse Response - konečná impulsní odezva
- CPLD** Complex Programmable Logic Device - komplexní programovatelný logický obvod
- PC** Personal Computer - osobní počítač
- D/A, DAC** Digital to Analog, Digital to Analog Converter - převodník čísla na analogovou veličinu
- RC** Resistor Capacitor - obvod s odporem a kondenzátorem
- INL** Integral nonlinearity - maximální chyba velikosti napětí po kalibraci přímkou

DNL Differential nonlinearity - maximální chyba velikosti změny napětí odpovídající změně o jeden LSB (různá velikost schodů v přenosové charakteristice)



Příloha C

Kompletní schéma

