

Realizace jednotky s vícekanálovými DA převodníky

Diplomová práce

Vypracoval: Bc. Joel Matějka

Vedoucí práce: Ing. Marek Brothánek, Ph.D.

České vysoké učení technické v Praze
Fakulta elektrotechnická
Otevřená informatika – Počítačové systémy

2016

České vysoké učení technické v Praze
Fakulta elektrotechnická

katedra řídicí techniky

ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Joel Matějka**

Studijní program: Otevřená informatika
Obor: Počítačové inženýrství

Název tématu: **Realizace jednotky s vícekanálovými DA převodníky**

Pokyny pro vypracování:

1. Za použití procesorového modulu iMX6 s architekturou ARM navrhnete samostatnou jednotku s vícekanálovými DA převodníky pro akustické účely.
2. Součástí návrhu bude i komunikace s řídicím PC (prostřednictvím USB, Ethernet apod.).
3. Na základě funkčních částí návrhu jednotku zrealizujete včetně zhotovení plošných spojů a napájecího zdroje.
4. Zkonstruovanou jednotku otestujete jak po stránce softwarové, tak hardwarové.

Seznam odborné literatury:

- [1] HALLINAN, Christopher. Embedded Linux primer: a practical real-world approach. 2nd ed. Upper Saddle River, NJ: Prentice Hall, 2011, xxxvi, 616 s. ISBN 9780137017836.
- [2] Qt 5 blueprints: design, build, and deploy cross-platform GUI projects using the amazingly powerful Qt 5 framework. Birmingham: Packt Publishing, 2015, 296 s. ISBN 1784394610.
- [3] BOULANGER, Richard Charles a Victor LAZZARINI. The audio programming book. Cambridge, Mass.: MIT Press, 2011, xxiii, 889 s. ISBN 0262014467.
- [4] ZÁHLAVA, Vít. Návrh a konstrukce desek plošných spojů: principy a pravidla praktického návrhu. 1. vyd. Praha: BEN - technická literatura, 2010, 123 s. ISBN 978-80-7300-266-4.

Vedoucí: Ing. Marek Brothánek, Ph.D.

Platnost zadání: do konce letního semestru 2016/2017

L.S.

prof. Ing. Michael Šebek, DrSc.
vedoucí katedry

prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 1. 2. 2016

Poděkování

Děkuji Ing. Marku Brothánkovi, Ph.D. za vedení této práce a dále děkuji rodině a všem, kteří mě při psaní práce podporovali.

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

Dne 27. května 2016 v Praze

.....

Abstrakt

Mnoho akustických aplikací vyžaduje vícekanálové, velmi přesné a na datový tok náročné, analogově digitální a digitálně analogové převody. Příkladem může být záznam a reprodukce prostorového zvukového pole. Tato práce se zabývá návrhem a realizací vícekanálového synchronního digitálně-analogového převodníku. Navržený systém nabízí 16 synchronních výstupních kanálů. Systém je založen na existujících integrovaných obvodech a kombinuje jejich výhody k dosažení požadovaného výkonu. Základní komponenty systému jsou sigma-delta převodníky PCM1792A, FPGA Altera Cyclone IV, dvoujádrový aplikační procesor i.MX6 s jádrem ARM Cortex-A9 od firmy NXP, 1 GB RAM a lineární napájecí zdroj. Kapacita RAM paměti umožňuje nahrát zvukové stopy celé do převodníku a poté je spouštět s malou odezvou.

Klíčová slova *Synchronní, vícekanálový, digitálně analogový převodník, měřicí systém, FPGA, i.MX6 ARM Cortex-A9, PCM1792A.*

Abstract

Many audio applications, such as spatial sound field recording and reproduction, require high-precision, high-throughput synchronous multichannel analog-to-digital and digital-to-analog conversion. This thesis presents a design of a high-performance synchronous multichannel digital-to-analog converter system. The designed system offers 16 synchronous output channels, which can be easily extended to additional input or output channels. The system is based on existing integrated circuits and combines their advantages. The most essential components of the system are PCM1792A sigma-delta DA converters, Altera Cyclone IV FPGA, NXP i.MX6 ARM Cortex-A9 application processor with 1 GB RAM and linear power supply. The amount of storage available on the board provides the capacity to prefetch tracks into the device and play them with low latency.

Keywords *Synchronous, multichannel, digital-to-analog converter, measurement system, FPGA, i.MX6 ARM Cortex-A9, PCM1792A.*

České vysoké učení technické v Praze
Fakulta elektrotechnická

© 2016 Joel Matějka. Všechna práva vyhrazena.

Tato práce vznikla jako školní dílo na Českém vysokém učení technickém v Praze, Fakultě elektrotechnické. Práce je chráněna právními předpisy a mezinárodními úmluvami o právu autorském a právech souvisejících s právem autorským. K jejímu užití, s výjimkou bezúplatných zákonných licencí, je nezbytný souhlas autora.

Odkaz na tuto práci

MATĚJKA, Joel. *Realizace jednotky s vícekanálovými DA převodníky*. Praha, 2016. Diplomová práce. České vysoké učení technické v Praze, Fakulta elektrotechnická. Vedoucí práce Ing. Marek Brothánek, Ph.D.

Obsah

1 Úvod	1
2 Teoretický základ	3
2.1 Požadavky na měřicí zařízení	3
2.2 Digitálně-analogový převodník signálu	3
2.3 Generátor hodinového signálu	12
2.4 Řídicí jednotka převodníku	13
2.5 Operační systém	16
2.6 Operační systém Linux	16
2.7 Rozhraní komponent	17
2.8 Rozhraní k PC	19
2.9 Datové formáty	20
2.10 Řídicí software	21
2.11 Napájecí zdroj	22
2.12 Návrhová pravidla	23
3 Návrh měřicího systému	29
3.1 Architektura měřicího systému	29
3.2 Výběr komponent pro konstruovaný převodník	29
3.3 Blokové schéma	36
3.4 Architektura software a konfigurovatelného hardware	36
4 Realizace měřicího systému	41
4.1 Prototyp převodníku	41
4.2 Realizace desek plošných spojů	41
4.3 Rozmístění v krabici	43
4.4 Softwarová implementace	44
5 Měření a testování měřicího systému	47
5.1 Ověření parametrů DA převodníků	47
5.2 Chyby návrhu a realizace	57
6 Závěr	59
A Kompletní schéma navržených desek	61
B Desky plošných spojů	81
C Obsah příloženého CD	87

Seznam obrázků

1	Porovnání architektur převodníků [30, strana 306]	6
2	Architektura řetězového DA převodníku [30, strana 311]	7
3	Architektura R-2R DA převodníku [30, strana 318]	7
4	Odvození odporu části sítě [30, strana 319]	8
5	Segmentovaný DA převodník s napěťovým výstupem [22, strana 160]	9
6	Architektura sigma-delta DA převodníku [22, strana 163][35, strana 353]	9
7	Rozložení kvantizačního šumu při interpolaci na čtyřnásobek vstupní frekvence f_S (a) před interpolací, (b) po interpolaci a (c) po digitální filtraci [35, strana 353]	10
8	Porovnání spekter po tvarování sigma-delta modulátorem prvního a druhého řádu [35, strana 361]	10
9	Změny frekvenčních spekter v průběhu DA převodu sigma-delta převodníkem [35, strana 399]	11
10	Princip spínaného kondenzátoru	12
11	Princip fázového závěsu [6, strana 3]	13
12	Diagram přenosu dat po sběrnici SPI [17]	18
13	Diagram přenosu dat po sběrnici I ² S [32, strana 1]	18
14	Princip lineárního zdroje	22
15	Princip spínaného zdroje	22
16	Schéma můstkového usměrňovače s filtrem	23
17	Možné řešení zemnění u plošných spojů s více převodníky [34]	25
18	Vývojové zapojení impedančního přizpůsobení vedení [63, strana 108]	26
19	Typické modely spojů pro výpočet impedance [63, strana 59]	26
20	Jednoduchá architektura zařízení	29
21	Možné řešení s real-time operačním systémem	29
22	Blokový diagram zvoleného převodníku [45]	31
23	Schéma výstupního filtru za převodníkem [45]	32
24	Blokové schéma napájecí sítě měřicího systému	34
25	Blokové schéma jedné větve napájecího zdroje	35
26	Návrh blokového schématu měřicího systému	36
27	Blokové znázornění softwarových částí	36
28	Stavový diagram řídicí jednotky hradlového pole	37
29	Stavový diagram řídicí jednotky v procesorovém modulu	38
30	Datový tok v průběhu převodu	39
31	Blokové schéma prototypu	41
32	Fotografie prototypu převodníku	41
33	Rozložení částí na desce napájecího zdroje	42
34	Rozložení vrstev základové desky	42
35	Rozložení částí zemí a základních komponent na základové desce	43
36	Rozložení komponent systému v krabici	43
37	Fotografie hotového měřicího systému	44
38	Náhled uživatelského rozhraní	45
39	Blokové schéma měření	47
40	Frekvenční spektrum výstupu převodníku v klidovém stavu (frekvenční rozsah 25,6 kHz, frekvenční krok 8 Hz)	49
41	Změřené harmonické zkreslení pro zvolené frekvence	50
42	Změřené modulační zkreslení druhého a třetího řádu v závislosti na f_2	52

43	Modulační zkreslení při frekvencích 50 Hz a 630 Hz (frekvenční rozsah 800 Hz, frekvenční krok 0,25 Hz)	52
44	Rozdílové zkreslení druhého řádu v závislosti na f_1	53
45	Změřená frekvenční amplitudová charakteristika	54
46	Změřená linearita převodu	55
47	Spektrum šumu při měření přeslechů mezi kanály (frekvenční rozsah 6,4 kHz, frekvenční krok 2 Hz)	56
48	Detail okolí 1 kHz při měření přeslechů mezi kanály (frekvenční rozsah 6,4 kHz, frekvenční krok 2 Hz)	56
49	Frekvenční spektrum generovaného bílého šumu (frekvenční rozsah 204,8 kHz, frekvenční krok 64 Hz)	57
50	Frekvenční spektrum bílého šumu na výstupu testovaného zařízení (frekvenční rozsah 204,8 kHz, frekvenční krok 64 Hz)	57
51	Schéma základové desky – základní část	61
52	Schéma základové desky – iMX6 modul	62
53	Schéma základové desky – FPGA	63
54	Schéma základové desky – kanál 1 a 2	64
55	Schéma základové desky – kanál 3 a 4	65
56	Schéma základové desky – kanál 5 a 6	66
57	Schéma základové desky – kanál 7 a 8	67
58	Schéma základové desky – kanál 9 a 10	68
59	Schéma základové desky – kanál 11 a 12	69
60	Schéma základové desky – kanál 13 a 14	70
61	Schéma základové desky – kanál 15 a 16	71
62	Schéma základové desky – napájecí zdroje	72
63	Schéma základové desky – LC filtry pro analogovou část	73
64	Schéma základové desky – impedanční přizpůsobení dlouhých vedení	74
65	Schéma desky napájecího zdroje – usměrňovač	75
66	Schéma desky napájecího zdroje – spínaný zdroj 3,3 V	76
67	Schéma desky napájecího zdroje – spínaný zdroj 5 V	77
68	Schéma desky napájecího zdroje – lineární regulátor na 5 V analog	78
69	Schéma desky napájecího zdroje – symetrický zdroj ± 15 V pro kanál 1–8	79
70	Schéma desky napájecího zdroje – symetrický zdroj ± 15 V pro kanál 9–16	80
71	Základová deska – pohled ze strany top	81
72	Základová deska – vnitřní vrstva 1	82
73	Základová deska – vnitřní vrstva 2	83
74	Základová deska – pohled ze strany bottom	84
75	Deska napájecího zdroje – pohled ze strany top	85
76	Deska napájecího zdroje – pohled ze strany bottom	85

Seznam tabulek

1	Přehled převodníků vybraných v první fázi	30
2	Porovnání dvou převodníků s nejlepšími parametry	30
3	Vybrané procesorové moduly	32
4	Vypočtené požadavky napájecích větví a parametry výstupních vinutí	35
5	Popis stavů řídicí jednotky hradlového pole	37
6	Popis stavů řídicí jednotky v procesorovém modulu	38
7	Střední frekvence oktávových a třetinooktávových pásem	48
8	Naměřené hodnoty THD	49
9	Naměřené hodnoty pro výpočet modulačního zkreslení (referenční hodnota pro dB je 1 V)	51
10	Vypočtené hodnoty modulačního zkreslení	51
11	Naměřené a vypočtené hodnoty pro rozdílové zkreslení druhého řádu	53
12	Naměřené hodnoty výstupního napětí frekvenční charakteristiky	54
13	Naměřené hodnoty výstupního napětí	55

1 Úvod

Pro záznam a reprodukci akustických signálů jsou využívána analogová nebo digitální média. Digitální forma záznamu umožňuje jednoduché a levné uchování a reprodukci nahrávek, dodatečné zpracování, kompresi, přenos v reálném čase na dlouhé vzdálenosti s efektivnějším využitím frekvenčního spektra, také lze přizpůsobit velikost digitálních dat požadavkům na kvalitu záznamu. Pro hudební záznam je požadována vysoká kvalita, pro mobilní přenos je naopak požadována co nejmenší velikost dat.

Přes mnohé výhody má digitální záznam úskalí v převodu. Existuje mnoho typů analogově-digitálních a digitálně-analogových převodníků lišících se rychlostí a rozlišením. Od pomalých – například pro regulační techniku, po velmi rychlé s využitím ve vysokofrekvenční technice. Akustické pásmo je z tohoto pohledu dobře definováno slyšitelnými frekvencemi.

Digitalizací a zpětnou reprodukcí signálů dochází k degradaci signálu kvůli parametrům reálných převodníků a jednotlivých částí převodu (rozlišení, šum využitých převodníků, nekvalitní filtrace, obvody pro úpravy zvuku a další).

Běžně dostupné digitálně-analogové převodníky pro audio účely (hotové výrobky) deklarují mnoho bitů, velký odstup signálu od šumu, malé harmonické zkreslení a šum. Těmito informacemi ovšem specifikace obvykle končí. Neznámá zůstává skutečná doba převodu (odezva převodníku), fázové charakteristiky převodu, prováděné filtrace před vlastní konverzí, konkrétní nastavení obvodu DA převodníku a jejich případné úpravy, synchronnost výstupů, vlastnosti výstupních rekonstrukčních filtrů a další informace důležité pro využití převodníku pro měřicí účely.

Cílem práce je navrhnout a realizovat vícekanálový digitálně-analogový převodník, který bude určen pro akustická měření. Nabídne dostatečné a známé parametry, zaručí synchronní přehrávání stop libovolně mapovaných na výstupní kanály, umožní propojení s PC. Navíc bude mít možnost nahrát celou stopu do zařízení před převodem nebo přenášet v reálném čase při převodu. Více synchronních kanálů je možné s výhodou využít například pro zpětné generování prostorové informace o zvukovém poli.

Následující práce se zabývá návrhem požadovaného převodníku. V první části **Teoretický základ (2)** jsou specifikovány požadavky na měřicí zařízení a uvedeny základní informace pro hardwarový a softwarový návrh v druhé části **Návrh měřicího systému (3)**. Třetí část **Realizace měřicího systému (4)** se zabývá realizací převodníku a čtvrtá část **Měření a testování měřicího systému (5)** ověřením funkčnosti.

2 Teoretický základ

2.1 Požadavky na měřicí zařízení

Měřicí systém má zajišťovat konverzi digitálního záznamu uloženého v počítači na analogový výstupní signál. Požadavky na měřicí systém lze rozdělit do kategorií dle jednotlivých částí od hardwarové po ovládací software.

Hardware

Následuje stručný výčet požadavků na kartu s výstupy. Mnohé požadavky jdou proti sobě a je nutné najít vhodný kompromis. Mezi požadavky patří:

- 16 synchronních výstupních kanálů,
- výstupní signál $3 V_{pp}$ (peak-to-peak),
- nativní podpora více vzorkovacích frekvencí (především v rozsahu 8–48 kHz),
- vysoké rozlišení, nízké zkreslení a nízký šum převodníku,
- lineární fázová charakteristika převodníku,
- příprava na přídatné vstupní kanály.

Propojení

Měřicí systém musí být propojitelný s ovládacím počítačem. Zvolené rozhraní musí mít dostatečné kapacity pro přenos dat a být dostatečně univerzální (USB, PCIe, Ethernet).

Software

Uživatelský ovládací software musí být spustitelný na počítači s operačním systémem Windows nebo Linux, mezi požadované funkce software patří:

- načtení informací o stopách, jejich přehrávání s možností načtení stopy dopředu nebo přenosu v reálném čase,
- možnost volit libovolné stopy na libovolné kanály,
- komunikace s převodníkem, konfigurace převodníku.

2.2 Digitálně-analogový převodník signálu

Převodník digitálního signálu na analogový je klíčovým prvkem vyvíjeného zařízení. Výběh vhodného převodníku je kritický z hlediska celkové funkčnosti systému a je důležité vyhodnotit mnohé aspekty zvolené architektury a konkrétního produktu.

2.2.1 Parametry AD/DA převodníků

Před představením dostupných převodníků je vhodné uvést základní parametry, dle kterých je možné digitálně-analogové převodníky porovnávat.

Rozlišení

Rozlišení převodníku indikuje nejmenší možnou změnu výstupu v závislosti na změně nejméně významného bitu převáděného čísla. V případě napěťového výstupu je tato změna rovna změně napětí o $2^{-n}U_{\text{ref}}$ kde U_{ref} je referenční napětí a n počet bitů. Rozlišení je udáváno v bitech. [55, strana 187]

Kvantizační chyba

Na výstupu převodníku nelze nastavit libovolnou hodnotu analogového signálu, výstupní hodnoty nabývají pouze diskrétních hodnot. Chyba způsobená diskrétními výstupními úrovněmi se nazývá kvantizační. [22, strana 83–84]

Rozsah vzorkovacích frekvencí

Pro realizaci převodu signálů na různých vzorkovacích frekvencích je nutné znát fyzické možnosti daného převodníku. Zároveň je důležitý rozsah podporovaných frekvencí pro návrh správného rekonstrukčního filtru.

Statické vlastnosti

Mezi statické vlastnosti převodníků lze zařadit:

- chyba nuly (offset error) – rozdíl mezi výstupním signálem a napětím při kódu nulového signálu,
- chyba zesílení (gain error) – rozdíl sklonu skutečné převodní charakteristiky oproti ideální,
- integrální nelinearita (INL) – odchylka výstupního signálu od příslušné jmenovité hodnoty,
- diferenciální nelinearita (DNL) – odchylka rozdílu výstupních signálů dvou sousedních hodnot,
- chyba monotónnosti (monotonicity) – při zvýšení hodnoty vstupního slova nedojde k poklesu výstupního signálu.

[55, strana 188–189]

Dynamické vlastnosti

Dynamické vlastnosti převodníků jsou:

- doba ustálení (settling time) – doba, za kterou se výstupní signál dostane z počáteční hodnoty do požadované hodnoty s určenou tolerancí,
- zákmity (glitches) – zákmity způsobené změnami kódových slov.

Doba ustálení je obvykle udána v časových jednotkách, u sigma-delta převodníků v násobcích vzorkovací frekvence. [55, strana 189]

Odstup signál šum (SNR)

Odstup signál šum (Signal-to-noise ratio – SNR) je definován při rozkmitu sinusového signálu přes celý rozsah převodníku vztahem

$$SNR = 20 \lg \frac{U_{\text{sin,ef}}}{U_{\text{N,ef}}} \quad (\text{dB}), \quad (1)$$

kde $U_{\text{sin,ef}}$ je efektivní hodnota sinusového signálu a $U_{\text{N,ef}}$ je efektivní hodnota šumu. U ideálního převodníku by tento šum činil pouze kvantizační šum. Obvykle bývá udán v decibelech. [22, strana 91–92]

Dynamický rozsah (DR)

Dynamický rozsah udává poměr mezi nejsilnějším nezkresleným signálem a minimálním rozpoznatelným signálem který může být reprodukován (pro reálné převodníky hladina šumu). [22, strana 93]

Zkreslení harmonického signálu (THD)

Zkreslení harmonického signálu (Total harmonic distortion – THD) je definován vztahem

$$THD = \frac{\sqrt{\sum_{i=2}^n U_i^2}}{U_1} \quad (2)$$

kde U_i jsou efektivní hodnoty jednotlivých harmonických složek výstupního signálu. Hodnota bývá udána v procentech nebo v decibelech. [22, strana 91]

Zkreslení harmonického signálu se zahrnutým šumem (THD+N)

Parametr který souhrnně indikuje kvalitu převodníku. Ke zkreslení harmonického signálu přidává ještě šum všech okolních komponent. Bývá udán v procentech nebo v decibelech. [22, strana 91]

Intermodulační zkreslení signálu (IM)

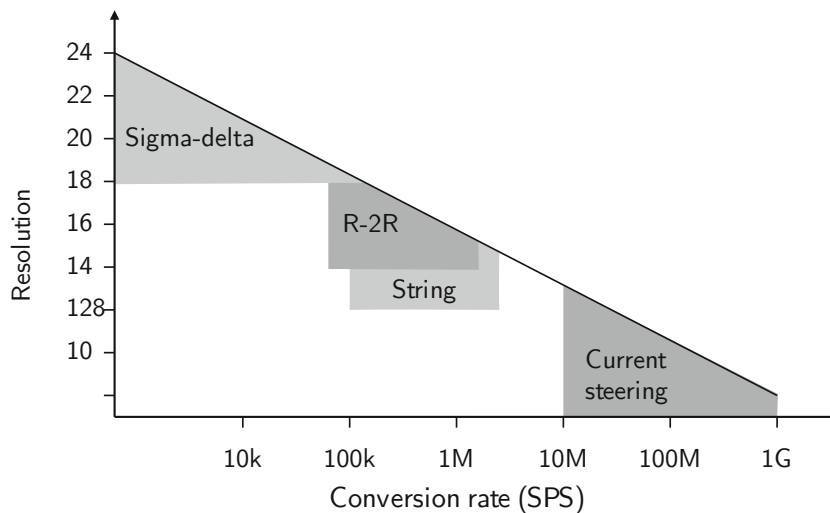
Intermodulační zkreslení signálu vzniká, když dva a více modulovaných signálů prochází nelineárním zařízením. Na rozdíl od THD nemusí být intermodulační zkreslení závislé na kmitočtech jednotlivých signálů. Například při modulaci frekvence $f_1 = 1\,000\text{ Hz}$ a $f_2 = 1\,100\text{ Hz}$ může vzniknout rušení na frekvenci $f = f_1 + f_2$ nebo $f = f_2 - f_1$. Intermodulační zkreslení může značně přispět ke špatné kvalitě audio systémů, přesto není často uváděno. [39, strana 581]

Potlačení změn napájecího napětí (PSR)

Poměr změny napájecího napětí vůči změně výstupu (Power Supply Rejection Ratio – PSRR) určuje odolnost výstupu převodníku vůči změnám napájecího napětí. Občas je udána hodnota v decibelech (Power Supply Rejection – PSR).

2.2.2 Architektura převodníku

Parametry převodníků se odvíjí z velké části od jejich architektury. Přehled aktuálně dostupných архитектур je na obrázku 1. Pro účely měření audio signálů jsou vhodné převodníky s rozlišením vyšším než 18 bitů, bez přílišných nároků na rychlost, proto jsou dále rozvedeny sigma-delta převodníky a vybrané převodníky s odporovými sítěmi.



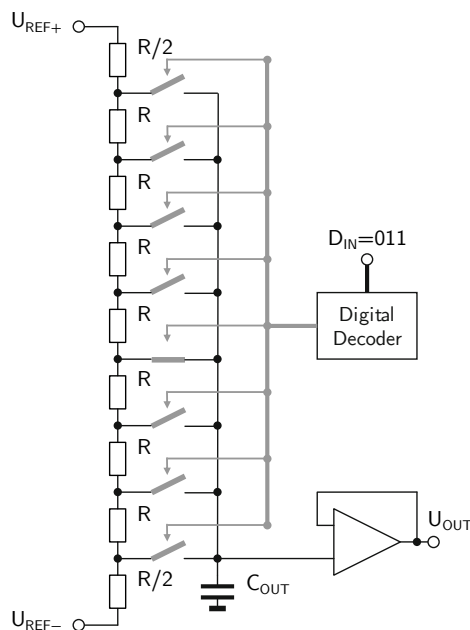
Obrázek 1: Porovnání архитектур převodníků [30, strana 306]

Digitálně-analogové převodníky s rezistorovými sítěmi

Základem převodníků je rezistorová síť, která na základě stavu přepínačů generuje požadované napětí nebo proud. Výstup rezistorové sítě je připojen na zesilovač, který zajišťuje potřebný výstupní proud.

Řetězový digitálně-analogový převodník

Blokové schéma řetězového převodníku (v anglické literatuře nazýván „String DAC“) je na obrázku 2. Výstupní napětí je tvořeno na rezistorovém děliči. Dle dekódované hodnoty D_{IN} je sepnut příslušný spínač, který požadované napětí přivede na výstupní zesilovač.



Obrázek 2: Architektura řetězového DA převodníku [30, strana 311]

V závislosti na požadované výstupní hodnotě se mění výstupní odpor sítě a proto také teplotní šum sítě. Pro kompenzaci teplotního šumu je možné přidat kondenzátor C_{OUT} , který ovšem způsobí harmonické zkreslení výstupního signálu.

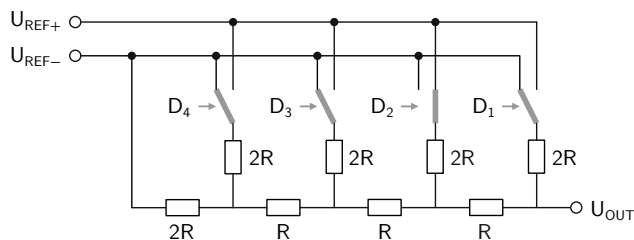
$$R_{OUT} = \frac{1}{\frac{1}{2^{n-1}R} + \frac{1}{2^{n-1}R}} = 2^{n-2}R \quad (3)$$

$$\tau = R_{OUT}C_{OUT} \quad (4)$$

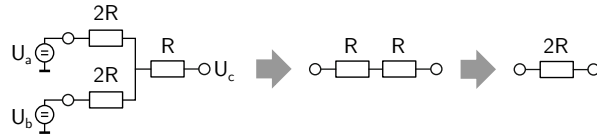
Proudový odběr děliče je konstantní a přepínáním libovolných výstupních hodnot nedochází k významným změnám odběru. Přepínací logiku lze značně zjednodušit kaskádním zapojením spínačů, přesto je pro konstrukci převodníku s rozlišením n bitů využito přibližně 2^n odporů a 2^n spínačů. Toto množství omezuje maximální možné rozlišení řetězových převodníků. [30, strana 311–317]

Převodník s rezistorovou sítí R-2R

Rezistorová síť znázorněná na obrázku 3 je složena pouze z hodnot R a $2R$.



Obrázek 3: Architektura R-2R DA převodníku [30, strana 318]



Obrázek 4: Odvození odporu části sítě [30, strana 319]

Výstupní odpor sítě je konstantní o hodnotě R a lze odvodit ze zjednodušeného modelu části sítě dle obrázku 4. Přepínače (D_x) a propojení s předchozími částmi jsou nahrazeny náhradními zdroji napětí o napětích U_a a U_b . Výstupní napětí části U_c odpovídá

$$U_c = \frac{U_a + U_b}{2} \quad (5)$$

a odpor části R_c odpovídá

$$R_c = \frac{2R \times 2R}{2R + 2R} + R = 2R. \quad (6)$$

Výstupní napětí celé sítě U_{OUT} pro převodník s rozlišením n bitů je rovno

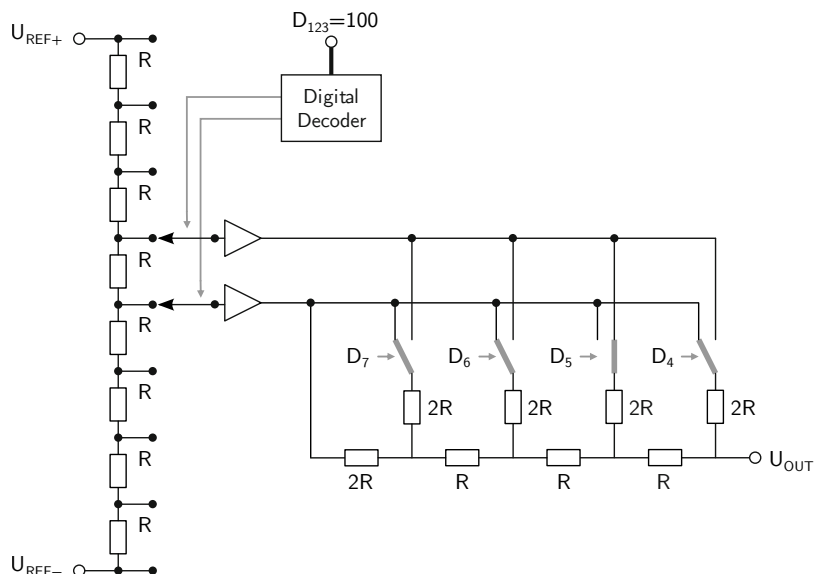
$$U_{OUT} = (U_{REF+} - U_{REF-}) \sum_{i=1}^n 2^{-i} D_i, \quad (7)$$

kde D_i odpovídá hodnotě i -tého bitu (1 nebo 0). Odběr rezistorové sítě není konstantní, závisí na aktuální konfiguraci výstupní hodnoty. K výrazným změnám odběru proudu dochází zejména při přepínání sousedních hodnot v polovině rozsahu například 1000 a 0111 u 4bitového převodníku. Tyto změny odběru mohou způsobit značné zkreslení výstupního signálu, zvláště při vyšších frekvencích. Pro konstrukci n bitového převodníku je využito pouze $2n$ rezistorů.

Na obdobném principu funguje také R-2R síť s proudovým výstupem. [30, strana 322][55, strana 190]

Segmentované rezistorové převodníky

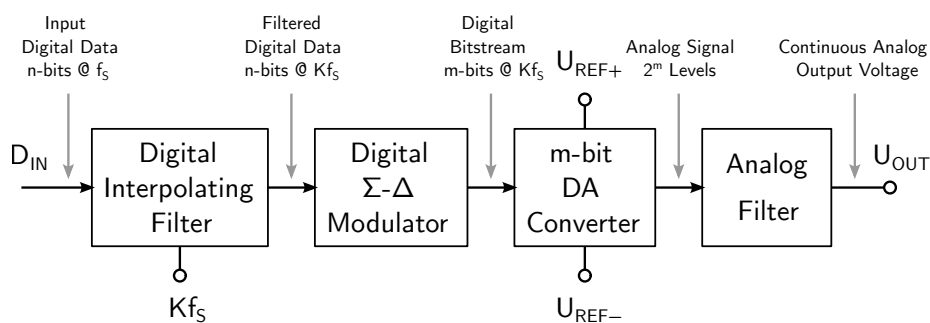
U převodníků s vyšším rozlišením je obtížné dosáhnout linearity spínané rezistorové sítě, proto je vhodné převod rozdělit na dvě části. Například nejvyšší bity převést rezistorovým děličem a nižší R-2R převodníkem. Možné provedení sedmibitového převodníku je znázorněno na obrázku 5. První tři nejvýznamnější bity jsou převedeny řetězovým převodníkem, zbylé R-2R převodníkem. Oddělení obou částí zajišťují buffery, proto nedochází k zatěžování první části. [22, strana 159–163]



Obrázek 5: Segmentovaný DA převodník s napěťovým výstupem [22, strana 160]

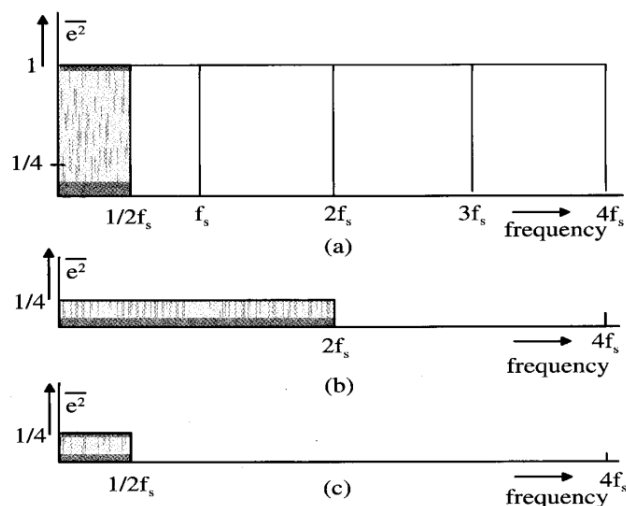
Sigma-delta převodníky

Základní princip sigma-delta (Σ - Δ) DA převodníků (často uváděno také v opačném pořadí delta-sigma) je na obrázku 6. Vstupní digitální signál je nejprve interpolován a převzorkován na vyšší frekvenci (K násobek vzorkovací frekvence f_s – v anglické literatuře pojem „oversampling“), poté je zpracován Σ - Δ modulátorem do m -bitového toku a následným DA převodníkem převeden na 2^m analogových úrovní, které výstupní analogový filtr převede na spojitý signál.



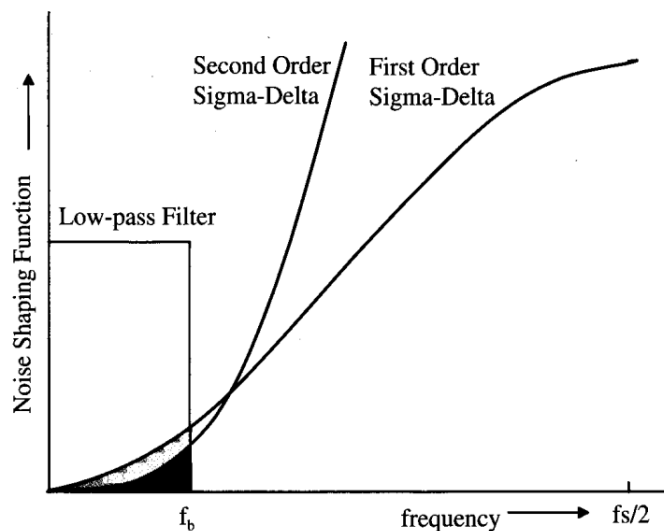
Obrázek 6: Architektura sigma-delta DA převodníku [22, strana 163][35, strana 353]

Signál vstupující do interpolačního filtru je proložen a přefiltrován číslicovým filtrem typu dolní propust produkujícím data na požadované frekvenci. Interpolací vstupního signálu na vyšší frekvenci je docíleno snížení kvantizačního šumu, který je rozložen do širšího kmitočtového spektra a následně částečně odfiltrován dolní propustí. Zároveň dochází k posunutí postranních pásem vzhledem k původní frekvenci a vzniká zrcadlený obraz původního užitečného pásma v oblasti Kf_s . Na obrázku 7 je rozložení kvantizačního šumu při interpolaci na čtyřnásobek vzorkovací frekvence.



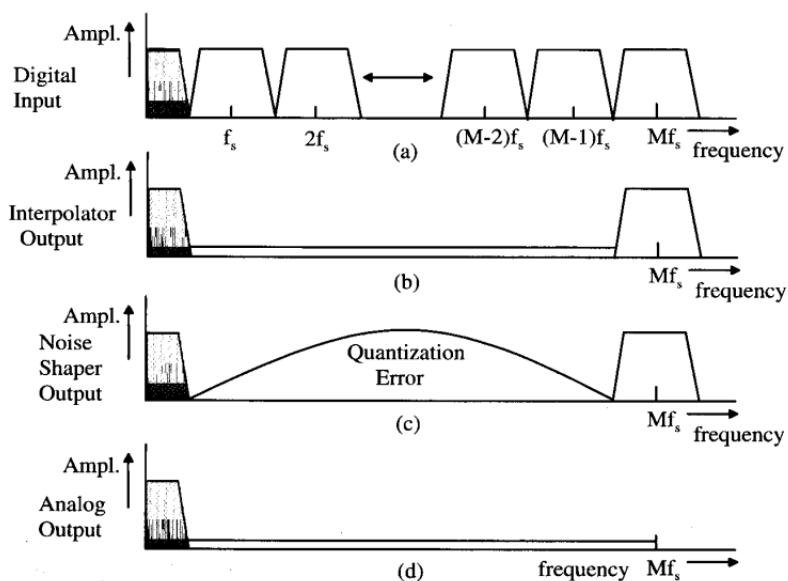
Obrázek 7: Rozložení kvantizačního šumu při interpolaci na čtyřnásobek vstupní frekvence f_s (a) před interpolací, (b) po interpolaci a (c) po digitální filtraci [35, strana 353]

V sigma-delta modulátoru dochází k tvarování spektra zbylého kvantizačního šumu. V závislosti na využitém stupni sigma-delta modulátoru je kvantizační šum potlačen v oblasti užitečného pásma. Na obrázku 8 je porovnání výstupních spekter pro sigma-delta modulátor prvního a druhého řádu. Výstupem modulátoru je m bitový signál pro m bitový DA převodník.



Obrázek 8: Porovnání spekter po tvarování sigma-delta modulátorem prvního a druhého řádu [35, strana 361]

Úpravy na frekvenčním spektru v průběhu převodu jsou přehledně znázorněny na obrázku 9. Nejprve je vyobrazeno spektrum vstupního signálu (a), následně výstupní spektrum interpolačního filtru (b), výstupní spektrum sigma-delta modulátoru (c) a analogového filtru. [35, strana 350–403][22, strana 163][30, strana 322–327]



Obrázek 9: Změny frekvenčních spekter v průběhu DA převodu sigma-delta převodníkem [35, strana 399]

2.2.3 Rekonstruční filtr

Nedílnou součástí DA převodníků je rekonstrukční filtr (dolní propust), který odstraní nepatřičné obrazy frekvenčního pásma na vyšších kmitočtech. Vzhledem k požadavku na podporu více vzorkovacích frekvencí je nutné počítat s filtrem, který bude přizpůsobitelný požadované frekvenci. Ideální průběh kmitočtové charakteristiky by měl skokovou změnu přenosu mezi propustným a útlumovým pásmem. Charakteristiky skutečných filtrů jsou spojité a jsou obvykle aproximovány normovanými přenosy.

Normované přenosy vychází z polynomiální aproximace amplitudové kmitočtové charakteristiky. Názvy filtrů jsou odvozeny od názvů využitých polynomů a jsou to:

- Butterworthovy filtry – maximálně plochá amplitudová charakteristika bez zvlnění v propustném pásmu, s větším řádem filtru je větší překmit přechodové charakteristiky,
- Čebyševovy filtry – strmější pokles amplitudové charakteristiky, zvlnění propustného pásma, překmit přechodové charakteristiky,
- Inverzní Čebyševovy filtry – monotónní amplitudová charakteristika v propustném pásmu, zvlnění zádržného pásma,
- Besselovy filtry – lineární fázová charakteristika v propustném pásmu, stálé skupinové zpoždění, přechodová charakteristika bez překmitů.

Rekonstrukční filtr lze zkonstruovat pomocí pasivních prvků, bez užití zesilovacích prvků, filtr se pak nazývá pasivní. Pasivní filtry nepotřebují napájecí zdroj a pokud jsou dobře navrženy, produkují velmi malý šum. Absence aktivních prvků neumožňuje zesílení vstupního signálu. Vstupní/výstupní impedance nemusí odpovídat požadavkům a je obtížné dosáhnout požadované přesnosti při užití běžně dostupných součástek (zvláště cívek), zároveň je obtížný návrh filtrů vyšších řádů.

Aktivní filtry využívají zesilovací prvky, zejména operační zesilovače s rezistory a kondenzátory ve zpětné vazbě. Mohou mít vysokou vstupní impedanci, nízkou výstupní impedanci a libovolný zisk. Návrh aktivních filtrů je obvykle jednodušší než pasivních. Největším přínosem je, že nevyužívají cívky, čímž se sníží problémy s přesností a dostupností využitých komponent. V aktivních filtrech vzniká větší šum než v pasivních v důsledku využití zesilovacích obvodů, tento šum může být značně omezen pečlivým výběrem všech komponent.

Pasivní i aktivní filtry jsou fixně navrženy pro konkrétní frekvenci, pro vyšší univerzálnost rekonstrukčního filtru by bylo nutné přepínat mezi připravenými filtry. Alternativou může být filtr se spínanými kondenzátory. Základní princip tohoto filtru je na obrázku 10 a je jím náhrada rezistoru spínaným kondenzátorem za předpokladu, že doba nabíjení a vybíjení kondenzátoru C_1 je zanedbatelná, vzhledem k době periody spínání $T = 1/f_s$. Ekvivalentní odpor R_{EQ} mezi spínači S_1 a S_2 je pak roven

$$R_{EQ} = \frac{1}{f_s C_1}. \quad (8)$$



Obrázek 10: Princip spínaného kondenzátoru

Šum generovaný filtry se spínanými kondenzátory je relativně velký v porovnání s dosažitelnými parametry převodníků. Lze dosáhnout dynamického rozsahu přibližně 80–90 dB, proto nejsou příliš vhodné pro akustické aplikace.

Sigma-delta převodníky potlačují šum na užitečných kmitočtech a číslicovou filtrací omezují šum až do několiknásobků vzorkovací frekvence, proto postačuje navrhnout jeden společný filtr pro širší spektrum vzorkovacích frekvencí. [55, strana 190][46][22, strana 163][65, strana 599–622]

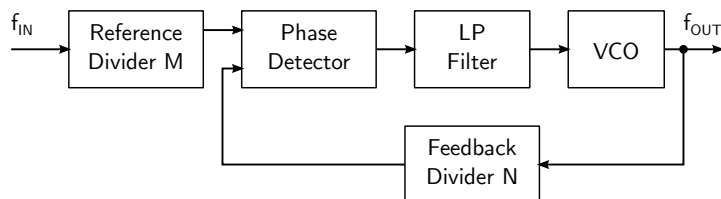
2.3 Generátor hodinového signálu

Digitálně-analogové převodníky vyžadují k činnosti hodinový signál. Jednodušším postačují hodinové impulsy z přenosu dat, některé (založené na sigma-delta modulaci) vyžadují další hodinový signál o několiknásobku vzorkovací frekvence.

2.3.1 Fázový závěs

Fázový závěs (PLL – Phase-Locked Loop) je zpětnovazební systém, který může být využit ke generaci stabilních frekvencí s konstantním fázovým posuvem vůči referenčnímu signálu vstupujícího do systému. Obrázek 11 znázorňuje princip fázového závěsu.

Základními bloky jsou fázový detektor následovaný filtrem a napěťově řízeným oscilátorem (VCO). Do fázového detektoru vstupuje referenční frekvence a výstupní frekvence, výstupem jsou napěťové pulzy s šířkou danou fázovým posuvem obou signálů. Filtrovanými pulzy je řízen oscilátor generující signál se stejnou frekvencí a fázovým posuvem, jako referenční signál. Zapojením děliček do zpětné vazby a před vstup referenčního signálu je možné výstupní frekvenci regulovat změnou dělitelů dle vzorce $f_{OUT} = \frac{N}{M} f_{IN}$. [6]



Obrázek 11: Princip fázového závěsu [6, strana 3]

2.4 Řídicí jednotka převodníku

Pro korektní přenos dat do DA převodníků je nutné data přijmout, zpracovat, uchovat a v pravý čas do převodníků vyslat. Zároveň zajistit korektní konfiguraci převodníků a propojení s nadřazeným systémem. Pro zajištění těchto procesů je nutné integrovat do převodníku řídicí člen (CPU, FPGA).

2.4.1 Obecný procesor

Je navrhnut pro obecné výpočty pro širokou škálu operací. Pro zabudované aplikace je obvyklé využívat procesory optimalizované na nízkou spotřebu, s redukcí proveditelných instrukcí (zjednodušení hardware) a s integrací mnoha specializovaných bloků na vstupní a výstupní operace (komunikační rozhraní, převodníky, komparátory, vnější přerušení).

Dle cílové skupiny zabudovaných systémů můžeme rozlišit architektury dle předvídatelnosti, výkonnosti a spotřeby do několika skupin.

Mikrokontroléry

Do této skupiny lze zařadit nejjednodušší procesory, které pracují do frekvencí řádově stovek MHz. Jsou optimalizovány na předvídatelné chování, nízkou spotřebu, interakci především s ovládacími prvky. Obvykle mají značně redukovanou instrukční sadu. Jejich nevýhodou je malý výkon a malá propustnost dat. Mají relativně malé programové a datové paměti přímo na čipu a omezené možnosti připojení externí paměti (například velmi limitovaný adresní prostor vyhrazený DRAM kontroléru).

Mezi představitele těchto architektur lze zahrnout například (architektura nebo výrobce)

- ARM Cortex-M, Cortex-R,
- Atmel AVR, AVR32, AT91SAM,
- MIPS,
- Microchip Technology PIC,
- STMicroelectronics STM8, ST10, STM32,
- Texas Instruments MSP430, MSP432, C2000.

[40][43]

Aplikační procesory

Tato skupina je zaměřena na vyšší výkon než mikrokontroléry. Obvykle používají externí paměť pro data i instrukce. Vyššího výkonu je docíleno zvýšením pracovní frekvence do jednotek GHz, přidáním cache paměti, zavedením výraznější paralelizace na úrovni instrukcí (v omezené míře mají i mikrokontroléry), spekulacemi nad vykonávaným programem.

Přidáním cache paměti se značně zhorší předvídatelnost běhu programu díky možnému nevhodnému mapování externí paměti do lokální cache. Může docházet k vzájemnému přepisování jednotlivých řádek cache a tím se dramaticky prodlužuje čekání na požadovaná data, střední doba čekání s cache je ale výrazně lepší než kdyby cache použity nebyly.

Paralelizace na úrovni instrukcí je docíleno zavedením superskalárního vykonávání – k dispozici více specializovaných výpočetních jednotek (sčítačka, násobička, paměťové operace), v jednom cyklu procesoru je nahráno více instrukcí a rozhodnuto o jejich závislostech a rozvržení na výpočetní jednotky, vykonávání paměťových operací je možné i mimo programové pořadí.

Mezi výhody patří vysoký výkon a velká propustnost dat. Mezi nevýhody lze zařadit vyšší spotřebu a horší předvídatelnost doby vykonávání programu. Procesory jsou určeny především pro aplikace náročné na výkon a interakci s uživatelem (často obsahují grafické koprocesory, které zajišťují grafický výstup). Mezi představitele těchto architektur lze zařadit

- ARM Cortex-A,
- PowerPC,
- Texas Instruments C64 VLIW procesory.

[40][7][33][43]

Vícejádrové procesory

Integrací více jader na jeden čip je možné docílit vyššího výkonu, ovšem nastávají problémy především se sdílenými prostředky a se synchronizací mezi jádry. Mezi základní problémy co se týče předvídatelnosti doby běhu programu lze zařadit především:

- sdílená oblast paměti, komunikace mezi procesy – při nevhodném programování synchronizovaných částí je možné se dostat do situace kdy na sebe dva procesy vzájemně čekají nebo neefektivně čekají na odpověď druhého procesu,
- mapování externí paměti do sdílené cache paměti – je možné, že si úlohy běžící na různých jádrech vzájemně přepisují data načtená do cache paměti, čímž se dramaticky prodlužuje doba čekání na požadovaná data,
- koherenční protokol a falešné sdílení dat mezi vlákny – z externí paměti je možné načítat do cache paměti pouze blok dat, který může obsahovat data požadovaná různými procesy/vláknem – koherenční protokol tento problém řeší, nicméně synchronizace řádek cache prodlužuje dobu přístupu,
- přístupy do DRAM paměti – doba přístupu do paměti se liší v závislosti na posloupnosti požadavků a to přibližně až do trojnásobku minimální doby přístupu – souběžný přístup více procesů do různých míst paměti značně prodlužuje její odezvu.

[31, strana 43–46]

2.4.2 Digitální signálový procesor

Signálové procesory jsou specializované procesory pro vykonávání velkých množství numerických operací s cílem velké propustnosti dat. Mají specializované instrukce, které pomáhají při obvyklých datových operacích (číslicová filtrace, rychlá Fourierova transformace). Mohou mít i specializované výpočetní jednotky pro výpočet filtrů nebo transformací. Často jsou specializované buď na práci v plovoucí řádové čárce nebo naopak ve fixní řádové čárce. Výhodou signálových procesorů je jejich výkon při zpracování signálů, nevýhodou naopak absence univerzality, vyšší cena, nedostatek rozhraní pro komunikace s nadřazeným systémem (USB, Ethernet). Příkladem signálových procesorů mohou být:

- Analog Devices SHARC, Blackfin,
- Freescale MSC81xx,
- Texas Instruments C6000.

[7][3][5][43]

2.4.3 Programovatelná hradlové pole

Programovatelná hradlová pole (FPGA – Field Programmable Gate Array) neimplementují ve výchozím stavu na rozdíl od výše uvedených možností procesor, nevykonávají program. Jsou založeny na vhodné konfiguraci propojení logických obvodů. Mohou mít zabudované výpočetní bloky, paměť, správce digitálních hodin, banky vstupů/výstupů a další bloky definované výrobcem. Jsou vhodné pro specifické zpracování dat, signálů. Často se staví konfigurace na základě již připravených bloků (je možné nakonfigurovat procesor, rozhraní – USB, Ethernet, sériovou linku, DRAM kontrolér a další). Výhodou je vysoká univerzalita konfigurace a vysoký výkon pro specifické aplikace. Nevýhodou je relativně vysoká cena pro větší velikosti a počty integrovaných bloků. Příkladem programovatelných hradlových polí může být:

- Altera Startix, Arria, Cyclone, MAX,
- Xilinx Virtex, Kinex, Artix, Spartan.

[40][3][2][59]

2.4.4 Systémy na čipu

Jsou kombinací obvykle několika ARM jader (Cortex-A, Cortex-M nebo Cortex-R) a FPGA na jednom čipu (SoC – System on Chip). Kombinují dle integrovaných částí jejich výhody. Na druhou stranu je nutné docílit jejich vzájemné synchronizace v přístupu ke sdíleným prostředkům. Nevýhodou je také relativně vysoká cena. Příkladem mohou být:

- Altera Stratix 10 SoC, Arria 10 SoC, Arria V SoC, Cyclone V SoC,
- Xilinx Zynq 7000-SoC, Zynq UltraScale+ MPSoC.

[2][59]

2.4.5 Procesorové moduly

Mnoho výrobců nabízí připravené procesorové moduly. Na modulu je obvykle procesor, paměť, nutné napájecí zdroje a další nezbytné součásti pro běh procesoru. Obvykle je s modulem také nabízen funkční operační systém. Výhodou těchto modulů je již otestované zapojení a možnost funkční modul vložit do desky obsahující specifickou elektroniku. Na desky plošných spojů s výkonnými procesory jsou obvykle kladeny velké nároky, je nutno navrhovat mnohavrstvou desku (8 a více vrstev pro malá BGA pouzdra). Deska do které je modul vložen již nemusí mít tolik vrstev a není třeba ladit problémy s procesorovou částí. [41][18]

2.5 Operační systém

Při využití procesoru pro řídicí jednotku je možné program spouštět přímo na procesoru nebo spouštět pomocí operačního systému, který zajistí základní rozhraní mezi programátorem a hardwarem.

Spouštění programů bez operačního systému je vhodné především pro jednoduché mikrokontroléry, kde by běh operačního systému zabíral příliš mnoho systémových prostředků. Výrobce daného mikroprocesoru obvykle poskytuje základní knihovny pro výpočty a zjednodušení přístupu k perifériím. Výhodou je plná kontrola nad hardwarem, široké možnosti optimalizace systémových prostředků. Nevýhodou je zvyšující se komplexita programů při využití mnoha periférií, správě větších množství paměti, obtížná portace existujících programů na specifický hardware.

Při využití operačního systému je k dispozici unifikovaný přístup k hardwaru. Správu paměti a základní služby (tvorba vláken, komunikace mezi procesy a další) zajišťuje systém. Výhodou může být programování bez detailní znalosti hardware, snazší portace existujících programů, snazší programová rozšiřitelnost. Značnou nevýhodou je režie systému a doba přepnutí kontextu mezi vlákny/procesy, se kterou je nutné při programování počítat. Pro zabudované systémy je vhodné využít real-time operační systém, který má redukovanou a garantovanou dobu odezvy a umožňuje deterministické plánování procesů.

Pro konkrétní procesor je možné nalézt nebo portovat existující operační systémy. Portace operačního systému je ovšem velmi náročná činnost a při hledání vhodného procesoru je vhodné brát v potaz existenci portovaných operačních systémů. Mezi real-time systémy kompatibilní s velkým množstvím procesorových architektur patří:

- Erika Enterprise,
- FreeRTOS,
- Micrium μ C/OS,
- Real-time Linux,
- VxWorks.

[16][57][38][37]

2.6 Operační systém Linux

Linux je široce podporovaný svobodný operační systém s celosvětovou vývojovou komunitou. Linux je primárně určen pro serverové a desktopové aplikace. Díky podpoře ze strany mnoha výrobců zabudovaných procesorů se stává typickým operačním systémem také pro zabudovaná zařízení.

Základní komponentou systému Linux je jádro (kernel), které se stará o komunikaci s hardwarem, správu procesů, paměti, podporu sítě. Nad jádrem jsou knihovny a sada nástrojů pro ovládání systému a spouštění uživatelských programů. [61]

2.6.1 Linux pro použití v real-time aplikacích

Operační systém určený pro serverové a desktopové aplikace se snaží o maximalizaci propustnosti dat, optimalizaci na maximální střední výkon, co největší univerzalitu pro běh nejrůznějších programů. U real-time operačního systému je očekávána především předvídatelnost, optimalizace nejhoršího možného výkonu, jasné a jednoduché plánování.

Pro využití Linuxového jádra v real-time aplikacích, je nutné modifikovat některé jeho části. Mezi nejdůležitější patří úprava na preemptivní jádro (možnost přerušit a přeplánovat proces v libovolném okamžiku, i při obsluze systémového volání), úprava plánovače, zvýšení rozlišení časovače. Všechny potřebné vlastnosti implementuje RT-Preempt Patch, který je možné aplikovat na mnoho verzí jader. [38][61]

Pokud je k dispozici vícejádrový procesor, je možné jednotlivá jádra rozvrhnout a omezit spouštění systémových úloh na vybraná jádra (boot parametr `isolcpus=X`, kde `X` je rozsah izolovaných jader pro real-time úlohu). Zároveň je vhodné omezit pravidelná přerušení plánovačem úloh na jádrech, kde běží pouze jedna úloha (kompilace jádra s parametrem `CONFIG_NO_HZ_FULL=y` a přidání boot parametru `nohz_full=X`, kde `X` je rozsah izolovaných jader pro real-time úlohu). Požadovanou úlohu pak lze spustit příkazem `taskset -cX`, kde `X` je rozsah povolených jader pro danou úlohu. [26][13]

2.6.2 Distribuce, tvorba vlastní distribuce

Funkční a snadno použitelný Linuxový systém lze nejspíše získat v tzv. distribuci. Jedná se o Linuxové jádro se sadou mnoha knihoven a programů obvykle zaměřených ke specifickému účelu. Pro zabudovaný systém je vhodnější vybrat pouze nezbytné komponenty, urychlit tím start systému a zmenšit prostorové nároky úložiště.

Pro usnadnění tvorby vlastní distribuce existují podpůrné nástroje, příkladem může být Buildroot nebo Yocto Project. [62]

Yocto Project

Yocto Project je open source systém, který obsahuje sadu nástrojů pro vývoj zabudovaných aplikací včetně kompletního systému pro kompilaci jádra systému a tvorbu vlastní distribuce.

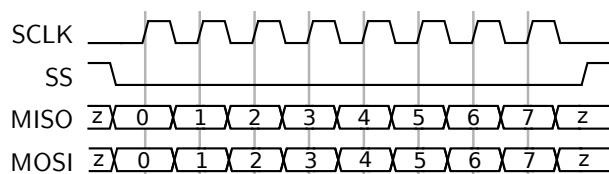
Tvorba vlastní distribuce probíhá skládáním vrstev (např. vrstva se základními knihovnami, vrstva s ovladači od výrobce nebo vrstva obsahující uživatelské rozhraní). Pro aplikaci vlastních změn na jádro je vhodné vytvořit vlastní vrstvu, která může změny (konfigurace, aplikace patche) přidat pomocí tzv. receptu (recipe). [62]

2.7 Rozhraní komponent

Typické datové rozhraní DA převodníků pro všeobecné využití je vysokorychlostní SPI, pro audio převodníky je typické rozhraní I²S. Jako konfigurační rozhraní je využíváno rozhraní SPI nebo I²C.

2.7.1 SPI

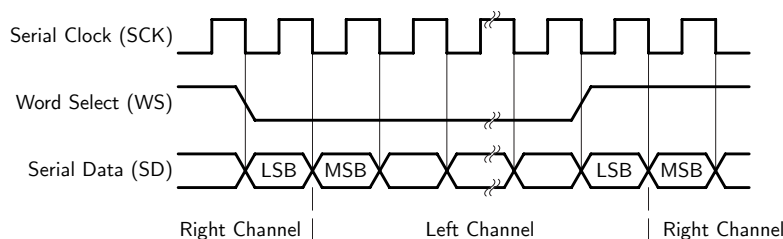
Serial Peripheral Interface (SPI) je jednoduchý sériový plně duplexní komunikační protokol typu master-slave. Sběrnice má společné vodiče MOSI (Master Out – Slave In), MISO (Master In – Slave Out) a SCLK (Serial Clock). Adresace je realizována vodiči SS (Slave Select), které vedou z master jednotky ke každé slave jednotce. Příklad časového diagramu je na obrázku 12. Komunikační rychlosti SPI na zabudovaných procesorech obvykle dosahují jednotek až desítek Mb/s. [17]



Obrázek 12: Diagram přenosu dat po sběrnici SPI [17]

2.7.2 I²S

Inter-IC Sound nebo Integrated Interchip Sound (I²S) je sériová sběrnice využívaná k propojení audio zařízení. Sběrnice má tři vodiče SCK (Serial Clock), WS (Word Select) a SD (Serial Data). Signál WS multiplexuje data pro levý (hodnota 0) a pravý (hodnota 1) kanál. Na obrázku 13 je přenos dat ve formátu I²S Philips – sériová data jsou vysílána ve dvojkovém doplňku s nejvýznamnějším bitem nejdříve. Komunikační rychlosti se odvíjí od vzorkovacích frekvencí připojených zařízení. [32]



Obrázek 13: Diagram přenosu dat po sběrnici I²S [32, strana 1]

2.7.3 I²C

Inter-Integrated Circuit (I²C) je multimasterová sériová sběrnice pro pomalé přenosy dat (100 a 400 kbps). Díky chráněné značce I²C je občas nahrazena prakticky identickou sběrnici Two Wire Interface (TWI). Sběrnice má pouze dva vodiče SDA (Serial Data) a SCL (Serial Clock). Kolizím na fyzické vrstvě je zabráněno použitím zapojení s otevřeným kolektorem. V první fázi komunikace master vyšle na sběrnici adresu cílového zařízení a směr toku dat. Pokud cílové zařízení detekuje svou adresu, potvrdí přenos. Dále již jsou vysílána potvrzovaná data v požadovaném směru. Komunikační rychlosti I²C dosahují rychlosti až 5 Mb/s. Sběrnice jsou hojně využívány pro konfiguraci obvodů, pomalejší datové přenosy (obvody reálného času, EEPROM paměti, vzdálení I/O porty, budiče LED atd.). [29]

2.7.4 Propojení komponent

Procesory pro embedded aplikace obvykle obsahují několik rozhraní SPI, I²S i I²C. Pro připojení více převodníků (dle požadavku 16 kanálů) bude nutné zajistit synchronizaci všech kanálů (signálů ovlivňujících synchronizaci) a přenos dat kanálem s dostatečnou kapacitou, případně konverze mezi dostupnými rozhraními.

2.8 Rozhraní k PC

Pro připojení periferních zařízení k počítači existuje řada rozhraní. Mezi nejznámější lze zařadit USB (Universal Serial Bus), FireWire a Ethernet.

2.8.1 Universal Serial Bus

Universal Serial Bus (USB) je prakticky nejznámější a nejrozšířenější rozhraní pro připojení periférií k počítačům. Základem sběrnice je host (master), který komunikuje s připojenými zařízeními (slave). Veškerá komunikace probíhá po jednom krouceném diferenciálním páru. Přenos dat probíhá pomocí toku dat nebo pomocí zpráv. Zprávy slouží k dojednání rour, ve kterých jsou následně přenášena data. Existují čtyři typy přenosu dat.

- Řídící přenosy (control) jsou používány k identifikaci a konfiguraci zařízení. Po zapojení zařízení do systému je pomocí řídicích přenosů zjištěno o jaké se jedná zařízení, jaké má parametry a požadavky. Po zjištění základních informací jsou nakonfigurovány datové roury.
- Blokové přenosy (bulk) jsou spolehlivé přenosy pro větší množství dat. Není pro ně v rámci přenosového pásma rezervován prostor.
- Přerušovací přenosy (interrupt) jsou spolehlivé přenosy s garantovanou dobou odezvy. Mají rezervováno 80–90 % přenosového pásma (s izochronními).
- Izochronní přenosy (isochronous) přenášejí nepřetržitá a periodická data. Jsou vhodné pro real-time přenosy (audio/video), v případě chyb se data neopakují. Mají rezervováno 80–90 % přenosového pásma (s přerušovacími).

Přenosy všech dat probíhají v časových rámcích (125 μ s pro High-Speed), ve kterých posloupnost vysílaných dat záleží na fyzickém řadiči, proto je nejnižší rozlišitelná jednotka času 125 μ s.

Pokud se zařízení chová podobně jako určitá skupina známých zařízení, je možné využít společný ovladač pro třídu zařízení (Class Driver). Pokud zařízení nespadá do některé z kategorií, je nutné napsat speciální ovladač.

USB High-Speed nabízí přenosovou rychlost až 480 Mbit/s (60 MB/s), USB Super-Speed až 5 Gbit/s (625 MB/s). Jednoznačnou výhodou tohoto rozhraní je dostupnost jak v počítačích tak v mikrokontrolérech a zabudovaných procesorech. Nevýhodou je nutnost psaní ovladačů v případě specifických zařízení a časová nejistota v rámci jednoho časového rámce. [54]

2.8.2 FireWire a Thunderbolt

Je standardní sériová sběrnice určená k připojení periférií k počítači. Na rozdíl od USB je sběrnice typu peer-to-peer – všechny uzly v síti jsou si rovny. Kabel je složen ze dvou diferenciálních párů, proto je umožněna obousměrná současná komunikace (full duplex). Přenos dat probíhá v 125 μ s cyklech v režimu asynchronním nebo izochronním. Pro izochronní přenosy je vyhrazena část každého cyklu, asynchronní přenosy jsou ve zbylé části.

FireWire byl v poslední době nahrazen rozhraním Thunderbolt. Thunderbolt kombinuje zjednodušenou PCIe sběrnici a DisplayPort.

Maximální rychlost přenosu dosažitelná u FireWire S800T činí 800 Mbit/s, u Thunderboltu až 40 Gbit/s. Problém obou rozhraní je malá dostupnost. FireWire lze do libovolného počítače dodatečně přidat zásuvnou kartou do PCI, PCIe či ExpressCard. Rozhraní Thunderbolt musí mít čip přímo zabudovaný v základní desce. Ani jedno ze zmíněných rozhraní není rozšířeno v zabudovaných zařízeních. [1]

2.8.3 Ethernet

Ethernet je souhrn technologií využívaných pro tvorbu lokálních sítí. Mnoho z těchto technologií je popsáno ve standardu IEEE 802.3. Základem komunikace je přístupová metoda CSMA/CD (Carrier Sense Multiple Access with Collision Detection). Při vysílání dat zároveň vysílač kontroluje médium. V případě kolize vysílač zaruší médium (zneplatní data) a po uplynutí náhodně zvolené doby vysílání opakuje. Pokud nejsou zavedena speciální přístupová pravidla na vyšších vrstvách komunikačního protokolu, není možné zaručit včasné vyslání rámce, proto Ethernet není vhodný pro kritické real-time aplikace.

Rychlost přenosu dosažitelná použitím Ethernetu se pohybuje v řádech stovek Mbit/s pro zabudovaná zařízení. Výhodou Ethernetu je dostupnost, nevýhodou nespolehlivost přístupu k médiu. Přes Ethernet je možné také provádět časovou synchronizaci. Existuje řada radičů, které podporují standard IEEE 1588 (precision time protocol), se kterým je možné docílit přesnosti synchronizace pod 1 μ s. [21]

2.8.4 Transmission Control Protocol

Transmission Control Protocol (TCP) je protokolem transportní vrstvy OSI modelu a nabízí spolehlivé přenosové služby spojovaného charakteru. Mezi koncovými uzly je před každou výměnou dat nejprve navázáno spojení a po skončení přenosu zrušeno. [8]

2.8.5 HDLC protokol

High-Level Data Link Control (HDLC) je protokol linkové vrstvy zajišťující spolehlivou spojovanou i nespolehlivou nespojovanou službu. Lze s výhodou využít na sériových linkách, které přenášejí data jako nečleněný proud bitů nebo bajtů. K identifikaci začátku a konce rámce používá speciálních příznaků začátku a konce, které musí být v přenášených datech zakomentovány (escape znak). [10]

2.9 Datové formáty

Pro uchování zvukových stop v digitálním formátu existuje mnoho formátů souborů. Lze je rozdělit na ztrátové a bezztrátové.

Ztrátové formáty využívají pro kompresi nedokonalosti lidského sluchu, redukují neslyšitelné zvukové informace. Typickým příkladem může být kodek MP3 nebo Ogg Vorbis. [36][60]

Pro měřicí účely a kvalitní reprodukci zvukových signálů jsou vhodnější bezztrátové formáty. Mezi typické představitele patří formát WAVE, který nabízí možnost uchovat vzorky záznamu se vzorkovací frekvencí od 1 Hz do 4,3 GHz v různých datových typech (celočíselně i s plovoucí řádovou čárkou), umožňuje také bezztrátovou kompresi. Největší limitací formátu je maximální velikost souboru 4 GB. Dalším rozšířeným bezztrátovým formátem je FLAC [11][20, strana 56–65]

2.10 Řídicí software

Pro snadné přehrávání zvukových stop na konstruovaném převodníku je vhodné vytvořit ovládací program, případně knihovnu pro snadnou integraci převodníku s dalšími programy. Důležitým parametrem programu je v dnešní době kromě funkčnosti také přenositelnost, proto je následující oddíl věnován především přenositelnému grafickému uživatelskému rozhraní a následně ovladačům.

2.10.1 Grafické uživatelské rozhraní

Grafické uživatelské rozhraní (GUI) umožňuje ovládat příslušný program pomocí interaktivních ovládacích prvků. Pro jednodušší programování rozhraní existují podpůrné knihovny.

Qt

Qt je jedna z nejpobulárnějších knihoven pro tvoření grafických uživatelských rozhraní. Nabízí tři základní licence GPL, LGPL a komerční v závislosti na využití v cílové aplikaci. Cílem vývojářů je nabídnout multiplatformní knihovnu, proto kromě podpory tří nejznámějších operačních systémů pro stolní počítače (MS Windows, Linux a MAC OS) má také podporu mnoha dalších především mobilních operačních systémů. Knihovna je napsána v jazyce C++, který vhodně rozšiřuje o komunikaci mezi objekty a dynamickou identifikaci typů. Primárně je určena pro C++, ale lze využít se všemi populárními programovacími jazyky (C, Java, Perl atd.). Vývojáři také nabízejí open-source vývojové prostředí (Qt Creator) pro snazší tvorbu aplikací. [52]

GTK+

The GIMP Toolkit (GTK+) vznikl původně jako sada nástrojů pro grafický program GIMP, později se stal samostatnou knihovnou. Klade důraz také na multiplatformnost (MS Windows, Linux, MAC OS). Je napsán pod licencí LGPL v jazyce C, opět lze využít i s dalšími programovacími jazyky. Pro jiné prostředí než Linux nevyužívá nativní grafické prvky, ale používá vlastní, proto je nutná instalace podpůrných knihoven zároveň s programem. Pro usnadnění grafického návrhu existuje nástroj (Glade), který generuje kostru GUI. [51]

wxWidgets

Knihovna wxWidgets vznikla jako multiplatformní sada nástrojů pro tvorbu GUI pro MS Windows a Linux. V současné době je podpora také MAC OS. Je napsána v jazyce C++ a při vykreslování využívá nativní grafické prvky daného prostředí. Architektura knihovny je celkově více orientována na MS Windows (speciální objekty, systém událostí). Také zde existuje podpůrný nástroj (wxDesigner) pro grafický návrh součástí GUI. [53]

2.10.2 Ovladače

Pro rozhraní Ethernet není nutné vyvíjet specifické ovladače. Komunikace probíhá vysíláním a příjmem IP paketů. Každý operační systém, který má implementován TCP/IP zásobník, má také podporu pro odesílání a příjem IP paketů.

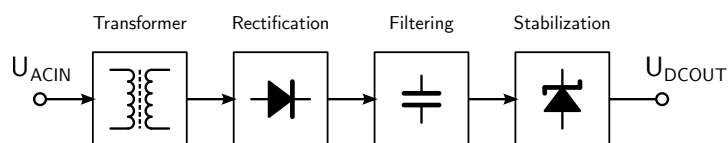
Pokud zařízení splňuje některou z unifikovaných tříd USB zařízení, není nutné vyvíjet ovladače ani pro komunikaci pomocí USB. V případě definice vlastního zařízení, je nutné také napsat vlastní ovladač. Pro usnadnění práce existují nástroje určené pro konkrétní operační systém nebo multiplatformní knihovna LibUSB.

Knihovna LibUSB nabízí univerzální USB ovladač, ke kterému je možno přistupovat pomocí knihovnických metod. Je napsána v jazyce C pod licencí LGPL. Kompatibilita s mnoha programovacími jazyky zajišťuje snadnou integrovatelnost do libovolného programu. [24]

Alternativou k této knihovně je tvorba ovladačů pro každý operační systém zvlášť. Pro MS Windows existují šablony pro tvorbu USB ovladačů (USB Kernel-Mode Driver template), podpora pro tvorbu ovladačů je především ve vývojovém prostředí MS Visual Studio. [28]

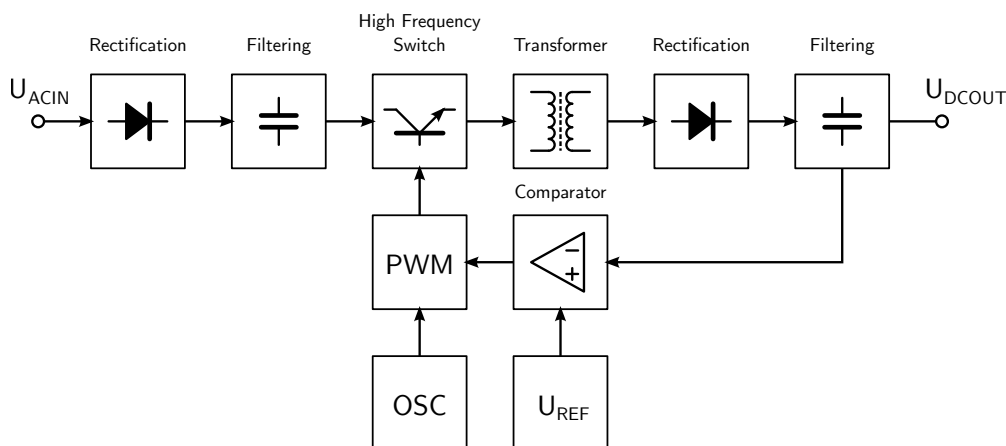
2.11 Napájecí zdroj

Napájecí zdroj je u zařízení určeného pro měření akustických signálů jedna z kritických součástí. Napájecí zdroje lze rozdělit do dvou základních skupin na transformátorové a spínané. Transformátorové zdroje jsou charakterizovány použitím síťového kmitočtu (50 Hz) a následným usměrněním, filtrací a stabilizací lineárním regulátorem. Blokové schéma je uvedeno na obrázku 14. [44]



Obrázek 14: Princip lineárního zdroje

Princip spínaného zdroje je uveden na obrázku 15. Vstupní napětí je nejprve usměrněno a vyhlazeno, pak na vysoké frekvenci transformováno a na výstupu opět usměrněno a vyhlazeno. [44]



Obrázek 15: Princip spínaného zdroje

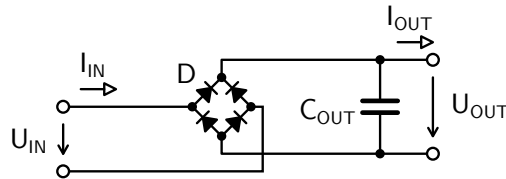
Spínané zdroje mají oproti lineárním vyšší účinnost, menší rozměry a menší váhu. Mezi nevýhody patří větší širokopásmové rušení (generované spínáním), pomalejší reakce na rychlé změny zátěže a obtížnější návrh. Typické výstupní zvlnění spínaného zdroje se pohybuje v řádech desítek milivoltů, zatímco zvlnění na výstupu lineárního stabilizátoru je v řádech desítek až stovek mikrovoltů. Lineární stabilizátory mají schopnost do značné míry potlačovat rušení na vstupní straně, proto lze pro některé aplikace využít kombi-

naci spínaného zdroje s následným lineárním stabilizátorem, nicméně je obtížné dosáhnout úrovně šumu jako s použitím pouze lineárního zdroje. [19][44]

Pro lineární napájecí zdroje se používají především dva typy transformátorů dle použitého jádra – z transformátorových plechů tvaru EI a toroidní transformátory. Toroidní transformátory mají oproti EI transformátorům lepší účinnost, menší rozptyl magnetického pole, malý šum a menší rozměry. Nevýhodou je především vyšší cena (náročnější výroba) a náročnější montáž. [9]

2.11.1 Usměrnění a filtrace napájecího napětí

Při využití transformátorového napájecího zdroje je nutné výstup transformátoru usměrnit a provést filtraci. Možné řešení dvoucestným usměrňovačem je na obrázku 16.



Obrázek 16: Schéma můstkového usměrňovače s filtrem

Do obvodu vstupuje střídavé napětí s efektivní hodnotou U_{IN} s frekvencí f . Na výstupu diodového můstku je napětí s maximální hodnotou $U_{OUTMAX} = \sqrt{2}U_{IN} - 2U_D$, kde U_D je úbytek na diodě usměrňovacího můstku.

Pro návrh velikosti filtračního kondenzátoru je možné využít orientačního výpočtu. Z definice Farada a Coulombu vyplývá vztah

$$C = \frac{It}{U_{RPL}}, \quad (9)$$

do kterého lze dosadit rozdíl minimálního a maximálního napětí na výstupu $U_{RPL} = U_{OUTMAX} - U_{OUTMIN}$ při maximální zátěži I a čas nahradit frekvencí vstupního signálu (dvoucestný usměrňovač, proto $t = 1/2f$). Vyjde vztah

$$C = \frac{I}{2f(U_{OUTMAX} - U_{OUTMIN})}. \quad (F) \quad (10)$$

[23]

2.12 Návrhová pravidla

Pro kvalitní návrh plošných spojů je důležité dodržovat mnoho pravidel, s mnoha z nich je nutné počítat již při návrhu schématu. Příkladem takových pravidel mohou být blokovací kondenzátory, nebo správné dimenzování součástek. Dále je uvedeno několik nejdůležitějších či pro tuto práci specifických pravidel.

2.12.1 Blokování napájení

Zpoždění průchodu signálu na reálném plošném spoji není nulové, proto je nutné uvažovat, že každý spotřebič na desce plošných spojů je příliš vzdálen od napájecího zdroje, který má navíc pomalé reakční schopnosti na rychlé změny odběru. Pro zajištění bližšího a tedy

pohotovějšího napájení slouží blokovací kondenzátory. Dle funkce se rozlišují tři typy blokovacích kondenzátorů. Při výběru všech typů kondenzátorů nesmí být zanedbány jejich parazitní vlastnosti. [63]

Lokální kondenzátor

Lokální blokovací kondenzátor je určen k pokrytí impulsní spotřeby jednoho obvodu, jeho orientační kapacitu je možné vypočítat z jednoduchého vztahu

$$C = \frac{\Delta I}{\frac{\Delta U}{\Delta t}}, \quad (11)$$

kde ΔI je impulsní spotřeba, ΔU přípustná změna napětí a Δt je doba trvání impulsu. [63]

Skupinový kondenzátor

Skupinový kondenzátor slouží především pro pokrytí proudových impulsů způsobených buzením kapacitní zátěže (přebíjení vstupních kapacit řízených obvodů), dává se tedy k součástkám, které řídí více dalších obvodů. Orientační kapacitu lze spočítat ze vztahu 11 s dosazením proudu dle následujícího vztahu

$$\Delta I = C_L \frac{\Delta U_{CL}}{\Delta t}, \quad (12)$$

kde C_L je kapacita zátěže, ΔU_{CL} napěťový rozkmit zátěže (typicky napájecí napětí) a Δt doba hrany spínání. [63]

Filtrační kondenzátor

Filtrační kondenzátor slouží jako širokopásmový filtr pro napájení celé desky nebo její části. Pro určení kapacity musí být známá velikost impulsní spotřeby celého obvodu ΔI_{CC} a přípustné zvlnění ΔU_{CC} , ze kterých lze vypočíst maximální přípustnou impedanci napájecího systému Z_{PWR} dle vztahu

$$Z_{PWR} = \frac{\Delta U_{CC}}{\Delta I_{CC}}. \quad (13)$$

Po zjednodušující úvaze, že tato impedance je složená pouze z parazitní indukčnosti přívodů L_{PSW} a kapacity filtračního kondenzátoru C_{PWR} , lze napsat

$$Z_{PWR} = \sqrt{\frac{L_{PSW}}{C_{PWR}}} \Rightarrow C_{PWR} = \frac{L_{PSW}}{Z_{PWR}^2} \quad (14)$$

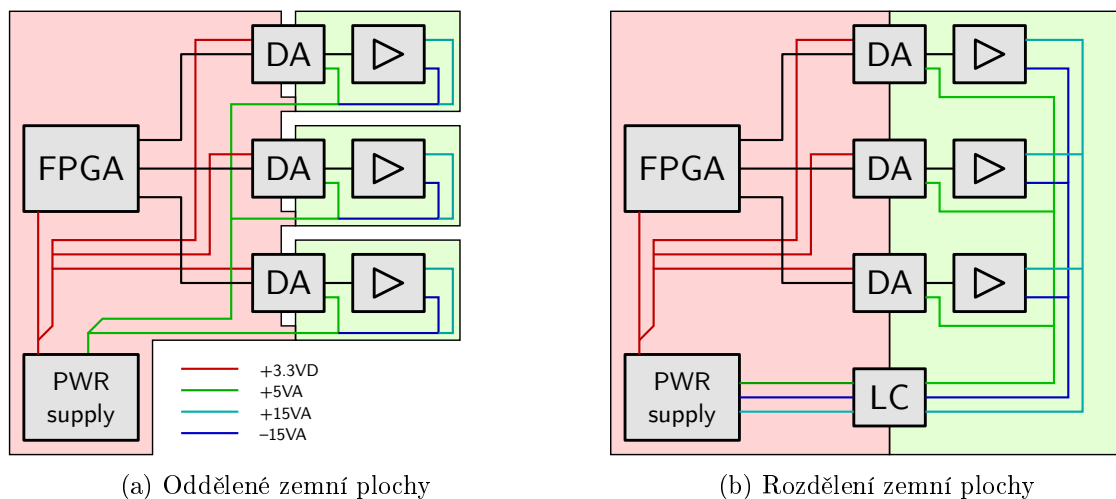
pro získání orientační hodnoty kapacity. [63]

2.12.2 Zemnění analogové a digitální části

Jestliže se na desce plošných spojů nachází zároveň citlivé analogové spoje a rušivé digitální spoje, je nutné věnovat pozornost jejich umístění a propojení s obvody na rozhraní analogové a digitální části (typicky AD/DA převodníky). Základním pravidlem je oddělení analogové a digitální země izolačním příkopem s přemostěním na jediném místě a striktní vedení spojů v příslušných částech. Pokud je nutné vést některé signály mezi částmi (napájení, výstupy, vstupy), pak do analogové části vstupují v místě přemostění země. Dalším

pravidlem je oddělení oddělení napájecích zdrojů analogové a digitální části (alespoň filtrem).

Převodníky na rozhraní částí mají požadavek na co nejmenší rozdíl potenciálů analogové a digitální země. V případě jediného obvodu na rozhraní je optimálním řešením umístit přemostění přímo pod převodník. V případě, že je v zapojení více převodníků, není optimální řešení jednoznačné. Záleží na provázání zemí při dalším zpracování analogových signálů. Dvě možné varianty (desky se třemi DA převodníky s výstupními zesilovači) jsou zobrazeny na obrázku 17.



Obrázek 17: Možné řešení zemnění u plošných spojů s více převodníky [34]

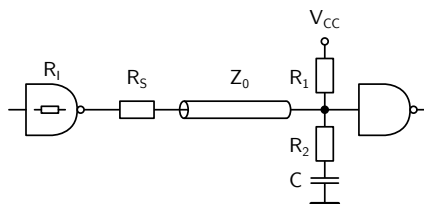
Oddělení zemních ploch (splitted plane) na obrázku 17a je vhodné pro analogové části, které jsou na sobě nezávislé a nemají dále země provázané.

Rozdělení zemní plochy (partitioned plane) na obrázku 17b je vhodný kompromis v případě, že není známo provázání zemí v dalších zařízeních. Nejsou vytvářeny zbytečně zemní smyčky v případě propojených zemí v navazujících zařízeních (např. společný výkonový zesilovač). Deska plošných spojů je rozdělena na digitální část a analogovou. Zdroj je umístěn v digitální části a napájení analogových obvodů je filtrováno na rozhraní částí. Rušivé digitální signály jsou vedeny pouze před digitální část a mají na analogovou část minimální vliv. Ideálním řešením pro více převodníků bez známého provázání zemí, by bylo galvanické oddělení všech převodníků včetně napájecích zdrojů jejich analogových i digitálních částí, což obvykle není z finančních důvodů únosné. [34][63][64]

2.12.3 Impedanční přizpůsobení dlouhých vedení

Plošné spoje mají stejně jako ostatní elektrické vodiče impedanci a konečnou rychlost šíření signálu. Za určitých okolností je tedy nutno brát v potaz možné odrazy na vedení, které by mohly způsobit špatnou interpretaci signálu.

Přizpůsobit vedení je možné různými způsoby. Odhad správného přizpůsobení bývá obtížný, proto se pro vývojové verze často používá zapojení na obrázku 18, které kombinuje základní metody přizpůsobení (sériové – R_S , paralelní – R_2 , Théveninovo – R_1 , R_2 a RC článek – R_2 , C). [63]



Obrázek 18: Vývojové zapojení impedančního přizpůsobení vedení [63, strana 108]

2.12.4 Vysokorychlostní vedení

Při rozvodu některých signálů na desce plošných spojů je nutné zachovat definovanou impedanci spoje. Zvláště na vysokofrekvenční spoje jsou kladeny striktní impedanční požadavky kvůli definovanému impedančnímu přizpůsobení. Například vedení diferenčního páru gigabitového Ethernetu musí mít impedanci menší než 50Ω a diferenční impedanci 100Ω .



(a) Plošný vodič nad vodivou plochou

(b) Dva plošné vodiče nad vodivou plochou

Obrázek 19: Typické modely spojů pro výpočet impedance [63, strana 59]

Na dvouvrstvých a čtyřvrstvých plošných spojích jsou typické modely vedení zobrazené na obrázku 19. Pro orientační výpočet impedance vodiče nad vodivou plochou je možné využít například vztah

$$Z_0 = \frac{88.75}{\sqrt{\epsilon + 1.47}} \ln \left(\frac{5.97H}{0.8W + T} \right), \quad (15)$$

a pro výpočet diferenční impedance dvou vodičů nad vodivou plochou je možné využít vztah

$$Z_{\text{DIFF}} = 2 Z_0 \left(1 - 0.48 \exp^{-0.96 \frac{S}{H}} \right). \quad (16)$$

[63]

2.12.5 Paralelní ochranné spoje

Při rozvodu rušivých nebo naopak citlivých spojů je vhodné obklopit signálový spoj vodičem s občasnými prokvy do nejbližší země GND. Pokud je také nejbližší vrstva souvisle vyplněná GND, chová se toto obklopení částečně jako koaxiální kabel a snižuje se vyzařování vodiče / riziko přeslechů. [63]

2.12.6 Tepelné ztráty

Ztrátový výkon mařený na součástce je definován úbytkem napětí vynásobeným protékajícím proudem. Pro návrh spolehlivých elektrických obvodů je důležité brát v úvahu ztrátové výkony a příslušný odvod teplých účinků. Pro korektní funkci dané součástky je

nutné udržovat její provozní teplotu v dovozených mezích. Pro výpočet oteplení součástky vůči okolnímu prostředí slouží vztah

$$T_J = T_A + \theta_{JA} P_D, \quad (17)$$

kde T_J je teplota součástky, T_A teplota okolního prostředí, θ_{JA} tepelná vodivost pouzdra s okolním prostředím a P_D ztrátový výkon na součástce. Tepelná vodivost pouzdra závisí obvykle především na schopnosti předat teplo chladiči, rozměrech chladiče a jeho umístění. Pro zjednodušení výpočtů velikosti chladících ploch často výrobci udávají tepelnou vodivost pouzdra v závislosti na velikosti připojené chladící plochy. [64]

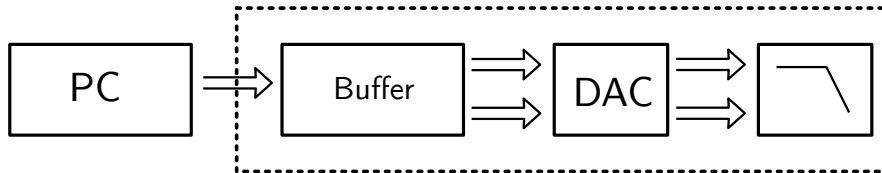
3 Návrh měřicího systému

V následující části jsou představena možná hardwarová řešení, výběr a propojení jednotlivých komponent, návrh architektury software. Celkové elektrické schéma je uvedeno v příloze A, v textu jsou uvedeny pouze části schématu, nebo bloková schémata.

3.1 Architektura měřicího systému

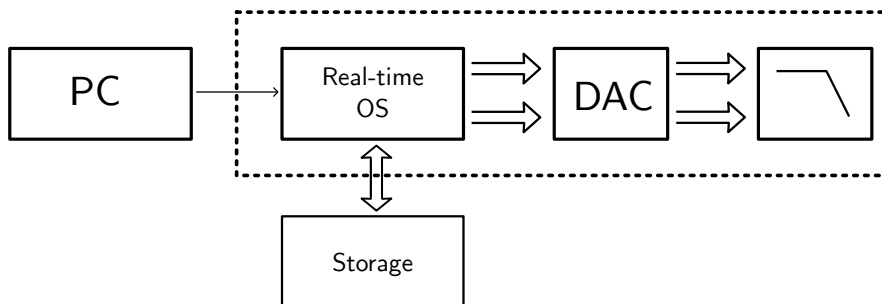
Měřicí systém je možné navrhnout více způsoby. V této sekci budou představeny dvě možné architektury.

První možnost je schematicky zobrazena na obrázku 20. Data jsou v reálném čase vysílána z obsluhujícího počítače a v převodníku zpracovávána. Pro spolehlivost přenosu jsou na cestě umístěny dodatečně velké buffery. Operační systém v obsluhujícím počítači není real-time, proto nelze zaručit, že nedojde k výpadku dat během přenosu. Využitím dostatečně velkých bufferů lze snížit pravděpodobnost výpadku, nicméně nelze ji vyloučit.



Obrázek 20: Jednoduchá architektura zařízení

Pokud je přesunuto úložiště dat do zařízení, získá systém lepší odezvu a díky nasazení real-time operačního systému lze zaručit přenos dat z úložiště do převodníku bez výpadků. Na tok dat mezi počítačem a zařízením nejsou kladeny real-time požadavky, proto lze využít i méně deterministické typy přenosů. Schématické znázornění je na obrázku 21. Toto zapojení přináší také možnost rozšířit zařízení o možnost samostatné funkčnosti bez ovládacího počítače.



Obrázek 21: Možné řešení s real-time operačním systémem

Pro tuto práci byla zvolena druhá varianta.

3.2 Výběr komponent pro konstruovaný převodník

Pro každou komponentu navrhovaného převodníku byl proveden průzkum trhu a porovnány nalezené varianty. Již ze začátku bylo rozhodnuto o variantě převodníku s lokálním úložištěm.

3.2.1 Obvod převodníku

Nejdůležitější komponentou měřicího zařízení je obvod převodníku. V první fázi vyhledávání vhodného produktu byla nastavena kritéria na rozlišení převodníku alespoň 18 bitů, podporované vzorkovací frekvence v rozmezí alespoň 32–48 kHz, možnost vypnout všechny nechtěné filtrace a úpravy signálu, co nejmenší THD nebo THD+N a co největší SNR. Byly nalezeny produkty založené na různých architekturách převodníku od různých firem (AD – Analog Devices, TI – Texas Instruments, BB – Burr Brown, WM – Wolfson Microelectronics, CL – Cirrus Logic, AKM – Asahi Kasei Microdevices). Nejlepší z nalezených převodníků jsou uvedeny v tabulce 1.

Název	Výrobce	Architektura	Rozlišení (bit)	THD (dB)	THD+N (dB)	SRN (dB)	Cena/kanál (USD)
DAC9881	TI	R-2R (segm.)	18	–	–	–	25
AD5791	AD	R-2R (segm.)	20	–97 (1 kHz)	–	–	40
PCM1792A	BB	sigma-delta	24	–	102	123	3
WM8741	WM	sigma-delta	24	–100	–	120	5
CS4382A	CL	sigma-delta	24	–	–100	117	1
AK4458VN	AKM	sigma-delta	32	–	–100	115	1,8

Tabulka 1: Přehled převodníků vybraných v první fázi

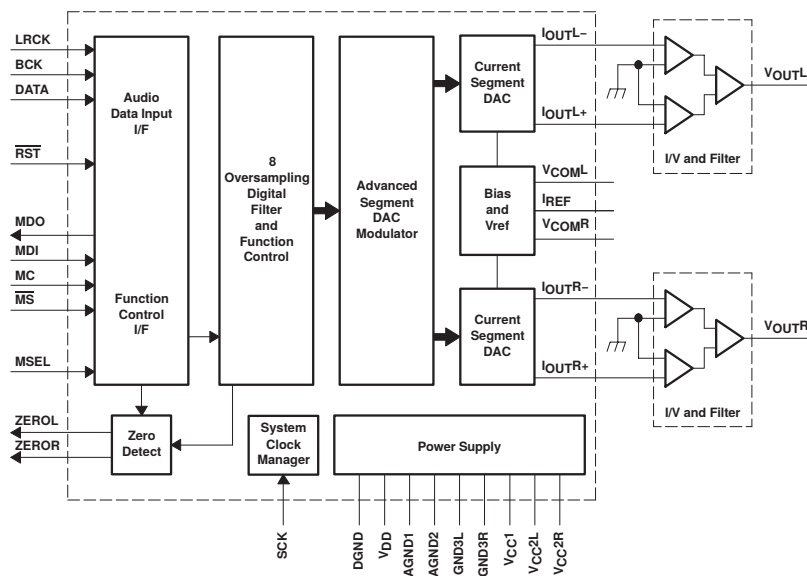
Při dalším výběru převodníků byly vyřazeny převodníky založené na rezistorových sítích především kvůli nepřiměřené ceně a nutnosti konstrukce více rekonstrukčních filtrů pro jednotlivé vzorkovací frekvence. Na základě porovnání vlastností interpolačních filtrů byly vyřazeny další z převodníků a zůstaly dva s nejlepšími parametry: WM8741 a PCM1792A (zde existuje více podobných převodníků se stejnými parametry, které se liší pouze ve využitých datových a konfiguračních rozhraních). Při porovnávání parametrů byl brán také v potaz čas převodu, nicméně doba převodu byla nepřímou úměrná kvalitě interpolačního filtru, proto byla přiložena větší váha kvalitě. Detailnější porovnání parametrů dvou vybraných převodníků jsou v tabulce 2. Parametry obou převodníků jsou pro účely této práce srovnatelné. Pro lepší dostupnost převodníku byl nakonec zvolen PCM1792A. [45][58]

Parametr	PCM1792A	WM8741
Počet kanálů	2	2
Rozsah frekvencí (kHz)	10–200	32–192
PSSR při 100 mV _{pp} (dB)	–	–67
Vhodný interpolační filtr	Sharp Rolloff	Linear phase half-band
Zvlnění propustného pásma (dB)	±0,00001	±0,000057
Konec propustného pásma	0,454 f_s	0,454 f_s
Mezní frekvence	0,49 f_s	–
Začátek zádržného pásma	0,546 f_s	0,546 f_s
Útlum zádržného pásma (dB)	–130	–111,8
Doba převodu (dB)	55 f_s	43 f_s
Odchylka fází mezi kanály (°)	–	0,01

Tabulka 2: Porovnání dvou převodníků s nejlepšími parametry

Burr-Brown PCM1792A

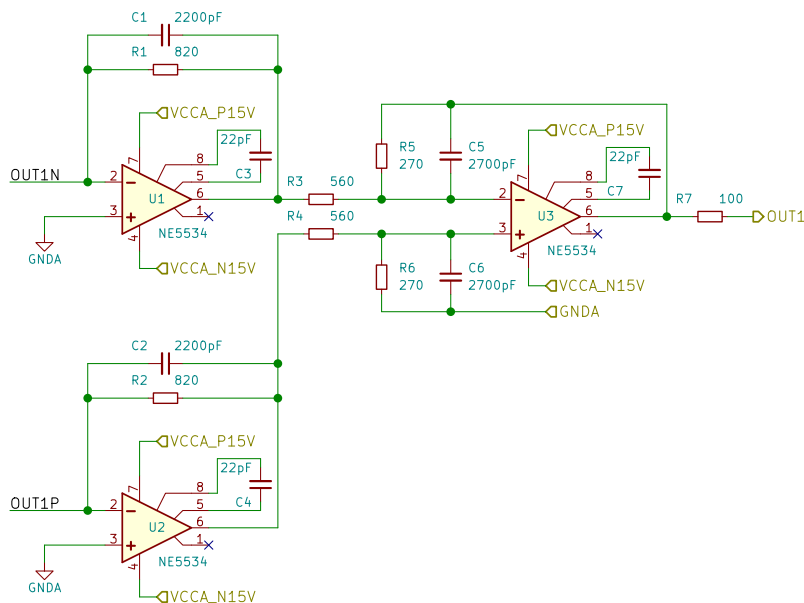
Blokové schéma převodníku je na obrázku 22. DA převod je založen na segmentaci a sigma-delta modulátoru pracujícím až do 128 násobku vzorkovací frekvence. Zvolený převodník má jedno vstupní sériové datové rozhraní pro přenos audio dat (piny LRCK, BCK, DATA), které je ve výchozím režimu nastaveno do režimu I²S (podporuje také další módy podobné I²S) a jedno konfigurační rozhraní SPI/I²C (piny MDO, MDI, MC, MS) pro konfiguraci převodníku. Vzorkovací frekvence a řízení výstupu převodníku je udáno signálem LRCK. Hodinový vstup modulátoru (pin SCK) požaduje frekvenci v násobcích vzorkovací frekvence (násobky v rozmezí 128–768). Výstup převodníku je proudový, symetrický s rozsahem –2,3 mA až –10,1 mA. [45]



Obrázek 22: Blokový diagram zvoleného převodníku [45]

3.2.2 Rekonstrukční filtr

Vzhledem ke zvolené architektuře převodníku je rekonstrukční filtr univerzální pro celé pásmo podporovaných frekvencí. Zapojení rekonstrukčního filtru vychází z katalogového zapojení DA převodníku. Schéma jednoho výstupního kanálu je na obrázku 23. Proud z výstupu DA převodníku je převeden na napětí (zesilovač U1, U2 – rozsah výstupních hodnot 1,886–8,282 V) a v další fázi převeden symetrický signál na nesymetrický (zesilovač U3). Zároveň je v obou fázích prováděna filtrace typu dolní propust s mezním kmitočtem 217 kHz. Kondenzátory o velikosti 22 pF připojené k operačním zesilovačům slouží k optimalizaci frekvenční odezvy zesilovačů. Na výstupu rekonstrukčního filtru je připojen ochranný rezistor. Je předpokládáno zapojení výstupu na výkonový zesilovač s velkým vstupním odporem, proto je hodnota výstupního rezistoru zanedbatelná. [48][45]



Obrázek 23: Schéma výstupního filtru za převodníkem [45]

3.2.3 Procesorový modul a propojení s převodníky

Za účelem urychlení vývoje byly vyhledány pouze hotové procesorové moduly, které mají alespoň částečnou podporu ze strany výrobců a širší vývojářskou komunitu. Pro předejití problémů s nefunkčními ovladači a částmi modulů byly zařazeny do výběru pouze ověřené procesory známých firem. Přehled výběru z nalezených modulů je v tabulce 3.

Jméno	Procesor	Paměť	Rozhraní	Cena (USD)
MarsBoard AM335X	TI Cortex-A8 1 GHz	512 MB	100 Mbit Eth	75
MarS Board	NXP i.MX6 2×1 GHz	1 GB	1 Gbit Eth	100
HummingBoard	NXP i.MX6 2×1 GHz	1 GB	1 Gbit Eth	120
HummingBoard	NXP i.MX6 4×1 GHz	2 GB	1 Gbit Eth	155
ODROID-XU3 Lite	Samsung Cortex-A15 2×1.8 GHz	2 GB	1 Gbit Eth	100
ODROID-C1+	Amlogic Cortex-A5 4×1.5 GHz	1 GB	1 Gbit Eth	37
STM32F4 SOM	ST Cortex-M4 180 MHz	32 MB	100 Mbit Eth	25
STM32F7 SOM	ST Cortex-M7 216 MHz	32 MB	100 Mbit Eth	27
Wandboard Dual	NXP i.MX6 2×1 GHz	1 GB	1 Gbit Eth	115
Wandboard Quad	NXP i.MX6 4×1 GHz	2 GB	1 Gbit Eth, SATA	150

Tabulka 3: Vybrané procesorové moduly

Problémem mnoha z nalezených modulů je nedostatek vstupně-výstupních vývodů pro připojení periférií. Často jsou desky optimalizovány pro interakci s uživatelem (mnoho USB portů, grafické výstupy, vstupy dotykových panelů, zvukové výstupy) na úkor volných vývodů. Díky nedostatečné kapacitě pamětí byly vyřazeny všechny moduly s mikrokontroléry. Po detailnějším dohledání dostupných rozhraní byly vybrány moduly MarsBoard, MarS Board a HummingBoard. MarsBoard a HummingBoard se skládají z vyjímatelné procesorové desky a základní desky s vyvedenými konektory různých rozhraní. Jejich výhodou je možnost oživení prototypu s využitím základní desky a po vyrobení finální desky vložení

procesorové desky do finálního výrobku. MarS Board byl vybrán do užšího výběru kvůli srovnatelnému výkonu s HummingBoard za nižší cenu. [41][14][15][18][56]

Po zvážení všech požadavků byl vybrán HummingBoard s 1 GB RAM. Tato kapacita v případě ideálního využití paměti pojme přibližně deset minut 16bitové 16kanálové zvukové stopy o vzorkovací frekvenci 48 kHz, případně až hodinu při vzorkovací frekvenci 8 kHz.

Zvolený procesorový modul má k dispozici dvě rozhraní I²S. Tato rozhraní ovšem nedosahují požadované kapacity přenosu pro všech 16 kanálů. Zároveň by bylo obtížné pomocí jednoduché logiky přepínat datový tok mezi převodníky se zachováním synchronizace. Bylo proto zvoleno využití FPGA, které je s procesorem propojeno pomocí vysokorychlostní SPI sběrnice (až tři sběrnice dostupné na vývodech zvoleného modulu), zároveň je pro konfiguraci FPGA využito rozhraní UART. FPGA zároveň umožňuje přidání vstupu a výstupu externího spouštění, kdy je možné s minimální odezvou začít přenos dat do převodníků. Odezva pro externí spouštění je tedy limitována pouze dobou převodu. S ohledem na požadovanou činnost a předchozí zkušenost s výrobcem bylo zvoleno FPGA Altera Cyclone IV (EP4CE6E22).

Zapojení modulu (HummingBoard SoM) do finálního návrhu vychází ze základové desky (HummingBoard Edge). Z modulu jsou vyvedeny dvě SPI rozhraní, dvě UART rozhraní a jedno I²C rozhraní do FPGA. Na další I²C rozhraní je připojen obvod reálného času. Pro komunikaci s počítačem je vyvedeno rozhraní Ethernet (integrováný gigabitový kontrolér na modulu) a rozhraní USB OTG s přidávanými ochrannými obvody. Úložiště pro start operačního systému je realizováno externí micro SD kartou. Také je vyvedeno jedno rozhraní hostitelského USB.

3.2.4 Generátor vzorkovacích frekvencí

Pro generaci hodinového signálu pro DA převodníky lze využít specializované programovatelné generátory hodinového signálu, obvykle založené na fázovém závěsu. Výběr vhodné násobičky pak záleží na požadovaném rozsahu a přesnosti výstupních hodin. Příklad integrovaného generátoru může být například obvod PLL1708 nebo CDC5806 od Texas Instruments, MAX9485 od Maxim Integrated nebo CS2000 od Cirrus Logic.

Jako generátor hodinového signálu lze využít i FPGA, jež má integrované PLL bloky s programovatelnými koeficienty. Případně je možné využít kombinace externího generátoru hodin a dodatečné zpracování v poli.

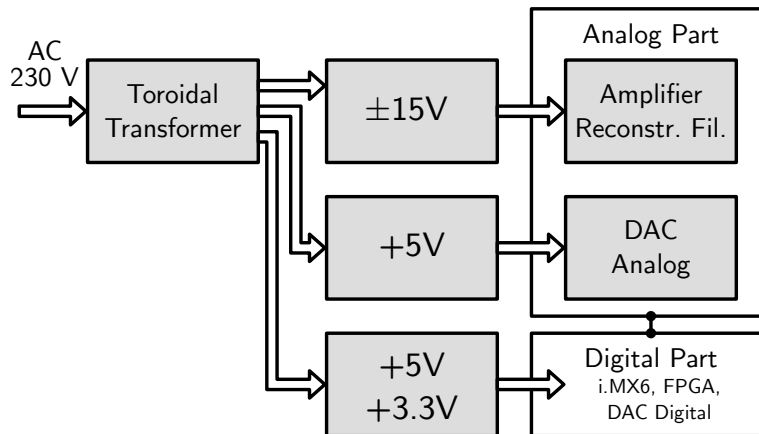
Byla zvolena možnost s využitím hradlového pole, ke kterému jsou připojeny přesné krystalové generátory, které pokryjí většinu typických vzorkovacích frekvencí. Frekvence oscilátorů jsou 24,576 MHz (512násobek vzorkovací frekvence 48 kHz) a 22,5792 MHz (512násobek vzorkovací frekvence 44,1 kHz). [2][59][43][27]

3.2.5 Rozhraní k PC

Pro komunikaci s nadřazeným počítačem bylo zvoleno rozhraní Ethernet díky snadné implementaci bez nutnosti psaní ovladačů a rozhraní USB pro jeho rozšířenost a univerzalitu. Jiná rozhraní nebudou implementována z důvodu malé dostupnosti jak na straně počítače, tak na straně zařízení (ve zvoleném procesoru nejsou potřebné periferie).

3.2.6 Napájecí zdroj

Jednotlivé komponenty systému vyžadují různá napájecí napětí. Schématický diagram napájecí sítě je na obrázku 24.



Obrázek 24: Blokové schéma napájecí sítě měřicího systému

Požadované odběry

Analogové části je nutno dodávat nesymetrické napětí 5 V pro převodníky a symetrické napětí ± 15 V pro napájení výstupních filtrů/zesilovačů. Výstupní zesilovače nejsou výkonové, přesto je nutno počítat s větším špičkovým odběrem při velké změně výstupního napětí. V katalogovém listu zesilovačů je uveden maximální stálý odběr 8 mA bez zátěže a maximální proud odebíraný zátěží 38 mA. Po zahrnutí odběrů zpětných vazeb a maximálního výstupního proudu je předpokládán odběr na kanál maximálně 90 mA pro zápornou napájecí větev a 78 mA pro kladnou napájecí větev (celkem 1440 mA a 1248 mA). Pro napájení analogových částí převodníků je předpokládán odběr vycházející z katalogových listů 20 mA/kanál (celkem 320 mA). [48][45]

Digitální část požaduje napětí 3,3 V pro převodníky, procesor, regulátor pro SD kartu a vstupně výstupní brány FPGA. Předpokládán odběr převodníků činí 7,5 mA/kanál (celkem 120 mA), procesor 1,3 A, vstupně výstupní brány FPGA do 100 mA. Dále požaduje napájení 5 V pro USB (odběr maximálně 1 A), lineární regulátory pro jádro FPGA (max odběr 400 mA), LCD displej (do 50 mA). [45][42][4]

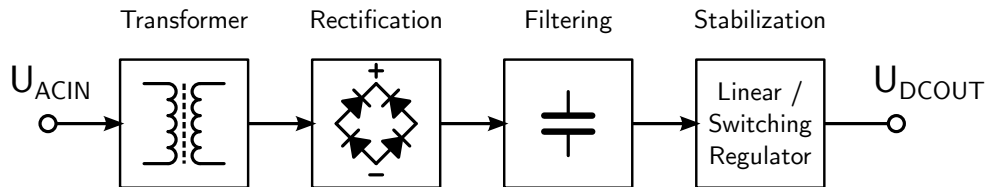
Výběr regulátorů

Analogová část převodníku vyžaduje pro korektní činnost maximálně vyrovnané napájecí napětí a zvlnění generované spínanými zdroji je příliš vysoké, proto bylo zvoleno napájení lineárním zdrojem. Pro dosažení co nejlepší úrovně šumu byly vyhledány lineární regulátory s ohledem na co nejmenší výstupní šum a vysoké PSRR. Byly nalezeny stabilizátory TPS7A47 (pozitivní) a TPS7A33 (negativní) od firmy Texas Instruments s výstupním šumem 4 a 16 μV_{RMS} a PSRR 60 a 64 dB a maximálním výstupním proudem 1 A. Obdobné lineární stabilizátory ADP7104 a ADP7182 nabízí také firma Analog Devices. Mají téměř identické parametry, ovšem dosahují menšího výstupního výkonu. Pro symetrické napájení ± 15 V byly s ohledem na požadovaný odběr navrženy dvě napájecí větve, pro napětí 5 V dostačuje jeden stabilizátor.

Pro napájení digitální části je možné využít opět lineárních stabilizátorů nebo je možné využít i spínaného snižujícího zdroje, jelikož na zvlnění napětí nejsou kladeny takové požadavky jako u analogové části. Z lineárních stabilizátorů lze využít například TPS74401 od firmy Texas Instruments nebo LT1085 od Linear Technology, ze spínaných zdrojů například LT3995 od Linear Technology nebo LM43603 od Texas Instruments. Zvolen byl spínaný

zdroj LM43603 pracující na fixní spínací frekvenci v rozmezí od 200 kHz do 2,2 MHz, který deklaruje velmi nízké elektromagnetické vyzařování díky vnitřnímu zapojení a uspořádání pinů. [43][25][5][50][49][47]

Návrh transformátoru a usměrňovače



Obrázek 25: Blokové schéma jedné větve napájecího zdroje

Výsledné zapojení jedné větve zdroje je na obrázku 25. Vstupní síťové napájení je transformováno na požadované nižší. Kvůli lepším parametrům byl zvolen toroidní transformátor s více sekundárními vinutími, poté usměrňování, filtrace a stabilizace lineárním stabilizátorem nebo spínaným zdrojem.

Vybrané lineární stabilizátory potřebují pro korektní činnost vstupní napětí větší alespoň o 0,5 V větší než požadované výstupní napětí. Pro dosažení lepšího PSRR je ovšem vhodné nechat úbytek na stabilizátoru větší než 1 V. Protikladem většího úbytku na stabilizátoru je nutnost lepšího odvodu tepla a chlazení stabilizátoru, které musí být při návrhu plošného spoje uváženy.

Pro správnou činnost vybraného spínaného zdroje pro digitální část musí být vstupní napájení přibližně o 15 % větší než požadované výstupní napětí. Pro korektní zapnutí procesorového modulu je nutné dodržet zapínací sekvenci, při které je regulátor na 5 V povolen až po úspěšném nastartování regulátoru na 3,3 V. FPGA toleruje jakoukoli startovací frekvenci.

S ohledem na požadovaná napětí byly navrženy také parametry transformátoru na zakázku. Souhrn požadavků a navržené hodnoty pro jednotlivé větve napájecího zdroje jsou uvedeny v tabulce 4.

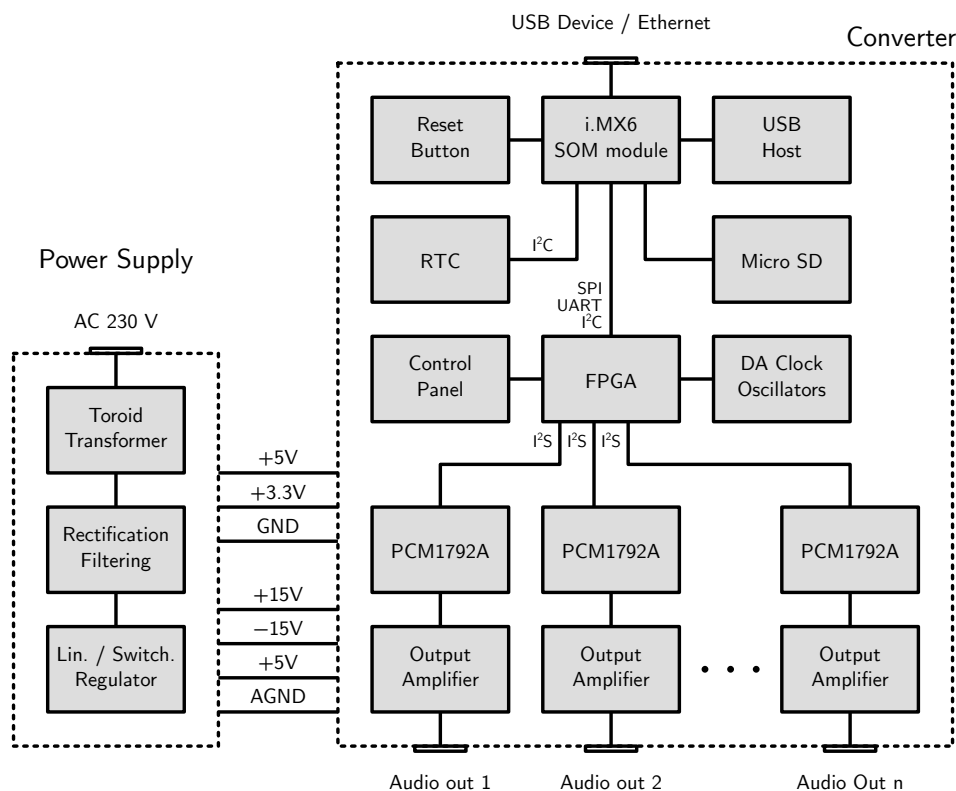
Požadavky		Parametry výstupních vinutí		Poznámka
Napětí (V)	Proud (A)	Napětí (V)	Proud (A)	
±15	0,75	13,5	2	Analog 1 společné vinutí pro dva regulátory
±15	0,75			
5	0,5	6,5	1	Analog 2
5	1,5	7	2,5	Digital společné vinutí pro dva regulátory
3,3	1,5			

Tabulka 4: Vypočtené požadavky napájecích větví a parametry výstupních vinutí

Filtrační kondenzátory byly vypočteny s povoleným zvlněním napětí do 2,5 % na analogových větvích a do 5 % na digitálních větvích při maximálních proudových odběrech. Předpokládaný stálý odběr je menší, proto by mělo být také zvlnění menší.

3.3 Blokové schéma

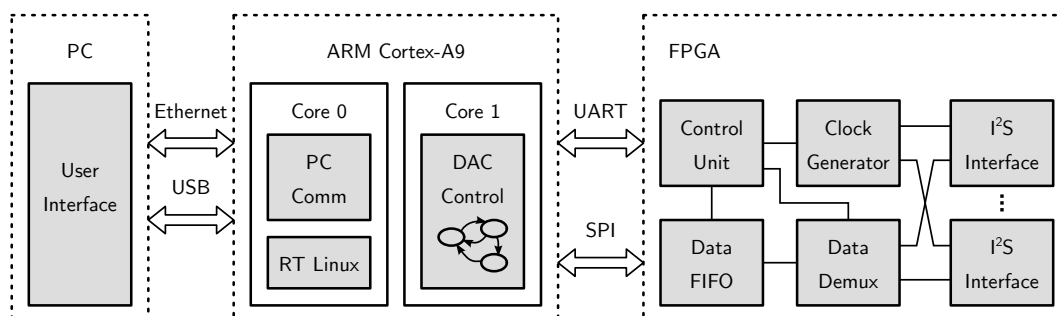
Propojení všech výše uvedených komponent lze zakreslit do přehledného blokového schématu na obrázku 26. Kromě uvedených komponent je ve schématu uveden také ovládací panel (malý LCD display s několika tlačítky), který má za úkol především zobrazení aktuálního nastavení a jednoduché ovládání. Rozšiřitelnost převodníku o vstupní část je zajištěna propojením rezervních vodičů mezi procesorem a FPGA, FPGA pak má vyvedeny vodiče pro přídatnou desku.



Obrázek 26: Návrh blokového schématu měřicího systému

3.4 Architektura software a konfigurovatelného hardware

Ovládací software je složen z několika částí, které jsou blokově znázorněny na obrázku 27.

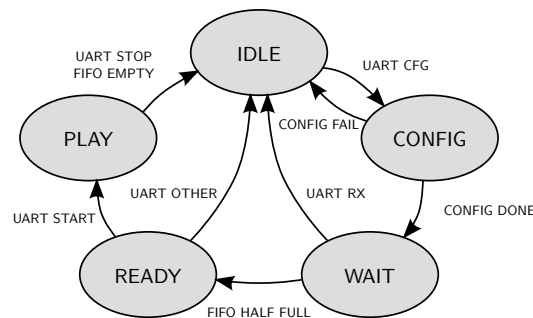


Obrázek 27: Blokové znázornění softwarových částí

S vlastními převodníky komunikuje programovatelné hradlové pole, které implementuje převodník sběrnic, datovou frontu a demultiplexer. Nadřazený systém s dostatečnou kapacitou pro uchování stop je v procesorovém modulu. Ten se stará o celkový běh systému, vyhodnocení chyb. Pro interakci s uživatelem slouží jednoduché uživatelské rozhraní, které umožňuje zadat přehrávané stopy, konfigurovat výstupy.

3.4.1 Programovatelné hradlové pole

Vnitřní konfigurace hradlového pole je zobrazena na obrázku 27. Počet bitů datového přenosu, konfiguraci vzorkovací frekvence a tok dat v hradlovém poli řídí stavový automat implementovaný v jeho řídicí jednotce. Vstupem stavového automatu jsou řídicí příkazy přijímané přes UART a stav datové fronty. Stavový diagram je na obrázku 28 a rozpis jednotlivých stavů je v tabulce 5. Obvyklý průchod stavovým diagramem je IDLE → CONFIG → WAIT → READY → PLAY → IDLE. Při přijetí špatného příkazu jednotka přechází automaticky do stavu IDLE, vyhodnocení případných chyb řeší nadřazený systém v procesorovém modulu na základě přijaté zpětné vazby. Při každé změně stavu řídicí jednotka odesílá aktuální stav.



Obrázek 28: Stavový diagram řídicí jednotky hradlového pole

IDLE	Výchozí stav, ve kterém je zařízení v klidu, na převodníky je vysílána hodnota posledního přijatého vzorku, vzorkovací frekvence a počet bitů dle poslední konfigurace
CONFIG	Je přijímána konfigurační posloupnost, nastavována vzorkovací frekvence a počet bitů přenosu
WAIT	Čekání na naplnění datové fronty
READY	Fronta je alespoň z poloviny naplněná, čekání na odstartování
PLAY	Přehrávání, vysílání žádostí o data při poklesu stavu datové fronty pod polovinu

Tabulka 5: Popis stavů řídicí jednotky hradlového pole

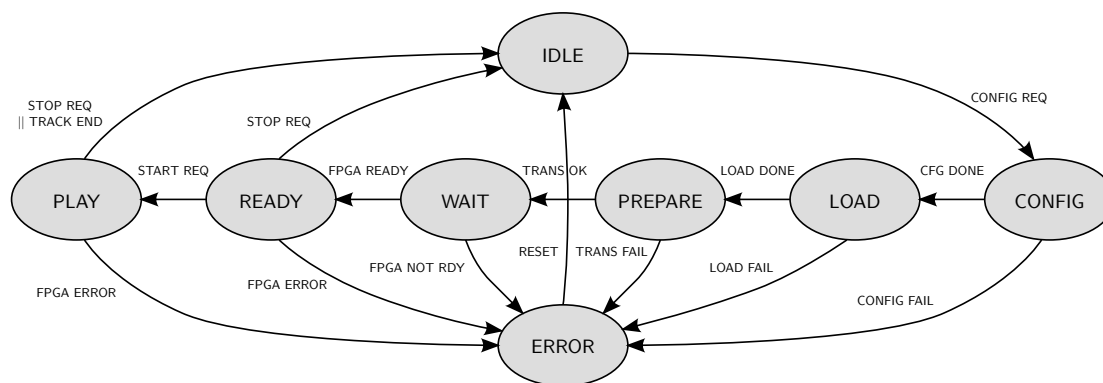
3.4.2 Procesorový modul

Základní funkčnost modulu a rozhraní pro komunikaci s hardwarem zajišťuje operační systém Linux s real-time patchem.

Řídicí program měřicího systému lze rozdělit na dvě části – časově kritickou pro komunikaci s hradlovým polem (nutná nízká odezva při požadavcích dat) a komunikační pro přenos dat / interakci s uživatelem. Zvolený procesor má k dispozici dvě jádra. Pro operační systém a komunikační vlákno bylo vyhrazeno první jádro, pro vlákno obsluhující hradlové

pole druhé jádro. Mezi vlákny probíhá komunikace posláním zpráv, data pro převodníky jsou předávána přes sdílenou paměť.

Hlavní část řídicího programu je implementována v časově kritické úloze za pomoci stavového automatu. Vstupem pro stavový automat jsou příkazy přijímané z uživatelského rozhraní a stav řídicí jednotky hradlového pole. Stavový diagram je na obrázku 29 a popis jednotlivých stavů v tabulce 6.



Obrázek 29: Stavový diagram řídicí jednotky v procesorovém modulu

IDLE	Výchozí stav, ve kterém je zařízení v klidu
CONFIG	Vyslání konfigurační sekvence FPGA
LOAD	Příjem dat z PC a uložení v lokálním úložišti
PREPARE	Naplnění FIFO fronty v FPGA
WAIT	Čekání na přechod FPGA do stavu ready
READY	Čekání na spuštění přehrávání
PLAY	Přehrávání, reakce na požadavky dat od FPGA

Tabulka 6: Popis stavů řídicí jednotky v procesorovém modulu

Komunikační vlákno zajišťuje unifikované rozhraní pro komunikaci s uživatelským rozhraním nezávisle na využitém rozhraní, nezatěžuje řídicí vlákno příjmem dat. V případě přenosu dat v reálném čase udržuje dostatečné množství dat ve frontě.

3.4.3 Uživatelské rozhraní

Uživatelské rozhraní umožňuje uživateli ovládat měřicí zařízení. Vstupem od uživatele jsou stopy ke zpracování, mapování stop na výstupní kanály, základní nastavení a příkazy řídicí DA převod. Návrh byl proveden s ohledem na návrhový vzor MVC (Model View Controller). Pro manipulaci se zvukovými soubory byla zvolena knihovna SoX, která nabízí unifikované čtení ve zvoleném datovém formátu z mnoha zvukových formátů. V rámci uživatelského rozhraní je také provedeno předzpracování zvukových stop. Dle zvolené šířky dat převodu a mapování kanálů je vytvořen datový blok, který je dekodován na příslušné kanály až v FPGA.

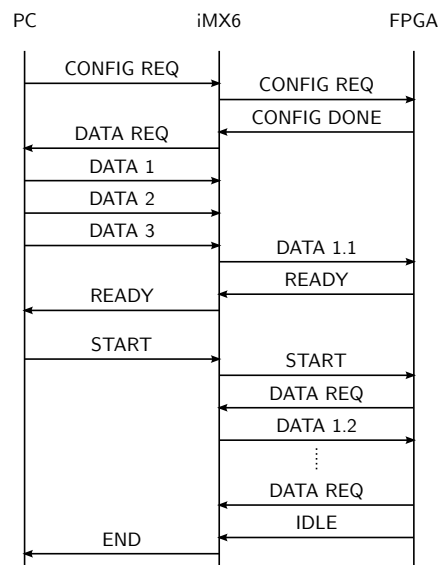
3.4.4 Přenosy dat mezi částmi

Mezi uživatelským rozhraním a procesorovým modulem může probíhat komunikace přes rozhraní Ethernet nebo USB. V obou případech je prioritou přenést korektní data, proto

jsou využity spolehlivé typy přenosů. V případě Ethernetu je využitý spolehlivý protokol TCP. Pro přenos dat přes USB je využitý virtuální sériový port (Linux gadget driver) a protokol HDLC pro zajištění spolehlivého přenosu. Všechny přenášené zprávy mají první bajt vyhrazen pro identifikaci dat ve zbývající části zprávy. Jsou rozlišeny tři typy identifikátorů – konfigurační (příkazy od uživatele), datové a stavové (přenášení stavu zařízení do uživatelského rozhraní, žádosti o data).

Komunikace mezi procesorovým modulem a FPGA je oddělená pro příkazy a pro data. Příkazy jsou posílány přes UART, kontrola doručení je prováděna čekáním na odpověď (změnu stavu) s definovaným časovým limitem. Data jsou posílána přes SPI. Chyba na čipu procesoru uvedená v části 5.2 prakticky znemožňuje použití SPI periferie v režimu slave, proto byl zvolen pro mód master a požadavky na data jsou generovány v FPGA a posílány přes UART.

Zjednodušený diagram datového toku pro přenos dat s načtením přehrávané stopy dopředu je na obrázku 30. Pro přehrání v reálném čase vypadá diagram obdobně, jen jsou navíc posílány průběžně požadavky o větší bloky dat uživatelskému rozhraní.

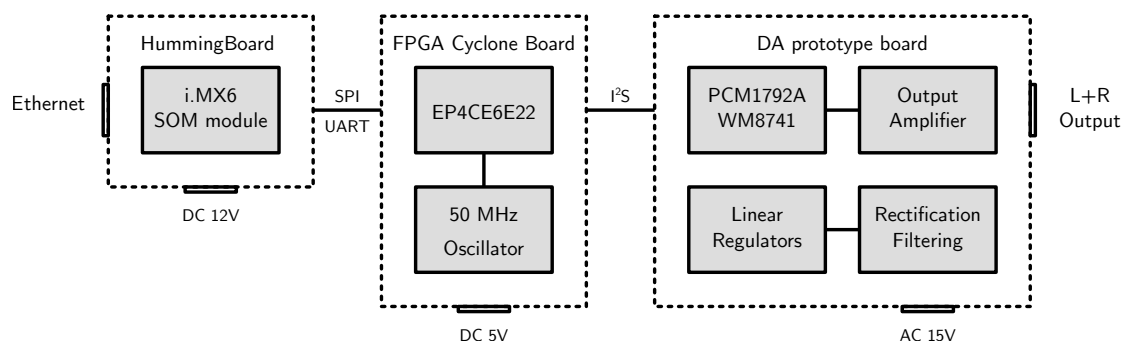


Obrázek 30: Datový tok v průběhu převodu

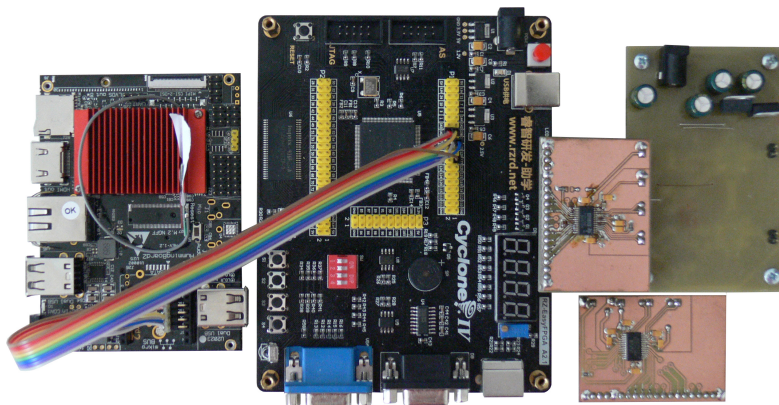
4 Realizace měřicího systému

4.1 Prototyp převodníku

Před realizací finálního měřicího systému byl zkonstruován prototyp pro ověření základní funkčnosti návrhu a ověření vlastností vybraných převodníků (PCM1792A a WM8741). Na prototypu byl implementován pouze dvoukanálový převod s přenosem dat z počítače přes rozhraní Ethernet. Blokové schéma je obrázku 31. Prototyp byl složen z vývojové desky HummingBoard Edge, vývojové desky FPGA Cyclone IV (EP4CE6E22) a vyrobené desky s převodníkem, zdroji a zesilovači. Převodník byl na vyměnitelné pinově kompatibilní desce, pro odzkoušení obou vybraných převodníků. Fotografie prototypu je na obrázku 32.



Obrázek 31: Blokové schéma prototypu



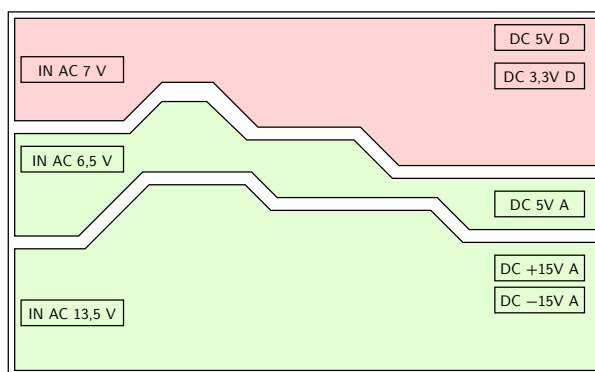
Obrázek 32: Fotografie prototypu převodníku

4.2 Realizace desek plošných spojů

Po ověření základní funkcionality na prototypu bylo vytvořeno kompletní schéma a navrženy desky plošných spojů. Schéma bylo rozděleno na dvě desky plošných spojů, desku zdrojovou a desku (základovou) s převodníky, FPGA, procesorovým modulem. Mezi přínosy plynoucí z rozdělení desek patří ušetření vrstev na desce se zdrojem (základová deska vyžaduje čtyřvrstvou desku, zdrojové postačují dvě vrstvy), možnost snadného nahrazení zdroje v případě přílišného rušení spínaného zdroje nebo požadavku vyššího odběru. Pro tvorbu schémat a desek plošných spojů byl využit návrhový systém KiCad.

4.2.1 Deska napájecího zdroje

Deska napájecího zdroje obsahuje tři galvanicky oddělené části, dvě analogové (5 V a ± 15 V) a jednu digitální (společná pro 3,3 V a 5 V). Na desce zdrojů jsou umístěny pouze regulátory pro společná napětí. Regulátory pro specifická napětí pro FPGA a SD kartu jsou u příslušných komponent na základové desce. Propojení zemí jednotlivých částí je provedeno na základové desce, aby nevznikaly zemní smyčky. Rozložení částí je znázorněno na obrázku 33. Chladicí plochy pro regulátory jsou odhadnuty dle katalogových listů, aby jejich teplota vůči okolí nepřesáhla při teoretické maximální zátěži 30 °C.



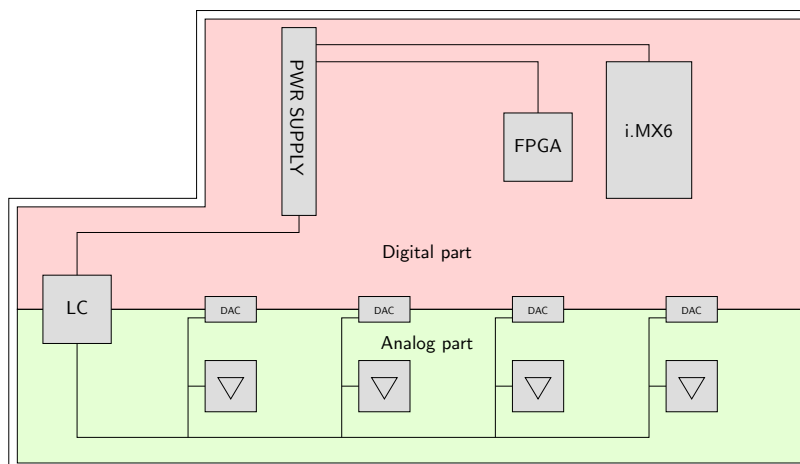
Obrázek 33: Rozložení částí na desce napájecího zdroje

4.2.2 Základová deska

Základová deska je složená ze čtyř vodivých vrstev. Vrchní a spodní vrstvy slouží pro rozvod signálů, vnitřní vrstvy pro zemnění a rozvod napájení 3,3 V. Pořadí vrstev je znázorněno na obrázku 34. Pro vedení citlivých spojů, spojů s definovanou impedancí a rušivých spojů je využito horní signálové vrstvy kvůli blízkosti zemnicí vodivé plochy. Na horní vrstvě je také umístěna většina součástek, které jsou rozmístěny a propojeny s ohledem na návrhová pravidla uvedená v 2.12. Orientační rozložení komponent, analogové a digitální části je na obrázku 35.



Obrázek 34: Rozložení vrstev základové desky

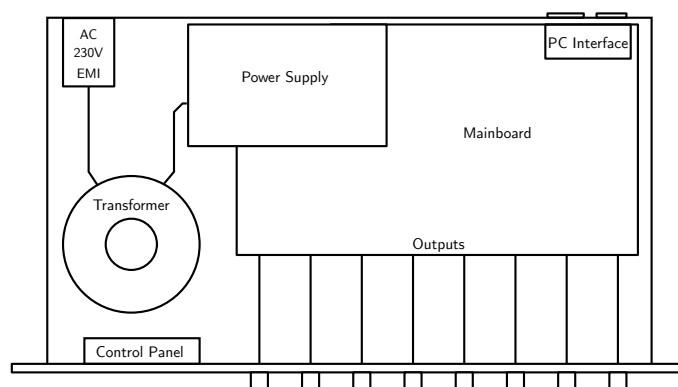


Obrázek 35: Rozložení částí zemí a základních komponent na základové desce

4.3 Rozmístění v krabici

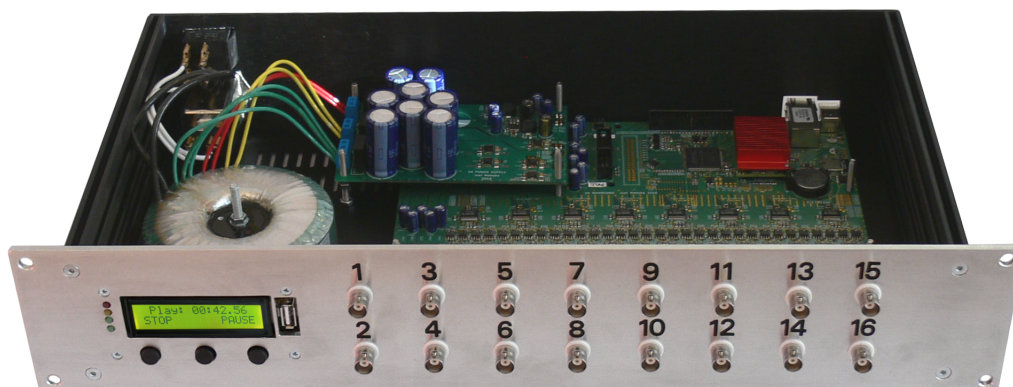
Součástí realizace měřicího systému je také umístění do vhodné krabice. Byla zvolena krabice typu rack o šířce 19 palců a výšce 2U (8 cm).

Na čelní panel bylo umístěno 16 konektorů typu BNC a jednoduchý ovládací panel s LCD displejem. Vnitřní uspořádání komponent je na obrázku 36. Před transformátorem byl umístěn ještě navíc EMI filter pro potlačení vysokofrekvenčního rušení na napájecím vedení.



Obrázek 36: Rozložení komponent systému v krabici

Fotografie hotového měřicího systému je na obrázku 37.



Obrázek 37: Fotografie hotového měřicího systému

4.4 Softwarová implementace

4.4.1 Programovatelné hradlové pole

Propojení v hradlovém poli bylo napsáno v jazyce Verilog. Všechny bloky hradlového pole mimo rozhraní UART a FIFO frontu (IP blok) byly naprogramovány. Jednotlivé bloky byly překládány a testovány s využitím překladače iverilog. Větší celky byly kompletovány a testovány v programu Altera Quartus 15.

4.4.2 Procesorový modul

Software běžící na procesorovém modulu byl kompilován křížovým překladačem pro architekturu ARM (`arm-linux-gnueabi-gcc`). Program využívá POSIXových vláken a front zpráv pro mezivláknovou komunikaci. Pro naplánování vláken na zvolená jádra bylo využito příkazu `pthread_setaffinity_np`.

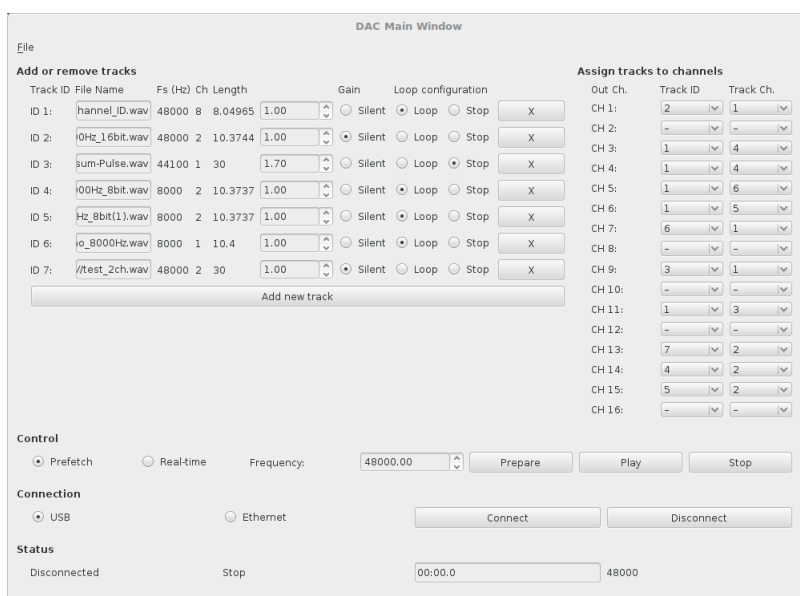
Příprava operačního systému

Vlastní distribuce Linuxu byla vytvořena s pomocí nástroje Yocto Project. Základem byly vrstvy `Poky Linux`, `meta-fsl-arm` a `meta-fsl-arm-extra`. Navíc byly přidány vrstvy `open-oe` a `openembedded-core`, které nabízí řadu ladících nástrojů (např. nástroj `strace`). Pro další úpravy byla přidána vlastní vrstva, ve které bylo jako základ operačního systému vybráno jádro verze 3.14.58 s aplikovaným RT patchem (větev od výrobce procesorového modulu), byly přidány volby konfigurace (volba `CONFIG_NO_HZ_FULL`, povolení `SPIDEV` ovladače), vlastní device tree, aktualizovaný ovladač SPI. Pro izolaci jádra byly přidány boot parametry jádra uvedené v 2.6.1. Pro automatizované zavedení virtuálního sériového portu a spuštění řídicího programu byl přidán skript do `/etc/init.d`.

4.4.3 Tvorba GUI

Přehledné a jednoduché uživatelské rozhraní bylo vytvořeno s pomocí Qt frameworku. Pro zachování přenositelnosti byly využity pro komunikaci třídy `QtSerialPort` a `QTcpSocket`. Na obrázku 38 je náhled uživatelského rozhraní. V levé části je možno přidávat stopy (maximálně 16). Každé stopě je přiřazeno ID, které je pak možné vybrat v pravé části u mapování stop na výstupní kanály. Zvukové stopy mohou mít mnoho kanálů, proto je nutné ještě zvolit požadovaný kanál. Je také možné mapovat jeden kanál stopy na více

výstupních kanálů. Ve spodní části jsou k dispozici ovládací prvky pro připojení zařízení, kontrolu převodu a sledování stavu.



Obrázek 38: Náhled uživatelského rozhraní

5 Měření a testování měřicího systému

Během osazování desek byla průběžně testována základní funkčnost jednotlivých komponent a částí. Po osazení nových součástek byl vždy kontrolován proudový odběr, zda odpovídá předpokladům.

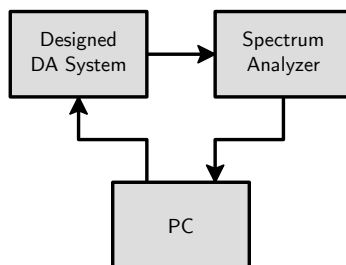
Při popisu logiky v hradlovém poli byly průběžně tvořeny testy na jednotlivé bloky a celky schématu. Pro implementovaný stavový automat byl vytvořen testovací program pro procesorový modul, se kterým byly ručně otestovány přechody mezi stavy a dosažitelnost stavů. Také pro testování stavového automatu v procesorovém modulu byl vytvořen testovací program pro ruční testování přechodů.

Celkový test systému po hardwarové i softwarové stránce byl proveden mnoha převody při ověřování parametrů převodníků.

5.1 Ověření parametrů DA převodníků

Ověření funkčnosti realizovaného zařízení bylo provedeno měřením vybraných parametrů převodníků uvedených v části 2.2.1. Pro všechna měření bylo základem přehrání měřicích zvukových stop a následné zachycení a analýza analyzátozem signálu. Blokové schéma měření je na obrázku 39.

Pro všechna měření byl využitý analyzátor PULSE od firmy Brüel & Kjær. Analyzátor umožňuje zvolit frekvenční rozsah (vzorkování probíhá na 2,56 násobku maximální frekvence rozsahu), počet čar frekvenčního spektra (frekvenční krok), průměrování naměřených spekter, zvolené okno FFT a další parametry. Pro všechna měření bylo využito Hammingova okna. Frekvenční rozsah, frekvenční krok a počet průměrů se liší a jsou u každého měření uvedeny.



Obrázek 39: Blokové schéma měření

5.1.1 Generování testovacích stop

Měřicí zvukové stopy pro ověření parametrů byly vytvořeny v programu MATLAB. Pro všechna měření (s výjimkou bílého šumu) byly základem harmonické signály a jejich kombinace s frekvencemi v rozsahu 20 Hz až 20 kHz. Pro akustická měření se hojně využívá tzv. oktávných resp. třetinooktávných kmitočtových pásem, která rozdělují logaritmičsky slyšitelné pásmo do deseti resp. třiceti oblastí. Kmitočty generovaných harmonických signálů proto byly zvoleny jako střední frekvence těchto pásem. Frekvence vygenerovaných testovacích stop jsou uvedeny v tabulce 7. Všechny testovací stopy mají rozlišení 16 bitů a vzorkovací kmitočet 48 kHz. Bílý šum má vzorkovací frekvenci 44,1 kHz.

Střední frekvence pásma (Hz)		Střední frekvence pásma (Hz)	
Oktávové	Třetinooktávové	Oktávové	Třetinooktávové
31,5	25	1 000	800
	31,5		1 000
	40		1 250
63	50	2 000	1 600
	63		2 000
	80		2 500
125	100	4 000	3 150
	125		4 000
	160		5 000
250	200	8 000	6 300
	250		8 000
	315		10 000
500	400	16 000	12 500
	500		16 000
	630		20 000

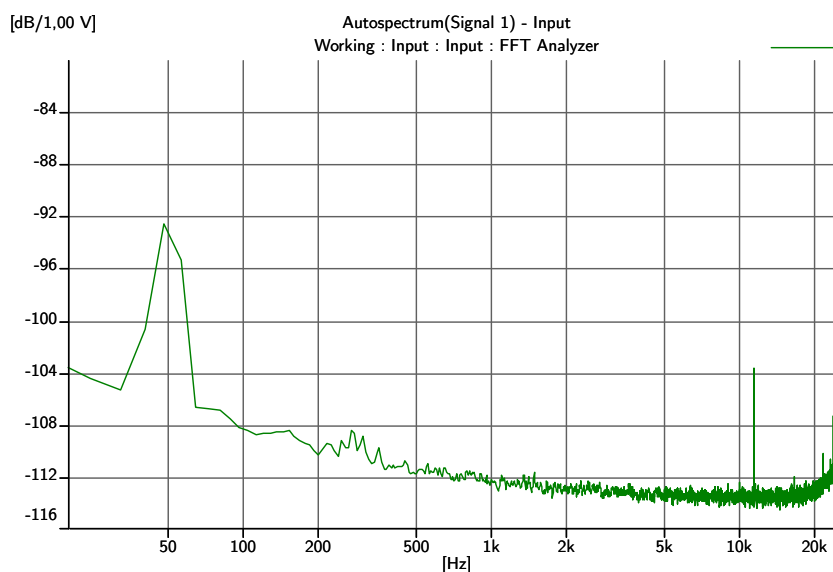
Tabulka 7: Střední frekvence oktávových a třetinooktávových pásem

5.1.2 Odstup signál-šum

Měření odstup signál-šum (SNR) bylo provedeno s využitím definice (1) na straně 5. Nejprve byla změřena efektivní hodnota šumu na výstupu DA převodníku v klidu (posílání nulových hodnot), poté generován harmonický signál s frekvencí 1 kHz s maximálním rozkmitem a změřena jeho efektivní hodnota. Při měření nebyla zahrnuta stejnosměrná složka a velmi nízké kmitočty pod 20 Hz. Naměřené hodnoty byly dosazeny do rovnice 1 a vypočtena hodnota SNR

$$SNR = 20 \lg \frac{U_{\text{sin,ef}}}{U_{\text{N,ef}}} = 20 \lg \frac{2,12}{1,07 \cdot 10^{-4}} = 85,9 \quad (\text{dB}). \quad (18)$$

Pro další frekvence nebyl výpočet proveden. Hodnoty pro další frekvence je možné získat z frekvenční charakteristiky 5.1.5, neliší o více než 1 dB. Změřené spektrum převodníku v klidovém stavu pro frekvenční rozsah 20 Hz až 25,6 kHz je na obrázku 40.



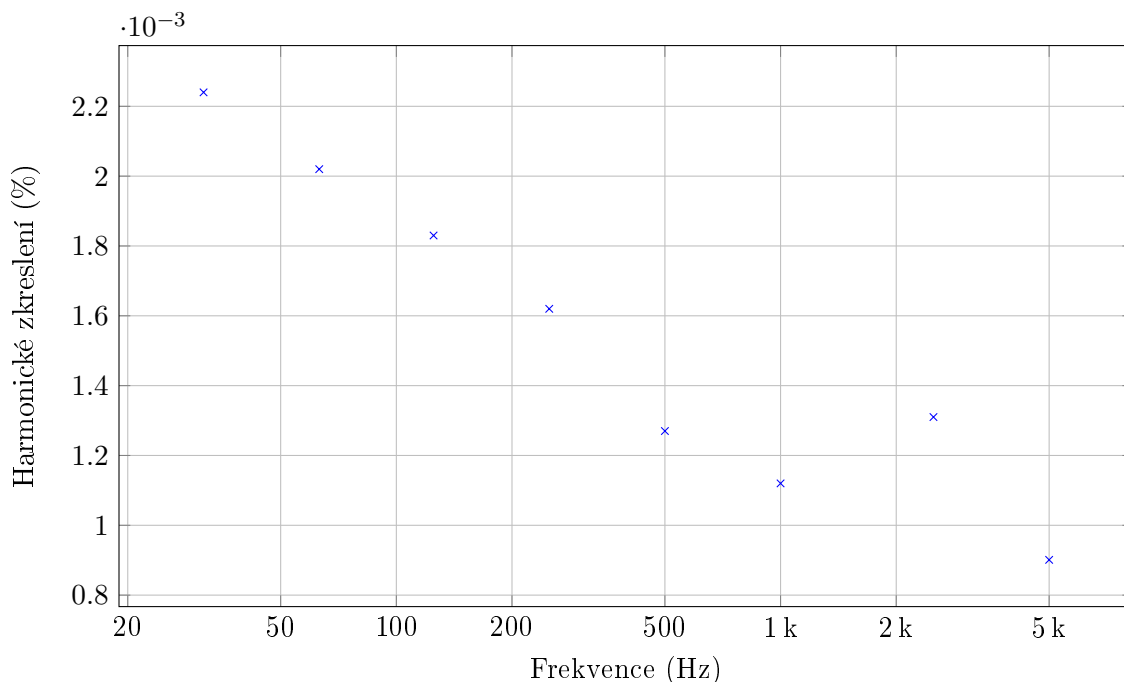
Obrázek 40: Frekvenční spektrum výstupu převodníku v klidovém stavu (frekvenční rozsah 25,6 kHz, frekvenční krok 8 Hz)

5.1.3 Harmonické zkreslení

Měření harmonického zkreslení (THD) bylo provedeno generováním harmonického signálu a následnou analýzou frekvenčního spektra. Využitý analyzátor tuto hodnotu rovnou dokáže vyhodnotit. Do výpočtu zahrnuje deset harmonických složek signálu. V tabulce 8 a na obrázku 41 jsou uvedeny naměřené hodnoty pro vybrané frekvence z oktávových pásem. Na vyšších kmitočtech než 5 kHz již nemají vyšší harmonické složky velký vliv na slyšitelné pásmo, proto nebyly měřeny.

Frekvence (Hz)	THD (%)
31,5	0,002 24
63	0,002 02
125	0,001 83
250	0,001 62
500	0,001 27
1 000	0,001 12
2 500	0,001 31
5 000	0,000 90

Tabulka 8: Naměřené hodnoty THD



Obrázek 41: Změřené harmonické zkreslení pro zvolené frekvence

5.1.4 Měření v souladu s normou ČSN EN 60268-5

Norma ČSN EN 60268-5 udává postup měření modulačního zkreslení druhého a třetího řádu a rozdílové frekvenční zkreslení druhého řádu. Na základě normy byly naměřeny tyto parametry u vyvinutého měřicího systému. [12]

Modulační zkreslení druhého a třetího řádu

Modulační zkreslení (characteristic modulation distortion) n -tého řádu je v normě uvedeno pro dva harmonické signály o frekvencích f_1 a f_2 ($f_1 < 8f_2$) s amplitudami v poměru 4:1. Zkreslení druhého řádu je vypočteno pro efektivní hodnoty naměřených napětí U ze vztahu

$$d_2 = \frac{U(f_2 - f_1) + U(f_2 + f_1)}{U(f_2)} 100 \quad (\%) \quad (19)$$

a zkreslení třetího řádu ze vztahu

$$d_3 = \frac{U(f_2 - 2f_1) + U(f_2 + 2f_1)}{U(f_2)} 100. \quad (\%) \quad (20)$$

oba vztahy lze vyjádřit v decibelech vztahem

$$L_{dn} = 20 \lg \frac{d_n}{100}. \quad (\text{dB}) \quad (21)$$

Modulační zkreslení bylo změřeno pro frekvence f_1 a f_2 s rozstupem jedenácti oktávových pásem s amplitudou modulovaného signálu normovanou na maximální rozkmit. Naměřené hodnoty jsou v tabulce 9. Vypočtené hodnoty modulačního zkreslení jsou v tabulce 10

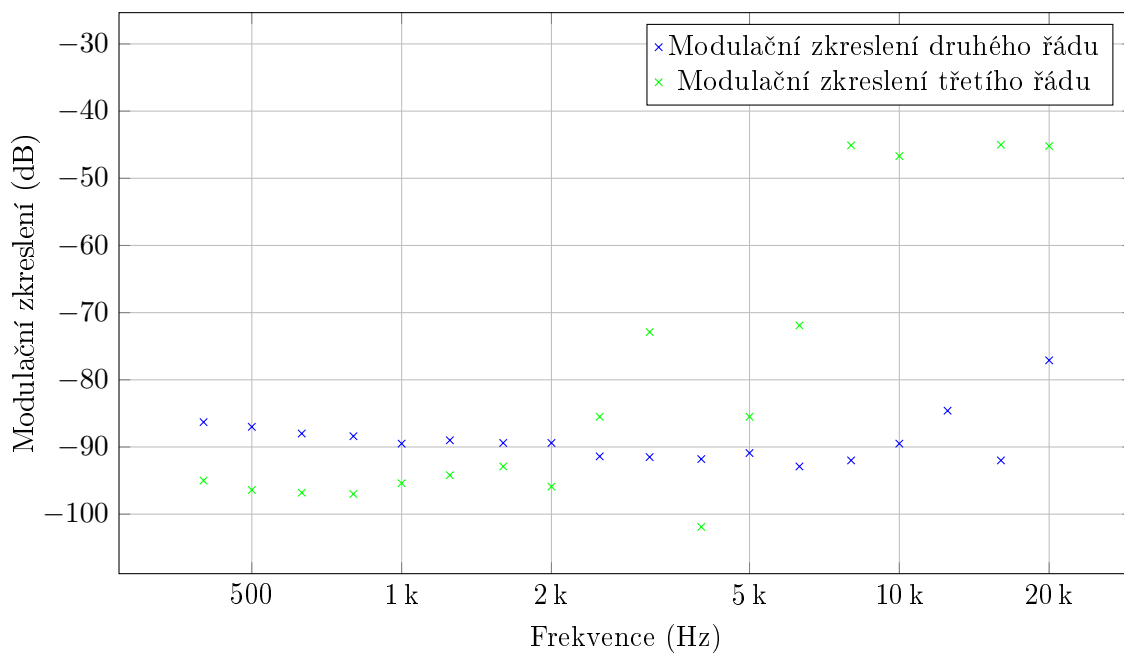
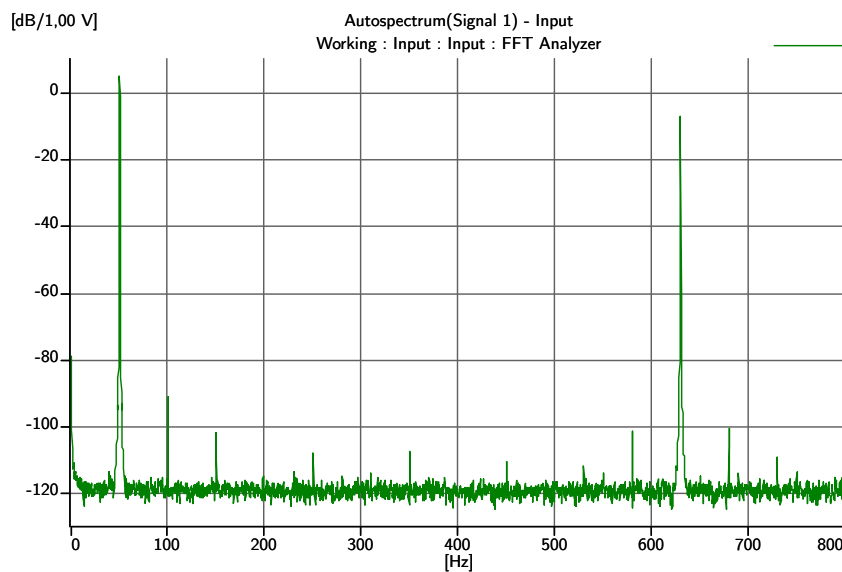
a zobrazeny na obrázku 42. Ukázka změřeného spektra pro $f_1 = 50$ Hz a $f_2 = 630$ Hz je na obrázku 43.

f_1 (Hz)	f_2 (Hz)	$U(f_1)$ (dB)	$U(f_2)$ (dB)	$U(f_2 - f_1)$ (dB)	$U(f_2 + f_1)$ (dB)	$U(f_2 - 2f_1)$ (dB)	$U(f_2 + 2f_1)$ (dB)
31,5	400	4,53	-7,50	-100	-99,7	-109	-108
40	500	4,55	-7,49	-101	-100	-109	-111
50	630	4,55	-7,51	-102	-101	-112	-109
63	800	4,54	-7,51	-103	-101	-111	-110
80	1 000	4,55	-7,51	-103	-103	-108	-110
100	1 250	4,56	-7,51	-103	-102	-110	-106
125	1 600	4,55	-7,50	-104	-102	-108	-105
160	2 000	4,56	-7,50	-104	-102	-115	-106
200	2 500	4,57	-7,50	-106	-104	-99,7	-98,3
250	3 150	4,59	-7,47	-106	-104	-86,4	-86,3
315	4 000	4,55	-7,53	-107	-104	-115	-116
400	5 000	4,57	-7,52	-105	-104	-99,7	-98,5
500	6 300	4,59	-7,49	-108	-105	-85,8	-85,1
630	8 000	4,78	-7,40	-107	-104	-58,5	-58,5
800	10 000	4,75	-7,40	-102	-104	-60,1	-60,1
1 000	12 500	5,02	-7,23	-94,6	-103	-45,5	-45,6
1 250	16 000	4,80	-7,49	-105	-106	-58,5	-58,6
1 600	20 000	4,80	-7,58	-108	-85,3	-62,4	-56,2

Tabulka 9: Naměřené hodnoty pro výpočet modulačního zkreslení (referenční hodnota pro dB je 1 V)

f_2 (Hz)	d_2 (dB)	d_3 (dB)	f_2 (Hz)	d_2 (dB)	d_3 (dB)
400	-86,3	-95,0	3150	-91,5	-72,9
500	-87,0	-96,4	4000	-91,8	-101,9
630	-88,0	-96,8	5000	-90,9	-85,5
800	-88,4	-97,0	6300	-92,9	-71,9
1000	-89,5	-95,4	8000	-92,0	-45,1
1250	-89,0	-94,2	10 000	-89,5	-46,7
1600	-89,4	-92,9	12 500	-84,6	-32,3
2000	-89,4	-95,9	16 000	-92,0	-45,0
2500	-91,4	-85,5	20 000	-77,1	-45,2

Tabulka 10: Vypočtené hodnoty modulačního zkreslení

Obrázek 42: Změřené modulační zkreslení druhého a třetího řádu v závislosti na f_2 

Obrázek 43: Modulační zkreslení při frekvencích 50 Hz a 630 Hz (frekvenční rozsah 800 Hz, frekvenční krok 0,25 Hz)

Rodílové frekvenční zkreslení

Rozdílové frekvenční zkreslení (difference frequency distortion) druhého řádu je určeno pro dva signály se stejnou amplitudou o frekvencích f_1 a f_2 ($f_1 < f_2$) vzorcem

$$d = \frac{U(f_2 - f_1)}{U(f_1) + U(f_2)} 100, \quad (\%) \quad (22)$$

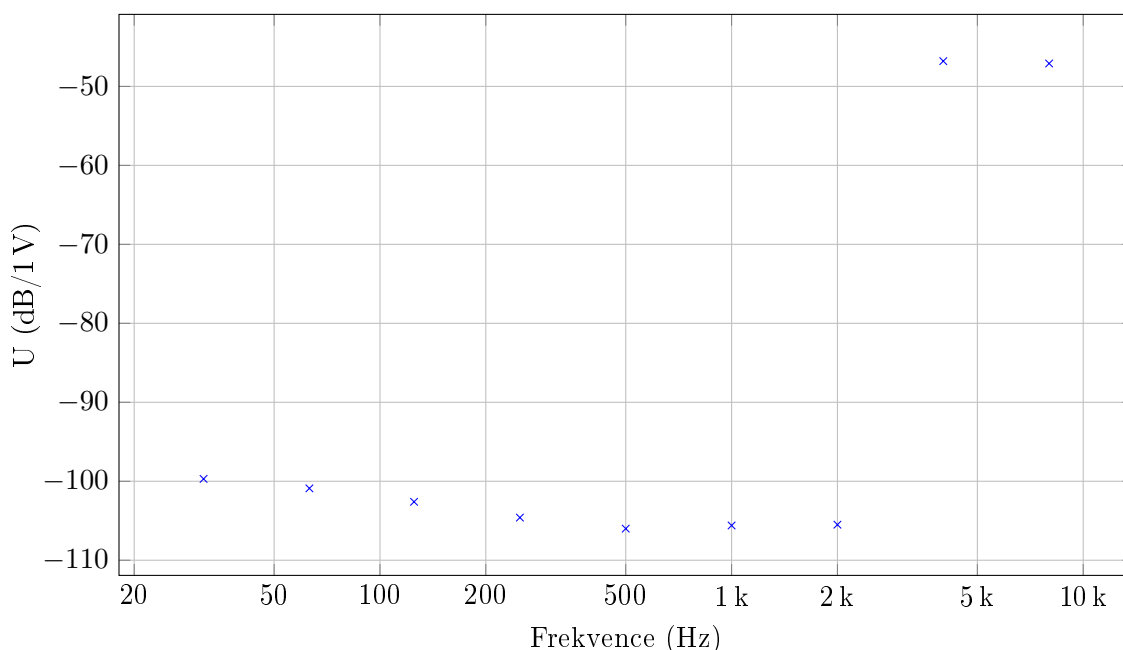
kde U jsou efektivní hodnoty naměřeného napětí. Výsledek lze vyjádřit v decibelech dle vzorce

$$L_d = 20 \lg \left(\frac{d}{100} \right). \quad (23)$$

Pro změření rozdílového frekvenčního zkreslení byly generován signál s modulovaným harmonickým signálem pro frekvence f_1 a f_2 s odstupem čtyř třetinooktávových pásem. Naměřené a vypočtené hodnoty jsou v tabulce 11 a na obrázku 44.

f_1 (Hz)	f_2 (Hz)	$U(f_1)$ (dB/1 V)	$U(f_2)$ (dB/1 V)	$U(f_2 - f_1)$ (dB/1 V)	d (dB)
31.5	80	0.49	0.50	-93.2	-99.7
63	160	0.50	0.50	-94.4	-100.9
125	315	0.50	0.51	-96.1	-102.6
250	630	0.51	0.50	-98.1	-104.6
500	1250	0.68	0.66	-99.3	-106.0
1000	2500	0.68	0.66	-98.9	-105.6
2000	5000	0.69	0.66	-98.8	-105.5
4000	10000	1.54	1.47	-39.3	-46.8
8000	20000	1.51	1.29	-39.7	-47.1

Tabulka 11: Naměřené a vypočtené hodnoty pro rozdílové zkreslení druhého řádu



Obrázek 44: Rozdílové zkreslení druhého řádu v závislosti na f_1

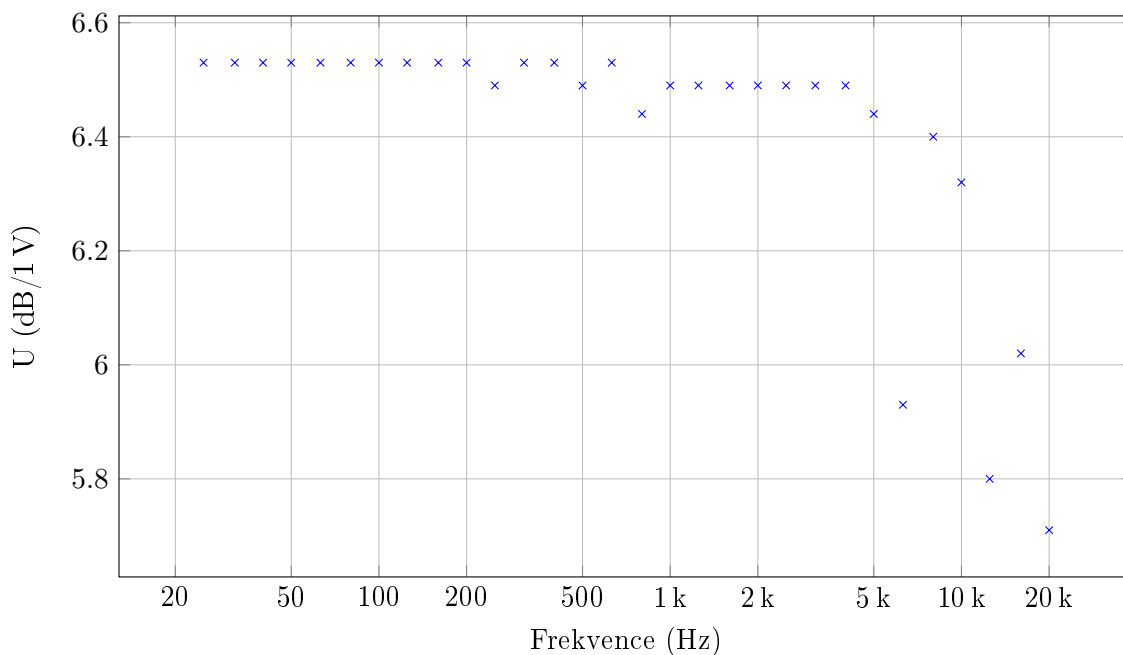
5.1.5 Frekvenční charakteristika

Dalším měřením je amplitudová frekvenční charakteristika. Pro změření frekvenční charakteristiky byly generovány stopy s harmonickým signálem s maximálním rozkmitem a

změřena efektivní hodnota amplitudy signálu U na dané frekvenci. Měření bylo provedeno pro frekvence ve všech středech třetinooktávových pásem. Změřené hodnoty jsou v tabulce 12 a na obrázku 45.

Frekvence (Hz)	U (V)	U (dB/1 V)	Frekvence (Hz)	U (V)	U (dB/1 V)
25	2,12	6,53	800	2,10	6,44
31,5	2,12	6,53	1 000	2,11	6,49
40	2,12	6,53	1 250	2,11	6,49
50	2,12	6,53	1 600	2,11	6,49
63	2,12	6,53	2 000	2,11	6,49
80	2,12	6,53	2 500	2,11	6,49
100	2,12	6,53	3 150	2,11	6,49
125	2,12	6,53	4 000	2,11	6,49
160	2,12	6,53	5 000	2,10	6,44
200	2,12	6,53	6 300	1,98	5,93
250	2,11	6,49	8 000	2,09	6,40
315	2,12	6,53	10 000	2,07	6,32
400	2,12	6,53	12 500	1,95	5,80
500	2,11	6,49	16 000	2,00	6,02
630	2,12	6,53	20 000	1,93	5,71

Tabulka 12: Naměřené hodnoty výstupního napětí frekvenční charakteristiky



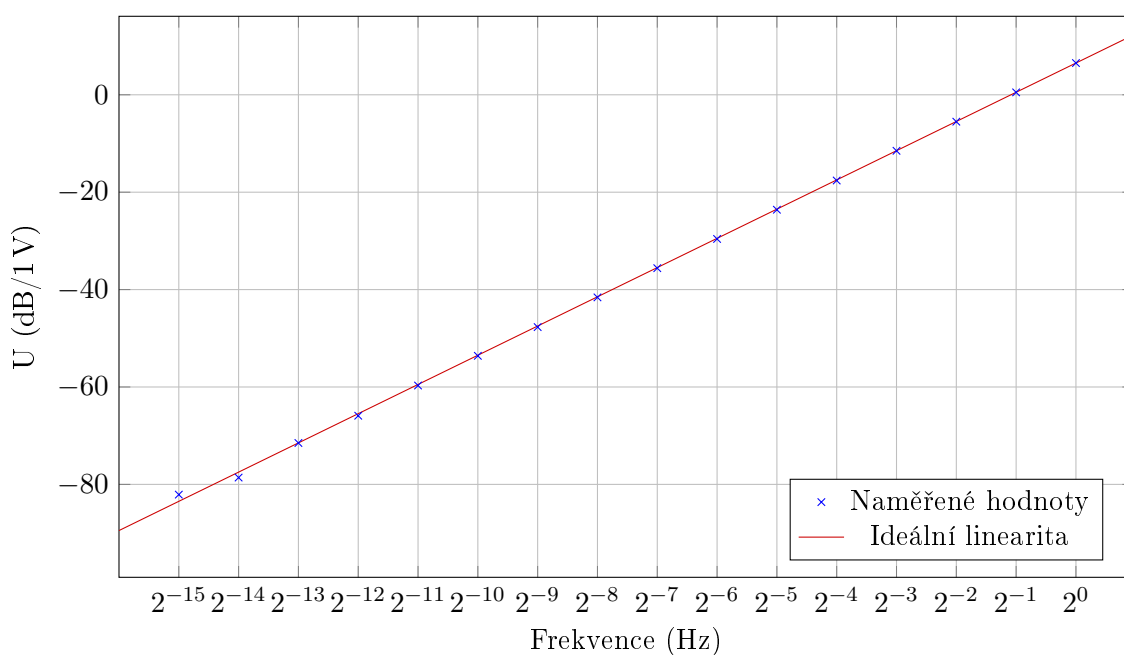
Obrázek 45: Změřená frekvenční amplitudová charakteristika

5.1.6 Linearita převodu

Měření linearity převodu bylo provedeno opět s harmonickými signály s rozdílnými amplitudami. Byl zvolen logaritmický krok při snižování amplitudy z maximálního rozkmitu. V tabulce 13 jsou naměřené hodnoty a na obrázku 46 zobrazeny.

Rozsah hodnot (-)	U (dB/1 V)
$1 \sim 2^0$	6,5
$1/2 \sim 2^{-1}$	0,5
$1/4 \sim 2^{-2}$	-5,5
2^{-3}	-11,5
2^{-4}	-17,6
2^{-5}	-23,6
2^{-6}	-29,6
2^{-7}	-35,6
2^{-8}	-41,6
2^{-9}	-47,7
2^{-10}	-53,6
2^{-11}	-59,7
2^{-12}	-65,9
2^{-13}	-71,5
2^{-14}	-78,6
2^{-15}	-82,1
-	-110,0

Tabulka 13: Naměřené hodnoty výstupního napětí



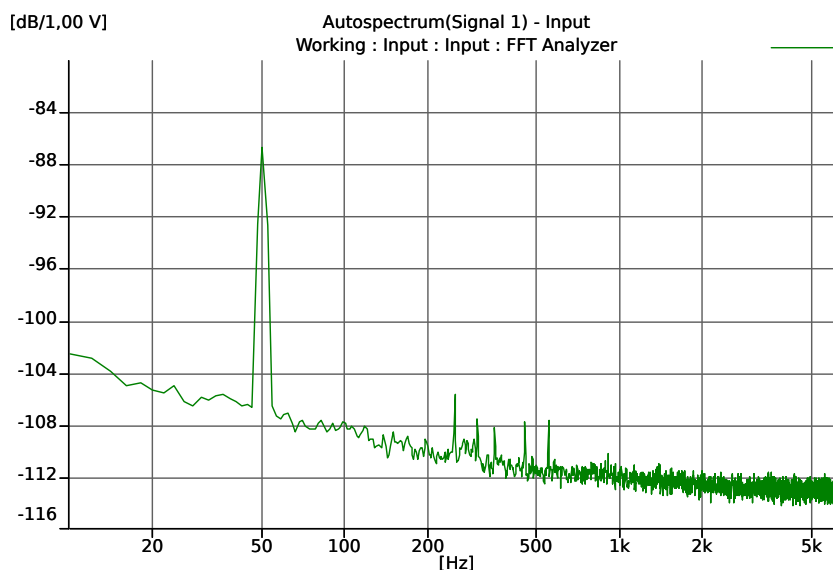
Obrázek 46: Změřená linearita převodu

5.1.7 Přeslechy mezi kanály

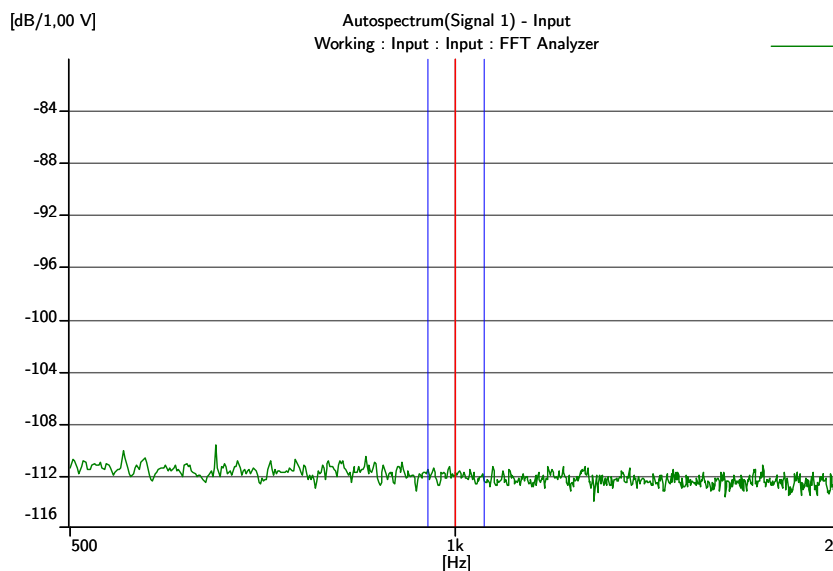
Nezávislost a odolnost kanálů vůči rušení byla ověřena měřením úrovně šumu na testovaném kanálu a generováním harmonického signálu na různých frekvencích na zvoleném dalším kanálu. Největší riziko rušení je u sousedních kanálů se společným (stereo) převodníkem.

Při měření nebylo zjištěno měřitelné rušení mezi kanály. Na obrázku 47 je příklad frekvenčního spektra šumu změřeného na testovaném kanálu při generování rušivého signálu

s frekvencí 1 kHz na sousedním kanálu, na obrázku 48 je detail okolí 1 kHz. Vyznačená oblast v rozsahu $1 \pm 0,05$ kHz má po součtu jednotlivých čar úroveň $-96,8$ dB. Tato hodnota byla identická s rušivým i bez rušivého signálu.



Obrázek 47: Spektrum šumu při měření přeslechů mezi kanály (frekvenční rozsah 6,4 kHz, frekvenční krok 2 Hz)

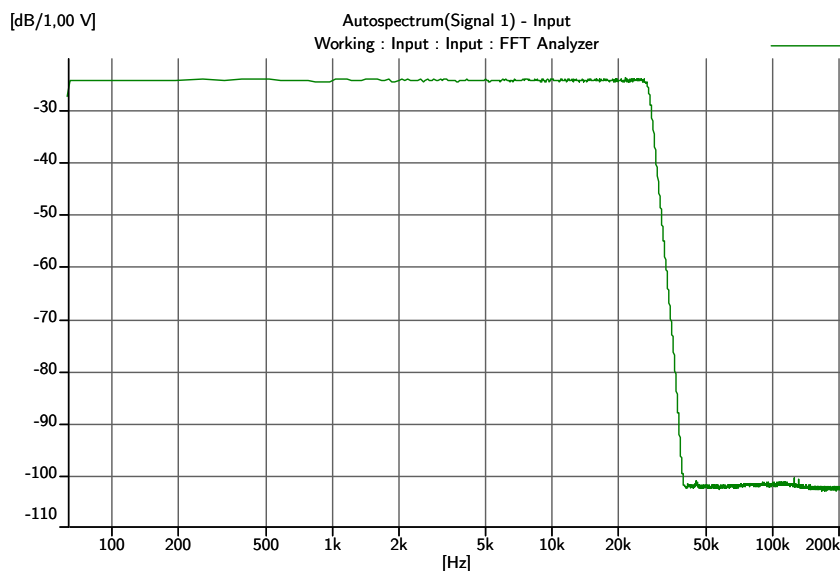


Obrázek 48: Detail okolí 1 kHz při měření přeslechů mezi kanály (frekvenční rozsah 6,4 kHz, frekvenční krok 2 Hz)

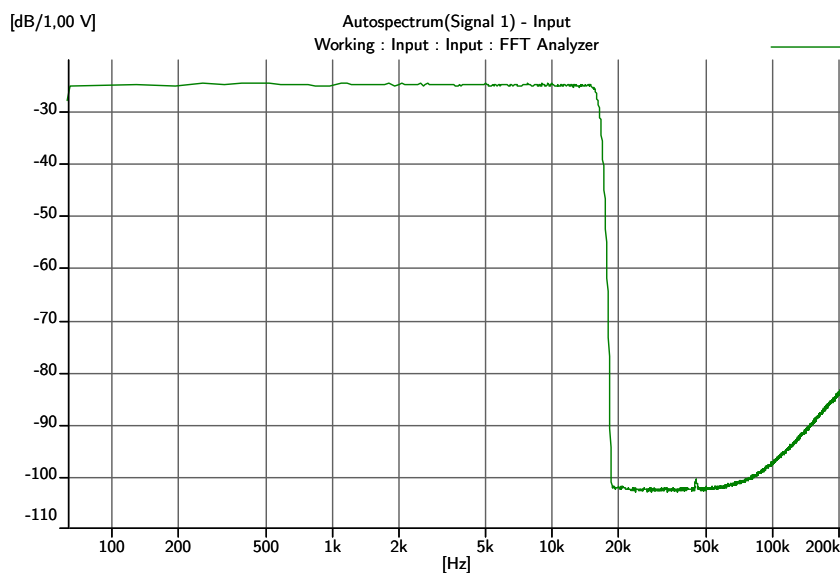
5.1.8 Měření bílého šumu

Gaussovský bílý šum má konstantní spektrální výkonovou hustotu v celém frekvenčním spektru. Pro akustická měření se používá pásmově omezený Gaussovský bílý šum. Na

obrázku 49 je frekvenční spektrum generovaného šumu a na obrázku 50 je naměřené frekvenční spektrum na výstupu převodníku. Ze změřeného frekvenčního spektra je patrná činnost interního digitálního filtru (dolní propust do přibližně poloviny vzorkovací frekvence, zvyšující se šum na vyšších frekvencích).



Obrázek 49: Frekvenční spektrum generovaného bílého šumu (frekvenční rozsah 204,8 kHz, frekvenční krok 64 Hz)



Obrázek 50: Frekvenční spektrum bílého šumu na výstupu testovaného zařízení (frekvenční rozsah 204,8 kHz, frekvenční krok 64 Hz)

5.2 Chyby návrhu a realizace

V průběhu návrhu a realizace byly zjištěny různé hardwarové i softwarové chyby, některé jsou v této části uvedeny.

Chyba v periférii SPI procesoru i.MX6

V periférii SPI procesoru i.MX6 nefunguje v režimu slave dokončování transakcí pomocí pinu slave select, tato chyba omezuje velikost dávky přenosu na 4096 bitů. V režimu master je možné přenášet až 32 kB v jedné dávce (při šířce slova 32 bitů). (Do oficiálních errat chyba přidána v únoru 2016.)

Chyba v návrhovém software KiCad

Při návrhu čtyřvrstvé desky návrhový systém KiCad propojil vnitřní napájecí vrstvu s dalšími vrstvami (GND) pomocí dvou prokuvů, které měly patřit pod GND. Chyba byla napravena odvrtáním.

Limity přenosu do FPGA

Zvolené rozhraní pro přenos dat mezi procesorem iMX6 a FPGA má uvedenou maximální dosažitelnou rychlost 60 Mbit/s. Při vlastním přenosu je ovšem před odesláním prvního bajtu a mezi vysílanými bajty značná prodleva, tato prodleva limituje průtok dat, dosažitelný průtok dat je přibližně 20 Mbit/s.

6 Závěr

V rámci práce byly představeny možnosti provedení digitálně-analogového zvukového převodníku pro měřicí účely, vybrána vhodná varianta a postupně vybrány vhodné komponenty. Z vybraných komponent byl složen nejprve prototyp převodníku pro ověření funkčnosti dvoukanalového převodu, následně realizován šesnásobkanalový převodník.

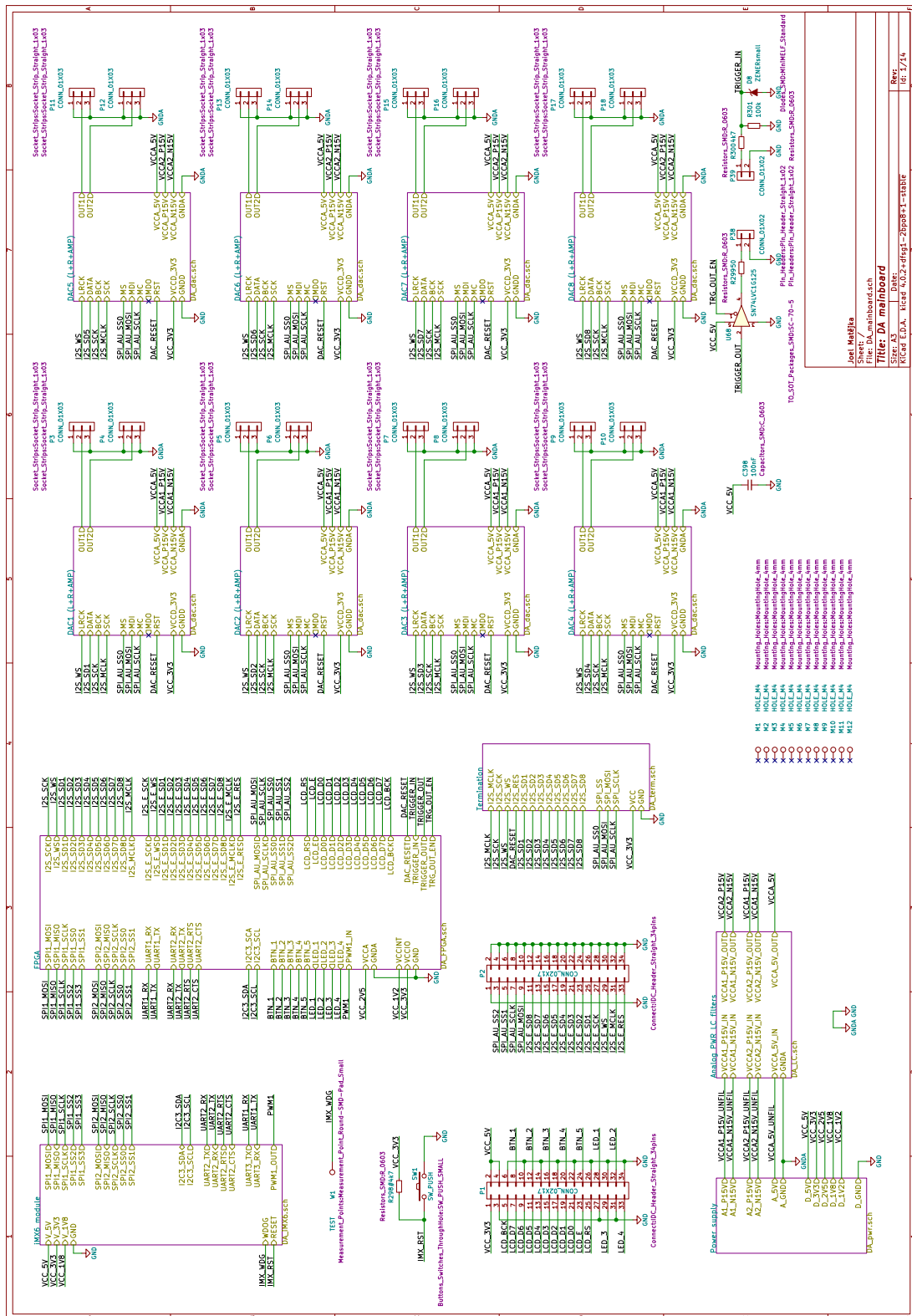
Velká část práce se zabývala elektrickým návrhem a tvorbou desek plošných spojů (dvou a čtyřvrstvá deska), které jsou základem pro vývoj kvalitního elektronického zařízení. Součástí elektrického návrhu byl také návrh síťového napájecího zdroje. Po osazení desek následovalo oživení a konfigurace hradlového pole, zprovoznění převodníků, operačního systému Linux na procesorovém modulu a napsání řídicího programu pro procesorový modul. Další důležitou částí bylo zprovoznění komunikací s počítačem a tvorba uživatelského rozhraní pro interakci s uživatelem.

Funkčnost převodníku byla otestována generací testovacích signálů na různých kanálech a měřením parametrů převodníků. Naměřené parametry dosahují velmi dobrých hodnot (SNR 85 dB při 1 kHz, THD pod 0,003 % v pásmu 31,5 Hz až 5 kHz, neměřitelné přeslechy mezi kanály, frekvenční charakteristika a linearita dle předpokladů). Všechny kanály pracují synchronně. Navíc bylo provedeno měření intermodulačních zkreslení v souladu s normou ČSN EN 60268-5.

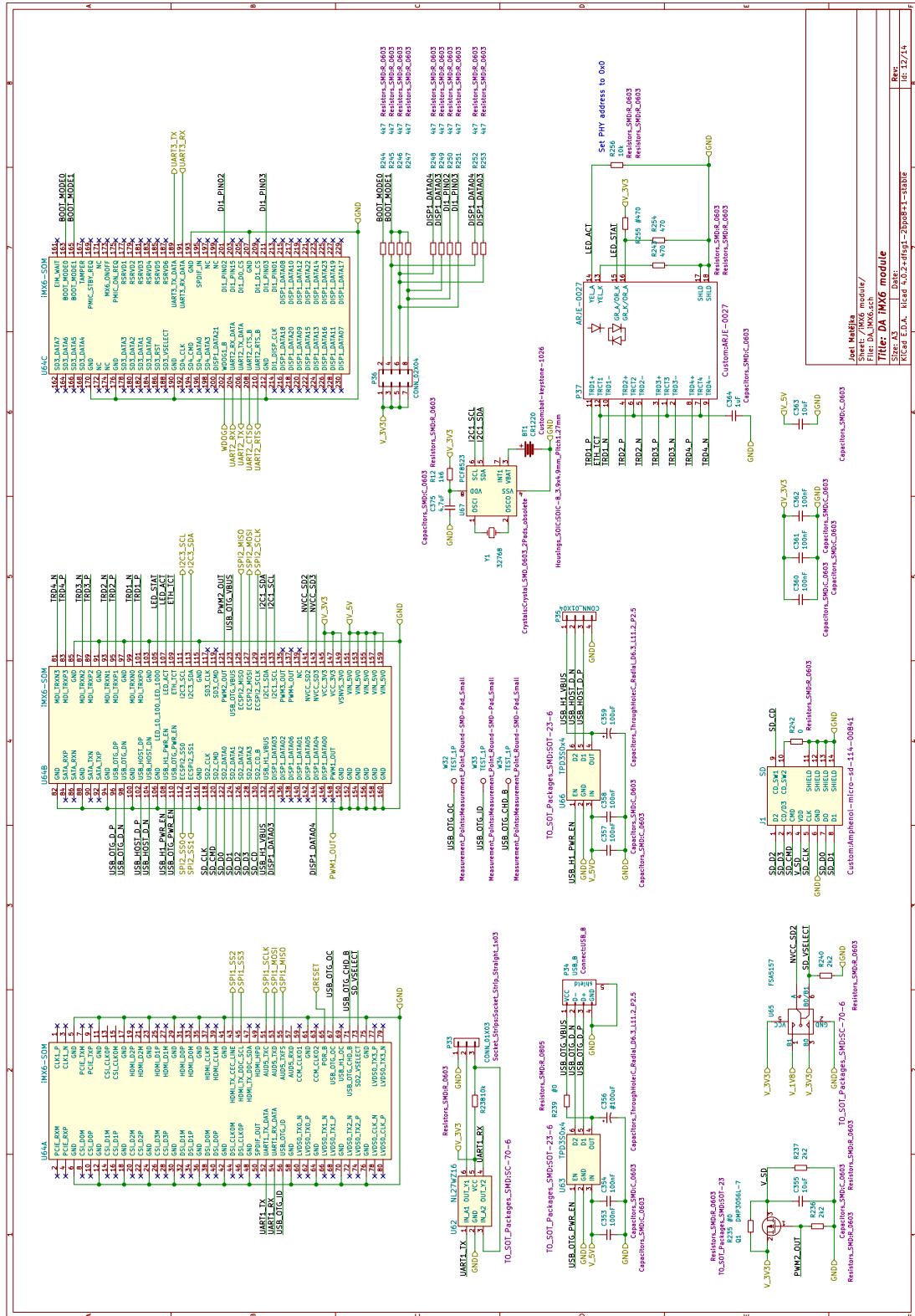
Všechny body zadání práce i stanovené cíle v úvodu byly splněny. Zařízení je funkční a bude nyní sloužit k akustickým měřením v akustické laboratoři na katedře fyziky.

Práce byla podpořena z projektu SGS16/221/OHK3/3T/13, zároveň byly výsledky publikovány na mezinárodní studentské konferenci Poster 2016.

A Kompletní schéma navržených desek

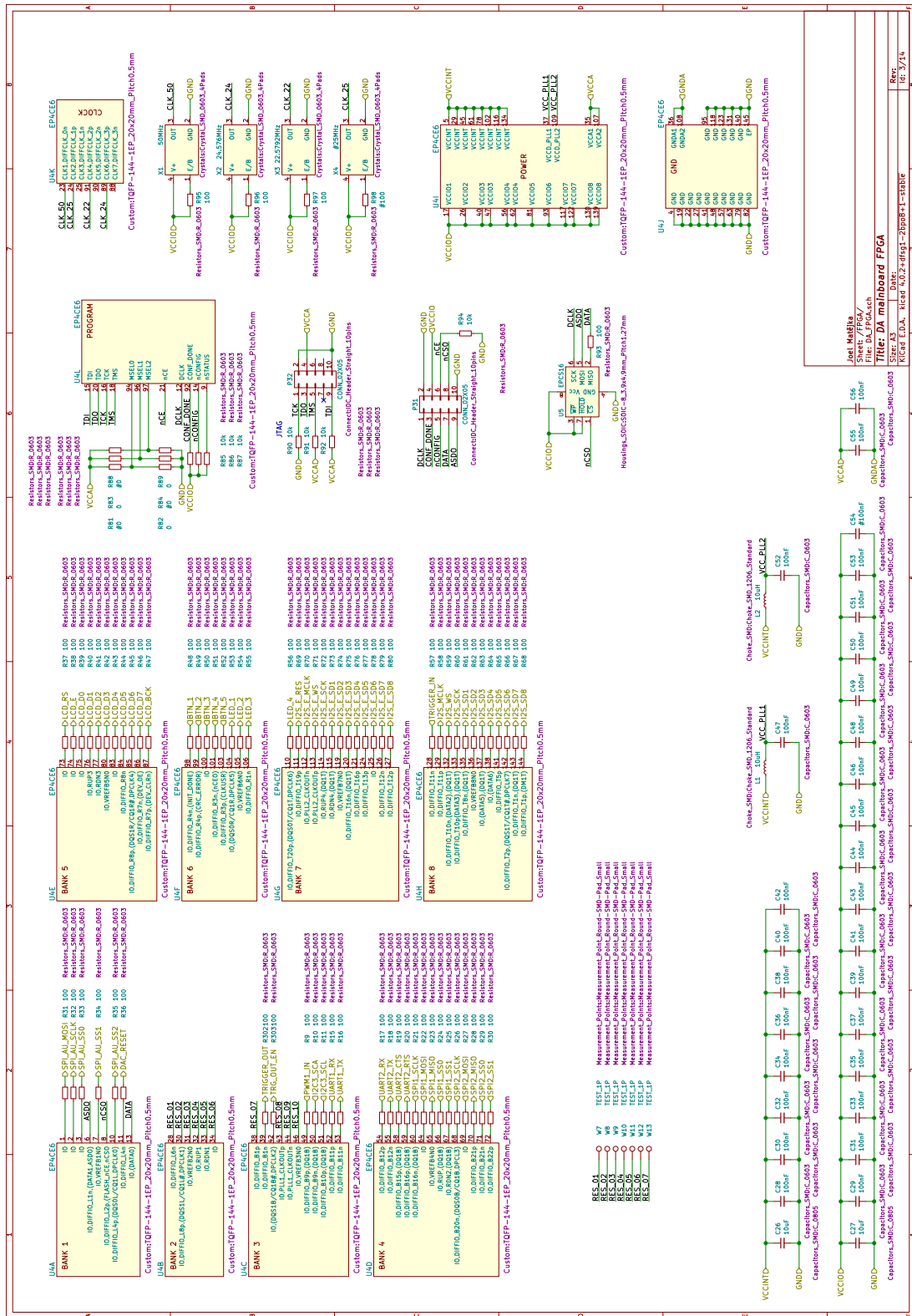


Obrázek 51: Schéma základové desky – základní část

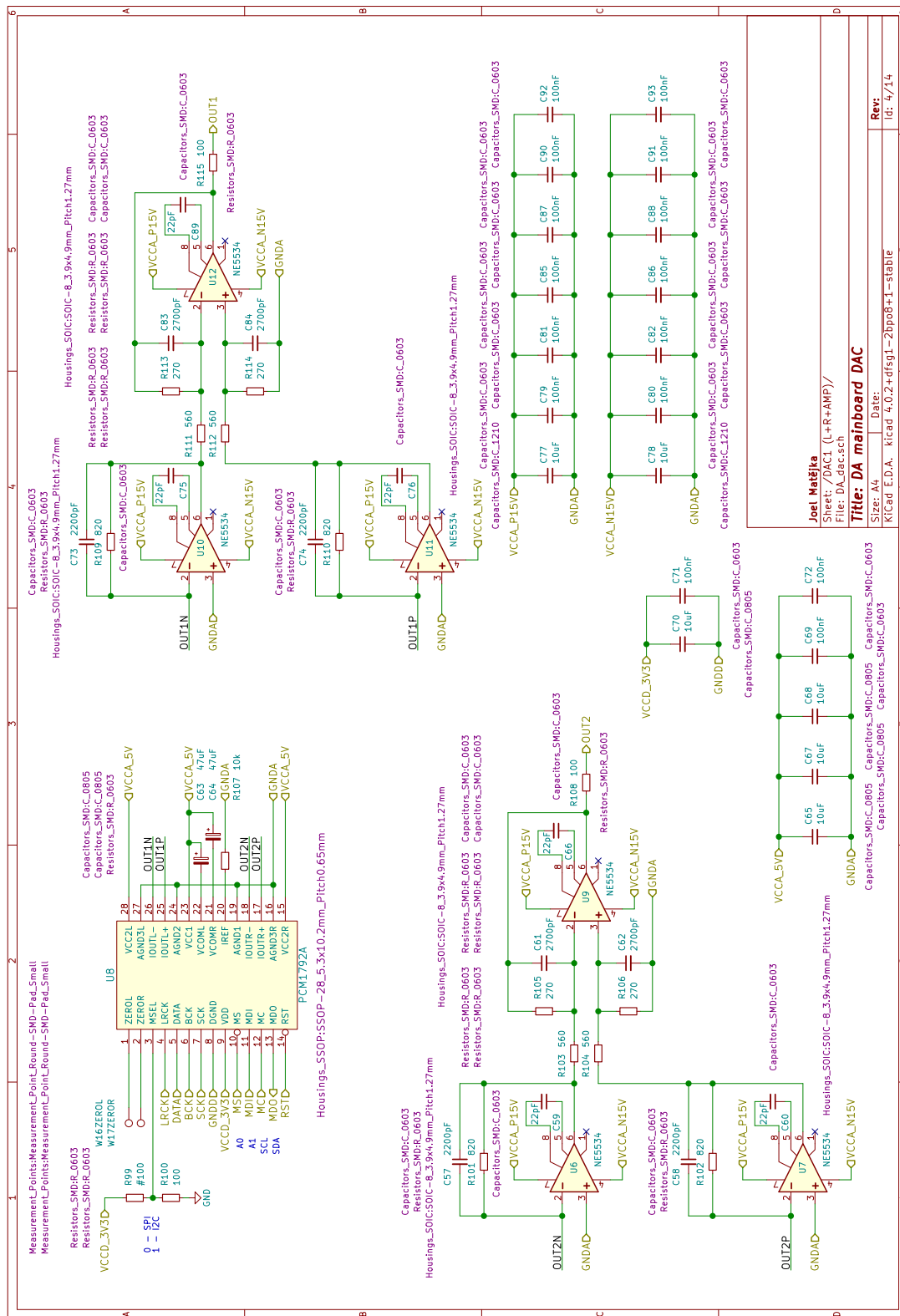


module.pdf

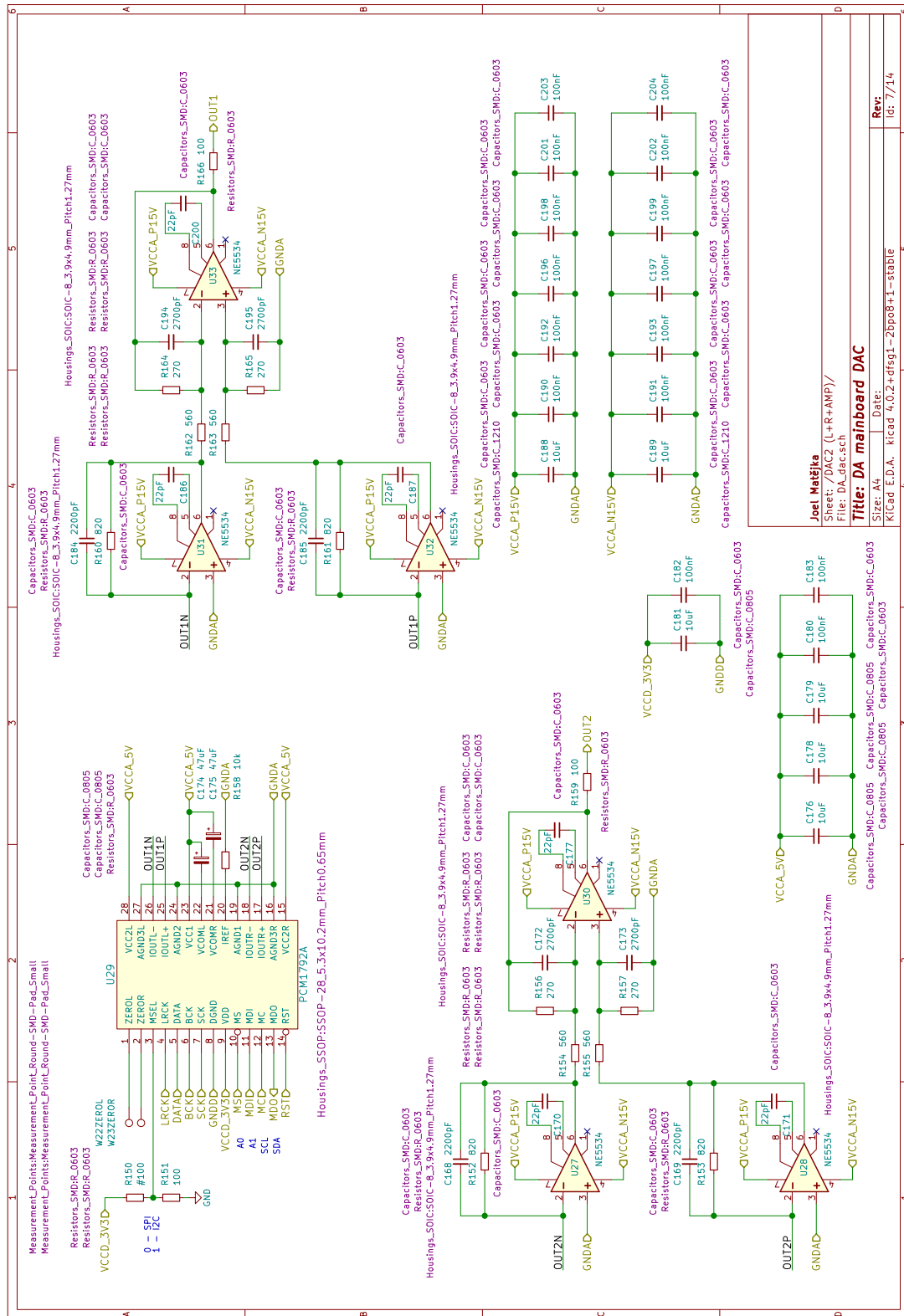
Obrázek 52: Schéma základové desky – iMX6 modul



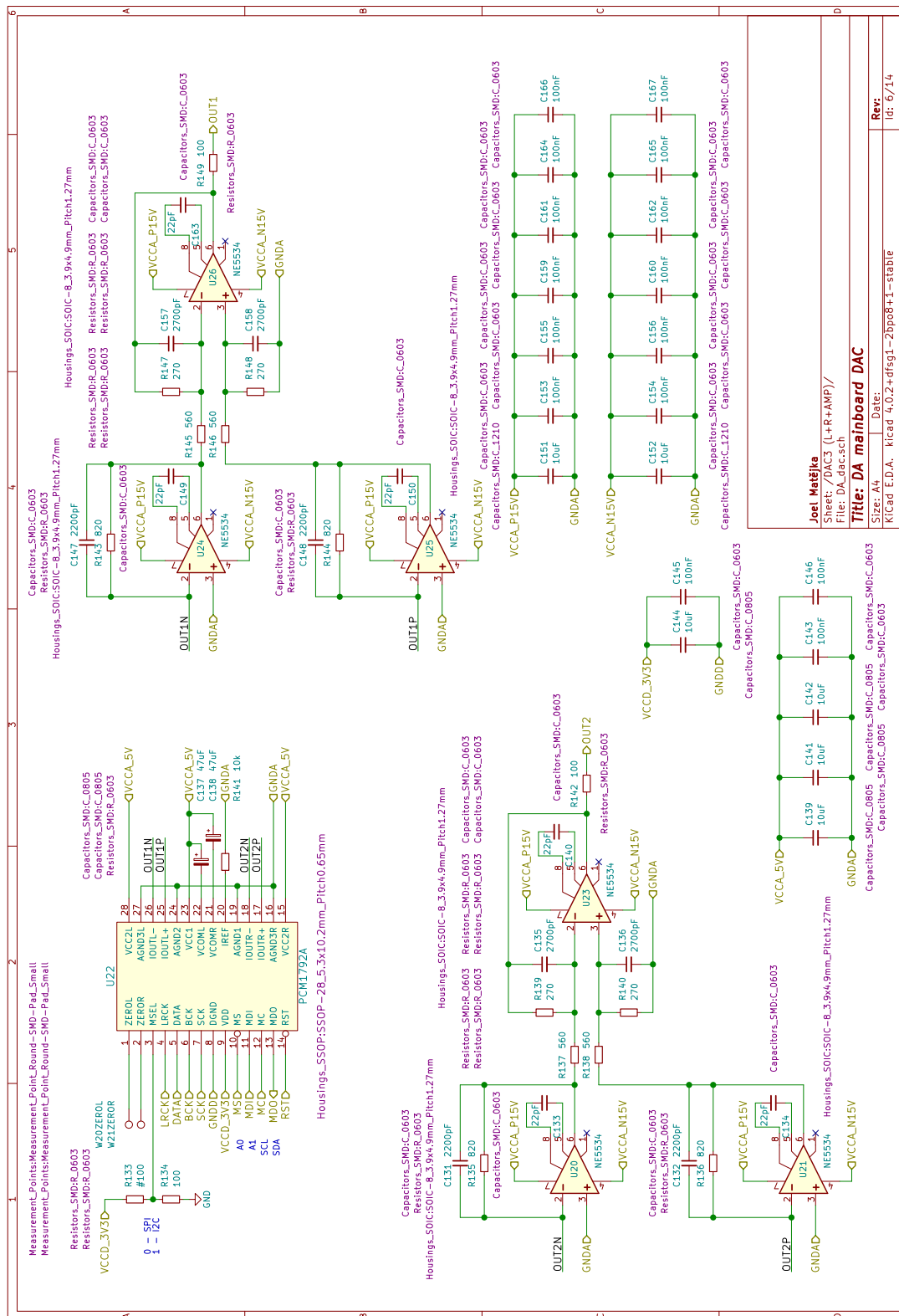
Obrázek 53: Schéma základové desky – FPGA



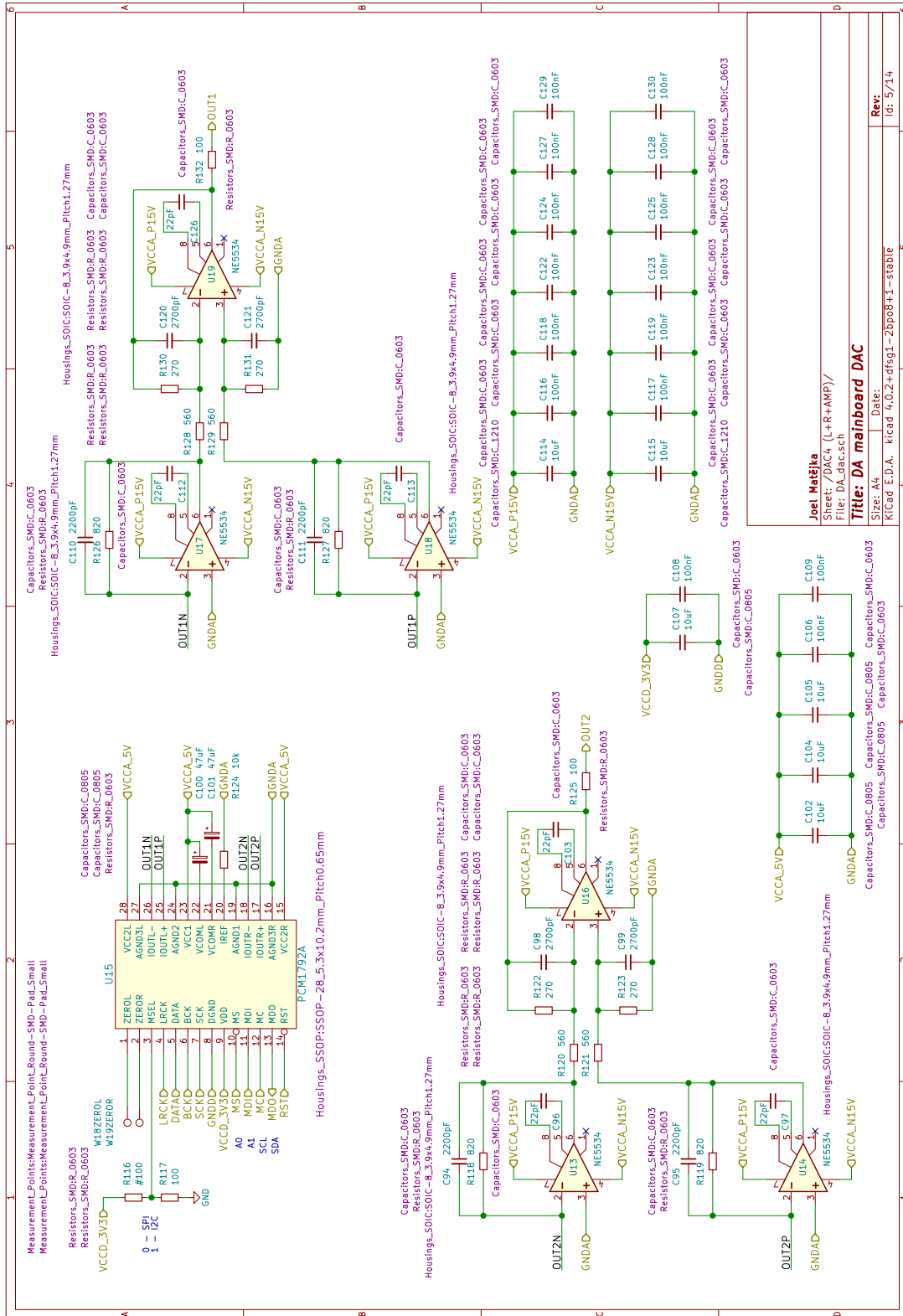
Obrázek 54: Schéma základové desky – kanál 1 a 2



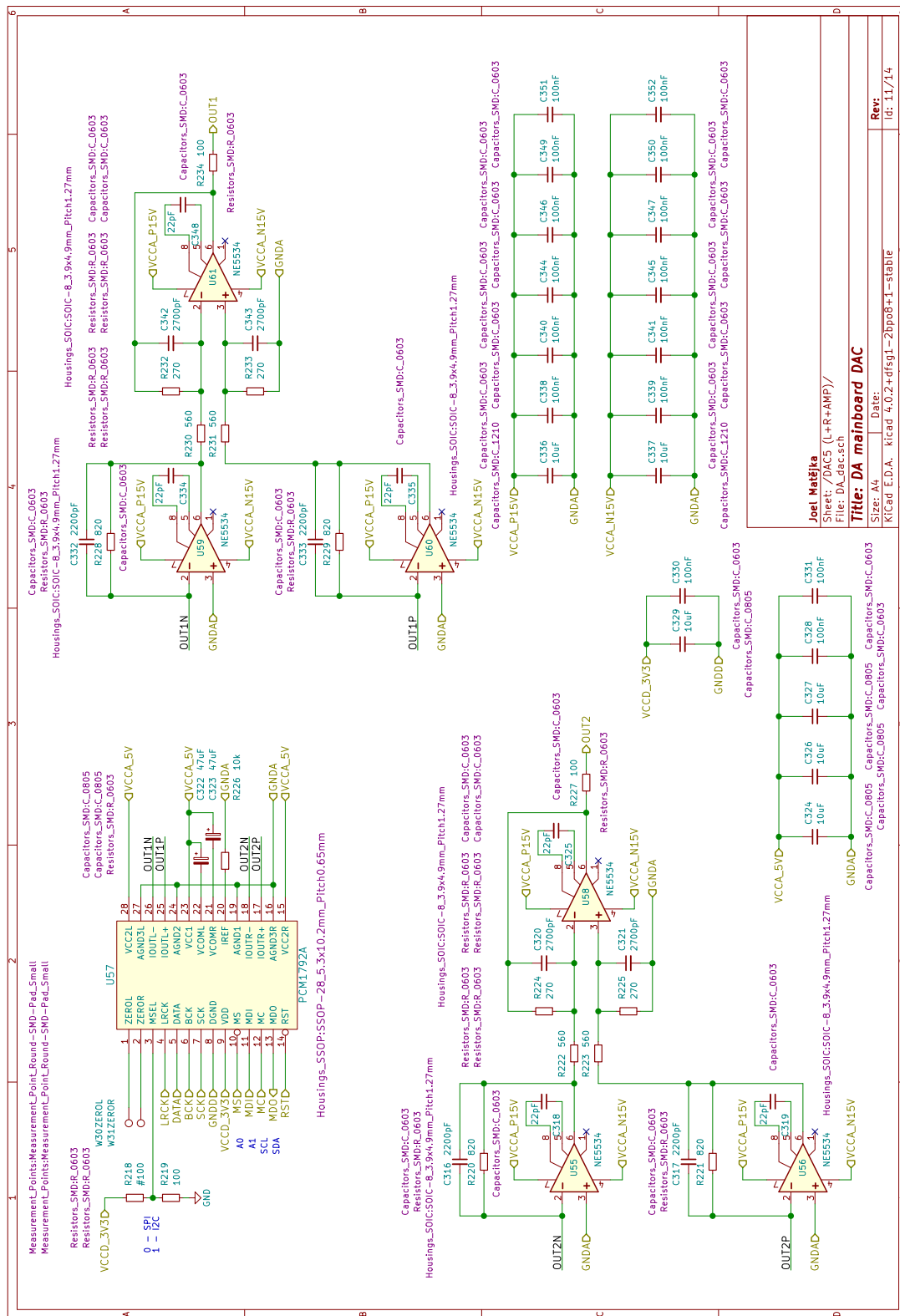
Obrázek 55: Schéma základové desky – kanál 3 a 4



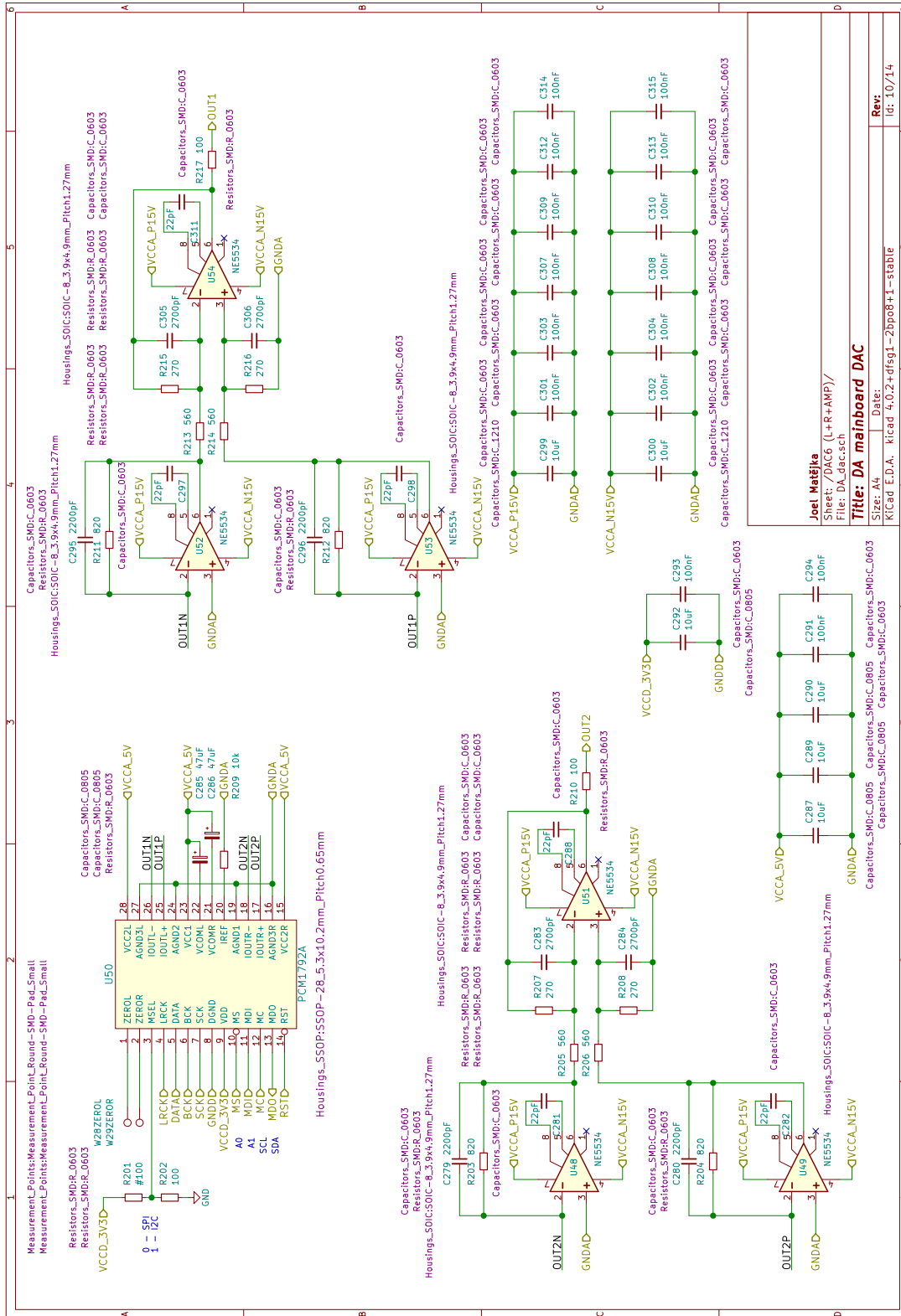
Obrázek 56: Schéma základové desky – kanál 5 a 6



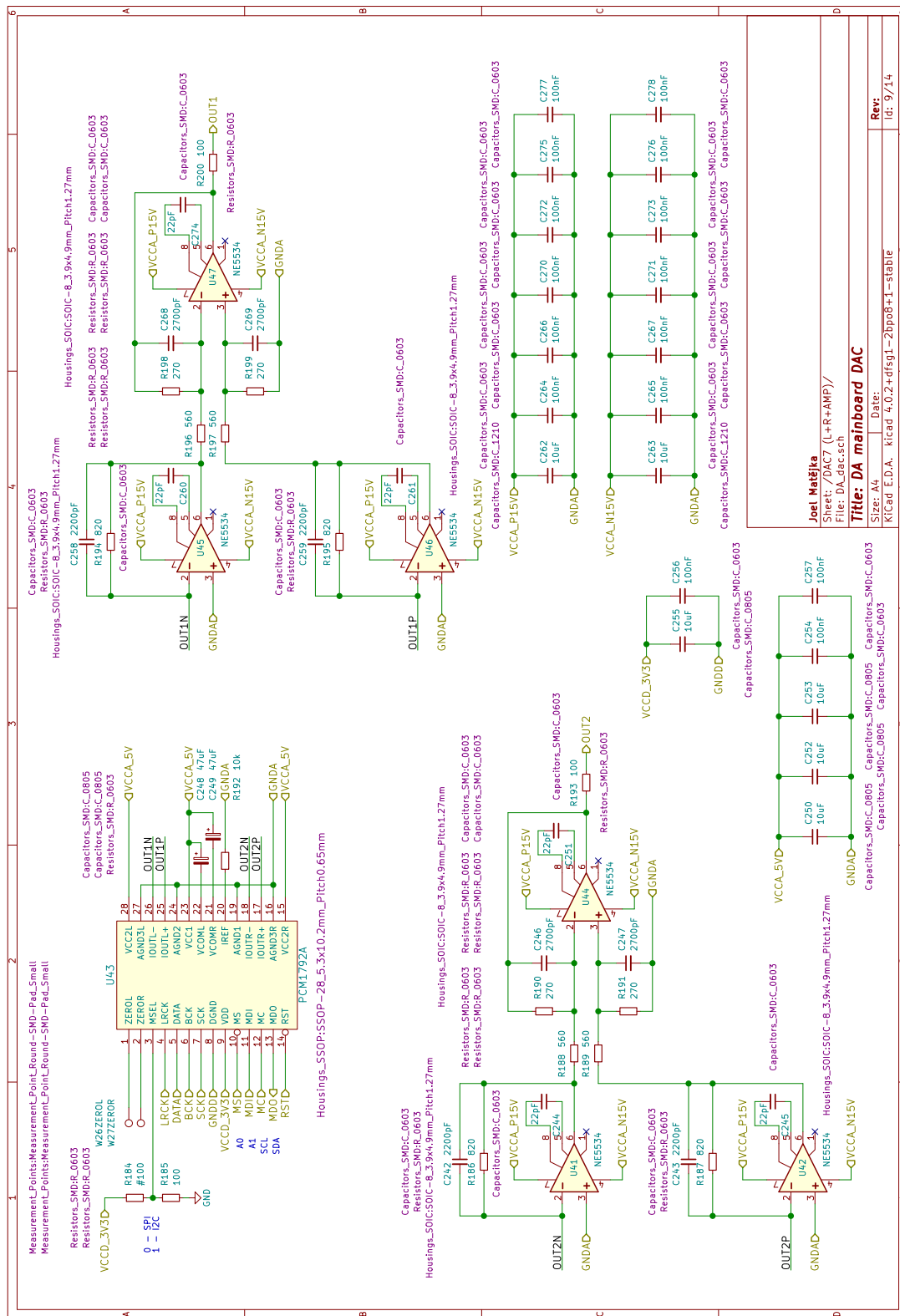
Obrázek 57: Schéma základové desky – kanál 7 a 8



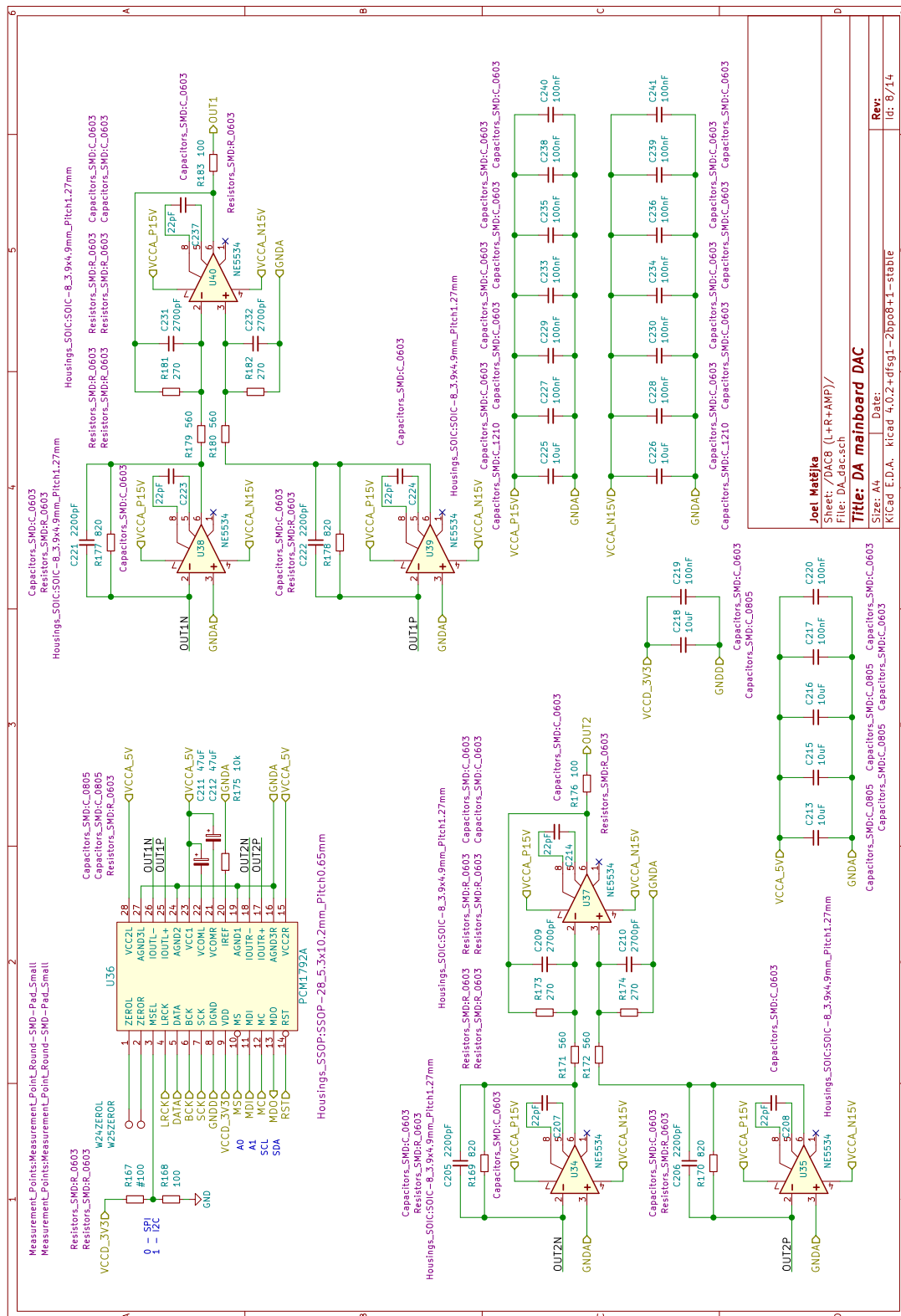
Obrázek 58: Schéma základové desky – kanál 9 a 10



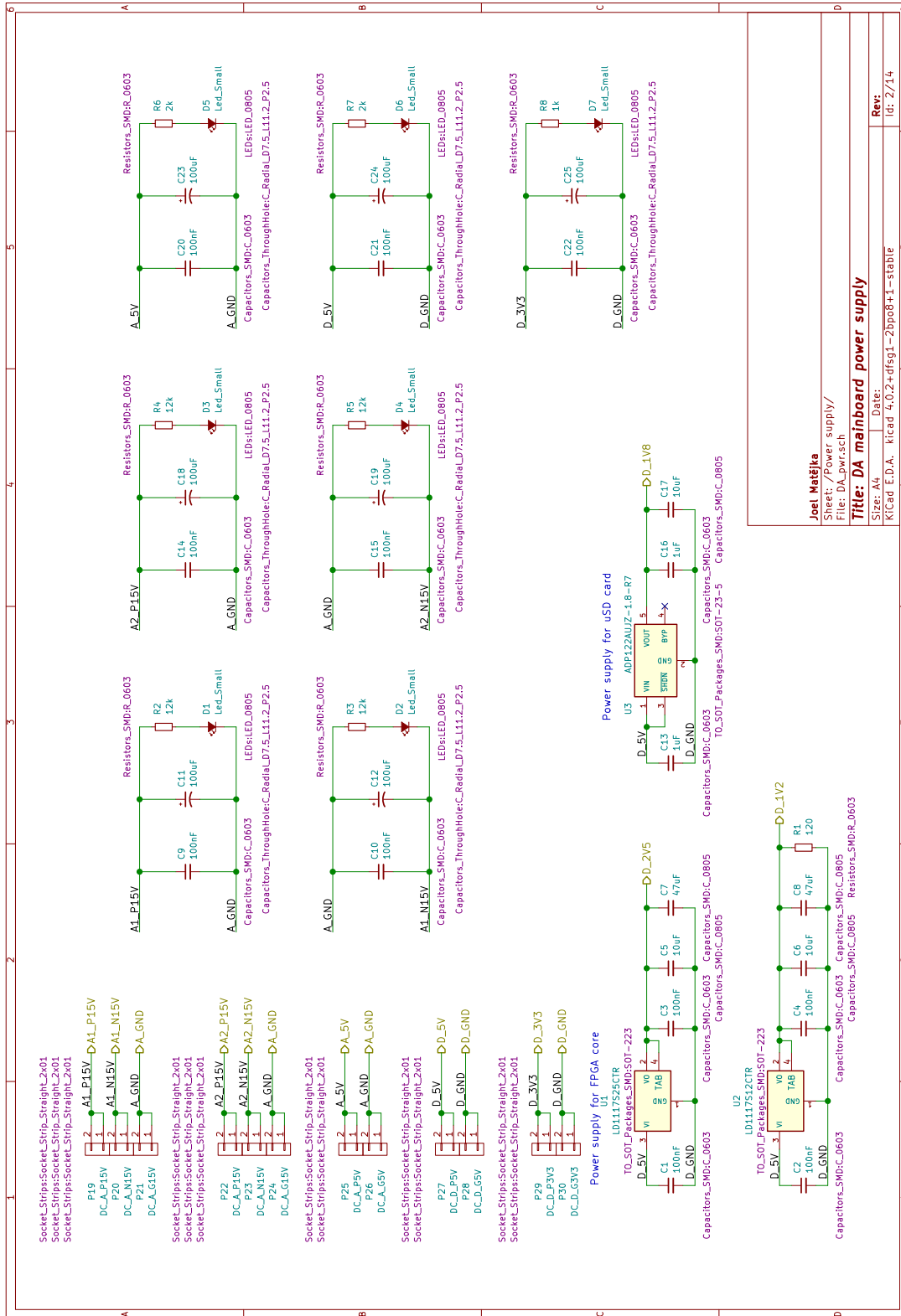
Obrázek 59: Schéma základové desky – kanál 11 a 12



Obrázek 60: Schéma základové desky – kanál 13 a 14

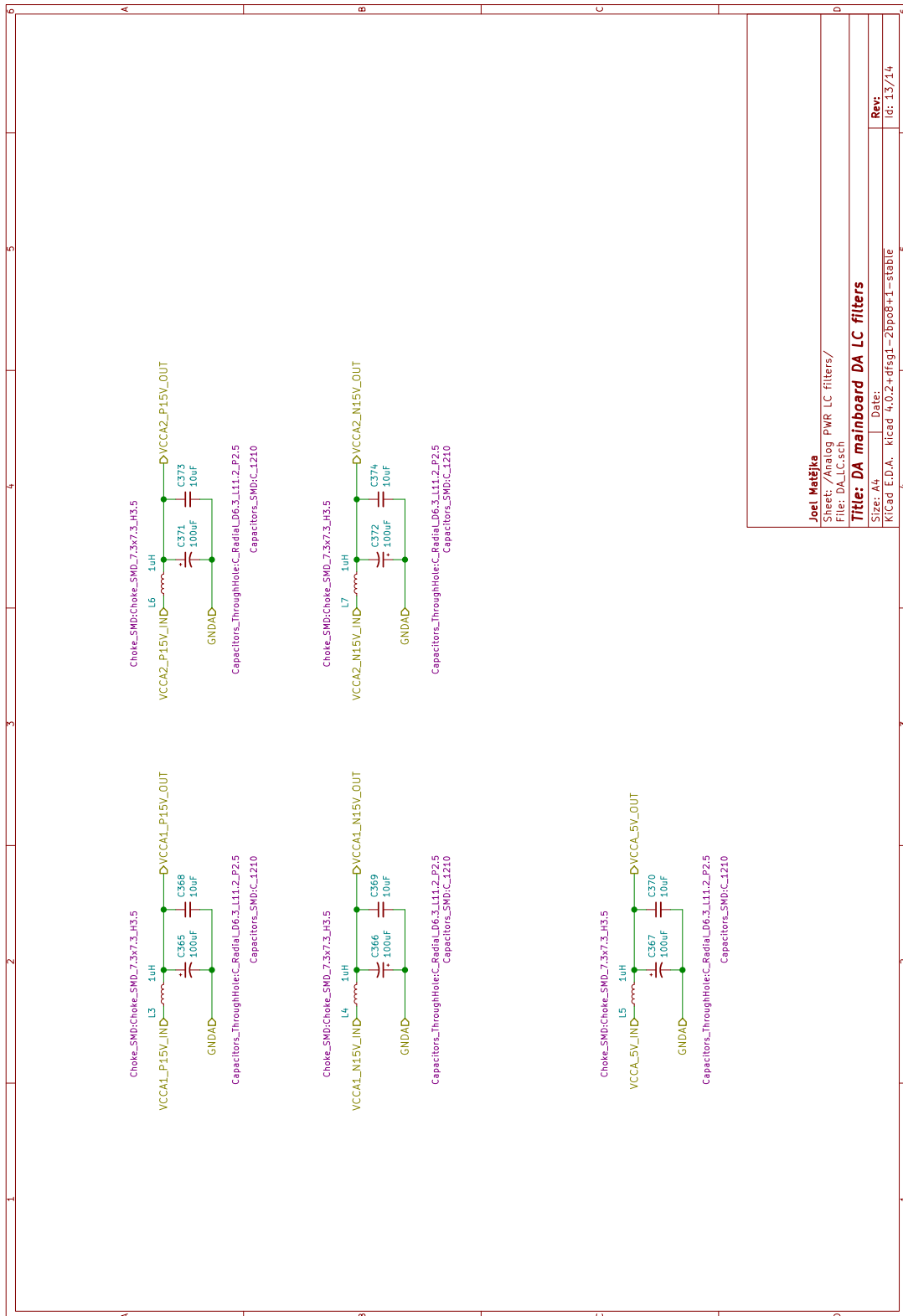


Obrázek 61: Schéma základové desky – kanál 15 a 16

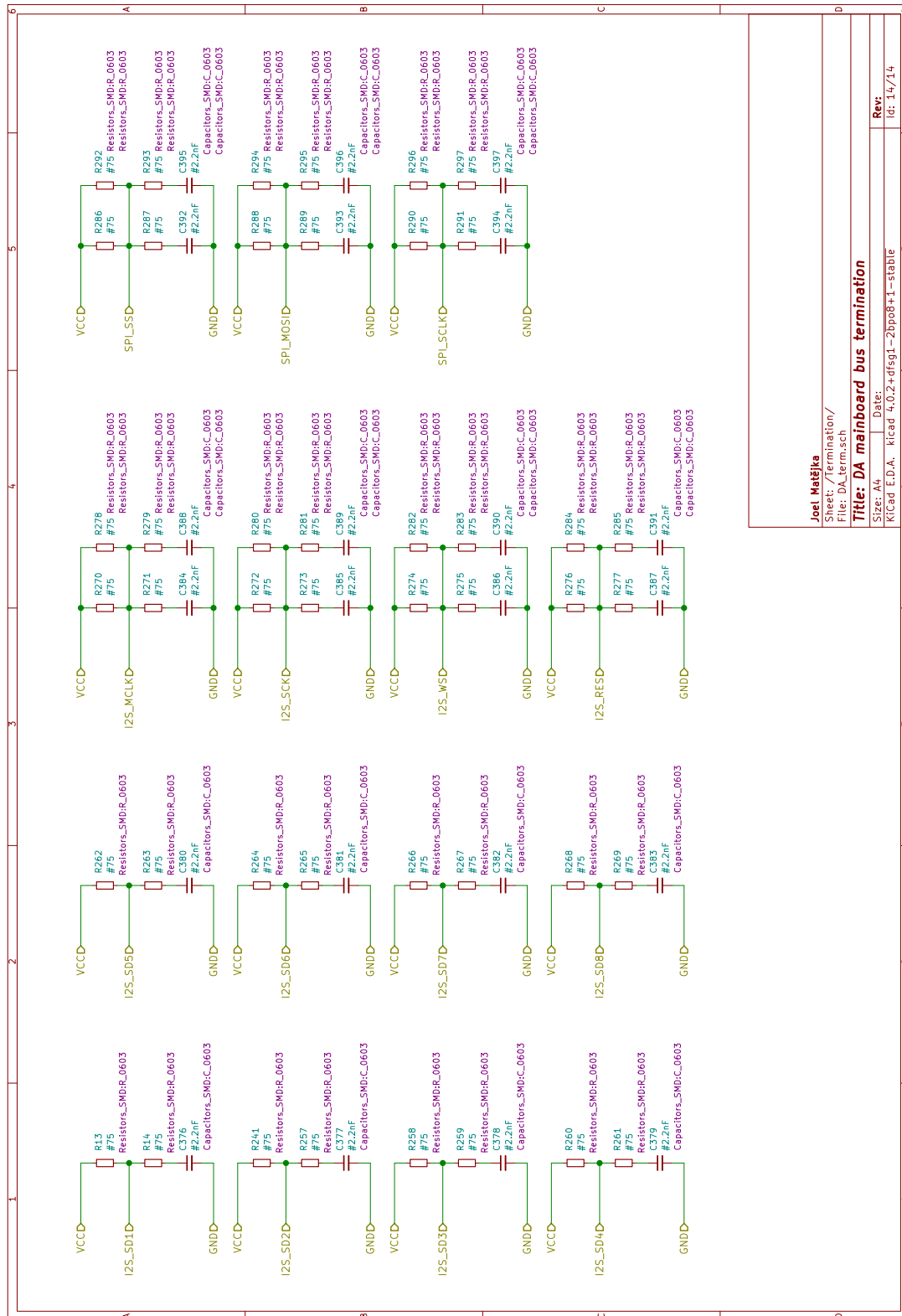


Joel Matějka	
Sheet: /Power supply/	
File: DA_dwr.sch	
Title: DA mainboard power supply	
Size: A4	Date:
KiCad E.D.A.	Kicad 4.0.2+dfsg1-2bpo8+1-stable
Rev:	Id: 2/14

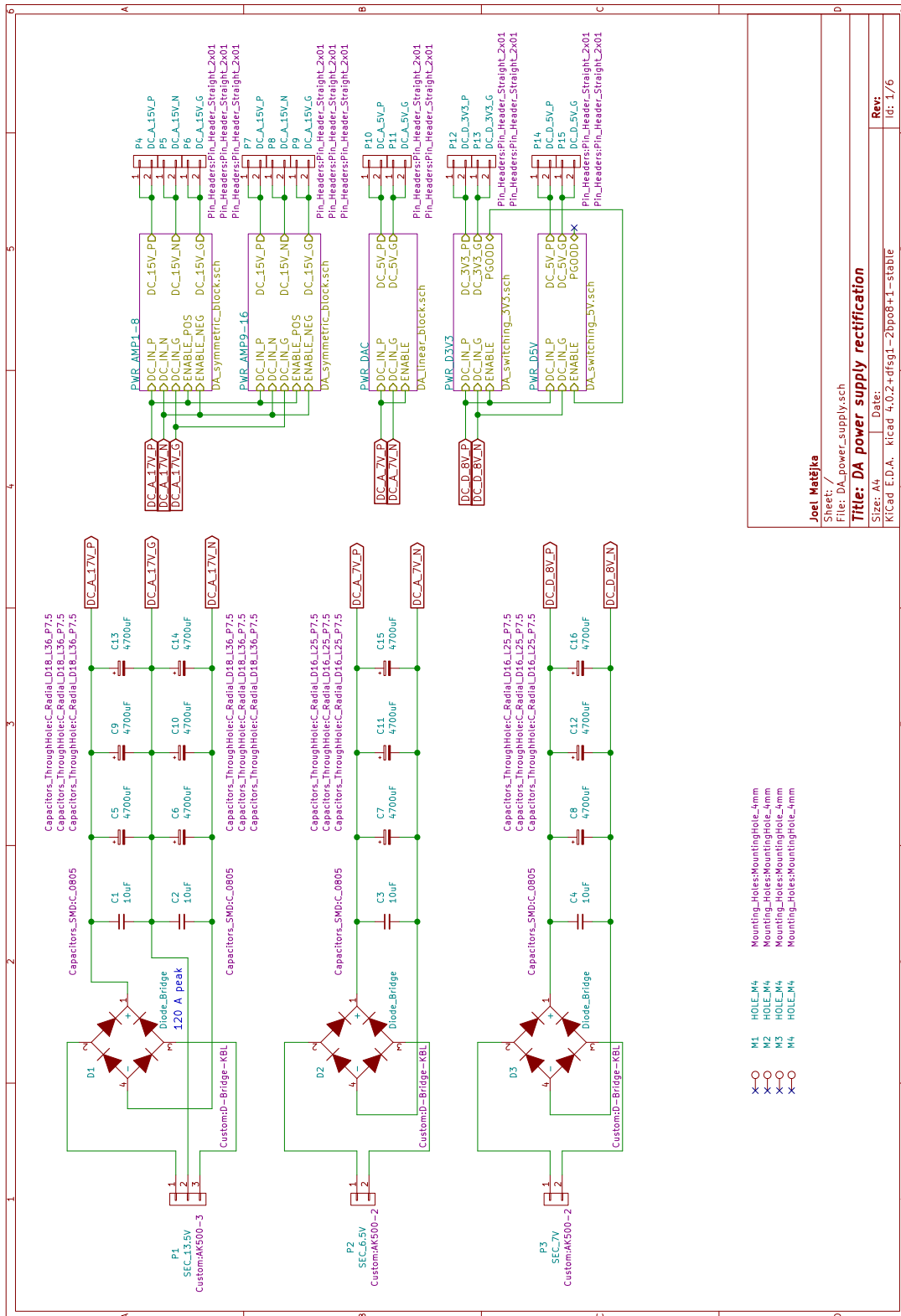
Obrázek 62: Schéma základové desky – napájecí zdroj



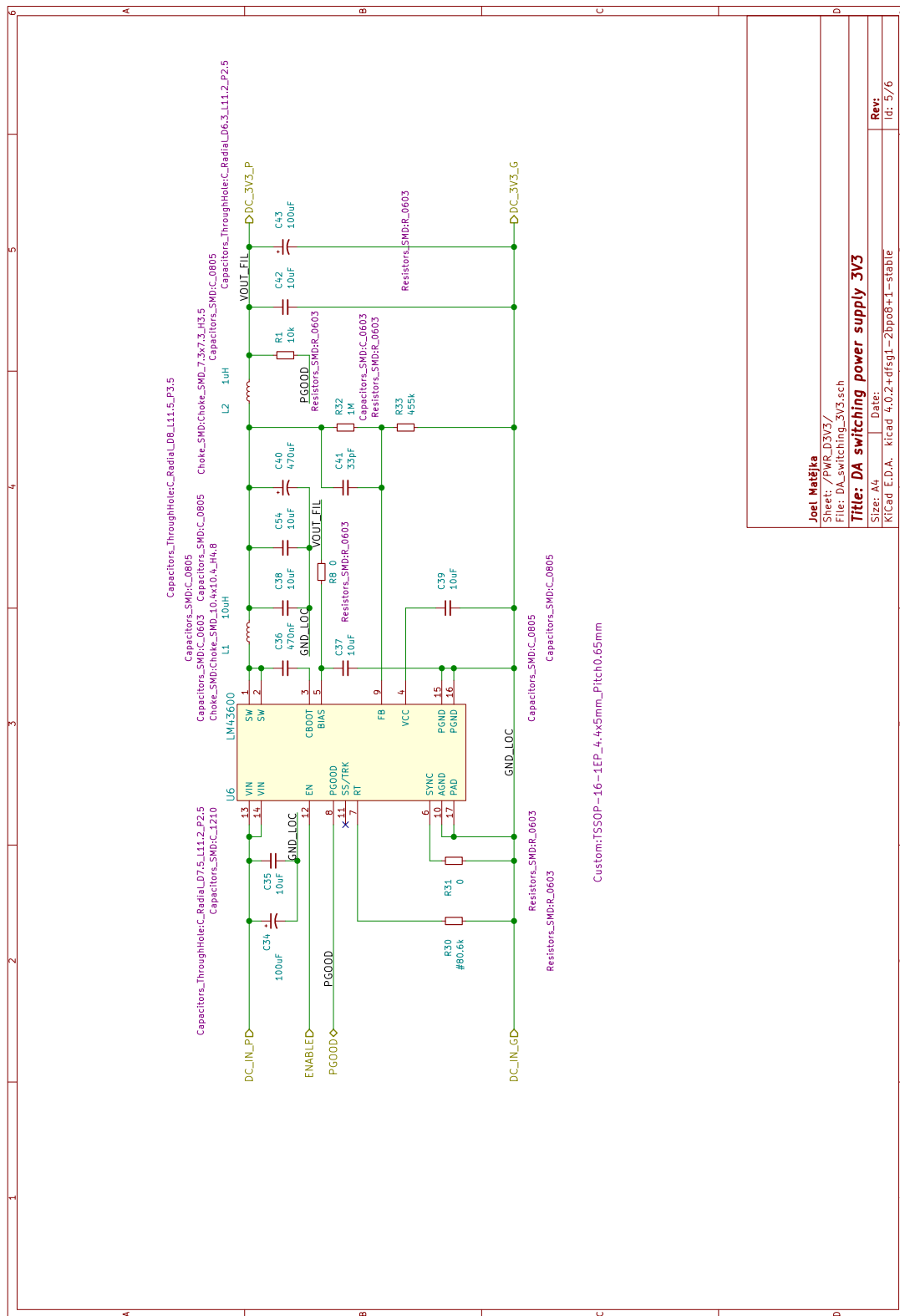
Obrázek 63: Schéma základové desky – LC filtry pro analogovou část



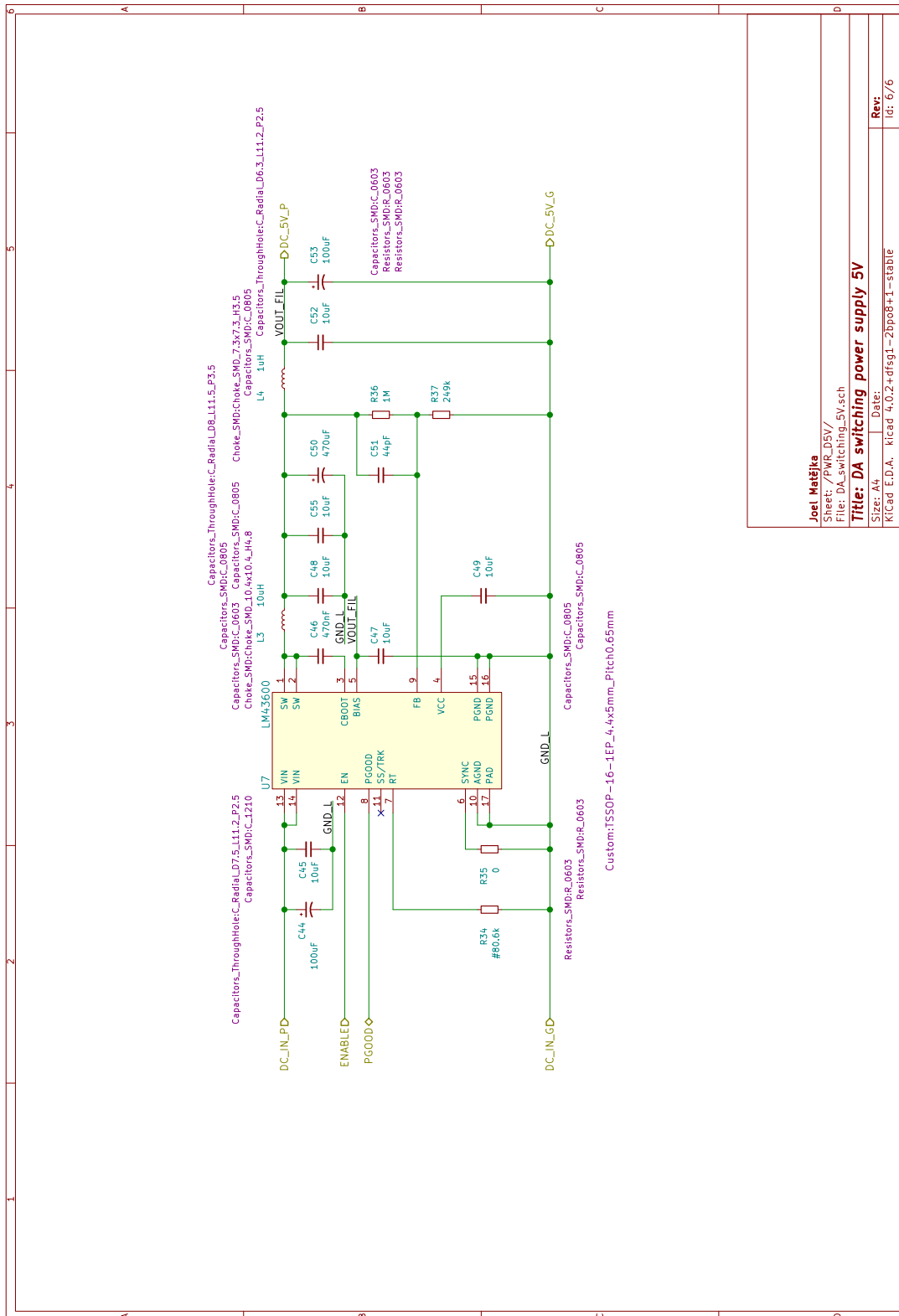
Obrázek 64: Schéma základové desky – impedanční přizpůsobení dlouhých vedení



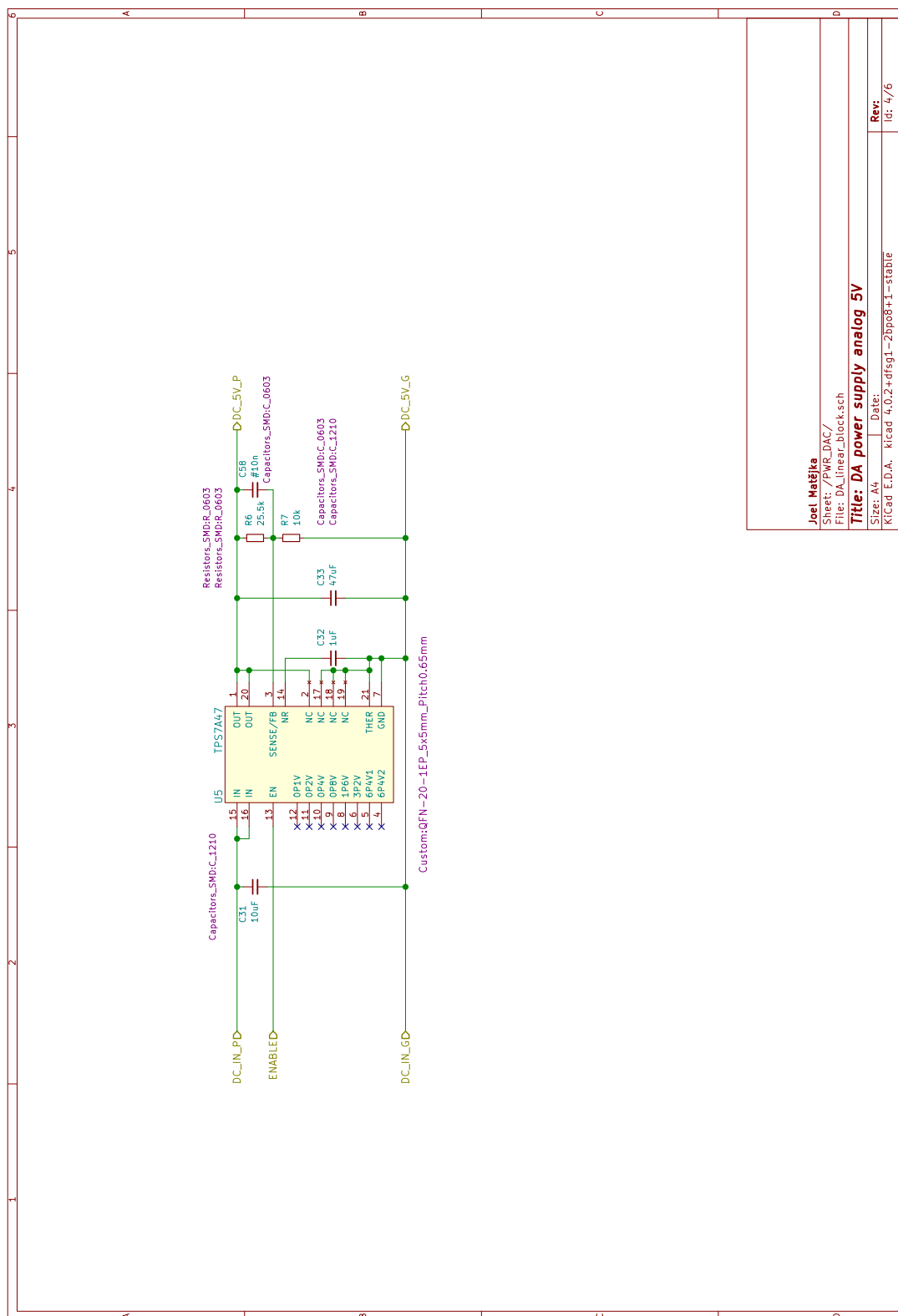
Obrázek 65: Schéma desky napájecího zdroje – usměrňovač



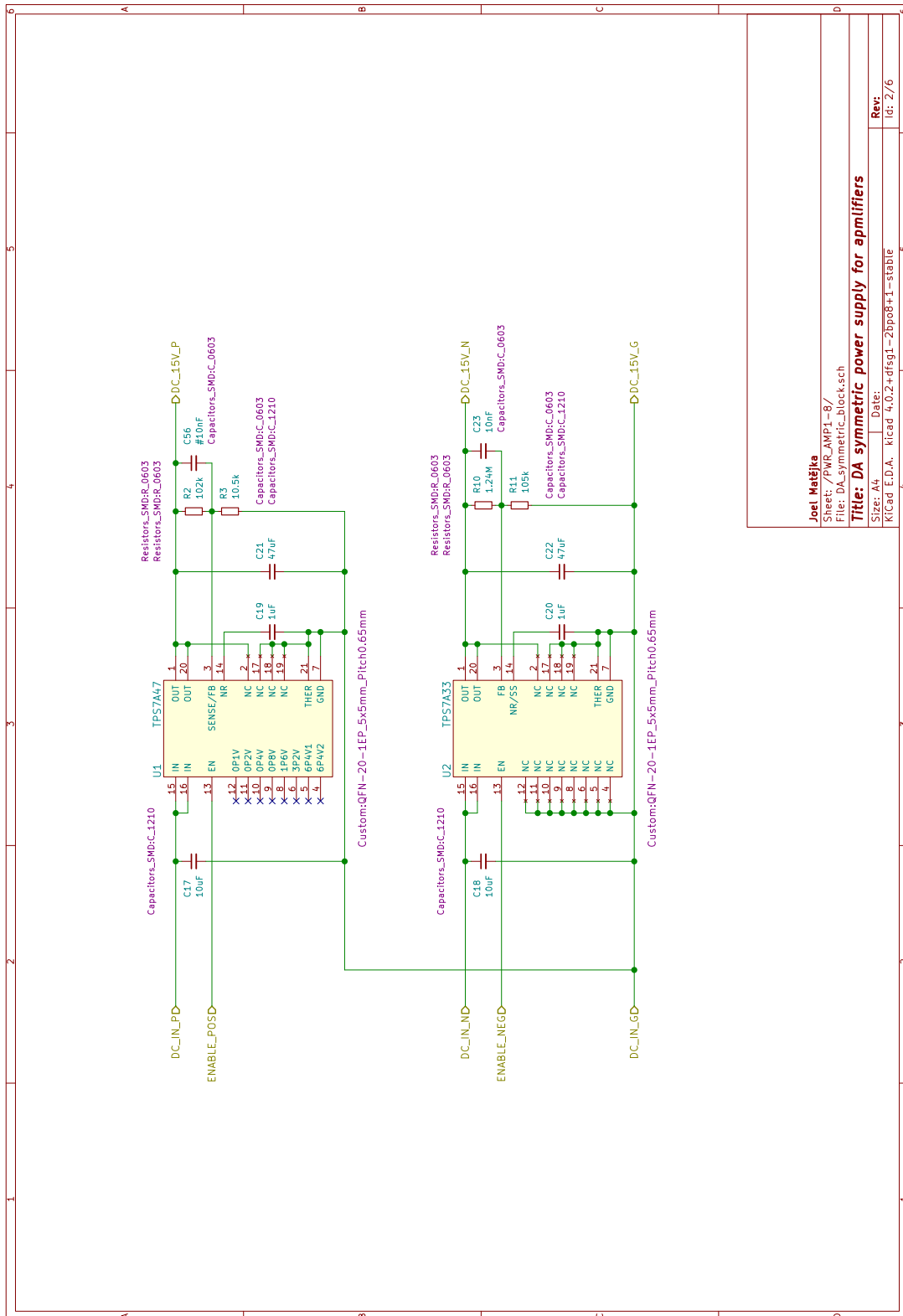
Obrázek 66: Schéma desky napájecího zdroje – spínaný zdroj 3,3V



Obrázek 67: Schéma desky napájecího zdroje – spínaný zdroj 5 V

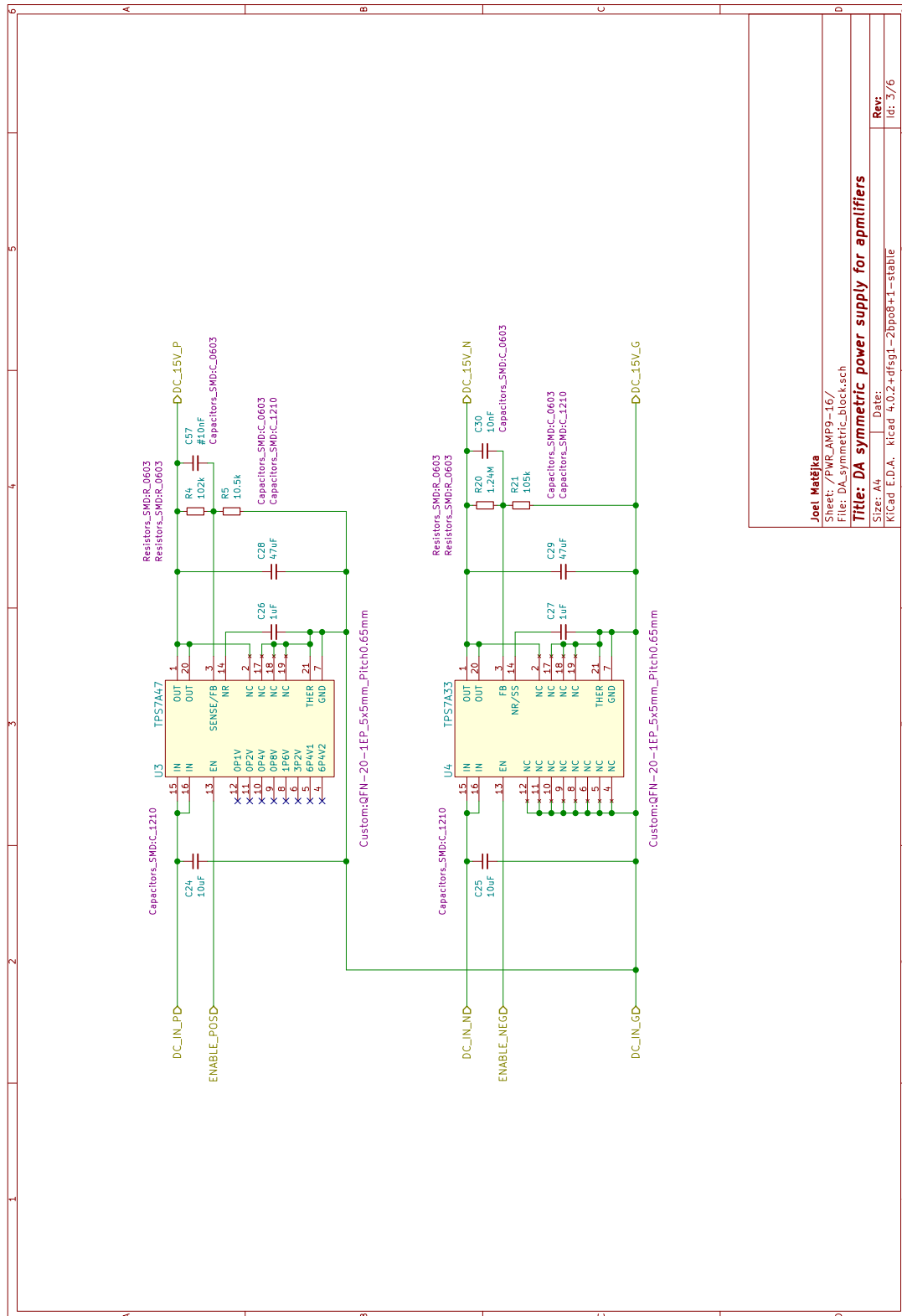


Obrázek 68: Schéma desky napájecího zdroje – lineární regulátor na 5 V analog



Joel Matějka	
Sheet: /PWR_AMP1-8/	
File: DA_symmetric_block.sch	
Title: DA symmetric power supply for amplifiers	
Size: A4	Date:
KiCad E.D.A.	KiCad 4.0.2+dfsg1-2bpo8+1-stable
Rev:	Id: 2/6

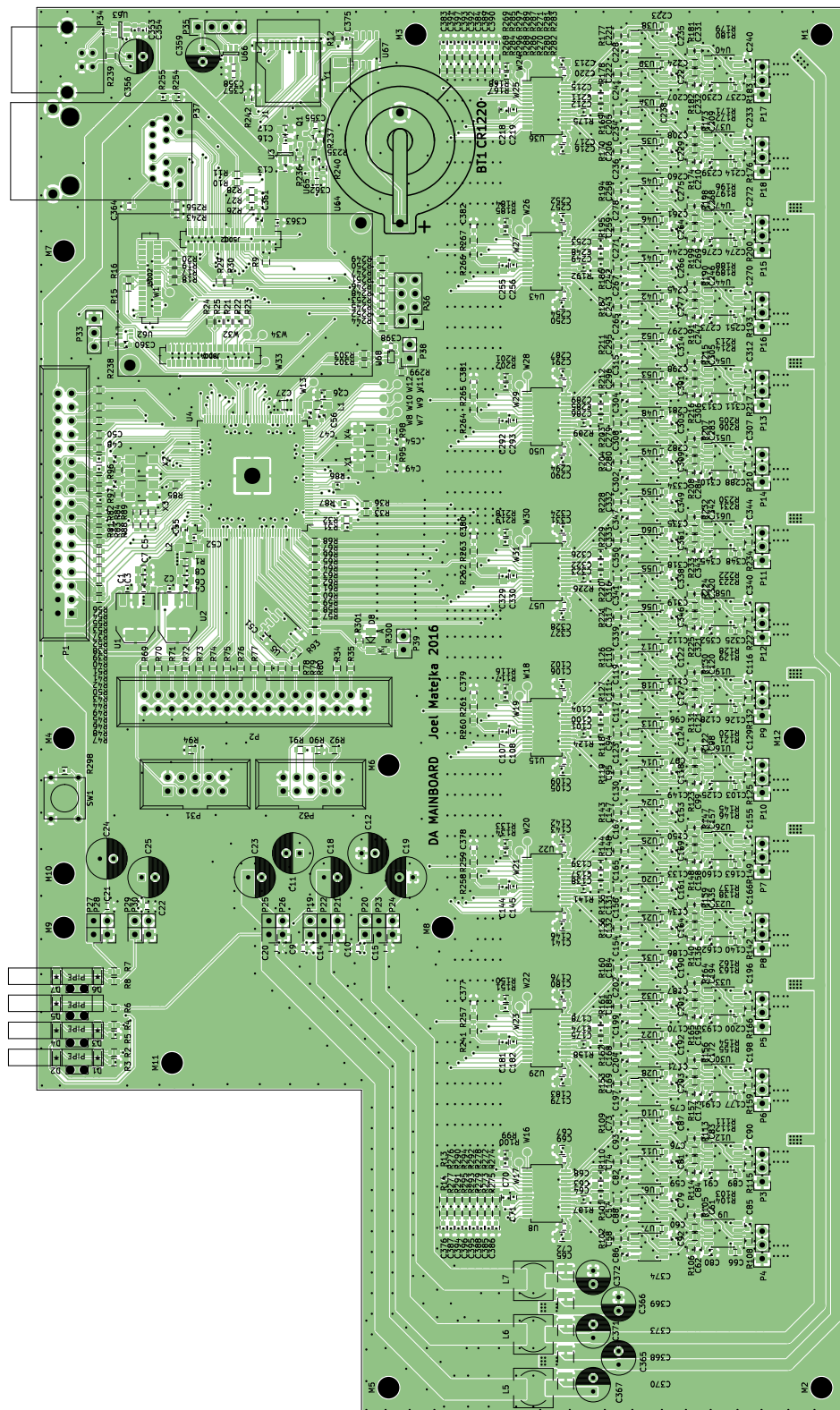
Obrázek 69: Schéma desky napájecího zdroje – symetrický zdroj ±15 V pro kanál 1–8



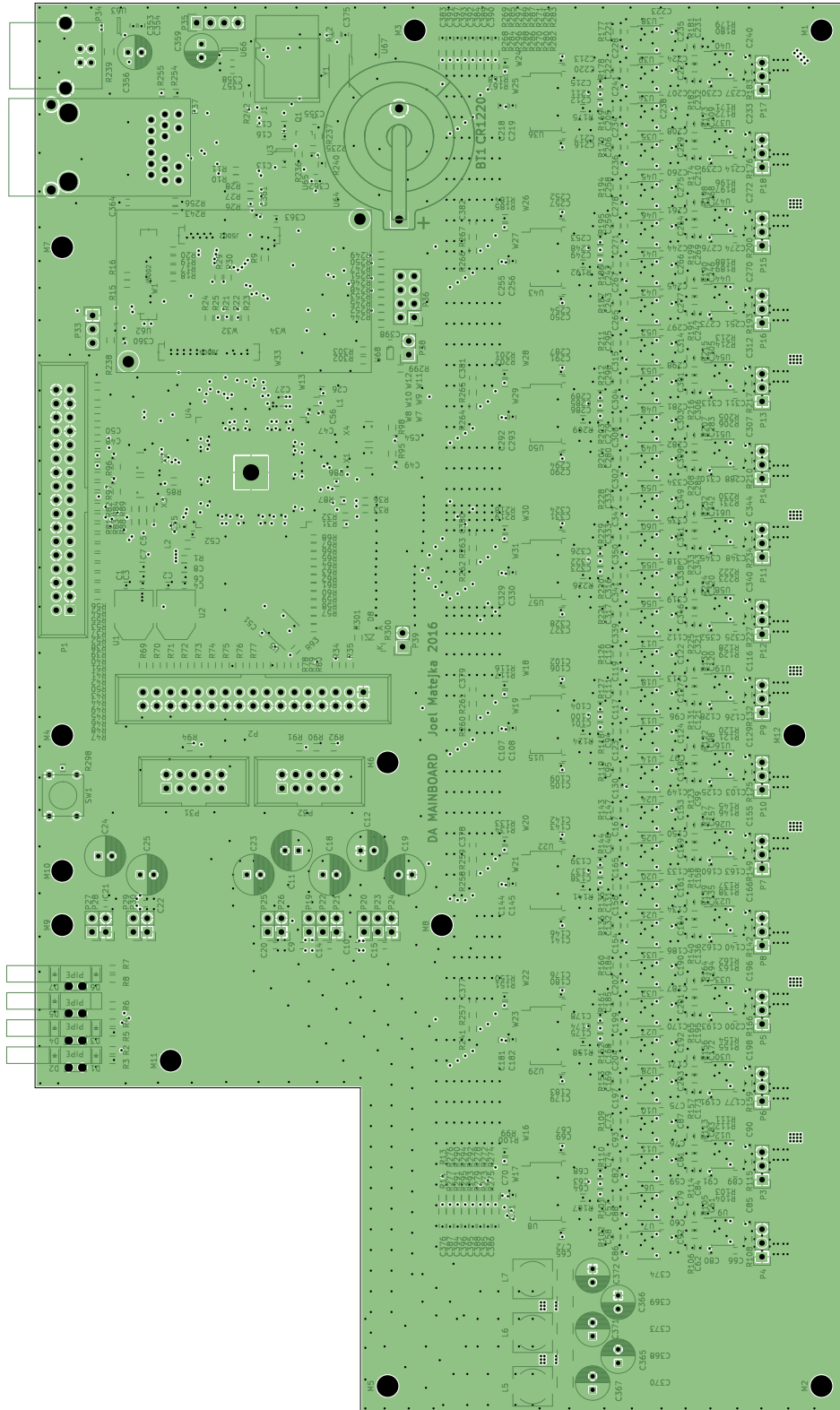
Joel Matějka
 Sheet: /PWR_AMP9-16/
 File: DA_symmetric_block.sch
Title: DA symmetric power supply for amplifiers
 Size: A4 Date:
 Kicad E.D.A. Kicad 4.0.2+dfsg1-2bpo8+1-stable
 Rev:
 Id: 3/6

Obrázek 70: Schéma desky napájecího zdroje – symetrický zdroj ± 15 V pro kanál 9–16

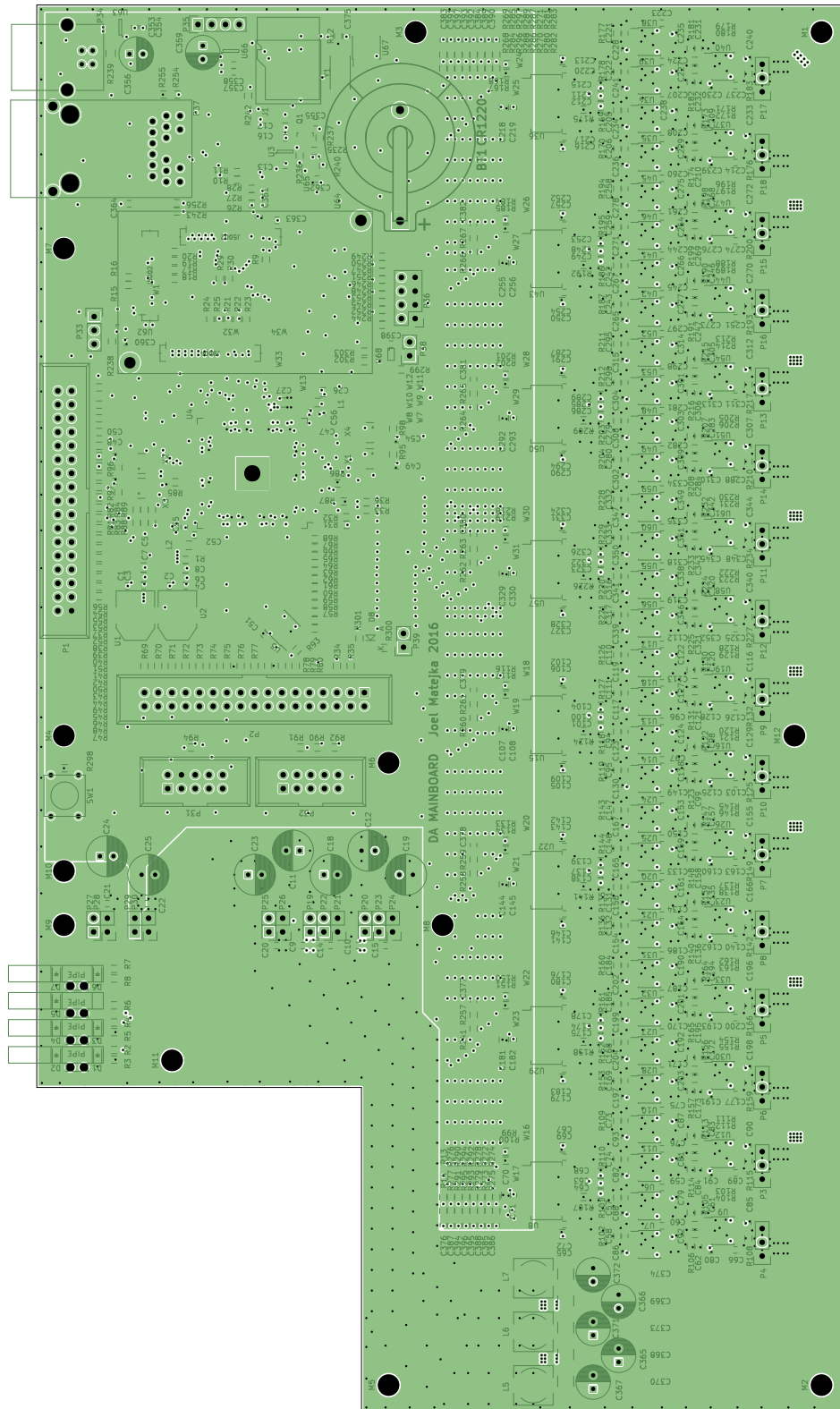
B Desky plošných spojů



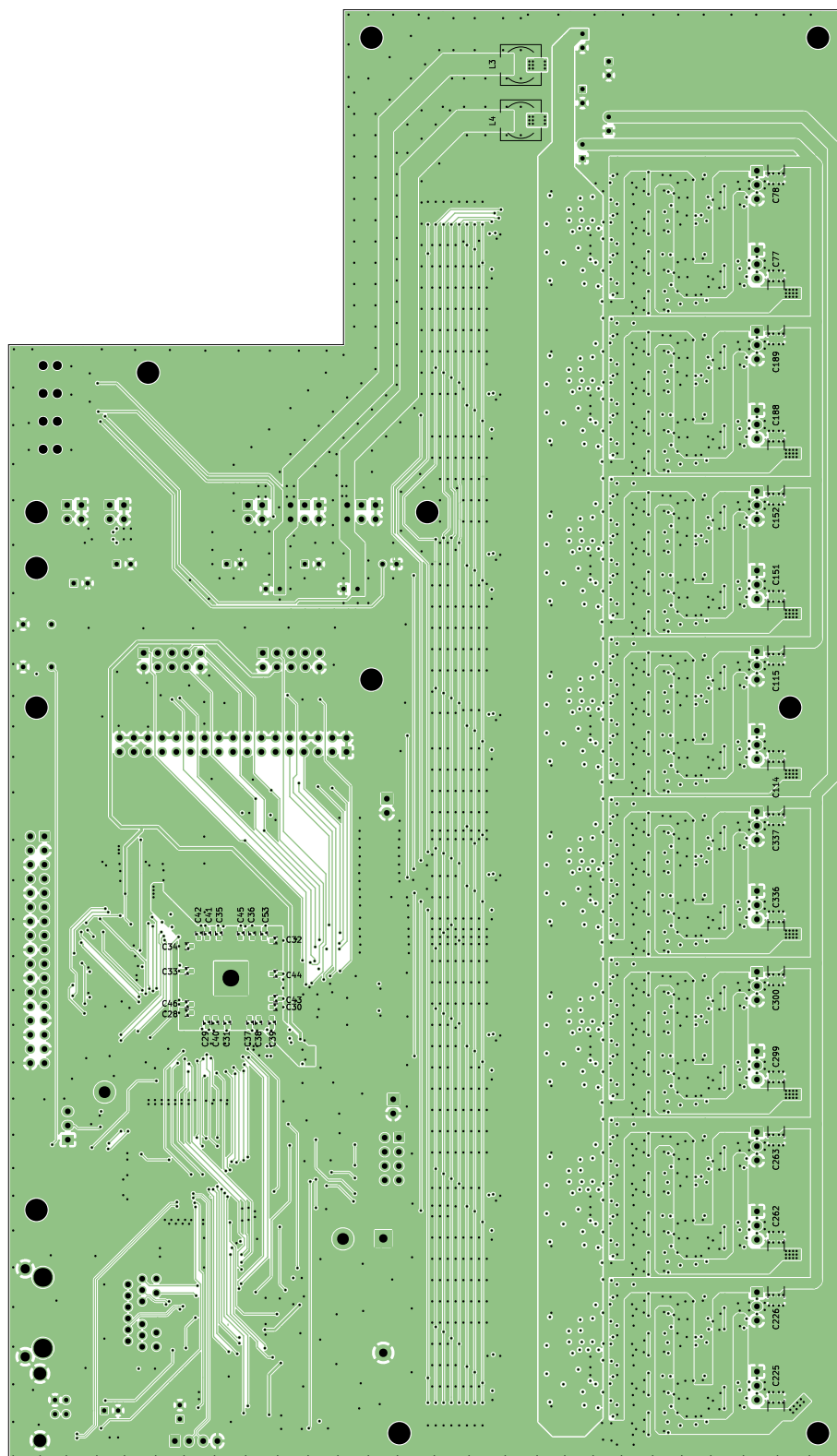
Obrázek 71: Základová deska – pohled ze strany top



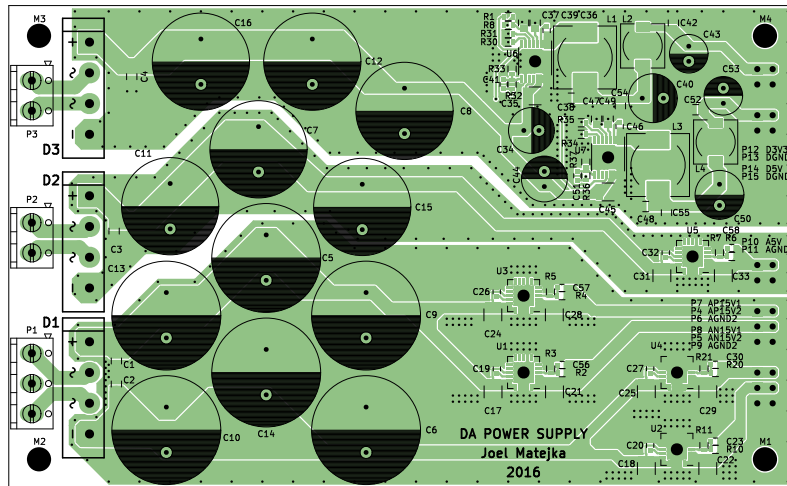
Obrázek 72: Základová deska – vnitřní vrstva 1



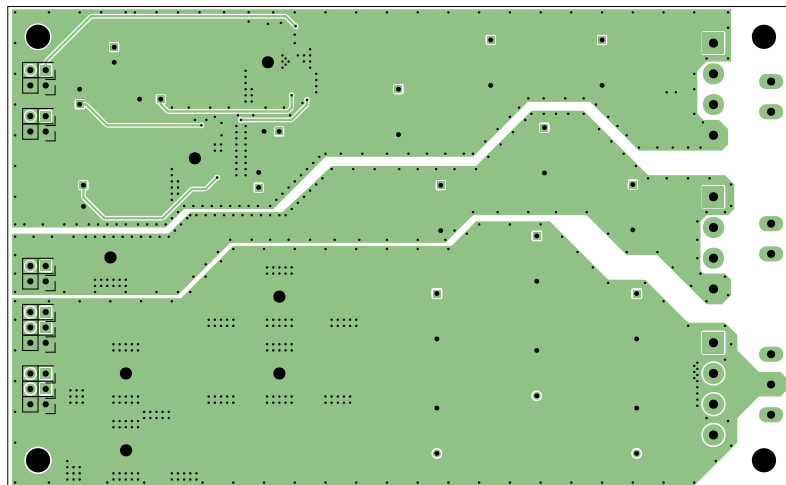
Obrázek 73: Základová deska – vnitřní vrstva 2



Obrázek 74: Základová deska – pohled ze strany bottom



Obrázek 75: Deska napájecího zdroje – pohled ze strany top



Obrázek 76: Deska napájecího zdroje – pohled ze strany bottom

C Obsah příloženého CD

src	Zdrojové kódy práce
├─ FPGA	Popis logiky pro FPGA
├─ GUI	Uživatelské rozhraní
├─ IMX6	Řídicí software pro procesorový modul
├─ WAV	Matlab skripty pro generaci testovacích stop
└─ DP_Matejka_Joel.pdf	Text práce ve formátu PDF

Seznam literatury

- [1] 1394 TRADE ASSOCIATION. *FireWire Reference Tutorial* [online]. 2010. [cit. 10. 5. 2016]. Dostupné z: <http://www.1394ta.org/press/whitepapers/firewire%20reference%20tutorial.pdf>.
- [2] ALTERA. *Webové stránky společnosti Altera* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <http://www.altera.com>.
- [3] ALTERA. *FPGA vs. DSP Design Reliability and Maintenance* [online]. 2007. [cit. 10. 5. 2016]. Dostupné z: https://www.altera.com/en_US/pdfs/literature/wp/wp-01023.pdf.
- [4] ALTERA. *AN 592: Cyclone IV Design Guidelines* [online]. Rev. 1.3. 2013. [cit. 10. 5. 2016]. Dostupné z: https://www.altera.com/en_US/pdfs/literature/an/an592.pdf.
- [5] ANALOG DEVICES. *Webové stránky společnosti Analog Devices* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <http://www.analog.com>.
- [6] ANALOG DEVICES. *Fundamentals of Phase Locked Loops (PLLs)* [online]. 2008. [cit. 10. 5. 2016]. Dostupné z: <http://www.analog.com/media/en/training-seminars/tutorials/MT-086.pdf>.
- [7] BISHOP, P. *A tradeoff between microcontroller, DSP, FPGA and ASIC technologies* [online]. 2009. [cit. 10. 5. 2016]. Dostupné z: http://www.eetimes.com/document.asp?doc_id=1275272.
- [8] BOHÁČ, L. *Základy transportního protokolu TCP* [online]. 2013. [cit. 10. 5. 2016]. Dostupné z: http://data.cedupoint.cz/oppa_e-learning/2_KME/055.pdf.
- [9] BRYSTON. *The Ideal Transformer Is A Donut* [online]. 2011. [cit. 10. 5. 2016]. Dostupné z: http://bryston.com/PDF/newsletters/Bryston_Newsletter_V8_5.pdf.
- [10] CHEN, S. *High-Level Data Link Control* [online]. 2013. [cit. 10. 5. 2016]. Dostupné z: <http://users.ecs.soton.ac.uk/sqc/EL336/CNL-6.pdf>.
- [11] COALSON, J. *About FLAC* [online]. 2009. [cit. 10. 5. 2016]. Dostupné z: <https://xiph.org/flac/features.html>.
- [12] ČSN EN 60268-5. *Elektroakustická zařízení – Část 5: Reprodukory*. Český normalizační institut, 2004. ISBN 9788073002664.
- [13] EMBEDDED LINUX COMMUNITY. *CPU Shielding capability* [online]. 2013. [cit. 10. 5. 2016]. Dostupné z: http://elinux.org/CPU_Shielding_capability.
- [14] EMBEST TECHNOLOGY. *Webové stránky výrobce MarS Board* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <http://www.embest-tech.com>.
- [15] EMCRAFT SYSTEMS. *Webové stránky výrobce STM32Fx modulů* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <http://www.emcraft.com>.
- [16] ERIKA ENTERPRISE. *Webové stránky operačního systému Erika Enterprise* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <http://erika.tuxfamily.org>.

- [17] GRUSIN, M. *Serial Peripheral Interface (SPI)* [online]. 2010. [cit. 10. 5. 2016].
Dostupné z:
<<https://learn.sparkfun.com/tutorials/serial-peripheral-interface-spi>>.
- [18] HAOYU ELECTRONICS. *Webové stránky výrobce MarsBoard* [online]. 2016.
[cit. 10. 5. 2016]. Dostupné z: <<http://www.marsboard.com>>.
- [19] HUNTER, P. Designing an ultra-low-noise supply for analog circuits. *Electronic Products*. 2011, s. 58, 60, 61.
- [20] IBM CORPORATION AND MICROSOFT CORPORATION. *Multimedia Programming Interface and Data Specifications* [online]. 1991. [cit. 10. 5. 2016]. Dostupné z:
<<https://www.aelius.com/njh/wavemetatools/doc/riffmci.pdf>>.
- [21] IEEE 802 LAN/MAN STANDARDS COMMITTEE. *Webové stránky IEEE 802 LAN/MAN Standards Committee* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z:
<<http://www.ieee802.org>>.
- [22] KESTER, W. *Data conversion handbook*. Elsevier Newnes, 2005. ISBN 0750678410.
- [23] LENK, J. *Simplified design of linear power supplies*. Butterworth-Heinemann, 1994. ISBN 0750695064.
- [24] LIBUSB. *Webové stránky projektu libusb* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z:
<<http://www.libusb.org>>.
- [25] LINEAR TECHNOLOGY. *Webové stránky společnosti Linear Technology* [online]. 2016.
[cit. 10. 5. 2016]. Dostupné z: <<http://www.linear.com>>.
- [26] LINUX KERNEL ORGANISATION. *NO_HZ: Reducing Scheduling-Clock Ticks* [online]. 2015. [cit. 10. 5. 2016]. Dostupné z:
<https://www.kernel.org/doc/Documentation/timers/NO_HZ.txt>.
- [27] MAXIM INTEGRATED. *Webové stránky společnosti Maxim Integrated* [online]. 2016.
[cit. 10. 5. 2016]. Dostupné z: <<https://www.maximintegrated.com>>.
- [28] MICROSOFT. *Webové stránky s manuálem vývoje USB ovladačů pro Windows* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z:
<<https://msdn.microsoft.com/en-us/library/windows/hardware/hh406260%28v=vs.85%29.aspx>>.
- [29] NXP SEMICONDUCTORS. *I²C bus specification and user manual* [online]. 2014.
[cit. 10. 5. 2016]. Dostupné z:
<http://www.nxp.com/documents/user_manual/UM10204.pdf>.
- [30] OHNHÄUSER, F. *Analog-digital converters for industrial applications including an introduction to digital-analog converters*. Springer Vieweg, 2015. ISBN 9783662470190.
- [31] PATTERSON, D. *Computer organization and design : the hardware/software interface*. Morgan Kaufmann, 2014. ISBN 978-0-12-407726-3.
- [32] PHILIPS SEMICONDUCTORS. *I²S bus specification* [online]. 1986. [cit. 10. 5. 2016].
Dostupné z:
<<https://www.sparkfun.com/datasheets/BreakoutBoards/I2SBUS.pdf>>.

- [33] PHILIPS SEMICONDUCTORS. *An Introduction To Very-Long Instruction Word (VLIW) Computer Architecture* [online]. 1999. [cit. 10. 5. 2016]. Dostupné z: <<http://www.isi.edu/~youngcho/cse560m/vliw.pdf>>.
- [34] PITHADIAD, S. – MORE, S. Grounding in mixed-signal systems demystified, Part 2. *Analog Applications Journal*. 2Q 2013.
- [35] PLASSCHE, R. *CMOS integrated analog-to-digital and digital-to-analog converters*. Kluwer Academic Publishers, 2003. ISBN 1402075006.
- [36] RAISSI, R. *The Theory Behind Mp3* [online]. 2002. [cit. 10. 5. 2016]. Dostupné z: <http://www.mp3-tech.org/programmer/docs/mp3_theory.pdf>.
- [37] REAL TIME ENGINEERS. *Webové stránky operačního systému FreeRTOS* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.freertos.org>>.
- [38] REAL-TIME LINUX. *Webové stránky real-time patche pro Linux* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<https://rt.wiki.kernel.org>>.
- [39] RUMSEY, F. *Sound and recording*. Elsevier/Focal, 2009. ISBN 9780240521633.
- [40] SILICON LABS. Which ARM Cortex Core Is Right for Your Application: A, R or M? online, 2013. Dostupné z: <http://www.silabs.com/Support%20Documents/TechnicalDocs/Which-ARM-Cortex-Core-Is-Right-for-Your-Application.pdf>.
- [41] SOLIDRUN. *Webové stránky společnosti SolidRun* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<https://www.solid-run.com>>.
- [42] SOLIDRUN LTD. *SR-uSOM-MX6 User Manual* [online]. Rev. 1.2. 2014. [cit. 10. 5. 2016]. Dostupné z: <<https://www.solid-run.com/download/pub/solidrun/SR-uSOM-mx6/SR-uSOM-MX6%20User%20Manual%20v1-2.pdf>>.
- [43] TEXAS INSTRUMENTS. *Webové stránky společnosti Texas Instruments* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com>>.
- [44] TEXAS INSTRUMENTS. *AN-556 Introduction to Power Supplies* [online]. 2010a. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/an/snva006b/snva006b.pdf>>.
- [45] TEXAS INSTRUMENTS. *24-bit, 192-kHz Sampling, Advanced Segment, Audio Stereo Digital-to-analog Converter* [online]. Rev. B. 2006. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/ds/symlink/pcm1792a.pdf>>.
- [46] TEXAS INSTRUMENTS. *Application Note 779: A Basic Introduction to Filters - Active, Passive and Switched Capacitor* [online]. 2010b. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/an/snoa224a/snoa224a.pdf>>.
- [47] TEXAS INSTRUMENTS. *LM43603 SIMPLE SWITCHER® 3.5 V to 36 V 3 A Synchronous Step-Down Voltage Converter* [online]. Rev. B. 2014. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/ds/symlink/lm43603.pdf>>.
- [48] TEXAS INSTRUMENTS. *NE5534x, SA5534x Low-Noise Operational Amplifiers* [online]. Rev. D. 2014. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/ds/symlink/ne5534.pdf>>.

- [49] TEXAS INSTRUMENTS. *TPS7A33 – 36-V, 1-A, Ultralow-Noise Negative Voltage Regulator* [online]. Rev. F. 2014a. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/ds/symlink/tps7a33.pdf>>.
- [50] TEXAS INSTRUMENTS. *TPS7A470x 36-V, 1-A, 4-uVRMS, RF LDO Voltage Regulator* [online]. Rev. F. 2014b. [cit. 10. 5. 2016]. Dostupné z: <<http://www.ti.com/lit/ds/symlink/tps7a47.pdf>>.
- [51] THE GTK+ TEAM. *Webové stránky projektu GTK+* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.gtk.org>>.
- [52] THE QT COMPANY. *Webové stránky grafické knihovny Qt* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://wiki.qt.io>>.
- [53] THE WXWIDGETS TEAM. *Webové stránky grafické knihovny wxWidgets* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<https://www.wxwidgets.org>>.
- [54] USB IMPLEMENTERS FORUM. *Webové stránky sběrnice USB* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.usb.org>>.
- [55] VEDRAL, J. *Elektronické obvody pro měřicí techniku*. ČVUT, 1999. ISBN 8001019500.
- [56] WANDBOARD. *Webové stránky produktu Wanboard* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.wandboard.org/>>.
- [57] WIND RIVER. *Webové stránky společnosti Wind River* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://windriver.com>>.
- [58] WOLFSON MICROELECTRONICS PLC. *24-bit 192kHz DAC with Advanced Digital Filtering* [online]. Rev. 4.3. 2013. [cit. 10. 5. 2016]. Dostupné z: <https://www.cirrus.com/jp/pubs/proDatasheet/WM8741_v4.3.pdf>.
- [59] XILINX. *Webové stránky společnosti Xilinx* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.xilinx.com>>.
- [60] XIPH.ORG FOUNDATION. *Vorbis.com FAQ* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<http://www.vorbis.com/faq/#what>>.
- [61] YAGHMOUR, K. *Building embedded Linux systems*. O'Reilly Media, 2008. ISBN 0596529686.
- [62] YOCTO PROJECT. *About Yocto Project* [online]. 2016. [cit. 10. 5. 2016]. Dostupné z: <<https://www.yoctoproject.org/about>>.
- [63] ZÁHLAVA, V. *Návrh a konstrukce desek plošných spojů : principy a pravidla praktického návrhu*. BEN – technická literatura, 2010. ISBN 9788073002664.
- [64] ZUMBAHLEN, H. *Basic linear design*. Analog Devices, 2007. ISBN 0-916550-28-1.
- [65] ZUMBAHLEN, H. *Linear circuit design handbook*. Elsevier/Newnes Press, 2008. ISBN 9780750687034.