

ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ V PRAZE

Fakulta elektrotechnická

Katedra elektromagnetického pole

Digitální osciloskop USB

květen 2016

Diplomant: Bc. Petr Ouředník

Vedoucí Práce: doc. Dr. Ing. Jiří Hospodka

Čestné prohlášení

Prohlašuji, že jsem zadanou diplomovou práci zpracoval sám s přispěním vedoucího práce a konzultanta a používal jsem pouze literaturu v práci uvedenou. Dále prohlašuji, že nemám námitek proti půjčování nebo zveřejňování mé diplomové práce nebo její části se souhlasem katedry.

Datum:

.....

podpis diplomanta

České vysoké učení technické v Praze
Fakulta elektrotechnická

katedra elektromagnetického pole

ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Petr Ouředník**

Studijní program: Komunikace, multimédia a elektronika
Obor: Bezdrátové komunikace

Název tématu: **Digitální osciloskop USB**

Pokyny pro vypracování:

1. Proveďte aktuální rešerši známých zařízení pro sběr a zobrazování dat.
2. Vyjděte z předchozí práce [1] a vylepšete koncepci samostatné jednotky digitálního osciloskopu, určené pro snímání elektrických napěťových signálů. Jednotka osciloskopu by měla být dvoukanálová a pracovat v kmitočtovém pásmu DC až 10MHz. Zaměřte se jak na analogové zpracování signálu, tak jeho digitalizaci a zpracování (spouštění, taktování AD převodníku, ukládání do zásobníkové paměti, atd.) i přenos do PC. Pro přenos dat do PC využijte rozhraní USB. Zvažte možnost galvanického oddělení jednotky od počítače a synchronizaci více paralelně pracujících jednotek.
3. Navržené části dle možností implementujte a ověřte funkčním vzorkem včetně ovládacího software. Dosažené výsledky zhodnoťte.

Seznam odborné literatury:

- [1] OUŘEDNÍK, Petr. Digitální osciloskop USB. Praha, 2014. Bakalářská práce. České vysoké učení technické v Praze, Fakulta elektrotechnická.
- [2] LYONS, Richard G. Understanding Digital Signal rocessing. Massachusetts: Addison Wesley Longman, Inc., 1997. ISBN 0-201-63467-8
- [3] HAVLÍK, Ladislav. Osciloskopy a jejich použití. Sdělovací technika, 2002. ISBN 80-901936-8-4
- [4] VEDRAL, Josef. Elektronické obvody měřících přístrojů. Praha: Vydavatelství ČVUT, 1994. ISBN 80-01-01081-3
- [5] UHLÍŘ, Jan a Pavel SOVKA. Číslicové zpracování signálů. Vyd. 2. přeprac. Praha: ČVUT, 2002. ISBN 80-01-02613-2.
- [6] AXELSON, Jan. USB complete: the developer's guide. Fifth edition. Madison: Lakeview Research. 2015, ISBN 978-1-931448-28-4.

Vedoucí: doc. Jiří Hospodka Dr. Ing.

Platnost zadání: LS 2016/2017

prof. Ing. Pavel Pechač, Ph.D.
vedoucí katedry



prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 12. 2. 2016

Poděkování

Tímto bych chtěl poděkovat svému vedoucímu diplomové práce panu docentu Hospodkovi a to hlavně za jeho lidský a odborný přístup. Dále bych chtěl poděkovat Ing. Martinu Vackovi a Ing. Jiřímu Hladíkovi za jejich cenné rady. V neposlední řadě bych rád poděkoval Bc. Kláře Zelenkové za cenné připomínky k mému mateřskému jazyku. Největší díky patří mé rodině, která mi umožnila studium na vysoké škole.

Anotace:

Tato diplomová práce se zabývá výzkumem a vývojem digitálního osciloskopu. Výrazným rysem návrhu je použití osobního počítače jako zobrazovací jednotky. Přenos mezi jednotkou osciloskopu a osobním počítačem je uskutečněn pomocí USB. První část popisuje základní koncepci a funkce digitálních osciloskopů. Druhá část je věnována průzkumu aktuálně dostupných USB osciloskopů na trhu. Třetí část se zabývá obvodovým návrhem samostatné jednotky. Čtvrtá část popisuje fyzickou realizaci návrhu a pátá část shrnuje dosažené výsledky.

Klíčová slova:

Digitální osciloskop, USB, AD konverze, vzorkování, izolace, hradlové pole, napájení.

Summary:

This final project is focused in the research and development of digital oscilloscope. A significant feature of the design is to use a personal computer as a display unit. Transfer between the unit oscilloscope and the PC is made via USB. The first section describes the basic concepts and features of digital oscilloscopes. The second part is devoted to a survey of currently available USB oscilloscope on the market. The third part deals with the peripheral design of the unit. The fourth section describes the physical implementation of the design and the fifth part summarizes the results.

Index Terms:

Digital oscilloscope, USB, AD conversion, sampling, isolation, gate array, power.

Obsah

1 Úvod	5
2 Digitální osciloskop	6
2.1 Analogová část	6
2.2 Digitální část	11
2.2.1 Analogově digitální převodník	11
2.2.2 Akvizice	11
2.2.3 Interpolace	12
2.2.4 Spouštění	14
2.2.5 Rychlá Fourierova transformace	15
2.3 USB komunikace	16
3 Průzkum digitálních osciloskopů dostupných na trhu	17
3.1 Picoscope	17
3.1.1 Picoscope 2204A	18
3.2 Bitscope	18
3.3 Tenma	19
3.4 Velleman	19
4 Koncepce	19
4.1 Blokové schéma	19
4.2 Analogová část	20
4.2.1 Popis zapojení	24
4.3 Digitální část	31
4.3.1 Analogově digitální převodník	31
4.3.2 Hradlové pole	34
4.4 Napájení	40
4.5 Galvanické oddělení	47
4.6 USB komunikace a USB kontrolér	48
4.7 Programové vybavení v PC	48
5 Návrh fyzické realizace	49
6 Měření a ověření funkčnosti	52
6.1 Analogová část	52
6.2 Digitální část	53
6.3 Napájení	54

Seznam použitých zkratk

USB	univerzální sériová sběrnice
ADC	analog digital converter
VA	volt-ampérová
SNR	odstup signál šum
ENOB	počet efektivních bitů
SINAD	odstup signálu od šumu a zkreslení
FIR	konečná impulsová odezva
DFT	diskrétní Fourierova transformace
FFT	rychlá Fourierova transformace
PID	typ paketu
MSPS	milión vzorků za sekundu
OZ	operační zesilovač
BW	šířka pásma
THD	činitel harmonického zkreslení
PSRR	potlačení vlivu napájení
SR	rychlost přeběhu
FIFO	paměť typu první do první z
RAM	paměť s náhodným přístupem
FPGA	hradlové pole
CMT	blok kontroly hodinového signálu
SRAM	statická RAM
GPIO	základní mód vstupů a výstupů
RBW	šířka pásma měřícího filtru spektrálního analyzátoru
PC	osobní počítač
DPS	deska plošného spoje
PGA	programovatelný zesilovač

Seznam obrázků

2.1	Základní blokové schéma digitálního osciloskopu	6
2.2	Korektně navzorkovaný signál	8
2.3	Podvzorkovaný signál vytváří nové nepravdivé kmitočty	8
2.4	Kmitočtové spektrum korektně navzorkovaného signálu o frekvenci 100 Hz s kmitočtem vzorkování 1000 Hz	9
2.5	Kmitočtové spektrum podvzorkovaného signálu o frekvenci 800 Hz s kmitočtem vzorkování 1000 Hz	9
2.6	Lineární interpolace pro různý počet bodů	13
2.7	Časový průběh vzorkovací funkce $\sin(x)/x$	13
2.8	Porovnání dvou různých interpolací	14
4.1	Blokové schéma návrhu	20
4.2	Šumový model operačního zesilovače a rezistorové sítě	21
4.3	Frekvenční závislost vstupního napěťového šumu u operačního zesilovače AD810.	23
4.4	Nelineární zkreslení druhou a třetí harmonickou frekvencí pro různé zesílení OZ AD8065	24
4.5	Potlačení vlivu napájecích obvodů u OZ AD8065	25
4.6	Zjednodušené schéma analogové části s napěťovou rozvahou	26
4.7	Simulace napěťového zesílení, pro dva druhy antialiasingových filtrů	32
4.8	Simulace skupinového zpoždění analogové části, pro dva druhy antialiasingových filtrů a všechna zesílení	32
4.9	Simulace odezvy analogové části na jednotkový skok	33
4.10	Blokové schéma systému v hradlovém poli	35
4.11	Příklad fázové nestability (jitteru)	38
4.12	Závislost SNR způsobeného jitterem pro FPGA a dedikovaný obvod	39
4.13	Snižující DC/DC měnič	42
4.14	Princip invertující nábojové pumpy	44
4.15	Princip zvyšujícího DC/DC měniče	44
4.16	Blokové schéma a schéma zapojení obvodu TPS65132	45
4.17	Blokové schéma obvodu LTM2884	47
5.1	Závislost impedance kondenzátoru na frekvenci	50
6.1	Změřená amplitudová frekvenční charakteristika analogové části	54

Seznam tabulek

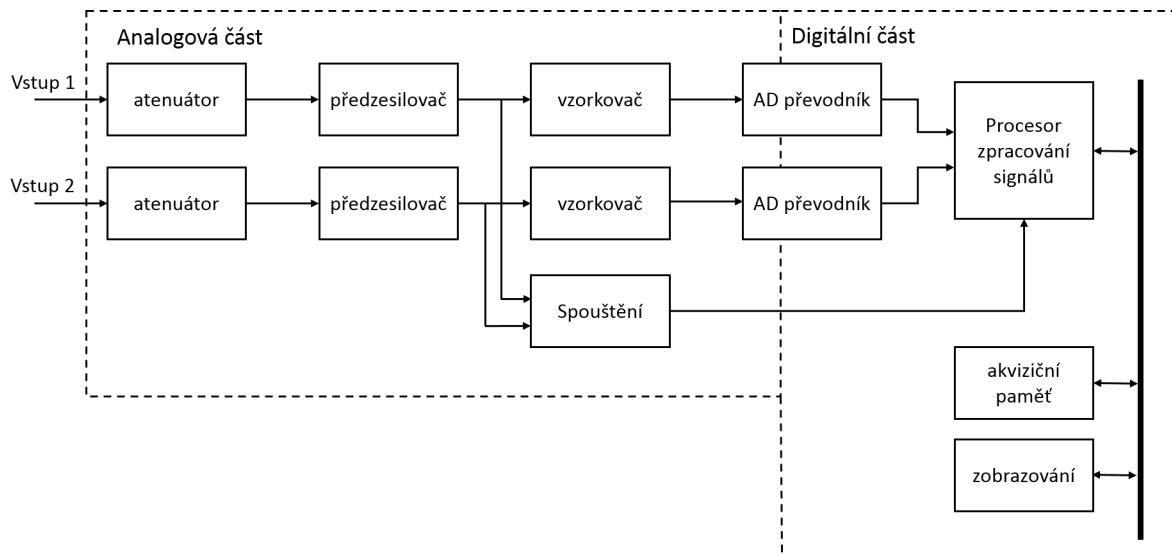
2.1	Porovnání počtu efektivních bitů uváděných výrobcí dvoukanalových AD převodníků na 10 MHz	10
2.2	Vylepšení rozlišení pomocí průměrování u současných osciloskopů	10
2.3	Základní srovnání USB verzí	16
3.1	Parametry osciloskopu Picoscope 2204A	18
3.2	Základní parametry dostupných USB osciloskopů	19
4.1	Napěťová rozvaha pro plnou výchylku na AD převodníku	26
4.2	Seznam zesílení	27
4.3	Parametry OZ AD8065	28
4.4	Parametry vstupního zesilovače s OZ AD8065	28
4.5	Parametry OZ preamp THS7001	29
4.6	Parametry offsetového zesilovače s OZ preamp THS7001	29
4.7	Parametry PGA THS7001	30
4.8	Parametry diferenčního OZ ADA4940	30
4.9	Parametry budiče AD převodníku s OZ ADA494	30
4.10	Parametry symetrického RC filtru prvního řádu	31
4.11	Parametry symetrického LC filtru druhého řádu	31
4.12	Vypočtené kvalitativní hodnoty analogové části	33
4.13	Navržená kombinace blokové paměti SRAM	37
4.14	Statické a dynamické spotřeby jednotlivých zesilovacích bloků (nejhorší případ)	41
4.15	Výkonová spotřeba jednotlivých napěťových domén hradlového pole	42
4.16	Celkový potřebný příkon	42
4.17	Parametry vybraného induktoru pro zdroj napětí digitální části SRN2512-2R2M	43
4.18	Vstupní parametry při výpočtu proudu induktorem	46
4.19	Parametry vybraného induktoru pro zdroj napětí analogové části	46
4.20	Parametry vybraných kapacit pro zdroj napětí analogové části	46
5.1	Parametry datové dvoulinky USB na DPS	51
6.1	Změřené kvalitativní závislosti analogové části	53
6.2	Změřené výstupní hodnoty napětí	54

1 Úvod

Osciloskop je přístroj určený k měření průběhů napětí v čase. Nejběžnější výstup takového měření je dvourozměrný graf, kde na vodorovné ose je čas a na svislé ose napětí. Jedná se tedy, o grafické znázornění průběhu napětí. Osciloskop najde uplatnění v mnoha oborech od autotronika počínaje, přes elektroinženýra a u vědce konče. Je nutné si uvědomit, že osciloskopem je přímo měřené téměř výhradně napětí, ale každá fyzikální veličina může být převedena na napětí a následně osciloskopem změřena. Tato vlastnost dělá z osciloskopu velmi univerzální přístroj. Historie osciloskopu se datuje přibližně ke konci 19. století kdy francouzský vědec André-Eugène Blondel sestrojil první oscilograf. Tento přístroj zaznamenával průběh elektrického signálu na posunující se papír inkoustovým perem. Převod elektrického signálu na výchylku ručičky byl realizován pomocí magnetické síly vychylující elektromagnet. Kvůli mechanické podstatě převodu byla maximální měřitelná frekvence tohoto přístroje mezi 10 až 19 Hz. Hlavním průlomem byl avšak vynález obrazovky (katodové trubice) v roce 1897 Karlem Ferdinandem Braunem, která díky svému elektrostatickému vychylování umožňovala měřit signály i s podstatně vyšším kmitočtem. Vývoj dále pokračoval k sestrojení prvního dvoukanalového dvoupaprskového osciloskopu na konci 30tych let a prvního spouštěného osciloskopu v roce 1946. Další vývoj pracoval na možnosti zachycování velmi krátkých nebo naopak dlouhých jevů. Za tímto účelem byly sestrojeny osciloscipy s paměťovou obrazovkou. Pro velmi vysoké frekvence (1ky GHz) nebylo možné používat běžné osciloscipy, a tak musely být vyvinuty takzvané vzorkovací osciloscipy. Vzorkovací osciloskop využívá principu takzvaného vzorkování v ekvivalentním čase. To znamená, že po spuštění se za pomoci velmi rychlých PIN diod odebere pouze jeden vzorek v jednomu spouštěcím oknu. Tento vzorek se již nízkofrekvenčně zpracuje a zobrazí. Po dalším spuštění se znovu odebere pouze jeden vzorek, ale s časovým posunem oproti vzorku předchozímu. Tímto způsobem se z více akvizic složí výsledný měřený signál. Postupné navyšování rychlosti a integrace digitálních obvodů vedla k digitalizaci systému. Tato změna byla průběžná s vývojem stále rychlejších analogově číslicových převodníků. V dnešní době jsou na trhu dostupné již výhradně digitální osciloscipy [2].

Vyráběné osciloscipy lze z hlediska použití rozdělit do tří kategorií: stolní, ruční a miniaturní. Stolní osciloscipy jsou určené pro laboratorní použití. Mají vlastní zobrazovací jednotku a většinou podstatně lepší parametry než ostatní skupiny. Ruční přístroje jsou určeny do terénu. Mají také vlastní zobrazovací jednotku, ale disponují podstatně horšími parametry než přístroje stolní. Jsou napájeny z baterie. Miniaturní osciloscipy většinou nemají vlastní zobrazovací jednotku, a proto mohou být jejich rozměry velmi malé. Zobrazování je provedeno pomocí stolního nebo přenosného počítače. Osciloskop je k počítači připojen přes některou ze standardních sběrnic (USB, Ethernet, sériový port). Měřicí parametry jsou srovnatelné s ručními přístroji. Miniaturní jednotky jsou většinou podstatně levnější než stolní a ruční přístroje.

Cílem práce je navrhnout a realizovat digitální osciloskop využívající USB rozhraní a osobního počítače jako zobrazovací jednotky. Ačkoliv osciloskop v malosériové výrobě nemůže na trhu cenově konkurovat, tak jedním z hlavních požadavků je fyzické 12 bitové rozlišení, což výrazně převyšuje konkurenci, mající většinou 8 bitové převodníky, a tak může konkurovat



Obrázek 2.1: Základní blokové schéma digitálního osciloskopu

svými parametry. Osciloskop s 12 bitovým rozlišením nepředstavuje pro běžné měření žádnou podstatnou výhodu, ale pro numerickou analýzu signálu (např. diskrétní Fourierova transformace) představuje podstatné zvýšení odstupů signálu od šumu. Systém by měl čistě záviset na USB a to i z hlediska napájení. Šířka pásma (minimálně 10 MHz) je volena tak, aby mohla konkurovat běžným USB osciloskopům nižších řad.

2 Digitální osciloskop

Digitální osciloskop je měřicí přístroj, který využívá analogově digitální převodník při zpracování signálu. Digitalizované vzorky jsou poté buď přímo zobrazovány, nebo je s nimi provedena nějaká matematická nebo numerická operace, jejichž výsledky jsou zobrazeny. S pokrokem technologie a s vývojem velmi rychlých integrovaných digitálních kombinačních a sekvenčních obvodů je posouvána mezi hranice digitální a analogovou částí měřících přístrojů. Přírozenou vlastností analogových obvodů jsou šum a nelineární jevy. Tyto skutečnosti jsou důvodem toho, že dnešní trend je směřován k minimalizaci analogových obvodů a pokud možné co nejzazší navzorkování měřeného signálu. Makroskopický svět je spojitým místem, a proto i měřicí přístroje musí umět měřit spojitě fyzikální veličiny. Proto zde bude vždy potřeba analogového rozhraní. Digitalizace přináší možnost ukládání průběhu do paměti, výpočet signálových parametrů, statistiky nebo diskrétní Fourierovi transformace. Základní blokové schéma digitálního osciloskopu je zobrazeno na obrázku 2.1. A jeho jednotlivé bloky jsou rozebrány v následujících kapitolách.

2.1 Analogová část

Analogová část slouží k úpravě vstupního signálu pro možnost korektního zpracování analogově digitálním převodníkem. Zpracování v sobě obnáší zesílení nebo zeslabení a filtraci měřeného signálu. Dále analogová část obsahuje ochrany před poškozením systému. Zesílení/zeslabení je potřebné pro využití plného dynamického rozsahu převodníku a tím co nej-

většího potlačení šumu. Z obvodového hlediska je nutné zesilovat signál v prvních blocích na vstupu a tím potlačovat vliv přidaného šumu následujících bloků. Z tohoto důvodu musí mít vstupní zesilovač vysoké zesílení a zároveň musí být nízko šumový. Výkonový popis šumu v systému popisuje Frissův vztah 2.1, kde F_{sys} je šumové číslo systému dávající do poměru odstup signál od šumu na výstupu a na vstupu, F_n jsou šumová čísla jednotlivých bloků a G_n jsou jejich zesílení.

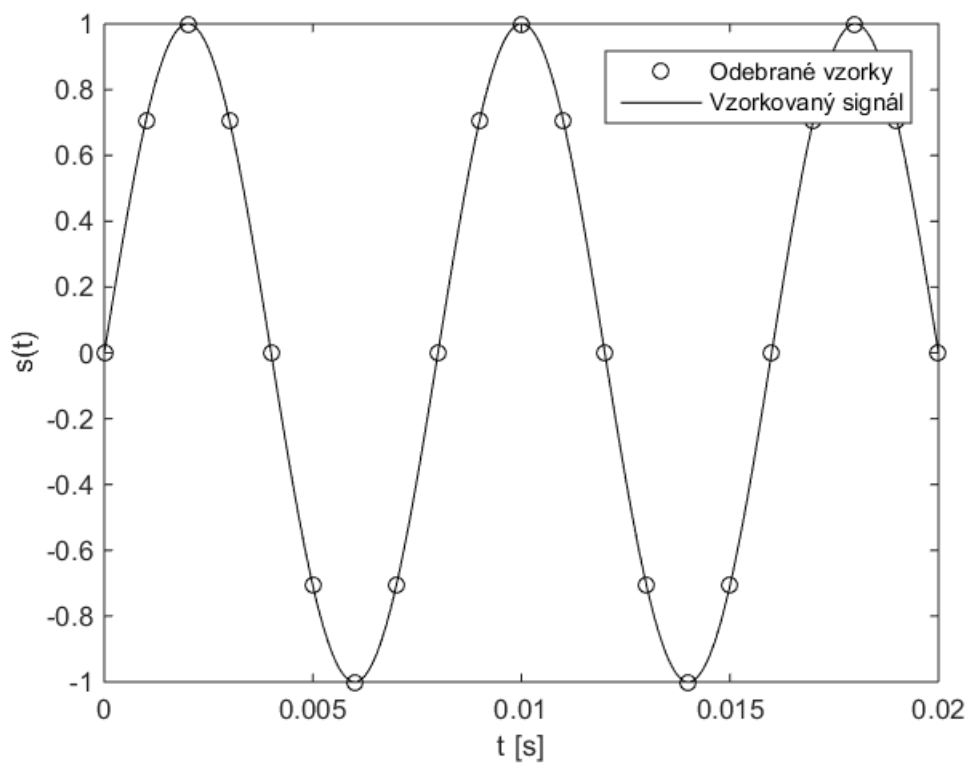
$$F_{sys} = \frac{S_2}{\frac{S_1}{N_1}} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_1} + \dots \quad (2.1)$$

Kmítočtová filtrace slouží k potlačení takzvaného aliasingu (falšování). Aliasing je jev, kdy vzorkovací frekvence nespĺňuje Nyquist-Shannonův teorém. Pro signály v základním pásmu tento teorém říká, že vzorkovací frekvence musí být minimálně dvakrát větší než největší přítomná frekvence v měřeném signálu. Pokud tato podmínka splněná není, pak vzniká zkreslení. Podvzorkované kmítočty se zrcadlí kolem vzorkovací frekvence a vytvářejí v signálu nové falešné frekvence. Příklad správně navzorkovaného signálu v časové oblasti je na obrázku 2.2. Obrázek 2.4 popisuje stejný případ ale v doméně frekvenční. Podvzorkovaný signál je pak zobrazen na obrázku 2.3 respektive 2.5. Z praktického hlediska je nutné, aby vzorkovací frekvence byla vyšší než dvojnásobek měřeného kmítočtu, a to z důvodu interpolace (viz. digitální část). Podvzorkování je tedy ošetřeno tím, že se vyšší frekvence odfiltrují, i když je diskutabilní, jestli zkreslení způsobené filtrací vyšších frekvencí nezpůsobuje kvantitativně stejné zkreslení jako podvzorkování. Na druhé straně i při uvažování pouze signálů, u kterých je splněna vzorkovací podmínka, je jisté, že v reálných fyzikálních systémech bude vzorkování porušeno šumem. Zrcadlený šum by negativně ovlivňoval měření, a proto je nutné ho odfiltrvat.

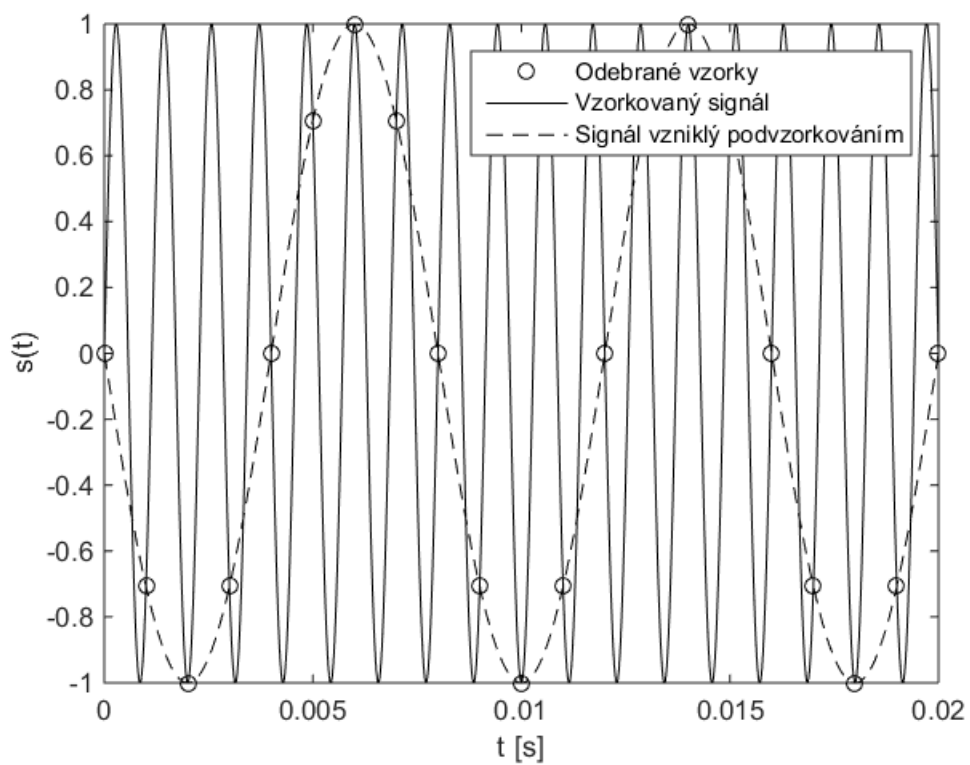
Je nutné zmínit, že se Shannonova-Nyquistova podmínka vztahuje i na pásmové signály. Podmínka totiž přesně zní, že vzorkovací frekvence musí být větší než šířka pásma signálu. Protože reálný signál v základním pásmu je symetrický kolem nulové frekvence, je jeho šířka pásma rovna dvojnásobku nejvyšší frekvence v něm obsažené.

Ochrany před přetížením mohou být umístěny ve více částích systému a to z důvodu přepínaného zesílení. Většinou se jedná o rychlé Schottkyho diody s velmi nízkou hodnotou parazitní kapacity, které jsou připojené anodami k napájecímu napětí a katodami k signálové cestě. Schottkyho diody mohou být nahrazeny nízkokapacitními transily. Transil je polovodičová součástka určená k ochraně před napěťovými špičkami. Její VA charakteristika je podobná zenerově diodě.

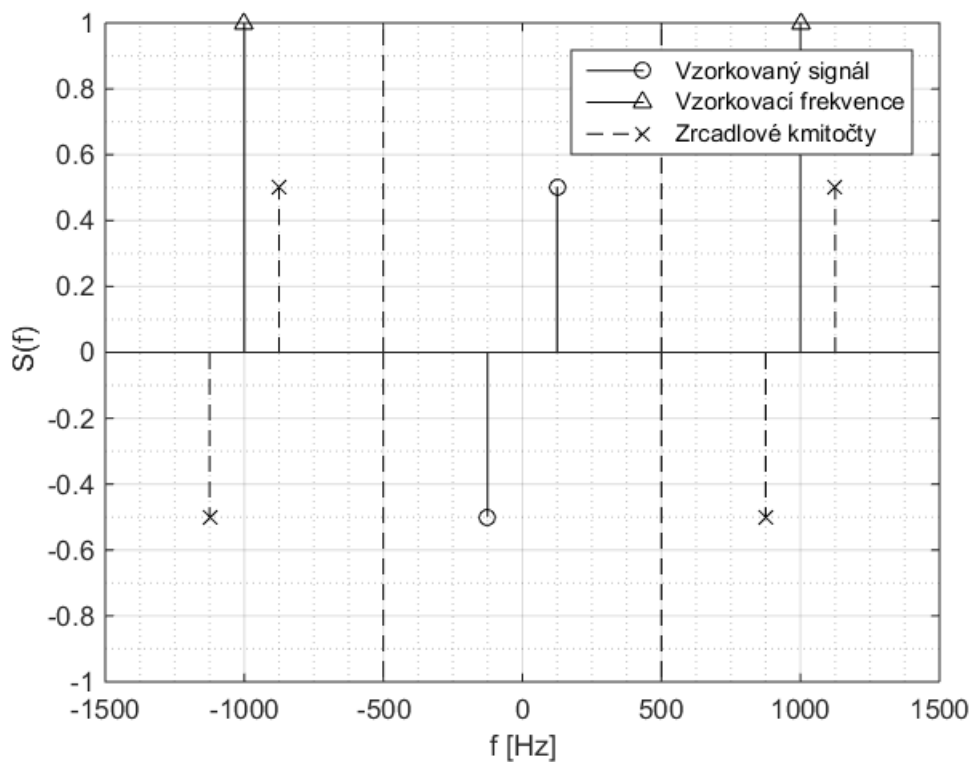
Pro popis kvality digitalizace vstupního signálu zavádějí výrobci AD převodníků a osciloskopů veličinu zvanou efektivní počet bitů, která vyjadřuje, jakého reálného rozlišení převod dosahuje. Vztah pro výpočet počtu efektivních bitů je odvozen ze vztahu pro výpočet odstupu signál šum, kde šum představuje kvantizační šum jinak ideálního převodníku. Kvantizační šum vzniká zaokrouhlením k nejbližší platné výstupní hodnotě převodníku. Jeho hustota pravděpodobnosti je přibližně Gaussovská a spektrální výkonová hustota je konstantní. Jedná se tedy o bílý šum [7]. Vztah pro výpočet poměru signál šum pro kvantizační šum na základě počtu bitů převodu je uveden v rovnici 2.2, kde SNR je odstup užitečného signálu od kvantizačního šumu v dB a N je počet fyzických bitů převodu.



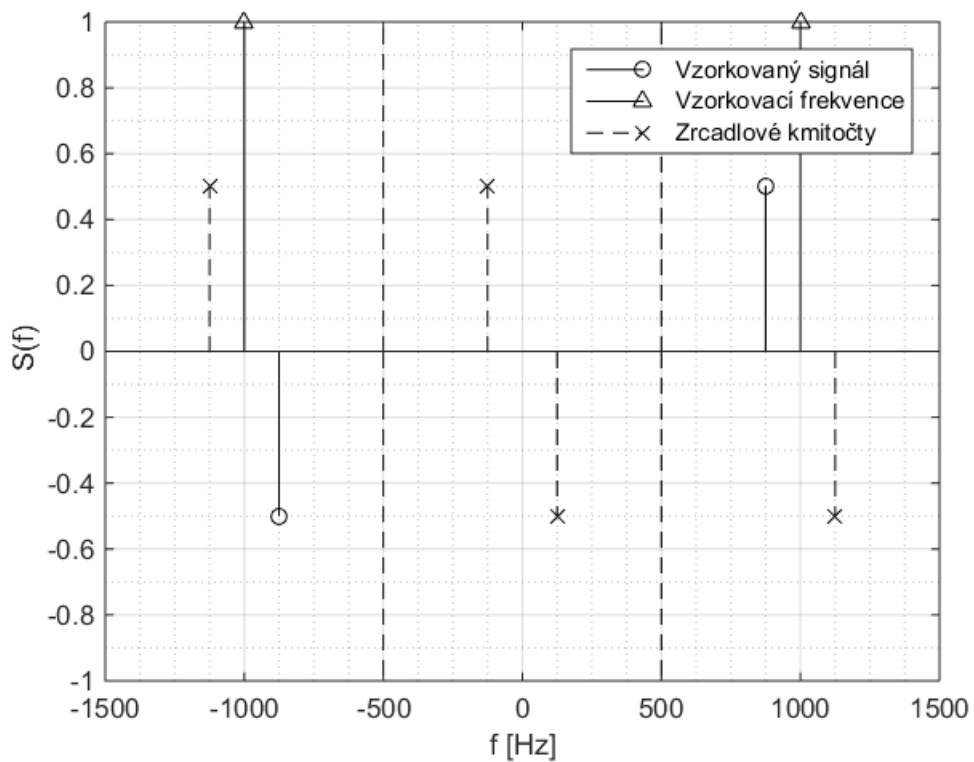
Obrázek 2.2: Korektně navzorkovaný signál



Obrázek 2.3: Podvzorkovaný signál vytváří nové nepravdivé kmitočty



Obrázek 2.4: Kmitočtové spektrum korektně navzorkovaného signálu o frekvenci 100 Hz s kmitočtem vzorkování 1000 Hz



Obrázek 2.5: Kmitočtové spektrum podvzorkovaného signálu o frekvenci 800 Hz s kmitočtem vzorkování 1000 Hz

Výrobce	Typ	Počet fyzických bitů [bit]	Šířka pásma [MHz]	Vzorkovací frekvence [MSPS]	ENOB [bit]
Linear Technology	LTC2145-12	12	750	125	11,42
Texas Instruments	ADS4225	12	400	125	11,45
Analog Devices	AD9628	12	650	125	11,57

Tabulka 2.1: Porovnání počtu efektivních bitů uváděných výrobcí dvoukanálových AD převodníků na 10 MHz

vzorkovací frekvence	10 GSPS	2,5 GSPS
přidané rozlišení	šířka pásma	šířka pásma
0	plná	plná
+1	1,205 GHz	301,2 MHz
+2	290 MHz	72,5 MHz
+3	80 MHz	20 MHz

Tabulka 2.2: Vylepšení rozlišení pomocí průměrování u současných osciloskopů

$$SNR = 6,02N + 1,76 \quad (2.2)$$

Vyjádřením počtu bitů z rovnice a dosazením parametru SINAD za SNR lze určit, kolik reálně užitečných bitů bude mít převod 2.3. SINAD (signal-to-noise-and-distortion ratio) je parametr dávající do poměru odstup užitečného signálu od šumu a zkreslení. Matematicky je vyjádřen podle rovnice 2.4, kde S je efektivní hodnota užitečného signálu, N je efektivní hodnota přítomného šumu a D je efektivní hodnota celkového dynamického zkreslení [8].

$$ENOB = \frac{SINAD - 1,76}{6,02} \quad (2.3)$$

$$SINAD = 20 \log_{10} \left(\frac{S}{N + D} \right) \quad (2.4)$$

Zbytek bitů je pak zarušen a tyto bity neposkytují žádnou informaci o měřeném signálu. Příklady počtu efektivních bitů převodníků jsou uvedeny v tabulce 2.1. Udělat rešerši počtu efektivních bitů pro osciloskopy dostupné na trhu je velmi obtížné, protože výrobci uvádějí marketingové hodnoty, které jsou platné pouze ve speciálních případech. Ukázka takového zhodnocení lze např. nalézt zde [9].

Počet efektivních bitů je možné vylepšit průměrováním například pomocí číslicového dolnofrekvenčního FIR filtru, ale průměrování sebou přináší omezení frekvenčního pásma, nebo nutnost periodického opakování měřeného signálu. Tyto mechanismy se nepoužívají při měření signálů, pro které je již vzorkovací frekvence velmi nízká (5 vzorků na periodu), protože by byli neúčinné. Například výrobce osciloskopů Lecroy uvádí následující tabulku 2.2 vystihující souvislost mezi vylepšením rozlišení, frekvenčního pásma a vzorkovací frekvence [10].

2.2 Digitální část

Digitální část zpracovává odebrané vzorky, a buď to je přímo zobrazuje, nebo je poskytuje dále pro další zařízení. Skládá se z analogově digitálního převodníku, akviziční paměti, signálového zpracování a případného komunikačního nebo zobrazovacího rozhraní.

2.2.1 Analogově digitální převodník

Analogově digitální převodník je zařízení, které slouží k transformaci spojitého signálu jak v čase, tak v amplitudě na signál v čase a amplitudě nespojitý. To znamená, že vstupem je analogový signál a výstupem je tok digitálních dat, která se nazývají vzorky. Základním princip převodu se skládá z periodického vzorkování analogového signálu, tj. převod ze spojitých hodnot na schodovitou aproximaci. Existují dva způsoby odebrání vzorků. Prvním je sample and hold (odeber a drž), u kterého se nabije kondenzátor přes analogový spínač na aktuální hodnotu napětí. Poté se spínač odpojí a kondenzátor na sobě udržuje konstantní měřené napětí. Tento způsob je nutný zejména tehdy, pokud je pro převod nutný určitý čas a změna vstupního napětí by způsobila chybu. Druhým způsobem je track and hold (sleduj a drž), kdy k převodu dochází téměř okamžitě a vzorek je odebrán pomocí klopných obvodů. Pevod ze spojitě hodnoty napětí na číslo se provádí pomocí porovnávání signálu s referenčním napětím, a pomocí komparátorů jsou určeny diskrétní data. Způsobů jakými je převod proveden, je velké množství, ale v dnešní době se již téměř výhradně používají takzvané pipe-line AD převodníky pro rychlé osciloskopy.

2.2.2 Akvizice

Odebírání vzorků se nazývá akvizice a existuje více způsobů jak s odebranými vzorky zacházet. Základní způsob anglicky označovaný Sample spočívá v tom, že je zobrazen každý n -tý vzorek, kde n je přirozené číslo. Další je mód vysokého rozlišení, který rozděluje odebrané vzorky do skupin a následně je z těchto vypočítán aritmetický průměr. Jedná se tedy o dolnofrekvenční FIR filtr. Tímto způsobem je potlačen šum o frekvenci vyšší, než je frekvence jednotlivých skupin. Nižší šumové frekvence nejsou potlačeny, protože se na periodě skupin vzorků jejich náhodný charakter s nulovou střední hodnotou neprojeví. Tímto mechanismem se také samozřejmě omezí šířka pásma měřeného signálu. Výrobci jsou schopni tímto způsobem zvýšit rozlišení měřeného signálu až od 3 bity a pro tento zisk potřebují skupiny vzorků po 106 [11]. Je zajímavé, že pro funkčnost vysokého rozlišení je nutné, aby byl v systému přítomný šum. Kdyby tomu tak nebylo, pak by neexistovala žádná proměnná náhodná složka, kterou by šlo v jednotlivých skupinách vzorků průměrovat. Tento fenomén se v anglické literatuře někdy označuje jako tzv. Good Noise (užitečný šum). Je evidentní, že pro funkčnost tohoto módu pro všechny hodnoty napětí musí být průměrná hodnota napětí špička-špička šumového signálu vyšší než polovina napětí mezi vzorky. Dalším možným módem akvizice je průměrování (anglicky Average). V tomto módu jsou vzorky průměrovány přes jednotlivé akvizice. Průměrování odstraňuje šum takřka v celém kmitočtovém pásmu, ale signál musí být přesně periodický, a proto ho nelze využít například pro datové signály. V režimu detekce špiček (Peak detect) osciloskop alternuje mezi zachytáváním největší a nejmenší hodnoty vzorku. Tento mód je uži-

tečný při hledání vysokofrekvenčních chyb v signálu. Posledním používaným módem je mód obálky (Envelope). V tomto režimu jsou zachytávány vždy nejvyšší a nejnižší hodnoty vzorků z několika akvizic [12]. Vzorkovací frekvence bývá u osciloskopů, které vzorkují v reálném čase vyšší než by odpovídala vzorkovací podmínce pro dané analogové obvody. Je to z důvodu již nastíněných módů akvizic, protože některé režimy vyžadují větší počet vzorků a také kvůli interpolaci. Zejména při měření vysokých frekvencí, kdy je už vzorkování relativně k průběhu řídké, je pro věrohodnou rekonstrukci signálu (a pro lidské oko) vhodné dopočítávat vzorky signálu a tak zlepšit odečítání.

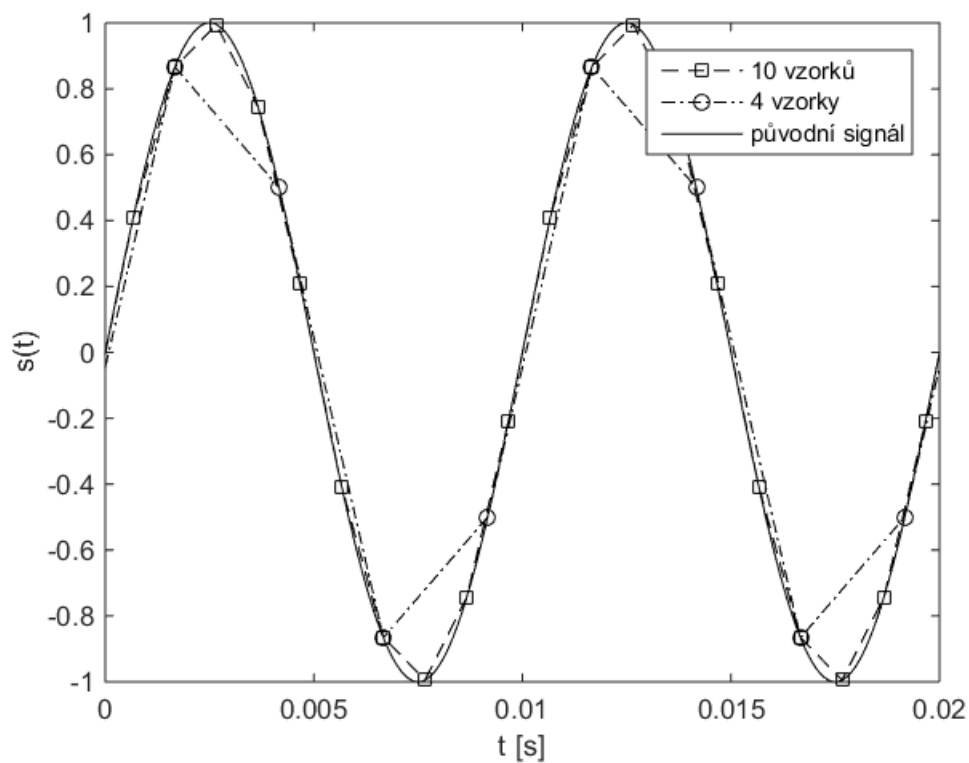
2.2.3 Interpolace

Odebrané vzorky lze zobrazit buďto jako sled jednotlivých bodů, nebo lze dopočítat pomocné body při malé hustotě a tak zlepšit zobrazení. Propojení bodů je většinou pomocí lomené čáry (pro zobrazení samozřejmě musí být dopočítány i tyto obrazové body), zatímco výpočet dodatečných bodů je většinou vypočítán pomocí vzorkovací funkce. Propojení bodů pomocí lomené čáry se nazývá lineární interpolace. Lineární interpolace je úspěšná, pokud je k dispozici dostatečný počet bodů na průběh. Literatura uvádí, že dostatečný počet bodů na periodu je 10 [3]. Toto zobrazení způsobí to, že odlišnost bude 5% od skutečného průběhu. Ukázka lineární interpolace signálu s 4 a 10 body na periodu je zobrazena na obrázku 2.6. Protože při řídkém vzorkování výsledek není ideální a ze signálu již zrakem není možné odhadnout jeho pravou povahu, přistupuje se při řídkém vzorkování k interpolaci vzorkovací funkcí. Vzorkovací funkce je funkce daná vztahem $\sin(x)/x$. Její průběh zobrazen na obrázku 2.7. Při splnění vzorkovací podmínky a při uvažování periodicity signálu mimo vzorkovací okno, vytváří tato interpolace věrohodné zobrazení měřeného periodického signálu. Kvalitní zobrazení je za cenu poměrně vysoké výpočetní zátěže, protože je nutné počítat i s myšlenými vzorky mimo okno pro vytvoření periodicity. Předpis pro tuto interpolaci je uveden v rovnici 2.5. Jedná se o diskretní konvoluci v čase mezi navzorkovaným signálem a vzorkovací funkcí. Tento vztah byl odvozen z vztahu pro interpolaci z jak diskretního času, tak hodnot [5]. Na rozdíl od tohoto vztahu používá odvozený vztah také navzorkovanou funkci $\sin(x)/x$, ale s větší vzorkovací frekvencí. Perioda T_n odpovídá vzorkovací periodě odebraných vzorků a perioda T_m odpovídá periodě vzorkování funkce $\sin(x)/x$.

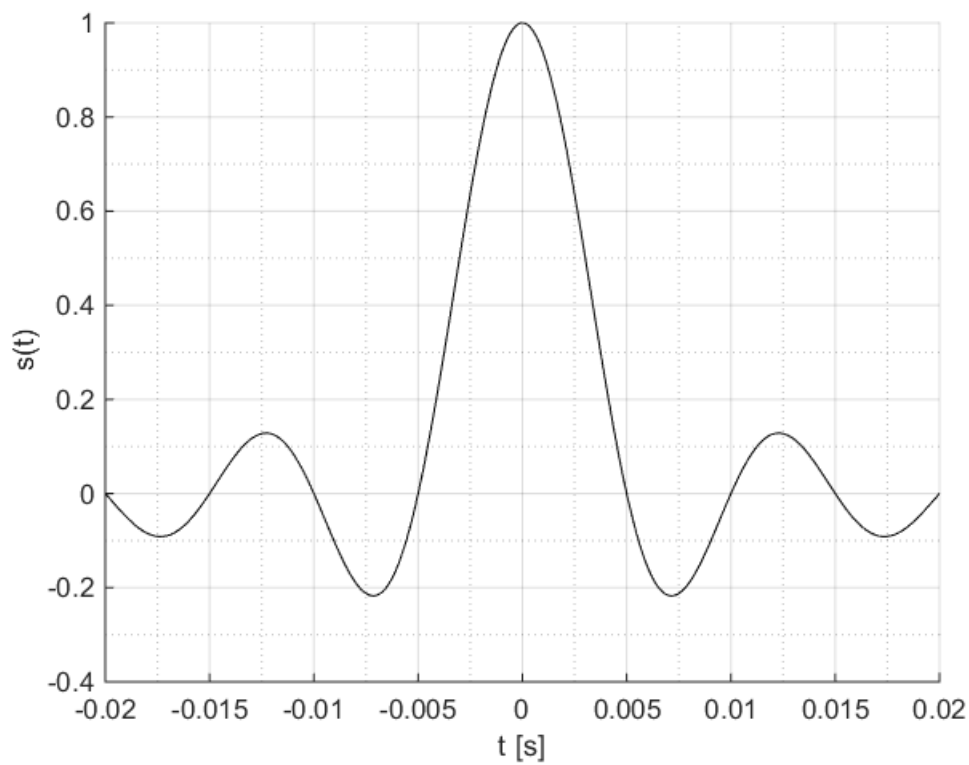
$$y[nT_m] = y[nT_n] * h_i[nT_m] = \sum_{k=-\infty}^{\infty} y[kT] \frac{\sin[\frac{\pi}{T_n}(nT_m - kT_n)]}{\frac{\pi}{T_n}[nT_m - kT_n]} \quad (2.5)$$

Kvůli sumě sčítající nekonečně mnoho vzorků není tato operace fyzikálně proveditelná, a proto se sumační meze omezují. Porovnání lineární a $\sin(x)/x$ interpolace je zobrazen na obrázku 2.8, kde je počet vzorků na periodu signálu roven 4.

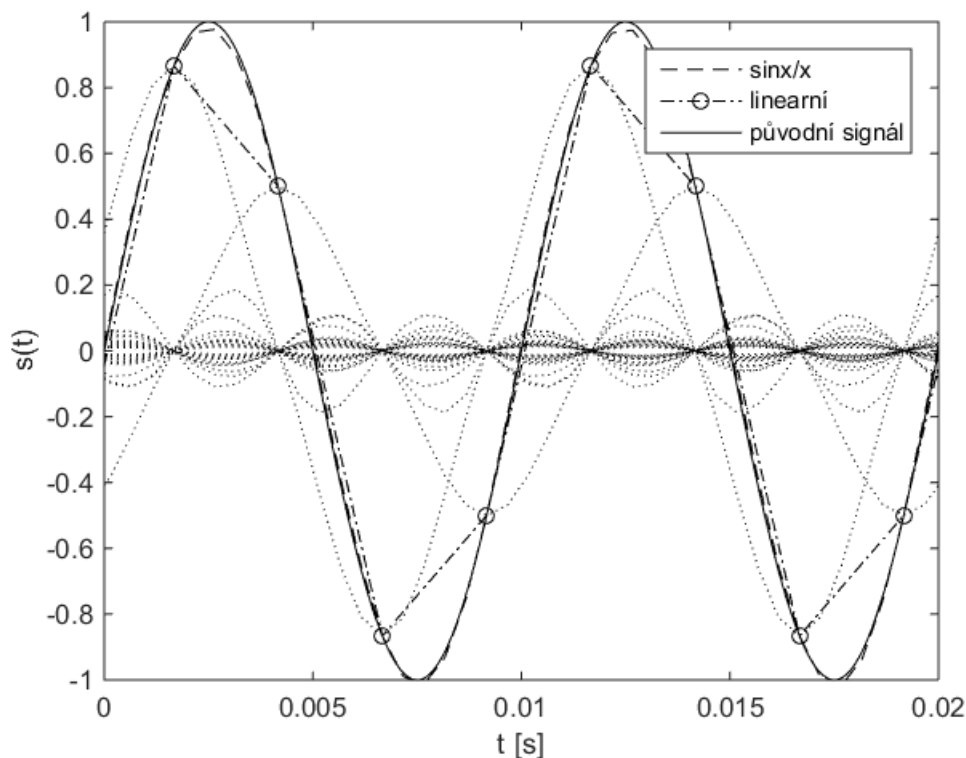
Další možností, jak provést interpolaci signálu je ekvivalentní úprava předchozího případu tím, že je provedena ve frekvenční doméně. Odborná literatura označuje tento postup jako převzorkování s tím, že je zvýšen vzorkovací kmitočet násobkem celého čísla. Interpolační proces se skládá z dvou operací, a to z prosté interpolace a kmitočtové filtrace pomocí dolní propusti. Interpolátor vkládá mezi vzorky signálu nové vzorky s nulovou hodnotou. Tím se zvýší pomyslný vzorkovací kmitočet. To ale také znamená vytvoření zkreslení, které je zřejmé



Obrázek 2.6: Lineární interpolace pro různý počet bodů



Obrázek 2.7: Časový průběh vzorkovací funkce $\sin(x)/x$



Obrázek 2.8: Porovnání dvou různých interpolací

v časové oblasti. V kmitočtové oblasti je toto zkrácení způsobeno tím, že zvýšením vzorkovacího kmitočtu tímto způsobem zůstanou původně zrcadlové signály na stejných kmitočtech, a tím ovlivňují původní signál. K odstranění těchto obrazů je nutné použít ideální dolní propust, která tyto obrazy odfiltruje. Protože ideální dolní propust by znamenala to, že by systém byl nekauzální, je nutné v tomto kroku přikročit k aproximaci vzorkovací funkce (impulsová odezva ideální dolní propusti) tím, že se omezí jeho délka v čase.

2.2.4 Spouštění

Protože osciloskop měří signály v čase je žádoucí, aby uměl změřit průběh v daném absolutním čase. To například znamená, aby zachytil měřený průběh, když nastane určitá událost. K tomuto slouží spouštěcí systém, který na základě určité logiky spustí odebrání vzorků. Tato událost může například být náběžná hrana v měřeném signálu. Naprostá většina běžných osciloskopů umožňuje spouštění od každého kanálu, a v některých případech poskytují i dedikovaný vstup pro externí spouštění. Použity jsou většinou dva módy, normální a automatický. V normálním režimu se čeká na příchod signálu, který splní vzorkovací podmínku. Osciloskop se v tomto režimu spouští pouze při splnění této podmínky. Tento mód se používá, pokud uživatel již zná základní vlastnosti měřeného signálu a ví, co má přibližně očekávat. V automatickém režimu je použit čítač, který pokud do určitého intervalu nepříjde spouštěcí signál, tak automaticky spustí sběr dat. Tento mód je užitečný zejména tehdy, když uživatel nezná parametry měřeného signálu. Nastavit lze také jednorázové spuštění (single), kdy se odebere pouze jedno akviziční okno.

Spouštěcí signál se vygeneruje na základě určité logiky, která je zvolena uživatelem. Ty nejčastější spouštění jsou od náběžné/sestupné hrany na nastavené úrovni napětí. Spouštět akvizici osciloskopů lze také například pomocí napájecí sítě. V moderních jednotkách je přítomno dolnofrekvenční a hornofrekvenční filtrování spouštěcího signálu. Novější osciloskopické jednotky umožňují velké množství dalších možností spouštění zejména pro digitální signály jako je například stavové, kdy se na jeden kanál přivádí hodinový signál a na druhý data. Dalším způsobem je takzvané kombinační zakládající se na logických funkcích. Užitečnou pomůckou může být spouštění špičkami (glitches), při hledání nežádoucích artefaktů v signálu. Dále je možné osciloskop spouštět pomocí časových parametrů signálů (časově kvalifikované spouštění). Mezi základní typy tohoto spouštění například patří: spouštěcí impulzy, které zapadají do časového intervalu, nebo je menší/větší než je zvolený časový interval, rychlost čela impulzu nebo zpožděné spouštění o zvoleném času, nebo počtu událostí.

Jednou z největších výhod použití digitálního osciloskopu je možnost použití Pretriggeru. Pretrigger je režim, kdy je možno zobrazit průběh i před příchodem spouštěcího signálu. Je to možné, protože osciloskop kontinuálně snímá data a cyklicky ukládá je do akviziční paměti. Z toho taky vyplývá, že maximální čas Pretriggeru se odvíjí od velikosti paměti a vzorkovací frekvence.

2.2.5 Rychlá Fourierova transformace

Digitální osciloskopy umožňují výpočet Fourierovy transformace z odebraných vzorků. Jedná se o diskrétní Fourierovu transformaci (DFT), která je definována vztahem 2.6. Výpočet DFT je uskutečněn pomocí rychlých algoritmů, které zjednodušují výpočet. Nejznámější algoritmus je FFT (fast Fourier transform, Cooley a Tukey, 1965). Algoritmus využívá toho, komplexní exponenciála je periodická. To znamená, že vzorky $d[k]$ jsou v klasické DFT několikrát násobeny stejným číslem. To samé platí i pro součty. FFT tyto redundantní operace odstraňuje tím, že vstupní vzorky postupně rozdělí podle sudosti a lichosti vzorků do skupin po dvou. Pro každou skupinu po dvou vzorcích je vypočtena DFT, která má maximální účinnost. V dalším kroku je nutné vypočíst znovu DFT z přechozích výsledků, ale tentokrát z jiné kombinace. Další zjednodušení přináší například to, že vstupní data jsou pouze reálná čísla. Složitost FFT roste s $o(n \log n)$ zatímco složitost DFT s $o(n^2)$.

$$D[n] = \sum_{k=0}^{N-1} d[k] \exp\left(-jn \frac{2\pi}{N} k\right) \quad (2.6)$$

Důležitým jevem při výpočtu spektra signálu je vliv konečné posloupnosti signálu. Odebrané akviziční okno totiž zkracuje teoreticky nekonečně dlouho posloupnost vzorků. V časové oblasti to znamená, že signál je násoben pravoúhloú váhovací funkcí. To má za následek to, že ve spektru dojde ke konvoluci vzorkovací funkce (obraz pravoúhlé váhovací funkce) a vypočteného spektra. Toto způsobí rozmazání spektrálních čar ve spektru a také prosakování. Prosakování je přesun energie signálu mezi spektrálními čarami vlivem konvoluce. Z tohoto důvodu jsou používány jiné váhovací okna, jejichž spektrální vlastnosti jsou vhodnější pro danou aplikaci. Nejznámější jsou trojúhelníkové, Hammingovo, Hannovo a Blackmanovo okno. Okna potlačují prosakování, ale na druhou stranu zhoršují frekvenční rozlišení.

USB verze	Název módu	Bitová rychlost	Napájecí proud
1.0	low speed	1,5 Mb/s	500 mA
1.0	full speed	12 Mb/s	500 mA
2.0	high speed	480 Mb/s	500 mA
3.0	super speed	5 Gb/s	900 mA

Tabulka 2.3: Základní srovnání USB verzí

Právě rozlišení ve frekvenčním spektru je důležitý parametr v spektrální analýze. Pro obdélníkové okno platí, že pokud je splněna nerovnost $T_0 < 1/(f_1 - f_2)$, kde T_0 je délka signálu a f jsou frekvence dvou harmonických signálů, pak je šířka hlavního laloku vzorkovací funkce menší, než je rozdíl frekvencí sinusovek.

2.3 USB komunikace

USB je zkratka, která v češtině znamená univerzální sériová sběrnice. USB je určena pro obousměrný přenos dat mezi periférií a nejčastěji osobním počítačem. USB se roztrídí do několika verzí, které jsou zpětně kompatibilní a nejvýrazněji se liší jejich rychlostí přenosu. Nejvýznamnějšími verzemi jsou USB 1.1, 2.0 a 3.1. Každá verze sebou přináší nové možnosti přenosu a napájení. Základní přehled je uveden v tabulce 2.3. Pro návrh byla použita verze 2.0, která je v dnešní době nejvíce rozšířená a lze ji nalézt téměř na každém osobním počítači.

USB komunikaci řídí jediný Master, který se v terminologii USB nazývá anglicky host (hostitel). Žádné zařízení nemůže odeslat data bez příkazu Mastera a odpovídá jí pouze na jeho dotazy. Tento přístup je zvolen kvůli nízkým nárokům na složitost zařízení a veškerá složitost je pak zahrnuta v hostitelovi. Od toho, že je v systému jen jedno zařízení Master je také odvozeno názvosloví při popisu směru přenosu. IN znamená přenos dat od zařízení k hostitelovi a OUT znamená směr obrácený. Tyto přenosy mezi hostitelem a koncovými body v zařízení (endpoint), kterých může být v jednom zařízení více, se nazývají kanály (anglicky pipes). Každému koncovému bodu je nutné nastavit parametry, kterým se říká deskriptory. Toto nastavení je provedeno v USB zařízení ještě před inicializací po sběrnici a poté ho již nelze měnit. Deskriptory obsahují směr datové komunikace (IN nebo OUT), přenosový typ (bulk, isochronous atd.) a maximální velikost paketu. Důležitým parametrem je přenosový typ, který definuje, jak se hostitel bude k danému endpointu chovat. Pro přenos velkého objemu dat je užitečný bulk přenos a pro kontinuální vysílání je užitečný izochronní přenos. USB komunikace se skládá z paketů, které jsou identifikovány speciálním kódem, který se nazývá PID (packed ID). Tento kód popisuje jaký druh paketu je zrovna přenášen. Existují čtyři druhy paketů: token, data, potvrzovací (Handshake) a speciální. Běžný přenos OUT se skládá z tří za sebou jdoucích paketů. První je vyslán Token paket, který v sobě nese informaci, o jaký druh přenosu půjde a podle adresy jaké zařízení má reagovat. Druhý paket v sobě nese přenášená data a třetí paket je vyslán zařízením, které potvrdí, že data přijalo správně a ne nastala chyba. Kontrolního mechanismus je dosaženo pomocí CRC (cyclic redundancy check) kódování, které v sobě nese každý paket. Protože USB rozhraní neobsahuje dedikovaný hodinový signál je nutné před začátkem přenosu rozhraní vždy synchronizovat. Tohoto je dosaženo pomocí rámců, které vždy na jejich začátku obsahují SOF (start of frame) sekvenci podle níž zařízení synchronizuje svůj vnitřní hodinový signál. Perioda rámců je 1 ms a pro režim High

speed se rámce dělí do mikrorámce, které nastávají každých $125 \mu s$. V každém mikro/rámci je možno provést více transakcí. Maximální počet Bulk transakcí v jednom mikrorámci o velikosti paketu 512 datových bytů je 13 při absolutním klidu na sběrnici. Z toho vychází, že maximální rychlost je přibližně 50 MB/s. Reálné rychlosti jsou přibližně o 10% nižší kvůli aktivitě ostatních zařízení připojených na sběrnici. Protože je maximální hardwarová rychlost přenosu dat v systému 45 MB/s, pak se teoreticky přeneše celá paměť osciloskopu do počítače za 1,5 ms. Pokud by bylo potřebné implementovat kontinuální přenos vzorků a vytvořit tak například pomaluběžný osciloskop, pak by bylo vhodné použít izochronní přenos, který garantuje definovanou šířku pásma přenosu. Maximální počet transakcí isochronního přenosu za jeden mikrorámec pro jeden endpoint jsou tři a maximální velikost paketů těchto transakcí je 1024 Bytů. To znamená, že maximální možná rychlost přenosu je maximálně 23,4 MB/s. Neboli že maximální vzorkovací frekvence v kontinuálním režimu by mohla být přibližně 24 MSPS [4].

Protože je USB sériová linka a jedná se o poloviční duplex, tak je přenos realizován pouze po jednom páru vodičů. Signály jsou přenášeny diferencially kvůli minimalizaci možnosti rušení, definované impedancí vedení a nízké ceny kabelu. Protože se jedná o vysokorychlostní komunikaci a USB kabel může mít délku až jednotek metrů, tak je nutné se zabývat otázkou charakteristické impedance vedení a impedančního přizpůsobení. Na nesprávně zakončeném vedení by mohlo vzniknout stojaté vedení, které by nepříznivě ovlivňovalo přenos a mohlo by dojít k nárůstu chybovosti. Charakteristická impedance vedení lichého módu (tj. diferenciallyního) je dle USB specifikací rovna 90Ω a sudého (souhlasného) 30Ω . Je tedy nutné dodržet tyto impedance i na propojení kabelu s integrovaným obvodem na desce plošného spoje.

USB 2.0 poskytuje napájecí napětí, jehož hodnota napětí se rovná 5 V a maximální proudový odběr je 100 mA, nebo na vyžádání 500 mA. Kabel v sobě obsahuje jak signálovou, tak i stínící zem. Důležitým mechanismem je indikace maximální rychlosti (módu) ve kterém je zařízení schopné pracovat. Toto se indikuje připojením jednoho z datových pinů k napájení. High speed zařízení je na počátku enumerováno jako Full speed zařízení a to znamená, že signál D+ musí být připojen přes tzv. pull-up rezistor k 3,3V. Po enumeraci na High speed zařízení se tento odpor odpojuje pro vyvážení obou linek. Tato procedura je u některých USB kontrolérů integrována a není nutné ji externě řešit.

3 Průzkum digitálních osciloskopů dostupných na trhu

3.1 Picoscope

Picoscope je firma zabývající se měřicí technikou, která je připojena k osobnímu počítači. Hlavním předmětem jejich zájmu jsou osciloskopy. V případě USB osciloskopů je největším výrobcem na trhu [13]. Firma nabízí, jak osciloskopy se vzorkováním reálném tak v ekvivalentním čase. Rozhraní je v drtivé většině případů USB nebo Ethernet. Osciloskopy vzorkující v reálném čase produkují v několika řadách lišících se měřicími parametry. Nejnižší řada s označením 2000 by měla být parametrový konkurent navrhované jednotky v práci.

BW [MHz]	Kanály	Rozlišení	Rozsah	Z_{in} [Ω]	f_s [MSPS]	f_{skonti} [MSPS]	Paměť
10	2	8 b	$\pm 50mV$ $\pm 20V$	$1 M\Omega $ $14pF$	100	1	8

Tabulka 3.1: Parametry osciloskopu Picoscope 2204A

3.1.1 Picoscope 2204A

Picoscope 2204A je nejnižší model z řady 2000. Základní souhrn jeho parametrů je uveden v tabulce 3.1. Jedná se o dvoukanalový USB osciloskop s napájením pouze z USB. Frekvenční rozsah analogové části je 10 MHz. Rozlišení AD převodníku je 8 bitů a maximální vzorkovací frekvence je 50 MSPS pro oba kanály respektive 100 MSPS pro jeden kanál. Na základě recenze [14] bylo zjištěno základní blokové schéma a zjištěny základní parametry. Tato recenze byla nalezena až po návrhu jednotky a proto je zajímavé, že koncepce si jsou velmi podobné. Na vstupu je AC/DC filtr, který se přepíná pomocí relé. Dále je možné zařadit do signálové cesty vstupní kompenzovaný dělič, který je možné odpojit pomocí druhého relé. Následuje první OZ AD8065, který byl práci také využit. Jedná se o OZ s JFETy na vstupu. Přepínání zesílení je řešeno tak, že se připínají různé rezistory do zpětné vazby pomocí analogového přepínače HC4052. Takto zesílený signál je poté přiveden na další plně diferenciální zesilovač. Zesílení plně diferenciálního zesilovače je také nastavitelné pomocí analogového přepínače. S nastavením se připojují k obvodům i určité kapacity, a proto je pravděpodobné, že výrobce umožňuje volitelné potlačení kmitočtového pásma. Jako plně diferenční zesilovač je použit AD8132. Dále do signálové cesty zařazen šumový RC filtr. Takto upravený signál se přivede na analogově digitální dvoukanalový převodník typu AD9288, který je 8-bitový s maximální rychlostí vzorkování 100 MSPS. Vzorky jsou dále zpracovávány pomocí hradlového pole Xilinx Spartan-3E. Toto hradlové pole je pravděpodobně vybráno z důvodu interní Flash paměti, ve které je nahrána konfigurace FPGA, kvůli znemožnění zpětného inženýrství. Maximální interní bloková paměť tohoto hradlového pole je 27648 bytů tj. stejný počet vzorků. Na základě rešerše bylo zjištěno, že stejné hradlové pole se používá u více typů z 2000 řady, a to znamená, že výrobci uměle omezují velikost paměti. Přenos dat do počítače je zprostředkován pomocí USB kontroléru FX2LP od firmy Cypress. Jednotka obsahuje generátor funkcí umožňující nastavit základní periodické signály (sinus, obdélník, trojúhelník, pila). Maximální frekvence generátoru je 100 kHz a maximální výchylka jsou 4V špička-špička.

Je zajímavé, že u nejnižších řad není možné obvodově nastavit stejnosměrný posun. Kmitočty, kterým je taktován AD převodník, je pravděpodobně odvozen od krystalového oscilátoru taktujícího hradlové pole, rezonující na 100 MHz. Spartan-3E ve své vnitřní struktuře neobsahuje žádné bloky pro dynamickou (bez nutnosti nové konfigurace) syntézu kmitočtu, a proto je pravděpodobné, že se vzorky decimují pro delší časové základny.

3.2 BitScope

BitScope je malá firma zabývající se výrobou USB osciloskopů nižší třídy. Většina jejich zařízení je založena na základech BitScope 300, který vyhrál několik ocenění v roce 1999 [15]. K tomuto modelu výrobce poskytuje schéma, které čtenář může najít zde [16]. Vstupní napětí

Výrobce	Typ	BW [MHz]	f_s [MSPS]	Paměť	Rozlišení	Kanály	Cena
Picoscope	2204A	10	100	8 kS	8 b	2	105 €
Bitscope	Bitscope Micro	20	20	12 kS	8 b	2	145 €
Tenma	72-10155	20	100	64 kS	8 b	2	274 €
Velleman	PCSU1000	60	50	4 kS	8 b	2	145 €

Tabulka 3.2: Základní parametry dostupných USB osciloskopů

je vyděleno kompenzovaným děličem dvěma a má vstupní impedanci $1 M\Omega$. Následuje vstupní impedanční oddělovač realizovaný pomocí neinvertujícího zapojení OZ s jednotkovým přenosem. Přestože osciloskop disponuje dvěma fyzickými kanály, je převodník jedno kanálový a to znamená, že je do signálové cesty zařazen multiplexer, který poskytuje dalšímu zpracování signál pouze jednoho kanálu. Signál je pomocí dalšího multiplexeru připojen na děliče napětí, nebo na zesilovač a takto upravený signál zpracovává budič AD převodníku, který zajišťuje zajišťuje podmínky signálu pro správný převod. AD převodník 8-mi bitový převodník typu FLASH ADC-5540 s maximální vzorkovací frekvencí 40 MSPS. Data jsou ukládány do paměti typu SRAM (CY7C199-12) o velikosti 32 kB. Data jsou paralelně s tím zpracovávány v PLD (programmable logic device, programovatelný logický obvod), který generuje adresové signály pro SRAM a zároveň umožňuje digitální spouštění. Data jsou posléze posílání pomocí mikrokontroleru PIC18 přes sériové rozhraní, které může být transformováno na rozhraní USB.

V současné době firma produkuje tyto zajímavé modely: Bitscope Micro a USB Bitscope 10. Obě zařízení jsou dvoukanálové osciloskopy a zároveň logické analyzátoři. Jedná se o osciloskop s integrovaným signálovým generátorem. Plocha osciloskopu je velmi malá 20x110 mm.

3.3 Tenma

Tenma neposkytuje ke svým zařízením žádnou systémovou dokumentaci, a proto jsou zde uvedeny pouze parametry typu 72-10155 pro srovnání s ostatními výrobci.

3.4 Velleman

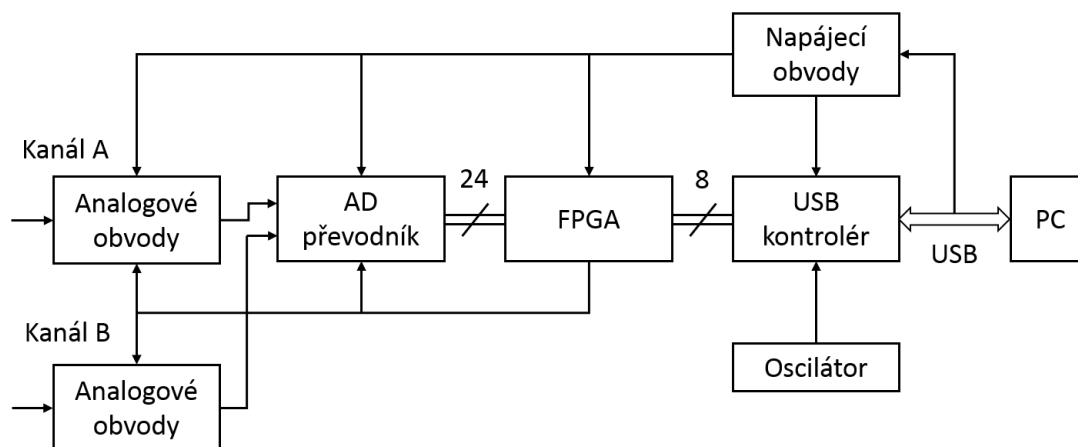
Stejně jako v předchozím případě jsou zde uvedeny pouze základní parametry osciloskopu PCSU1000 nejnižší řady.

Porovnání uvedených osciloskopů je naznačeno v tabulce 3.2.

4 Koncepce

4.1 Blokové schéma

Koncepci návrhu zachycuje blokové schéma na obrázku 4.1. Analogové obvody upravují měřený signál pro potřeby AD převodníku. AD převodník realizuje konverzi ze spojitých hodnot a času na diskrétní hodnoty a čas. FPGA zachycuje vzorky a ukládá je do své vnitřní paměti. USB kontrolér zprostředkovává komunikaci po USB s osobním počítačem. Oscilátor generuje hodinový signál a napájecí obvody upravují úrovně napájecích napětí. Zařízení je napájeno po USB rozhraní.



Obrázek 4.1: Blokové schéma návrhu

4.2 Analogová část

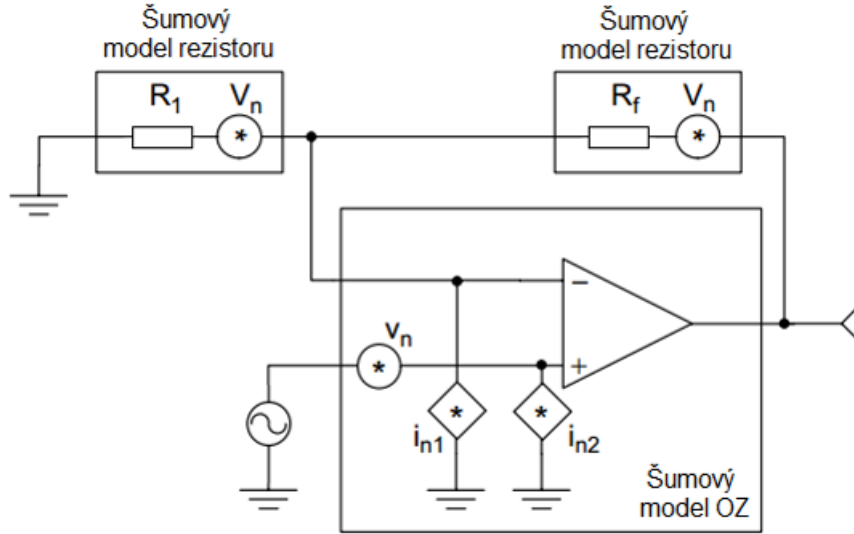
Hlavním problémem analogové části jsou rušivé jevy, jako je šum, rušení, nelineární a lineární zkreslení. Všechny tyto parametry, mimo lineárního zkreslení, dohromady určují poměr mezi užitečným signálem a rušivými jevy SINAD. Tento parametr je v přímé relaci s efektivním počtem bitů osciloskopu a vyjadřuje tím jeho kvalitu. Lineární zkreslení není zahrnuto, protože se jedná pouze o grupové rušení.

V obvodech s relativně nízkým kmitočtem, kde není nutné jednotlivé bloky vůči sobě impedančně přizpůsobovat, se velmi často počítá s napětím místo výkonů a to i v případě šumu. Celkový šum signálové cesty tvořené z operačních zesilovačů a základních lineárních součástek lze počítat po jednotlivých zesilovačích. Zde je nutno upozornit, že při měření ovlivňuje šumové parametry osciloskopu i impedance měřeného objektu. V uvedeném příkladě bude uvažován měřený objekt jako zdroj napětí s vnitřním odporem 50Ω .

Celkový šum operačního zesilovače a rezistorové sítě se skládá z širokopásmového šumu a šumu $1/f$. Jak již z názvu napovídá šum $1/f$ je frekvenčně závislý (tzv. růžový šum) a je dominantní na nízkých frekvencích. Výrobci operačních zesilovačů kvantifikují šumové vlastnosti zesilovačů do dvou frekvenčně závislých parametrů a to do napěťového (nV/\sqrt{Hz}) a proudového (pA/\sqrt{Hz}) šumu. Při výpočtu celkového šumu bloku se většinou používá aproximace průběhu spektrální hustoty šumu lomenou čarou. Příklad výrobcem udávaného průběhu napěťové spektrální hustoty je na obrázku 4.3. Proudový šum jednotlivých vstupů se může lišit, protože se může jednat o operační zesilovač s proudovou zpětnou vazbou, kde invertující vstup má podstatně nižší impedanci než vstup neinverující. Protože jsou jednotlivé šумы nekorelované, tak celkový výkon šumu na výstupu je součtem jednotlivých výkonů. Napěťový šum na výstupu odvozený z napěťového šumu lze vypočítat podle rovnice 4.1.

$$u_{o,u} = A_s \sqrt{\int_{BW} u_{i,u,f}^2 df} \quad (4.1)$$

Integrál lze aproximací rozdělit na část kde je dominantní šum $1/f$ a na část kde je již dominantní bílý šum.



Obrázek 4.2: Šumový model operačního zesilovače a rezistorové sítě

$$u_{o,u} = A_{\check{s}} \sqrt{\int_{0,1}^{f_c} u_{i,u,1Hz}^2 \frac{1}{f} df + \int_{f_c}^{f_{max}} u_{i,u,f}^2 df} = A_{\check{s}} \sqrt{u_{i,u,1Hz}^2 \ln\left(\frac{f_c}{0,1}\right) + u_{i,u,f}^2 (f_{max} - f_c)} \quad (4.2)$$

Kde $u_{n,i,1Hz}$ odpovídá vstupní napěťové spektrální hustotě šumu na 1 Hz, $u_{i,u,f}$ je spektrální napěťová hustota širokopásmového šumu a f_c odpovídá kmitočtu kde začíná převládat širokopásmový šum nad šumem $1/f$. Dolní mez v prvním integrálu není nulová, protože kmitočty pod tímto limitem představují tak dlouhé časy, že se do výsledku neprojeví a tak jsou zanedbávány. V rovnici 4.2 je $A_{\check{s}}$ šumové zesílení dané rovnicí 4.3. Odpovídá zesílení neinvertujícího zesilovače, protože napěťový šum je vztáhnut k neinvertujícímu vstupu.

$$A_{\check{s}} = 1 + \frac{R_f}{R_1} \quad (4.3)$$

Značky rezistorů jsou zřejmé z obrázku 4.2.

Proudový šum protéká rezistorovou sítí zesilovače a vytváří na rezistorech úbytky napětí představující další zdroj rušení. Proudový šum je nejprve nutné zintegrovat stejně jako v případě napěťového šumu. Poté se převede na napěťový šum a dále se stejně jako v předchozím případě přepočte na výstup zesilovače. Protože každý vstup zesilovače může mít jinou hodnotu spektrální hustoty šumu a každý příspěvek je jinak zesílen je nutné je počítat odděleně a sečíst až na výstupu.

$$u_{o,i} = A_{\check{s},i,-} i_{n,1} + A_{\check{s},i,+} i_{n,2} R_+ \quad (4.4)$$

Rezistor připojený na neinvertující vstup realizuje převod šumového proudu na napětí. Zesílení je stejné jako šumové zesílení dle rovnice 4.3. Pro šumový zdroj na invertující vstup při předpokladu nekonečného zesílení otevřené smyčky zpětné vazby musí být napětí

na invertujícím vstupu nulové. To znamená, že všechny proud teče pouze rezistorem R_f a vytváří na něm úbytek rovný výstupnímu šumovému napětí (jedná se o převodník proud - napětí, rovnice 4.5).

$$A_{s,i,-} = R_F \quad (4.5)$$

Poslední šumový příspěvek zanášá do systému odporová síť. Lze odvodit (odvození je pro stručnost vynecháno), že pro invertující vstup lze zapojení nahradit náhradním obvodem a to takovým, že zpětnovazební rezistory se složí paralelně a výstupní šumové napětí je pak dáno rovnicí 4.6.

$$u_{o,R,-} = A_s \sqrt{4kTR_e BW} \quad (4.6)$$

Kde k je Boltzmannova konstanta BW je šířka pásma, T je teplota rezistoru a R_e je ekvivalentní odpor dán rovnicí 4.7.

$$R_e = \frac{R_F R_1}{R_F + R_1} \quad (4.7)$$

Pro neinvertující vstup vytvoří vstupní šumový proud úbytek na celkové připojené impedanci k tomuto portu.

$$u_{o,R,+} = A_s \sqrt{4kTR_+ BW} \quad (4.8)$$

Celkový šum na výstupu zesilovače je pak dán rovnicí 4.9.

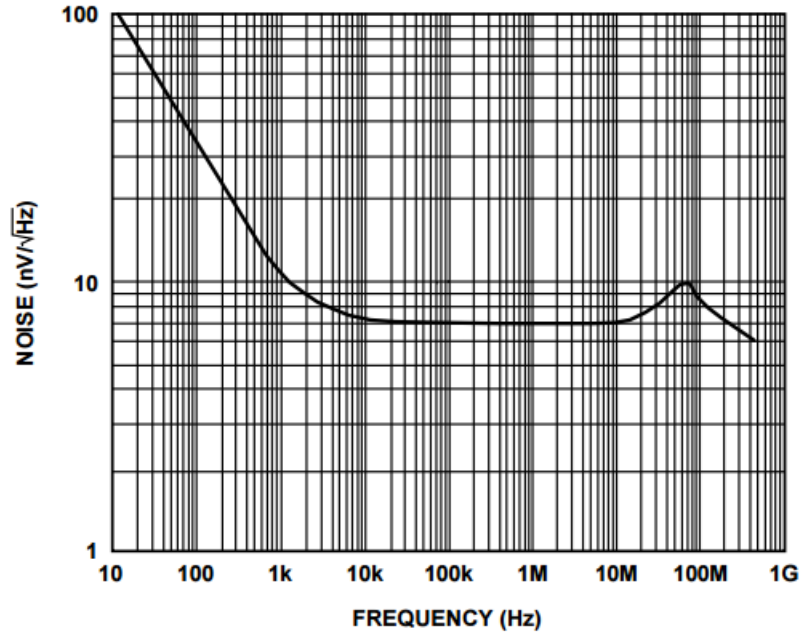
$$u_0 = \sqrt{u_{o,u}^2 + u_{o,i}^2 + u_{o,R,-}^2 + u_{o,R,+}^2} \quad (4.9)$$

Pro kaskádu zesilovačů je celkový šum jednoho bloku zesílen blokem dalším a poté přičten k výstupnímu šumu tohoto bloku stejným způsobem jako v rovnici 4.9 [6].

Druhý čistě systémový rušivý signál je způsoben nelinearitou obvodových bloků a to zejména zesilovačů. Tyto projevy jsou způsobeny nelineární převodní charakteristikou v místě pracovního bodu, omezením napájecího napětí, přechodovými stavy koncových stupňů a rychlostí přeběhu. U operačních zesilovačů je produkce těchto rušivých signálů označena většinou značkou THD (total harmonic distortion, činitel harmonického zkreslení) nebo 2nd (3nd) harmonic distortion (nelineární zkreslení druhou (třetí) harmonickou měřeného signálu). Příklad závislosti harmonického zkreslení operačního zesilovače AD8065 je ukázán na obrázku 4.4. Nelineární harmonické zkreslení je závislé na vratném rozdílu zpětné vazby a to tak, že silná zpětná vazba zkreslení výrazně potlačuje. Toto se projevuje tak, že pro větší napěťová zesílení je harmonické zkreslení větší. Nelineární zkreslení je závislé na frekvenci, protože závisí na hodnotě zesílení otevřené smyčky zpětné vazby OZ, které je kmitočtově závislá i v propustném pásmu.

Výpočet THD na výstupu zesilovací kaskády je proveden následovně.¹Pro výpočet počtu

¹V kaskádě se generují nové kmitočty a tyto kmitočty se sebou díky nelinearitě interagují a vytvářejí tak takzvané intermodulační zkreslení. Výpočet intermodulačního zkreslení není postihnuto, protože výrobci operačních zesilovačů tyto hodnoty nesdělují. Produkty takto vzniklé jsou generovány až v druhém kroku z n -tých harmonických, a proto tyto signály mají velmi malou hodnotu napětí.



Obrázek 4.3: Frekvenční závislost vstupního napětového šumu u operačního zesilovače AD810.

efektivních bitů je nutné počítat zkreslení pro signál, jehož hodnota napětí špička-špička na vstupu převodníku je rovna napětí pro plnou výchylku. Z této hodnoty je možné vypočíst napětí na výstupech jednotlivých bloků. Protože se THD s frekvencí snižuje, je vypočten pro dvě frekvence a to 100 kHz a 1 MHz. Výpočet rušivého napětí kaskády je naznačen v rovnici 4.10, kde Au_i představuje napětové zesílení následujícího bloku a u_{dn} rušivé napětí bloku aktuálního. Ve vztahu se uvažuje, že jednotlivé harmonické produkty jsou spolu ve fázi a sčítají se. Jedná se o aproximaci.

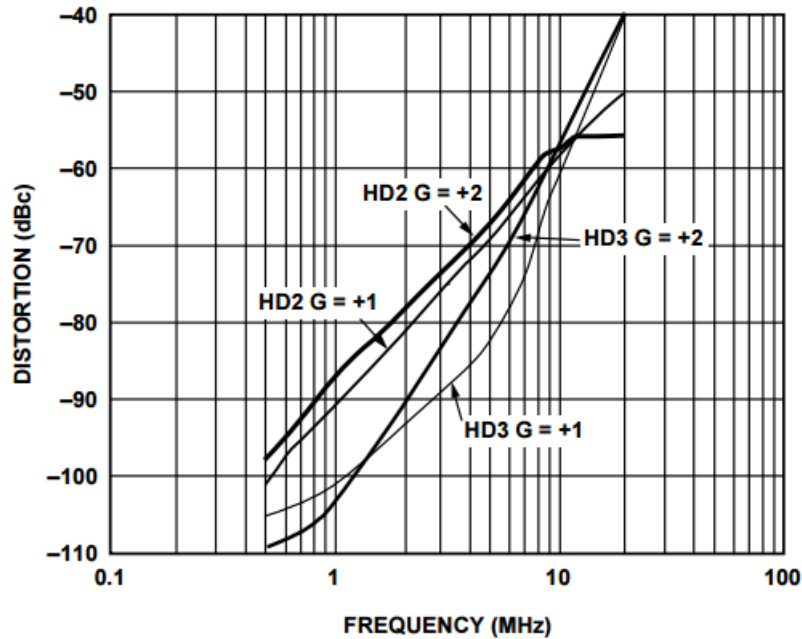
$$u_d = (u_{d1}Au_2 + u_{d2})Au_3 + \dots \quad (4.10)$$

Hodnota napětí harmonického zkreslení jednoho bloku lze vypočíst z THD respektive z jeho jednotlivých složek podle rovnice 4.11, kde u_v je výstupní napětí pro maximální výchylku kaskády.

$$u_{dn} = \frac{THD(\%) }{100} u_v = 10^{\frac{THD(dB)}{20}} u_v \approx \sqrt{\left(10^{\frac{HD2(dB)}{20}} u_v\right)^2 + \left(10^{\frac{HD3(dB)}{20}} u_v\right)^2} \quad (4.11)$$

Lineární zkreslení je způsobeno nelineárním průběhem frekvenční charakteristiky a projevuje se pouze u signálu s více harmonickými frekvencemi. Pokud je fázová frekvenční charakteristika nelineární, pak se signály na různých frekvencích na výstupu sečtou v jiné fázi, než jakou měly na vstupu. Tím může vzniknout podstatně zkreslený signál. Typickým příkladem jsou přechodové jevy v RC obvodech, kde odezva na jednotkový skok je znázorněna na obrázku 4.9.

Třetí rušivý signál je parazitní signál z blízkých obvodů. Toto rušení se může šířit přes napájení, nebo se může do signálové cesty navázat přes indukční/kapacitní vazbu mezi rušivými a rušenými vodiči. Rušení šířící se po napájecích obvodech je způsobeno buď přímo



Obrázek 4.4: Nelineární zkreslení druhou a třetí harmonickou frekvencí pro různé zesílení OZ AD8065

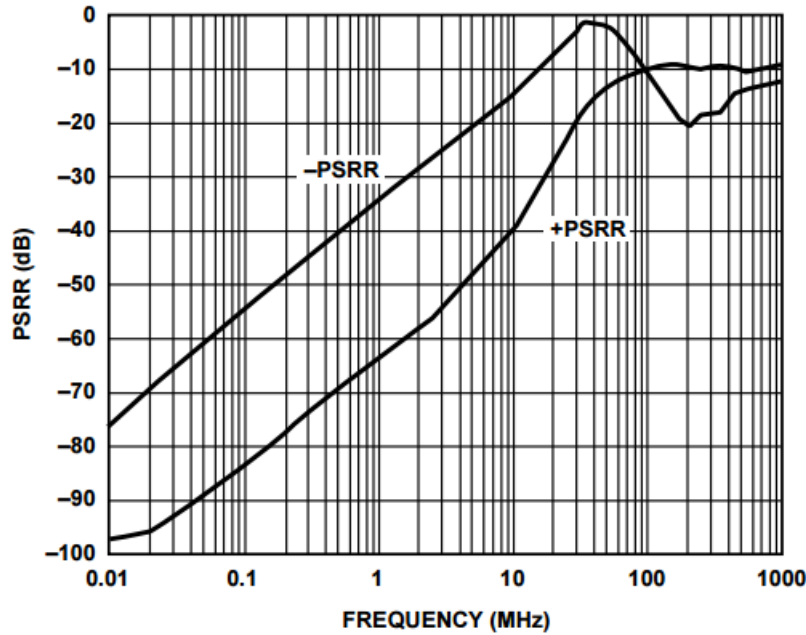
napájecími obvody, anebo nepřímo obvody připojených na stejné větvi napájení. Zvláště velký vliv má na rušení po napájení připojení analogových a digitálních obvodů ke stejné, přímo propojené, větvi napájení. Je to způsobeno tím, že žádný napájecí obvod není ideální napěťový zdroj a napájecí vodiče vykazují indukčnost. Impulzním zatěžováním napájecí větve tak vznikají úbytky napětí, které se u ostatních obvodů projevují jako rušení.

Jednou z vlastností operačních zesilovačů je potlačení vlivu napájecích obvodů anglicky se nazývající Power supply rejection ratio (PSRR) a udává se v dB. U běžných operačních zesilovačů se hodnota potlačení pohybuje v okolí 50 dB, avšak tato hodnota je velmi frekvenčně závislá a s rostoucím kmitočtem výrazně klesá. Na obrázku 4.5 je příklad tohoto průběhu u operačního zesilovače AD8065. Napětí generované napájecími obvody musí být zejména pro měřicí analogové obvody vyfiltrované a to zvláště, když jsou napájecí obvody spínané.

Výsledky výpočtu kvalitativních parametrů analogové části obsahující počet efektivních bitů jsou uvedeny v tabulce 4.12.

4.2.1 Popis zapojení

Protože je osciloskop přístroj určený k měření uvnitř systémů je nutné zajistit, aby pokud možno co nejméně ovlivňoval měřený obvod. Z tohoto důvodu mají osciloskopy vstupní impedanci $1M\Omega$ s paralelně připojenou kapacitou pohybující se v intervalu od 10 do 35 pF. Z důvodu omezení napájecího napětí je nutné, aby signály jejichž hodnota napětí je tak vysoká, že se nedá zpracovat aktivními obvody, byly pasivně utlumeny na vstupu systému. Z hlediska šumového čísla je tento krok pro slabé signály zničující. Proto je vhodné, aby tato úprava signálu nebyla permanentní. Protože po provedení rešerše nebyl nalezen žádný komerčně dostupný aktivním přepínač schopný pracovat s vyšším napětím, než je jeho napájení



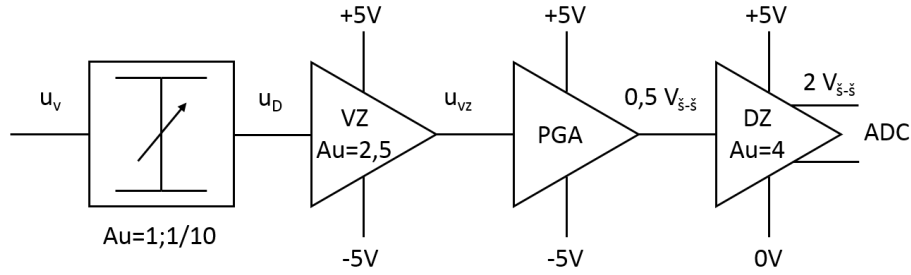
Obrázek 4.5: Potlačení vlivu napájecích obvodů u OZ AD8065

(ochrany na vstupu)², bylo nutné přistoupit k použití relé. Ačkoliv relé nevykazuje oproti polovodičovým přepínačům žádné nelinearity, tak sebou stejně přináší určité nevýhody. Hlavní nevýhodou je jeho spotřeba, která se u signálových relé může pohybovat v desítkách mW oproti téměř nulové spotřebě analogových polovodičových spínačů. Na trhu jsou dostupné tzv. bistabilní relé, které při vhodném řízení spotřebovávají energii pouze při přepínání. Další nevýhodou použití relé jsou jeho velké fyzické rozměry, tzn. že relé bude zabírat poměrně velkou plochu na desce plošného spoje. Pro připojení osciloskopu do systému je použit konektor BNC, který je v nízkofrekvenční technice standardně využíván a je na něm založena naprostá většina měřících sond. Za konektorem následuje blok umožňující filtraci stejnosměrné složky. Jedná se o RC obvod horní propust, který může být přemostěn pomocí relé. Jako odpor v RC článku je použit vstupní odpor osciloskopu. Při vstupním odporu $1\text{ M}\Omega$ a zlomové frekvenci 10 Hz lze spočítat hodnotu kapacity kondenzátoru podle rovnice 4.12.

$$C = \frac{1}{2\pi f R} = \frac{1}{2\pi \cdot 10 \cdot 10^6} \approx 16\text{ nF} \quad (4.12)$$

Následující blok definuje vstupní impedanci a zároveň umožňuje útlum signálu. Je nutné si uvědomit, že vstup operačního zesilovače má nenulovou kapacitu, a že existují parazitní kapacity vodičů na plošném spoji a použitých pasivních komponentů. Při použití běžného odporového děliče by to znamenalo, že dělič bude frekvenčně závislý, protože k němu budou připojeny parazitní kapacity. Z tohoto důvodu je nutné použít kompenzovaný odporový dělič. Kompenzovaný vstupní dělič se skládá z dvou rezistorů jako běžný dělič a z kapacitorů potlačujících frekvenční závislost přenosu. Přenos je frekvenčně nezávislý, když je splněna podmínka $R_1 C_1 = R_2 C_2$. Důkaz, že je přenos kmitočtově nezávislý je uveden v rovnici 4.13. Protože je

²Ve skutečnosti tyto obvody existují, ale ve své vnitřní skruktuře obsahují napěťové měniče zvyšující napájecí napětí.



Obrázek 4.6: Zjednodušené schéma analogové části s napěťovou rozvahou

Dělič [-]	0,1	0,1	0,1	0,1	1	1	1	1	1	1	1	1
PGA [-]	0,08	0,16	0,32	0,63	0,08	0,16	0,32	0,63	1,26	2,52	5,01	10
$u_{vz} [V_{\bar{s}-\bar{s}}]$	6,25	3,13	1,56	0,79	6,25	3,13	1,56	0,79	0,4	0,20	0,10	0,05
$u_D [V_{\bar{s}-\bar{s}}]$	2,5	1,25	0,63	0,32	2,5	1,25	0,63	0,32	0,16	0,08	0,04	0,02
$u_v [V_{\bar{s}-\bar{s}}]$	25	12,5	6,25	3,17	2,5	1,25	0,63	0,32	0,16	0,08	0,04	0,02

Tabulka 4.1: Napěťová rozvaha pro plnou výchylku na AD převodníku

obtížné odhadnout parazitní kapacitu plošného spoje a použitých součástek, je nutné použít kapacitní trimr a správnou hodnotu kapacity dle potřeby do nastavit. Tento proces je ekvivalentní s nastavením napěťové sondy, kde se sledují náběžné hrany obdélníkového průběhu. Při správném kompenzaci by se neměl projevovat vliv jak derivačního tak integračního članku na průběh. Odporový dělič dělí v poměru 1:10 a celková jeho impedance je $1M\Omega$. Dělič lze stejně jako v případě hornofrekvenčního filtru přemostit pomocí relé a dosáhnout tak jednotkového přenosu.

$$Au = \frac{\frac{R_2}{1+j\omega C_2 R_2}}{\frac{R_1}{1+j\omega C_1 R_1} + \frac{R_2}{1+j\omega C_2 R_2}} = |R_1 C_1 = R_2 C_2| = \frac{R_2}{R_1 + R_2} \quad (4.13)$$

Za děličem následuje ochrana vstupu osciloskopu před přetížením a před poškození statickou elektřinou. Ochrana je realizována pomocí obousměrného transilu připojeného mezi signálovou cestou a zemí. Transil je polovodičová součástka svým chováním podobná zenerově diodě. Typ transilu je CDSOD323-T03C s průrazným napětím 4 V. Do větve, která je aktivní při vyřazeném děliči, je přidán ochranný rezistor, díky němuž nedojde k poškození transilu při dlouhodobém přetížení, protože omezuje protékající proud. Hodnota rezistoru nesmí být tak velká, aby ve frekvenčním pásmu vytvářel s parazitními kapacitami dolnofrekvenční filtr. Hodnota rezistoru byla zvolena 100Ω , protože tato hodnota tvoří s parazitní kapacitou (přibližně 5 pF) dolní propust jejíž zlomová frekvence je přibližně 320 MHz. Frekvence je tak více než desetkrát větší než je uvažovaný frekvenční rozsah a to znamená, že nedojde k lineárnímu zkreslení. Z hlediska omezení proudu to znamená, že při vstupním napětí 25 V (tj. přibližně desetinásobné překročení při základním rozsahu) bude transil spotřebovávat přibližně 1W. Výrobce maximální nedestruktivní výkon pro dlouhé časy neudává, ale udává grafickou závislost v závislosti na čase v řádu ms. Aproximací tohoto průběhu byl maximální ztracený dlouhodobý výkon na transilu odhadnut na 2W po dobu 1s.

Za vstupním pasívním obvodem je nutné impedančně oddělit další zpracování signálu, aby

Dělič [-]	0,1	0,1	0,1	0,1	1	1	1	1	1	1	1	1
PGA [-]	0,08	0,16	0,32	0,63	0,08	0,16	0,32	0,63	1,26	2,52	5,01	10
Au [-]	0,08	0,16	0,32	0,63	0,8	1,6	3,2	6,3	12,6	25,2	50,1	100

Tabulka 4.2: Seznam zesílení

následující obvody nezávisle na frekvenci neovlivňovaly vstupní obvod a tak i měřený objekt. Nejvhodnějším zařízením poskytující tuto vlastnost je zesilovač s vysokým vstupním odporem. Jako zapojení je využito neinvertující zapojení operačního zesilovače. Operační zesilovač je využit z důvodu jeho kladných vlastností při zpracování signálu (především díky zpětné vazbě) a zároveň umožňuje poměrně obvodově nekomplikované a plošně nenáročné aplikace. Jak bylo uvedeno již v přecházejících kapitolách, jsou na první blok v kaskádě kladeny nejvyšší nároky na šumové vlastnosti. To znamená, že je nutné použít zesilovač s co nejnižší šumovou napěťovou a proudovou hustotou. Z důvodu potlačení šumu následujících bloků by bylo příznivé, kdyby měl první blok co nejvyšší zisk. Vysoký zisk není možné v prvním bloku uskutečnit z důvodu omezení dynamického rozsahu, protože s ním je v přímé úměře svázáno napájecí napětí. Napěťová rozvaha systému je naznačena na obrázku 4.6 a v tabulce 4.1. Seznam zesílení je uveden v tabulce 4.2.

Dalším významným parametrem kladeným na vstupní blok je jeho vstupní odpor, který by měl být aspoň desetkrát vyšší než je vstupní odpor celého systému. Vstupní kapacita zesilovače je zahrnuta v kompenzaci vstupního děliče. Její hodnota by se měla pohybovat v řádu jednotek pF, aby svým vlivem nezatěžovala měřený objekt. U operačního zesilovače se rozlišují diferenciální a souhlasné impedance. Diferenciální impedance je impedance mezi vstupy OZ a vlivem zpětné vazby a vysokého zesílení zesilovače je potlačena. Potlačení se snižuje se zvyšujícím se kmitočtem z důvodu snižování přenosu otevřené smyčky zpětné vazby. Souhlasná impedance se nachází mezi jednotlivými vstupy a napájecími vstupy. Tyto impedance se nedají nijak potlačit a proto je jejich hodnota při výběru OZ podstatná. Malosignálové kmitočtové pásmo v relaci se zesílením musí být vyšší než je maximální vstupní frekvence. Pro nižší zkreslení by toto pásmo mělo být podstatně vyšší než je maximální frekvence, ale kmitočtový rozsah lze využít i pro filtraci signálu s vyšší frekvencí a zabránění tak podvzrokování a hlavně potlačení kmitočtového pásma šumu. Proto je vhodné i za cenu určitého nelineárního zkreslení pro vyšší frekvence vybírat OZ s nižším tranzitním kmitočtem. Základní přiblížení kmitočtového rozsahu OZ s daným zesílením lze určit podle rovnice 4.14.

$$BW = \frac{f_T}{Au} \quad (4.14)$$

Pokud nemá docházet ke zkreslení v závislosti na úrovni vstupního signálu pak je u vyšších frekvencí nutné se zabývat rychlostí přeběhu operačního zesilovače. Pro sinusový signál je potřebná rychlost přeběhu dána vztahem 4.15 a vyjadřuje maximální možnou časovou derivaci výstupního signálu.

$$SR = 2\pi fU_{max} \quad (4.15)$$

Velmi významný je vstupní klidový proud vstupního zesilovače, protože při měření zdroje s vysokým vstupním odporem, nebo při stejnosměrném oddělení (např. režim AC) i malý

f_t [MHz]	SR [V/ μ s]	I_b [pA]	$u_{i,u,f}$ [nV/ \sqrt{Hz}] @ 10kHz	i_n [fA/ \sqrt{Hz}] @ 10kHz	$SFDR$ [dBc] @ 1MHz	I_Q [μ A]
65	185	1	7	0,6	-88	5,5

Tabulka 4.3: Parametry OZ AD8065

Au [-]	R_F [Ω]	R_1 [Ω]	BW [MHz]	BW_p [MHz]	P [mW]
2,5	300	200	26	9,4	68

Tabulka 4.4: Parametry vstupního zesilovače s OZ AD8065

proud, potřebný k nastavení pracovního bodu vstupní části OZ, vyvolá na vysokém odporu (např. 1 M Ω při AC režimu) poměrně vysoký úbytek a tím vyvolá stejnosměrný posun. Malý posun v řádu mV lze zkalibrovat pomocí bloku zajišťující stejnosměrný posun měřeného signálu. Vyšší hodnoty napětí pak nelze zkalibrovat, protože tyto hodnoty omezují hlavně na vstupu dynamický rozsah vstupní zesilovače. Z důvodu nestálosti měřené impedance a šumovým parametrům není možné kompenzovat tento jev ve zpětné vazbě. Proto je nutné vybrat zesilovač s nízkým klidovým proudem. Hodnota proudu se musí pohybovat v řádu jednotek nA a nižších, aby se na vstupu vytvořil maximálně úbytek v řádu mV. Po provedení průzkumu trhu s operačními zesilovači se ukázalo, že OZ s bipolárními tranzistory na vstupu těchto hodnot nedosahují a je nutné použít zesilovače s unipolárními tranzistory. Jednou z variant je využití zesilovače v bipolární technologii, který má na vstupu JFETové tranzistory dosahující vstupních proudů v řádu jednotek pA. Tato varianta je u výrobců oblíbená díky její nízké ceně oproti kombinované MOSFETové a bipolární technologii. Zápornou stránkou věci je to, že výběr OZ s JFETy na vstupu je značně omezen.

Jako operační zesilovač prvního bloku byl vybrán AD8065 a jeho základní parametry jsou shrnuty v tabulce 4.3. Hodnoty rezistorů byly voleny jako kompromis mezi spotřebou, šumovým příspěvkem a dynamickou odezvou. Zesílení bohužel nemohlo být zvoleno příliš vysoké z důvodu dynamického rozsahu a tak pro potlačení šumu bylo zvoleno 2,5 [-]. Vstupy zvoleného OZ jsou JFETové. Jedná se o OZ s rail-to-rail výstupem. Parametry zesilovače jsou uvedeny v tabulce 4.4. Protože se jedná o JFETový zesilovač je jeho vstupní impedance v řádech G Ω a vstupní kapacita přibližně 2pF.

Zesilovač je podložen výstupem dalšího zesilovače, který nastavuje stejnosměrný posuv. Tento posun je z hlediska dynamického rozsahu vhodné provést co nejdříve v kaskádě. Protože signál tohoto bloku je vstupem bloku impedance transformace, tak je z hlediska šumových příspěvků tento blok jako první v kaskádě. To znamená, že jsou na něj kladeny také vysoké nároky z hlediska šumového čísla. Rychlost přeběhu tohoto zesilovače není podstatná, protože rychlé změny jeho výstupního napětí jsou dokonce nežádoucí. Výstupní odpor celého bloku by měl být co možná nejnižší a to znamená co nejvyšší zesílení samotného OZ. Postupné zvyšování výstupního odporu s frekvencí se na výstupu kaskády projeví jako snížení celkového zesílení. Tento blok odděluje pomalý DA převodník od rychlé části zpracování signálu. Jako OZ v tomto bloku byl zvolen THS7001 „preamp“ a jeho parametry jsou shrnuty v tabulce 4.5. Parametry bloku jsou poté uvedeny v tabulce 4.6. OZ je součástí většího integrovaného obvodu THS7001, ve kterém by měl sloužit jako nízkošumový zesilovač. THS7001 obsahuje programovatelné zesilovač, který je v systému dále použit.

f_t [MHz]	$u_{i,u,f}$ [nV/ \sqrt{Hz}] @ 10kHz	i_n [pA/ \sqrt{Hz}] @ 10kHz	THD [dBc] @ 1MHz	I_Q [mA]	A_0 [dB]
120	1,7	0,9	-88	5,5	98

Tabulka 4.5: Parametry OZ preamp THS7001

Au [-]	R_F [Ω]	R_1 [Ω]	BW [MHz]	P [mW]
2	1000	1000	60	61

Tabulka 4.6: Parametry offsetového zesilovače s OZ preamp THS7001

Pro ovládání stejnosměrného posunu je nutná určitá forma digitálně analogového převodníku. Velká většina DA převodníků pracují unipolárně. To znamená, že jejich výstupní napětí lze měnit pouze od nuly po kladné napájecí napětí. Posun do záporných hodnot je pak většinou realizován OZ v neinvertujícím zapojení, který je pak připojen odporovou sítí ke kladné větvi napájecího napětí. Problém tohoto řešení je v tom, že napájení je tvořeno spínanými zdroji, a proto je napájení zarušené. Přivedením tohoto rušení přímo do signálového řetězce by značně snížilo počet efektivních bitů. V rychlé části systému nelze toto rušení vyfiltrovat bez omezení šířky pásma. Filtrace rušení proto musí být provedena v pomalé části obvodu. Použití běžného DA převodníku a operačního zesilovače starajícího se o bipolárnost by znamenalo opětovné zvýšení spotřeby a plochy na DPS. Jako nastavovací prvek byl vybrán digitální potenciometr AD5262 umožňující připojení symetrického napájení a nastavovat tak výstupní napětí i do záporných hodnot. Filtrace je provedena dolnoproputnými LC filtry, jejichž zlomová frekvence je 10 kHz. Protože je digitální potenciometr tvořen přepínanými rezistory a obsahuje také polovodiče, tak je zdrojem šumu a jeho výstup je znovu filtrován LC dolnofrekvenčním filtrem. Referenční napětí pro kladnou a zápornou větev bylo vytvořeno z napájení analogové části pomocí napěťových referencí snižujících nepřesných $\pm 5V$ na přesných $\pm 2,5V$. Jako reference byl vybrán obvod ADR5041. Jedná se o tzv. shunt referenci což sebou přináší sice relativně vysokou úroveň šumu, ale zato je tuto referenci možné použít i pro záporné napětí. K referenci je nutné připojit rezistor, který limituje proud referencí. K referenci se dále připojuje paralelně kapacita, která filtruje rychlé změny, které se mohou vyskytovat v napájení, a také filtruje vzniklý šum od reference.

Výstupní napětí takto zkonstruovaného digitálně analogového převodníku se pohybuje mezi $\pm 2,5V$. Toto napětí je poté zesíleno dvěma a převedeno tak do rychlé části obvodu. Stejnosměrný posun je poté zesílen vstupním zesilovačem 1,5 a sečten s měřeným signálem. Jako operační zesilovač použitý pro převod z pomalé do rychlé byl využit již výše zmíněný nízkosumový operační zesilovač, který je částí integrovaného obvodu THS7001 použitého v dalším signálovém zpracování.

Další blok je zesilovač s programovatelným zesílením, již zmíněný THS7001. Jeho zesílení lze nastavit v rozsahu od -22dB do 20dB tj. v lineárním měřítku od 0,08 do 10 v krocích po 6dB respektive dvojnásobku. Jedná se o invertující zapojení OZ, kde se přepínají oba rezistory zpětné vazby a tak mění celkové zesílení. Zesílení je nastavováno pomocí tří bitové paralelní sběrnice.

Následující blok realizuje převod mezi jednostranným a diferenciálním signálem. Tento krok je vhodný k potlačení některých z chyb AD převodníku a využití jeho plného dyna-

Au [-]	BW [MHz]	SR [V/ μ s]	BW_p [MHz]	P [mW]	$u_{i,u,f}$ [nV/ \sqrt{Hz}] @ 10kHz	THD [dBc] @ 1MHz
0,08-10	70-60	160	10	45	500-10	-85

Tabulka 4.7: Parametry PGA THS7001

f_t [MHz]	SR [V/ μ s]	$u_{i,u,f}$ [nV/ \sqrt{Hz}] @ 10kHz	i_n [fA/ \sqrt{Hz}] @ 10kHz	THD [dBc] @ 1MHz	I_Q [mA]
220	95	3,9	0,81	-98	1,25

Tabulka 4.8: Parametry diferenčního OZ ADA4940

mického rozsahu. Zapojení je realizováno pomocí plně diferenciálního operačního zesilovače, jehož topologie je velmi podobná běžnému operačnímu zesilovači až na to, že je vybaven komplementárními výstupy pracujícími v protifázi a offsetovým nastavením těchto signálů vůči společné zemi. Pro tento zesilovač je nutné zapojit dvě smyčky zpětné vazby. Lze odvodit, že při stejném poměru rezistorů v obou větví je přenos z jednostranného signálu na diferenciální dán poměrem rezistoru R_f ku R_1 . Protože jsou tyto obvody většinou uzpůsobeny jako budiče k převodníkům, poskytují možnost unipolárního napájení pouze z kladné větve, protože převodníky jako vstup většinou používají pouze kladné napětí proti zemi. Unipolární napájení má poloviční spotřebu statického výkonu a také poskytuje jednostrannou ochranu převodníku vůči přetížení, protože na svůj výstup nemohou nastavit napětí menší než je napětí nulové. Ochrana převodníku vůči kladnějšímu limitu je realizována pomocí Schottkyho diod zapojených katodami k napájecímu napětí převodníku a anodami k signálovému vodiči. Schottkyho dioda je rychlá polovodičová dioda, která se vyznačuje úbytkem napětí v propustném směru rovným 0,3 V. Proto je vhodná pro ochranu integrovaných obvodů před zničením. Maximální proud je omezen pomocí předřadného rezistoru plnící i funkci filtrační viz dále. Převodník ve své interní struktuře obsahuje taktéž tyto ochrany s maximálním proudem 100mA. Externí diody jsou pak pouze pomocným členem zaručující ochranu převodníku, protože převodník je jedno z nejdražších zařízení v systému. Omezení proud je zajištěno odporem, jehož hodnota by pro maximální proud 100mA měla být 50Ω pro operační zesilovač s Rail-to-Rail výstupem. Pro stejnosměrný posun diferenciálních signálů je použit pin V_{CM} AD převodníku nastavující posun na 0,9V. Toto napětí je filtrováno pomocí dolnofrekvenčního LC filtru s mezním kmitočtem přibližně 50 kHz. Jako plně diferenciální OZ byl zvolen ADA4940. Parametry OZ jsou shrnuty v tabulce 4.8 a parametry zesilovače jsou uvedeny v tabulce 4.9.

Analogový frekvenční rozsah převodníku blíží k 750 MHz, protože je určen také k vzorkování signálu na nosné. Šířku pásma pro vstupní signály je vhodné omezit filtrem zejména kvůli zmenšení frekvenčního pásma šumu. Tento filtr může zároveň plnit i funkci antialiasingového filtru i když jeho použití je diskutabilní. Pro šumové omezení šířky pásma je použit RC/LC filtr diferenciální filtr jehož mezní frekvence je přibližně 10 MHz.

Au [-]	R_F [Ω]	R_1 [Ω]	BW [MHz]	P [mW]
4	2000	500	55	16,25

Tabulka 4.9: Parametry budiče AD převodníku s OZ ADA494

f_{3dB} [MHz]	R [Ω]	C [pF]
14,8	49	220

Tabulka 4.10: Parametry symetrického RC filtru prvního řádu

f_0 [MHz]	Q [-]	R [Ω]	C [pF]	L [nH]
10	0,707	47	220	560

Tabulka 4.11: Parametry symetrického LC filtru druhého řádu

Otázka použití strmého antialiasingového filtru je diskutabilní, protože pro akvizici signálů je vhodné, aby vzorkovací frekvence byla alespoň pětkrát vyšší než maximální frekvence měřeného signálu, kvůli možnosti využití různých druhů interpolace. Toto strmé omezení by ale znamenalo značné zkreslení signálů, která mají sice první harmonické v propustném pásmu, ale vyšší harmonické již v pásmu, které zkresluje hlavně fázová charakteristika (lineární zkreslení, obrázky 4.8 a 4.9).

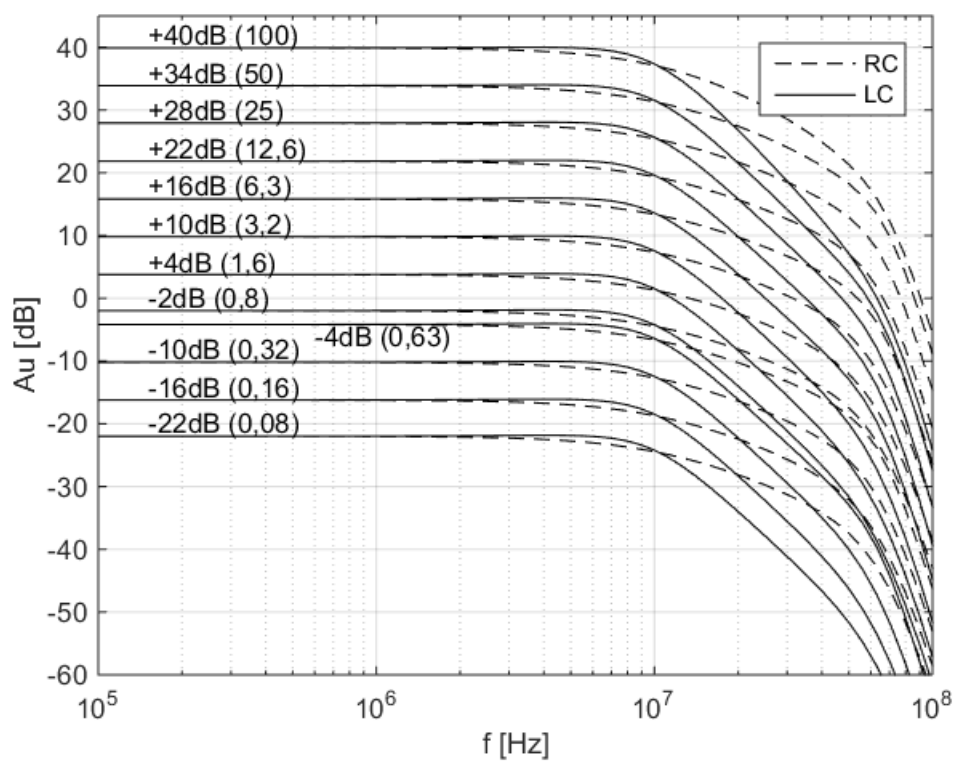
Na základě simulačních spice modelů, poskytnutých výrobcem, byly nasimulovány malo-signálové přenosové charakteristiky (obrázky 4.7 a 4.8) a odezvy na jednotkový skok (obrázek 4.9). Pro systém byly navrženy dvě varianty antialiasingového filtru, LC (druhý řád) a RC (první řád). Filtry jsou symetrické a jejich základní parametry jsou shrnuty v tabulkách 4.10 a 4.11. Aproximace použita při návrhu LC filtru je typu Butterworth, poskytující kompromis mezi dostatečně strmou amplitudovou charakteristikou a relativně nezvlněnou fázovou charakteristikou. Charakteristika se liší od ideální charakteristiky výběrem součástek dostupných z řady. Hodnota rezistoru použitého v RC je poměrně nízká, a to z důvodu minimalizace chyby přenosu.

4.3 Digitální část

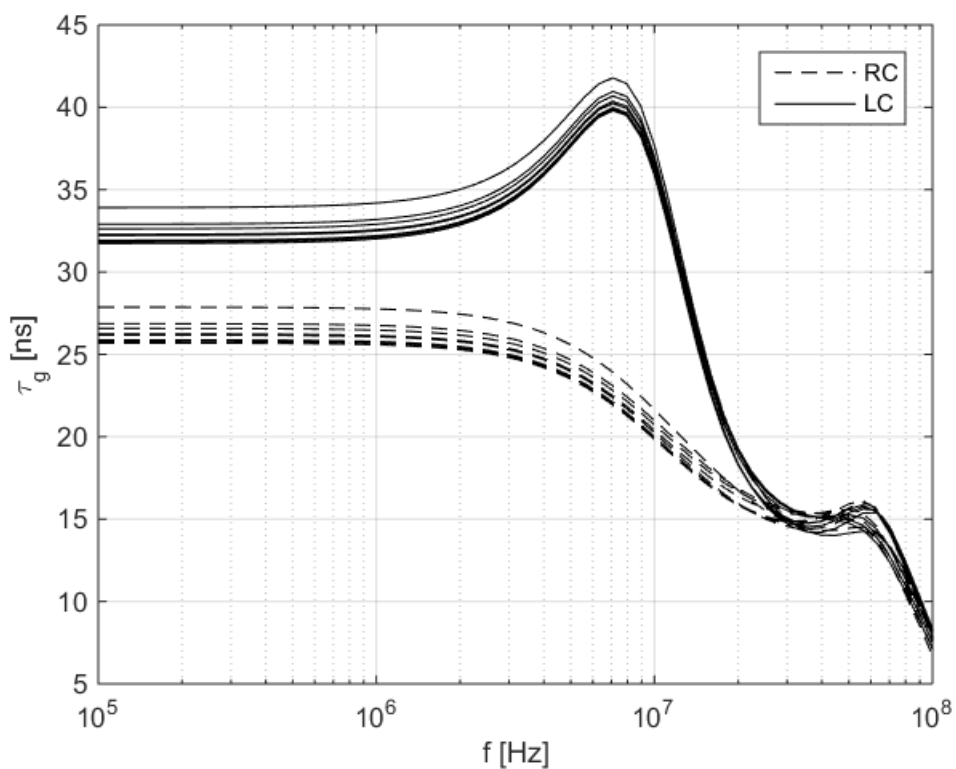
Na celý systém lze pohlížet jako na konečný stavový automat. Po zapnutí napájení, konfiguraci digitálních obvodů a USB inicializaci je systém připraven k první akvizici. Vzorky se začínou ukládat do vnitřní zásobníkové paměti a po uplynutí potřebné doby pro pretrigger je povoleno spuštění. Paměť je typu FIFO a cyklicky se přepisuje do okamžiku spuštění. Po spuštění se odebere potřebný počet vzorků, který je dán hloubkou paměti a hodnotou pretriggeru. Po skončení akvizice jsou vzorky posílány do USB kontroléru, který se chová jako FIFO typu Slave. Svými řídicími signály sděluje hradlovému poli svůj okamžitý stav a na základě toho hradlové pole zastavuje a spouští odesílání vzorků do osobního počítače.

4.3.1 Analogově digitální převodník

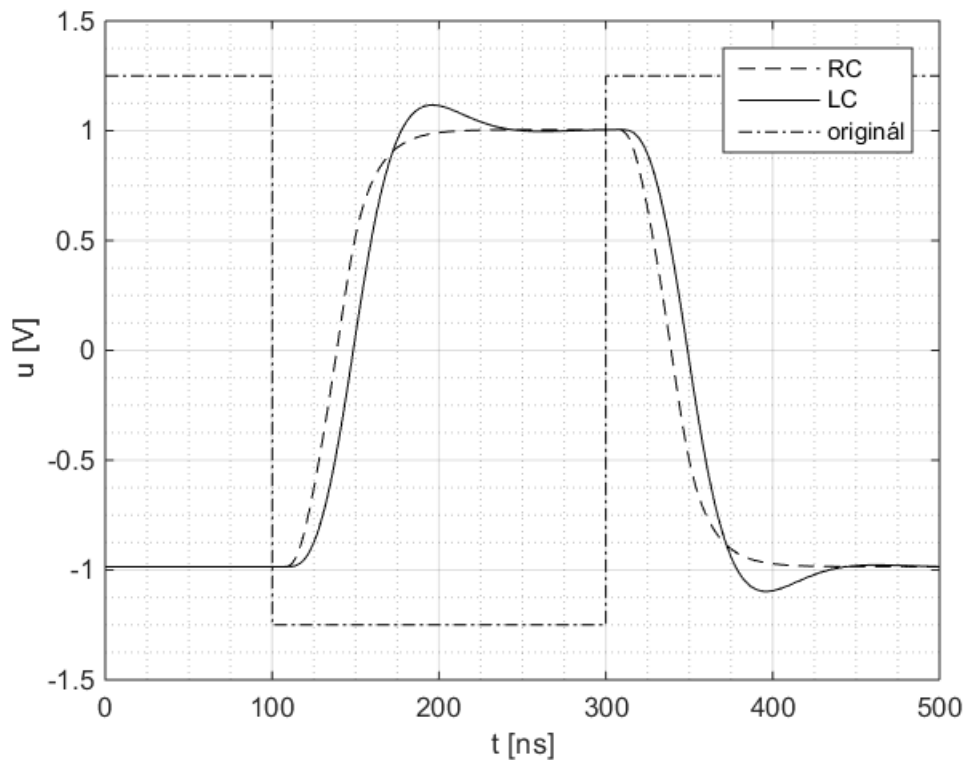
Převod mezi analogovou a digitální doménou realizuje analogově digitální převodník. Rychlé (50 MSPS a více) a vícebitové (10 a více) převodníky jsou většinou Pipeline struktury. Pipeline struktura kombinuje převodník s postupnou aproximací a převodník typu Flash. Na rozdíl od převodníku s postupnou aproximací, kde je převod realizován v několika cyklech za pomoci stejného komparátoru, je u Pipeline struktury využito několik v kaskádě pracujících dílčích převodníků typu Flash s nižším rozlišení než je rozlišení výsledné. Nhrubo převedený vzorek je následně opět převeden digitálně analogovým převodníkem zpátky do analogové podoby a je



Obrázek 4.7: Simulace napětového zesílení, pro dva druhy antialiasingových filtrů



Obrázek 4.8: Simulace skupinového zpoždění analogové části, pro dva druhy antialiasingových filtrů a všechna zesílení



Obrázek 4.9: Simulace odezvy analogové části na jednotkový skok

f [Hz]	100 k				1 M			
A _u [dB]	SNR [dB]	THD [dB]	SINAD [dB]	ENOB [bit]	SNR [dB]	THD [dB]	SINAD [dB]	ENOB [bit]
-22	66,71	-98,16	-65,19	10,54	66,71	-82,55	-65,12	10,52
-16	66,29	-98,16	-64,89	10,49	66,29	-85,55	-64,82	10,47
-10	62,71	-98,18	-62,04	10,01	62,71	-82,55	-62,00	10,01
-4	60,48	-98,14	-60,07	9,69	60,48	-85,55	-60,05	9,68
-2	66,86	-98,16	-65,30	10,55	66,86	-82,55	-65,22	10,54
4	66,87	-98,16	-65,30	10,56	66,87	-85,55	-65,22	10,54
10	63,78	-98,18	-62,94	10,16	63,78	-82,55	-62,90	10,16
16	63,68	-98,14	-62,86	10,15	63,68	-85,55	-62,81	10,14
22	63,24	-98,09	-62,49	10,08	63,24	-82,55	-62,45	10,08
28	61,21	-98,10	-60,73	9,79	61,21	-85,55	-60,70	9,78
34	57,63	-98,11	-57,41	9,23	57,63	-82,55	-57,40	9,22
40	52,77	-98,12	-52,70	8,44	52,77	-85,55	-52,70	8,44

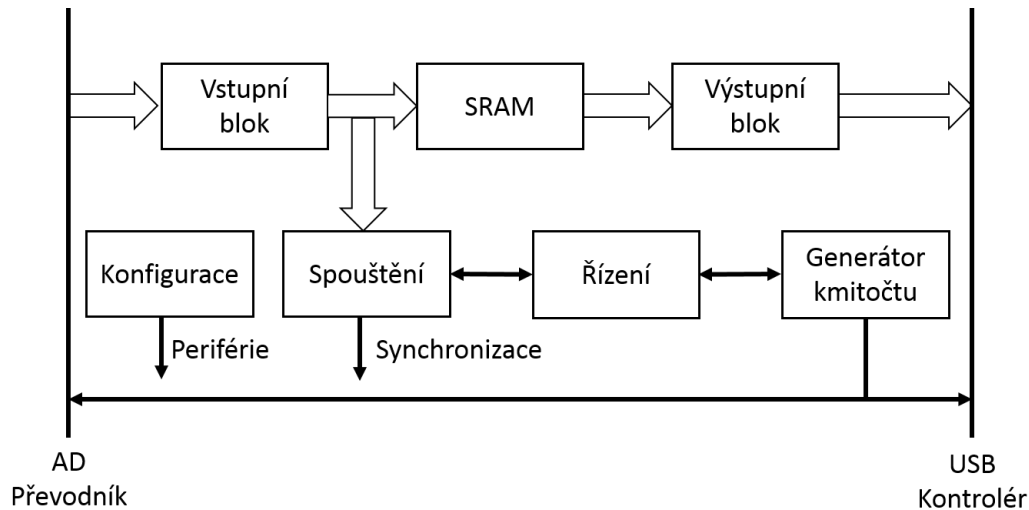
Tabulka 4.12: Vypočtené kvalitativní hodnoty analogové části

odečten od vstupního napětí. Napětí je zesíleno (2^n , n je počet vzorků převedených v předchozí části) v závislosti na tom kolik vzorků část převedla tak, aby jeho maximální možná hodnota odpovídala plně výchylce následujícího dílčího bloku, který je identický prvnímu bloku. Do převodu je ve skutečnosti zpravidla ještě blok digitálních oprav. Zesílení na výstupu každého bloku totiž není 2^n ale 2^{n-1} . Následující blok tak při správném převodu předchozího bloku využívá pouze polovinu svého dynamického rozsahu. Pokud se vyskytne chyba v převodu, pak je na vstupu následujícího převodníku výchylka vyšší než polovina dynamického rozsahu a logika opraví chybu na pozici LSB. Díky tomuto mechanismu není nutné klást tak vysoké nároky na preciznost jak konverze na číslo tak zpátky do analogové podoby a převodník tak může být podstatně levnější oproti převodníku Flash. Oproti převodníku s postupnou aproximací může převodník Pipeline pracovat s podstatně vyšším vzorkovacím kmitočtem, protože i když do zpracování zanáší zpoždění mezi vstupním signálem a vzorky, tak do procesu zanáší paralelizaci a to znamená, že s každým hodinovým taktém jsou na výstupu nová data. Převodník typu Flash bude vždy rychlejší než Pipeline, protože je potřeba delších časových intervalů pro převod, z důvodu zpětného převodu do analogové podoby. Na druhou stranu jsou kladeny mnohem větší nároky na preciznost převodu a složitost u převodníků Flash, a tím plocha na čipu se zvyšuje s rostoucím počtem bitů exponenciálně, kdežto u Pipeline převodníku se jedná o závislost lineární.

Základními parametry převodníku jsou maximální vzorkovací frekvence (popřípadě rozsah vzorkovacích frekvencí) a počet fyzických převodních bitů. Velmi důležitým parametrem je SINAD převodníku. Počet efektivních bitů vyjádřený z SINAD je u kvalitních převodníků blízko fyzickému rozlišení převodníku a vyjadřuje kvalitu analogové části a převodu. Dle rovnice 2.2 lze vypočítat jaké SFDR by měl převodník mít pro požadovanou přesnost. Pro dvanácti bitový převodník je tato hodnota rovna 74 dBc. Převodník LTC2145-12 od firmy Linear Technology má hodnotu SINAD 70,5 dBc což odpovídá 11,4 efektivním bitům. Kvalita převodníku postihují čtyři parametry určené pro statické signály. Jedná se o chybu offsetu, zesílení, diferenciální nelinearity a integrální nelinearity. Chyba offsetu vyjadřuje posun směrnice ideálního a reálného převodníku. Tato chyba se například u převodníku LTC2145-12 pohybuje v intervalu $\pm 1,5mV$. Offset je poměrně snadné zkalibrovat jak externě, tak i některé převodníky nabízejí možnost interní kalibrace. Chybu interního zisku se projevuje nesprávnou směrnici převodu a je ji také možné zkalibrovat ($\pm 1,5$ pro použitý převodník). Chyba diferenciální nelinearity se projevuje tím, že schodová převodní charakteristika není monotónní a převodní intervaly jednotlivých čísel nejsou ekvivalentní. Integrální chyba způsobuje odchytku převodní křivky od přímky. Rozdíl mezi integrální a diferenciální chybou je v tom, že v integrální nelinearitě se projevuje jako trend, kdežto diferenciální chyba je čistě náhodně rozptýlena. Nelineární chyby není možné zkalibrovat, a proto je nutné jim věnovat obzvláště velkou pozornost při volbě převodníku ($\pm 0,1$ pro diferenciální chybu a $\pm 0,3$ pro integrální chybu).

4.3.2 Hradlové pole

FPGA je zkratka z anglického Field-Programmable Gate Array v češtině znamenající programovatelné hradlové pole. Jedná se o pole různých složitých číslicových programovatelných bloků propojené konfigurovatelnou maticí spojů. Návrh propojení je většinou automaticky syntetizo-



Obrázek 4.10: Blokové schéma systému v hradlovém poli

ván z programu napsaného pomocí programovacího jazyku nebo schématu. Jako programovací jazyky jsou téměř výhradně používány buď VHDL (VHSIC Hardware Description Language, Very-High-Speed Integrated Circuit, jazyk pro popis hardwaru pro velmi rychle integrované obvody) nebo Verilog. Jazyky jsou z pohledu výsledku návrhu rovnocenné a v práci bylo pracováno ve VHDL.

Použité hradlové pole je kompromisem mezi vlastnostmi a pořizovací cenou. Jedná se o Spartan 6, XC6SLX9 od firmy Xilinx. Hlavním důvodem použití tohoto typu je velká vnitřní bloková paměť typu RAM o velikosti 576 kb a 4 bloky CMT (clock management tile, správce taktovacího signálu).

Blokové schéma systému v hradlovém poli je na obrázku 4.10. Jednotlivé bloky představují konečné stavové automaty.

Vstupní blok zachycuje, řadí a decimuje vzorky z převodníku. Pokud jsou splněny podmínky pro započítání sledování podmínek pro spuštění, pak začne adresovat paměťová místa v RAM a cyklicky do RAM ukládat odebrané vzorky. Ke své činnosti potřebuje z vnitřního řízení signál start, trigger a reset. Signál start signalizuje, že byl odečten dostatečný počet vzorku pro pretrigger a timeout a že je systém připraven pro spuštění. Signál trigger představuje spouštěcí signál, kdy vstupní data nabyly hodnot splňující spouštěcí podmínku. Po spuštění je zaznamenána adresa, na které adrese došlo ke spuštění a je odebrán potřebný počet vzorků pro dokončení akvizice. Po dokončení akvizice je nastaven signál `data_in_done` a blok se přepne do vyčkávacího stavu, dokud systém nedokončí celý přenos dat a neresetuje se.

Spouštěcí blok zajišťuje sledování vzorků a na základě algoritmu spuštění po vyhodnocení, že je podmínka splněna, generuje spouštěcí signály. Zároveň obsahuje čítač starající se o to, že v paměti je obsaženo dostatečné množství vzorků pro pretrigger a timeout. Timeout je použit pro posunutí akvizičního okna v čase dopředu oproti spouštěcímu okamžiku. Spuštění není realizováno analogovými obvody, jako to bylo u běžných osciloskopů, ale plně digitálně tzn. z odebraných vzorků, které poskytuje převodník. Protože převodník poskytuje kontinuálně vzorky na maximální možné frekvenci a decimace je provedena až v FPGA, pak je možné

využít nejvyššího časového rozlišení pro spouštění, pro všechny rozsahy časové základny (pro různé periody časových základen se mění vzorkovací frekvence). V práci byly zaimplementovány pouze základní spouštěcí režimy a to režim normal s reakcí na náběžnou, sestupnou nebo na obě hrany a režim auto, kde i při nesplnění spouštěcí podmínky po určitém intervalu dojde k samovolnému spuštění. Tyto režimy byly zaimplementovány, protože se nejběžněji používají a implementace složitějších režimů spouštění je velmi časově náročná.

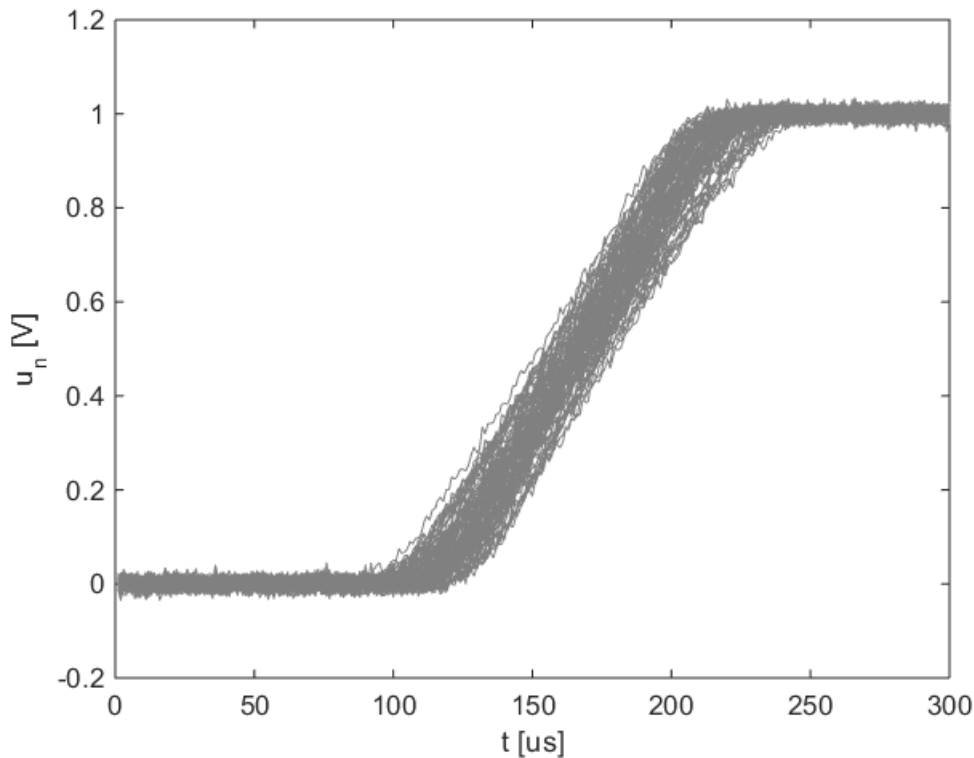
Paměť integrovanou v hradlovém poli lze rozřadit do dvou kategorií, blokové a distribuované. Distribuovaná paměť je složena z jednotlivých funkčních bloků hradlového pole, zatímco bloková pole je samostatná dedikovaná paměť. Bloková paměť použitého Spartana-6 se chová jako synchronní RAM paměť. Fyzicky je rozdělena do třiceti dvou 18kb bloků. Paměti lze nakonfigurovat šířku datového slova a tím ji maximálně využít i pro nestandardní šířky sběrnice. Pro případ osciloskopu je vhodné nakonfigurovat šířku slova buď na 12, nebo 24 bitů. Pro maximální zaplnění RAM paměti je pro 24 bitové slovo vhodná kombinace dvaceti tří bloků o šířce slova 18 bitů (1024 paměťových míst), šesti bloků o šířce slova 4 bitů (4096 paměťových míst) a třech bloků o šířce 2 bitů (8192 paměťových míst). Poskládání paměti je znázorněno na obrázku 4.13. Celková velikost paměti je pak 23552 vzorků pro oba kanály, nebo 47104 pro jeden aktivní kanál. Dekodér adres je pak generován syntézou automaticky, ale jeho složitost i pro poměrně velkou složitost paměti RAM nebude příliš velká, protože by se jednalo, o pouhé rozšíření dekodéru pro paměť, kde pro každé paměťové místo je platný pouze jeden blok. Paměť lze nastavit i do režimu pravé dvouportové SRAM. Toto nastavení může být výhodné v budoucnu při přímém streamování dat do počítače.

Po dokončení akvizice jsou data posílány do počítače. Obsluhu rozhraní s USB kontrolérem zabezpečuje blok data_out. Na základě adresy kde došlo k spuštění a hodnoty pretriggeru jsou vzorky z paměti postupně vyčítány. Protože jsou slova v USB paketech osmi bitová, a proto i USB kontrolér je 8mi bitový, je nutné rozdělit 12 bitové vzorky do bytů. Protože je paměť 24 bitová tak to znamená, že na každé datové místo v paměti připadnou tři byty. USB kontrolér nastavený v režimu Slave FIFO v synchronním režimu je ovládán pomocí signálu SLWR a signalizuje svůj stav pomocí flagů. Flagy signalizují stav vnitřní FIFO paměti kontroléru (plnost a prázdnot). Ovládání FIFO paměti je obsáhlé a je podrobněji probráno v kapitole o USB kontroléru. Pokud je FIFO plné pak se přenos dat zastaví a čeká se, dokud se neuvolní jeden ze zásobníků kontroléru. Pokud jsou všechny vzorky odeslány, pak se celý systém zresetuje do původního stavu před akvizicí a znovu se začnou odebírat vzorky.

Pro vzorkování spojitého signálu je nutné dodat AD převodníku taktovací signál, který určuje okamžiky vzorkování. Tento signál je generován oscilátorem. Každý oscilátor je postižen fázovým šumem, který odpovídá krátkodobé frekvenční nestabilitě oscilátoru. Projevuje se tak, že perioda generovaného signálu není konstantní a mění se s určitou, často velmi malou odchylkou. V časové oblasti se tento efekt velmi často nazývá jitter (fázová nestabilita, fázový neklid). Jitter do systému nepřidává pouze oscilátor, ale i jakýkoliv blok, který stojí mezi oscilátorem a konečnou destinací (budič sběrnice, zesilovač). Na druhou stranu zařízení jako například fázový závěs umožňuje efektivně snižovat hodnotu fázového šumu. V případě AD konverze nestabilní perioda vzorkovacího signálu zanesení do převodu dodatečný šum. Příklad takového šumu je naznačen na obrázku 4.11. Poměr signál šum lze vypočítat pomocí rovnice

Šířka sběrnice paměťového bloku (velikost bloku v bitech)		
18 (1024)	4 (4096)	2 (8192)
18 (1024)		
18 (1024)		
18 (1024)		
18 (1024)	4 (4096)	
18 (1024)		
18 (1024)		
18 (1024)		
18 (1024)	4 (4096)	2 (8192)
18 (1024)		
18 (1024)		
18 (1024)		
18 (1024)	4 (4096)	
18 (1024)		
18 (1024)		
18 (1024)		
18 (1024)	4 (4096)	2 (8192)
18 (1024)		
18 (1024)		
18 (1024)		
18 (1024)	4 (4096)	
18 (1024)		
18 (1024)		
18 (1024)		
-		

Tabulka 4.13: Navržená kombinace blokové paměti SRAM

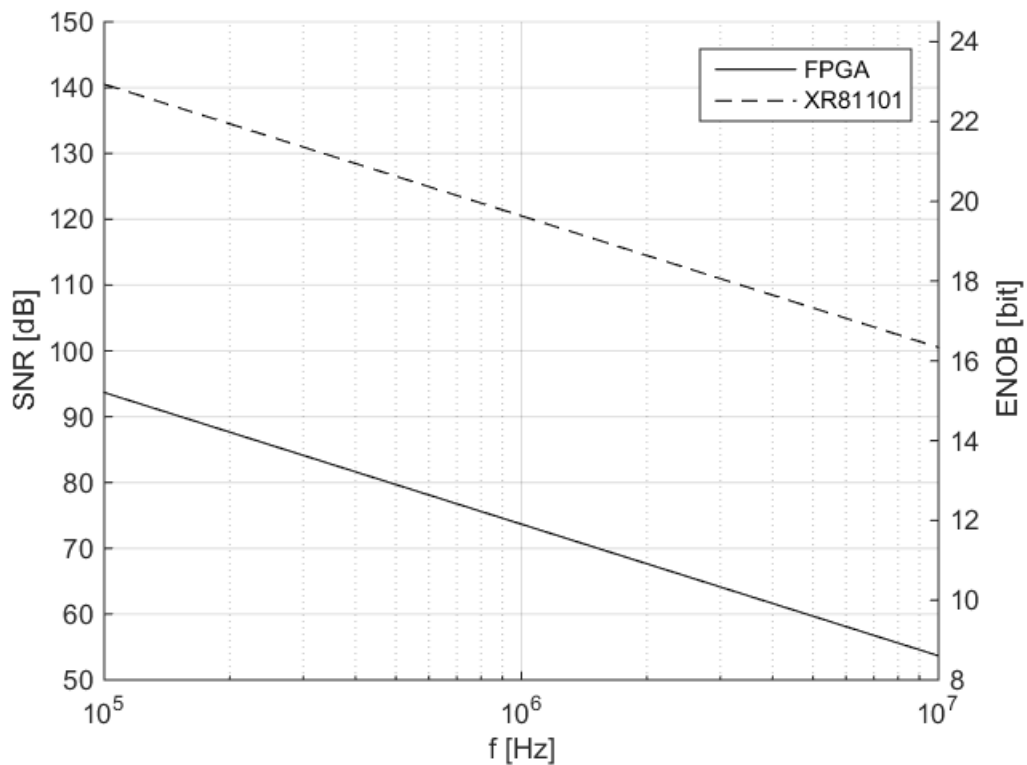


Obrázek 4.11: Příklad fázové nestability (jitteru)

4.16, kde f je kmitočet vzorkovaného signálu a t_j je efektivní hodnota jitteru [17].

$$SNR = 20 \log_{10} \left(\frac{1}{2\pi f t_j} \right) \quad (4.16)$$

Generování taktovacího kmitočtu pro AD převodník bylo navrženo následovně. USB kontrolér poskytuje jedním svým výstupem taktovací signál o frekvenci 48 MHz na pinu CLKOUT. Ačkoliv výrobce neuvádí přesnou hodnotu jitteru pro tento pin, uvádí ji pro pin, který je generován ze stejného zdroje a má stejnou výstupní frekvenci. Do návrhu proto bude přijata tato hodnota. Frekvence 48 MHz s jitterem, jehož maximální hodnota je 300 ps, je přiveden na jeden z dedikovaných vstupů hradlového pole pro vstup hodinových signálů. Tento pin je značen zkratkou GCLK, kde G označuje, že se jedná o globální hodinový signál, který bude možné poskytnout všem zařízením uvnitř FPGA. Pokud by byl taktovací signál připojen k běžnému vstupnímu pinu, pak by mohlo docházet k logickým hazardům. Použité hradlové pole disponuje CMT bloky, které se starají o úpravu hodinového signálu. Tyto bloky obsahují i fázový závěs s děličkami jak na vstupu, tak na výstupu, a tak umožňují kmitočtovou syntézu. Výrobce při použití PLL bloku dává odhad přibližné hodnoty jitteru na výstupu pro vstupní jitter a vstupní frekvenci. Pro výstupní frekvenci 124 MHz je hodnota jitteru špička-špička rovna přibližně 200 ps to znamená 33 ps efektivní hodnoty [18]. Převodem efektivní hodnoty jitteru na odstup signál šum dle vztahu 4.16 lze získat závislost počtu efektivních bitů na frekvenci. Graf na obrázku 4.12 poté zobrazuje, závislost SNR způsobeného šumem na měřené frekvenci. Ne levě y ose je odstup signál šum a na pravé je počet efektivních bitů. Je zřejmé, že na nejvyšších možných frekvencích bude počet efektivních bitů již degradován. K vyřešení



Obrázek 4.12: Závislost SNR způsobeného jitterem pro FPGA a dedikovaný obvod

tohoto problému byl hledán samostatný obvod, který by umožňoval generaci kmitočtu s velmi nízkým jitterem. Pro tento účel může být použit obvod XR81101. Tento hodinový generátor produkuje signál velmi nízkou hodnotou jitteru. Výrobce uvádí, že se tato hodnota rovná 0,15 ps, a to by znamenalo závislost efektivních bitů na frekvenci, která je znázorněna také na obrázku 4.12. Na druhé straně obvod neumožňuje dynamickou syntézu kmitočtu zatímco CMT bloky v hradlové poli ano. Proto byl při návrhu použito taktování z FPGA, protože vypočtená hodnota jitteru je nejhorší možná a je velmi pravděpodobné, že hodnota fázového šumu taktu od FPGA bude podstatně menší.

Protože je zapojení v FPGA je volatilní, tak je nutné FPGA vždy po zapnutí napájení nakonfigurovat. Možností konfigurace FPGA je celá řada, ale v návrhu bylo použito programovací rozhraní JTAG pro konfiguraci FPGA nebo programování sériové Flash paměti. Sériová Flash paměť XCF04S (4 Mb) od firmy Xilinx má potřebné rozhraní proto, aby samostatně nakonfigurovala hradlové pole. Rozhraní JTAG je zapojeno takzvaně v zapojení daisy chain a to znamená, že zařízení jsou zapojeny v kaskádě a bitový tok postupně prochází přes jednotlivá zařízení. Zatímco JTAG je povolený vždy a může kdykoliv hradlové pole nakonfigurovat, systémové rozhraní se řídí podle nastavení pinů M0 a M1, které vybírají, zda se jedná o paralelní nebo sériové rozhraní. V návrhu je použita Flash paměť se sériovým Slave rozhraním a proto jsou piny nastaveny ($M=[0;1]$). Hradlové pole při konfiguraci používá dva mezi jinými důležité signály, které řídí konfiguraci. Tyto signály jsou PROGRAM_B a DONE. Pokud dojde k nastavení signálu PROGRAM_B pak začne konfigurace, kterou automaticky řídí hradlové pole. Po úspěšném nakonfigurování FPGA nastaví signál DONE. Signál PROGRAM_B se

v tuto chvíli chová obdobně jako signál RESET u klasických mikrokontrolérů.

Po konfiguraci hradlového pole se provede inicializace použitých nastavitelných integrovaných obvodů, atenuátorů a filtrů. Zisk zesilovačů se přes paralelní rozhraní nastaví na nejnižší možnou hodnotu, zatímco útlum atenuátorů na vyšší útlum. Offset se nastaví do nulové hodnoty a AC/DC filtr se nastaví na AC mód.

Protože je nastavování některých prvků pomocí bistabilního relé je nutné do FPGA zabudovat časovač, díky kterému lze ovládat relé pomocí pulsů s definovanou délkou trvání. Výrobce relé uvádí, že čas potřebný k přepnutí je kratší než 5 ms. Protože v hradlovém poli jsou v návrhu pouze dva kmitočty a to 124 MHz a 48 MHz, jejichž periody (8 ns a 21 ns) jsou oproti času potřebnému k přepnutí až milionkrát kratší. Při použití 48MHz domény to znamená, že čítač musí čítat do hodnoty 240000. Kvůli omezení spotřeby je zaimplementováno kaskádní nastavování relé, kdy jsou jednotlivá relé v čase postupně nastavovány. Tento mechanismus se uplatní zejména při prvotní konfiguraci po připojení napájení.

Po příchodu konfiguračního bytu od uživatele je hradlovému poli signalizováno USB kontrolérem, že obsahuje platné konfigurační data pro systém. Kontrolér se přepne z modu Slave FIFO do modu GPIO a za pomoci programově generovaného hodinového signálu pošle hradlovému poli data. Data jsou uspořádány vždy do dvojice bytů, kde první byte tvoří adresu konfigurační periférie a druhý byte data. Pokud se některá konfigurační hodnota v FPGA změní, pak se spustí mechanismus obnovy dané části systému (např. přepínání relé). Při zahájení konfigurace je celý systém resetován do původního stavu a po úspěšné konfiguraci se započne s novou akvizicí.

4.4 Napájení

Pro napájení všech obvodů v návrhu jsou nutné následující napěťové větve. Pro napájení FPGA je nutné vytvořit 1,2 V pro jádro a 2,5 V pro podpůrné obvody. Pro schopnost komunikace s ostatními zařízeními je nutné napájet výstupní obvody FPGA stejnými napěťovými úrovněmi jako připojená zařízení. Pro funkci USB kontroléru je nutné vytvořit 3,3 V a pro AD převodník 1,8 V. Napájení AD převodníku by navíc mělo být oddělené, nebo vyfiltrované, protože je analogová část citlivá na rušení po napájení. Analogové obvody potřebují $\pm 5 V$.

Standardně sběrnice USB 2.0, která je zabudována v každém moderním zařízení, poskytuje maximálně 500 mA a to pouze na vyžádání. Různé komerční huby mohou poskytovat i proud vyšší, ale spoléhat na použití externího Hubu není možné. Po připojení zařízení kompatibilního se sběrnici USB proběhne enumerace zařízení, kdy zařízení (Slave) poskytne osobnímu počítači (Host) deskriptory (nastavení v jakém bude zařízení pracovat) obsahující i zprávu o vyžadovaném napájecím proudu. Při enumeraci je se zařízením nakládáno s jako zařízením nakonfigurovaným pro nízký odběr, kterému je povoleno odebírat maximálně proud 100 mA. Protože systém bude odebírat více než 100 mA, musí být v návrhu zahrnuty povolovací signály, které zapnou napájecí obvody pro obvody, které nejsou při enumeraci potřebné. Tato signalizace je ošetřena programově v USB kontroléru. Po reenumeraci kontroléru se v něm rozběhne uživatelský program, který nastaví povolovací signál signalizující, že je USB nastaveno v režimu vysokého odběru. Teto signál povolí činnost napájecích obvodů.

Odhad spotřebovávaného proudu lze rozdělit na analogovou část, u které lze odběr od-

Blok	$U_{max,i}$ [V]	$R_{F,i}$ [k Ω]	$R_{1,i}$ [k Ω]	$R_{z,i+1}$ [k Ω]	Statická spotřeba [mW]	Dynamická spotřeba [mW]	Celková spotřeba [mW]
Vstupní buffer	2,1	0,3	0,2	3	64	10,3	74,3
Offset	3,8	1	1	500	70	36,1	106,1
PGA	4,1	0,24	3	0,5	50	0,5	50,5
Budič ADC	5	2	0,5	10	6,25	1,2	7,45

Tabulka 4.14: Statické a dynamické spotřeby jednotlivých zesilovacích bloků (nejhorší případ)

hadnout poměrně přesně, a na digitální část, kde lze jen za pomoci podporujících výpočtů od výrobců integrovaných obvodů odhadovat napájecí proud. U analogové části tvořené téměř výhradně z operačních zesilovačů je napájecí proud tvořen jednotlivých zesilovačů tvořen statickým napájecím proudem a dynamickým proudem, který vytváří vstupní signál. Protože vstupní signál může být i stejnosměrné napětí o úrovni maximální možné výchylky, pak je nutné této možnost výpočet přizpůsobit. Statické a dynamické napájecí proudy jednotlivých zesilovačů a celkový napájecí proud potřebný pro jeden kanál jsou uvedeny v tabulce 4.14. Výpočet dynamické spotřeby neinvertujícího zapojení s OZ je uveden v rovnici 4.17, kde $U_{max,i}$ je maximální výstupní napětí na výstupu jednotlivých bloků, $R_{F,i}$ je zpětnovazební odpor, $R_{1,i}$ představuje rezistor připojený k invertujícímu portu a $R_{z,i+1}$ je vstupní odpor následujícího bloku.

$$I_d = \frac{U_{max,i}}{(R_{F,i} + R_{1,i}) || R_{z,i+1}} \quad (4.17)$$

Hodnoty těchto parametrů jsou uvedeny v tabulce 4.14. Celková spotřeba jednoho kanálu analogové části se potom rovná 238 mW tj. 23,8 mA. Napájecí obvod poskytuje maximální proudový odběr 80 mA (viz. dále), a proto i při přetížení analogové části nedojde ke zkolabování digitálního systému. Převod mezi výkony a proudy je počítán dle rovnice 4.18. Napájecí proudy jsou zde uvedeny spíše ilustrativně, protože z hlediska napájecích obvodů je výhodnější počítat s výkony z důvodu rozdílného napětí na vstupu a výstupu zdroje.

$$I_{nap} = \frac{P_{nap}}{U_{nap}} \quad (4.18)$$

Statická spotřeba je velmi závislá na rychlosti přeběhu operačního zesilovače. S rychlostí přeběhu je spotřeba svázána, protože pro její vysokou hodnotu je nutné, aby přebíjecí časy kompenzační kapacity byly co nejkratší a to znamená nutnost vysokého proudu, který kapacitu rychle nabije.

Výpočet celkového napájecího proudu digitální části je obtížný, protože maximální spotřeba nastává pro případ, kdy se všechny bity mění, protože je nutné přebít všechny parazitní kapacity v systému. Tento případ ale není příliš pravděpodobný, protože by to znamenalo například, že se hodnota na výstupu převodníku změní o velmi velkou hodnotu v po sobě jdoucích vzorcích a tak by frekvence signálu a musela být velmi vysoká, anebo se jedná zrovna o hraniční hodnotu mezi dvěma čísly, kde se mění jeden z vyšších bitů. Protože jsou tyto

U_n [V]	1,2	2,5	3,3	1,8
I_n [mA]	35	34	16	1
P_n [mW]	42	85	52,8	1,8

Tabulka 4.15: Výkonová spotřeba jednotlivých napěťových domén hradlového pole

Blok	Analogová část	AD převodník	FPGA	USB kontrolér	Celkem
P_n [mW]	476	196	182	165	1019

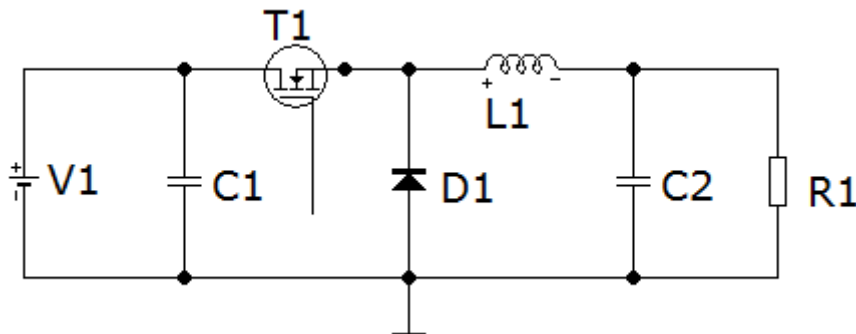
Tabulka 4.16: Celkový potřebný příkon

stavy v čase nepravděpodobné je možné v základním přiblížení počítat s tím, že se všechny bity mění s pravděpodobností 50% a vyšší spotřebu případně pokryje rezerva v napájení nebo kapacity pro krátké výkyvy. Spotřeba analogové části AD převodníku podle katalogového listu je rovna 183 mW (102 mA) na $1,8\text{ V}$. Spotřeba digitální části v režimu CMOS je rovna 13 mW ($7,3\text{ mA}$) na $1,8\text{ V}$. Na základě programu, který poskytuje výrobce použitého hradlového pole, byla odhadnuta jeho spotřeba a jednotlivé příkony jsou uvedeny v tabulce 4.15. Celková spotřeba hradlového pole je tedy $181,6\text{ mW}$. Spotřeba USB kontroléru je podle katalogového listu rovna 165 mW (50 mA) na $3,3\text{ V}$. Shrnutí všech výkonů je v tabulce 4.16.

Z důvodu, že se jedná pouze o odhad, tak je vhodné nadhodnotit hodnotu celkového příkonu o 10%. Účinnost napájecích obvodů se pohybuje mezi 80 a 90 %. Z toho vychází, že potřebný příkon zařízení je přibližně 1400 mW . Celková hodnota je tedy menší, než je maximální možný příkon dosažitelný z napájení USB sběrnice. Zde je potřeba uvést, že hradlové pole je využito přibližně z 10%. To znamená, že v budoucnu při vývoji pokročilejšího programového vybavení, může hodnota spotřeby podstatně narůst, a proto je návrh předimenzován.

Omezení maximálního napájecího proudu z USB sebou přináší potřebu efektivního převodu napájecího napětí k nižším hodnotám. Nízké napájecí napětí digitálních obvodů je výhodné právě proto, že i při stejném napájecím proudu je nižší spotřebovávaný výkon dle rovnice 4.18.

Efektivní převod může být zajištěn použitím snižujícího DC/DC měniče jehož základní schéma je na obrázku 4.13. Funguje následovně. V prvním části taktu je tranzistor T1 sepnut a proud tekoucí přes induktor nabíjí kapacitor a zároveň poskytuje energii zátěži. Současně se hromadí energie v induktoru vlivem procházejícího proudu. V druhém taktu je tranzis-



Obrázek 4.13: Snižující DC/DC měnič

L [μH]	I_n [A]	R_{DC} [Ω]
2,2	2,3	0,102

Tabulka 4.17: Parametry vybraného induktoru pro zdroj napětí digitální části SRN2512-2R2M

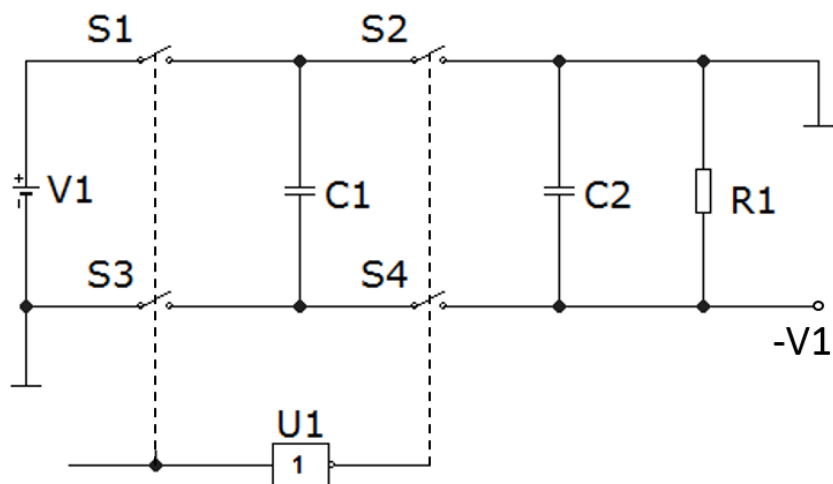
tor T1 rozepnut a energie uschovaná v induktoru, snaží se udržet konstantní proud, nabíjí kondenzátor. Pomocí zpětné vazby je upravována střída pro udržení konstantního napětí na výstupu a to i při změně zátěže. Účinnost převodu je dána kvalitou cívky, odporem tranzistoru při sepnutí a úbytkem napětí na diodě. Proto jsou kvalitnější měniče vybaveny dalším tranzistorem, který nahrazuje diodu v druhém taktu. Spínané obvody produkují vysoké rušení, které většinou pro digitální obvody nevádí, ale pro obvody analogové je zcela zásadní. Proto je nutné výstupní napětí filtrovat. Pro digitální část je nutné vytvořit celkem čtyři napájecí napětí. Exitující kompaktní více výstupové měniče mají maximálně tři větve a jsou navrženy pro podstatně vyšší proud než je pro systém potřebné, tzn. že například nemají integrovaný spínací tranzistor kvůli jeho chlazení. Z tohoto důvodu byly pro každou větev zvoleny kompaktní jedno výstupové regulátory s integrovaným spínacím tranzistorem.

Pro napájení digitálních obvodů byl vybrán obvod LM3674 a to ve variantách 1.2, 1.8 a ADJ. Jednotlivé varianty označují nastavení výstupního napětí. ADJ značí nastavitelnost výstupního napětí pomocí děliče. Nastavitelnost se pohybuje v rozsahu od 1 V do 3,3 V. V případě ADJ je nutné přidat k zpětnovazební odporové síti i kapacitory pro zajištění stability obvodu. LM3674 ve své vnitřní struktuře obsahuje jak spínací tranzistor, tak i tranzistor nahrazující diodu. Zapojení se tedy skládá z pouze dvou kondenzátorů a jedné cívky. Spínací frekvence je přibližně 1 MHz. Parametry použitých součástek byly vybrány na základě informací, které uvádí výrobce v katalogovém listu. Tyto parametry jsou shrnuty v tabulkách 4.17 a 4.20.

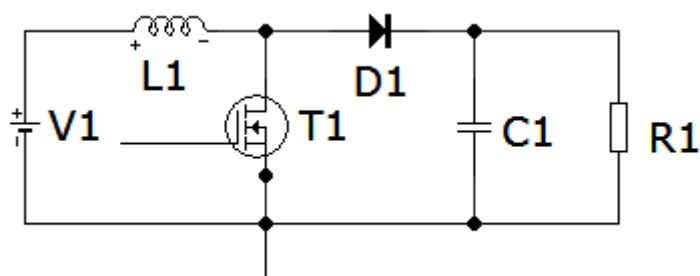
Zpětnovazební odpory byly vybrány podle rovnice 4.19, kde $U_{zv} = 0,5 V$ a $R_2 \approx 200 k\Omega$. Vztahy pro výpočet kapacit zde nejsou uvedeny, ale mohou být dohledány v katalogovém listu výrobce.

$$U_v = U_{zv} \left(\frac{R_1}{R_2} + 1 \right) \quad (4.19)$$

Potřeba záporné větve napájecího napětí pro analogové obvody sebou bohužel přináší nutnost použití spínaných obvodů. Pro napěťovou inverzi je pro nízko příkonové obvody možné použít nábojovou pumpu. Princip nábojové invertoru nábojové pumpy je zobrazen na obrázku 4.14. Spočívá v nabíjení a přepínání takzvaného “flyback” kondenzátoru. V prvním taktu jsou sepnuty spínače S1 a S3 a spínače S2 a S4 jsou rozepnuty. Kondenzátor C_1 je nabit z napájecího napětí. V druhém taktu se stav spínačů prohodí, takže kondenzátor C_1 se nyní chová jako zdroj dodávající energii na výstup a nabíjí kondenzátor C_1 , který je využíván během prvního taktu pro udržení konstantního napětí na výstupu. Regulace na výstupu pro proměnou zátěž je zajištěna pomocí zpětné vazby, která dle odběru mění frekvenci a střídu. Protože se napětí, které poskytuje USB sběrnice, může v jisté toleranci měnit a může se po něm šířit rušení, je vhodné zabezpečit konstantní napětí i pro kladnou větev napájecího napětí analogových obvodů. Proto je vhodné pro kladnou větev použít zvyšujícího měniče a následně napětí snížit lineárním regulátorem s nízkým úbytkem napětí. I když lze spínací měnič s výstupním



Obrázek 4.14: Princip invertující nábojové pumpy

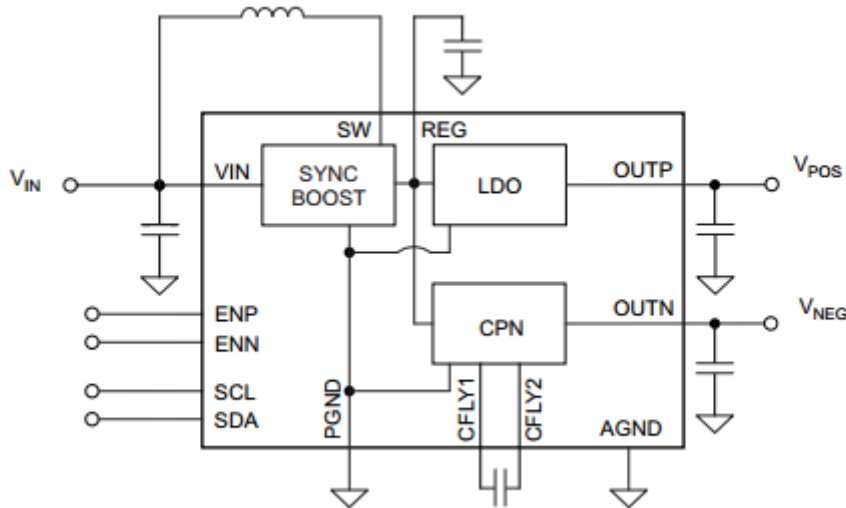


Obrázek 4.15: Princip zvyšujícího DC/DC měniče

napětím, který se rovná napětí vstupnímu sestrojít, je toto řešení méně účinné než napětí mírně zvýšit a poté ho regulovat. Princip zvyšujícího měniče je zobrazen na obrázku 4.15. V prvním taktu je spínač sepnut a proud induktorem z napájecího zdroje vzrůstá. Tím se do induktoru ukládá energie. Dioda D1 slouží k zabránění vybití kondenzátoru přes sepnutý spínač. V druhém taktu je spínač rozepnut. Induktor se snaží zachovat proud, který jím tek l v prvním taktu a tak se sečtením napájecího napětí a napětí, které generuje induktor, dosáhne zvýšení napětí. Na výstupu je nabíjen kapacitor, který dodává energii do napájených obvodu v prvním taktu.

K realizaci toho napájecího obvodu pro analogovou část byl vybrán obvod TPS65132 od firmy Texas Instruments, který obsahuje zvyšující měnič (SYNC BOOST), lineární regulátor s nízkým úbytkem napětí (LDO) a invertující měnič s nábojovou pumpou (CPN). Výstupní napětí je regulováno integrovanou zpětnou vazbou a je programově nastavitelné. Nastavení se provádí pomocí I2C sběrnice. Maximální výstupní proud se řídí podle nastavení, v jakém módu zařízení pracuje. Regulace kladné větve je pomocí lineárního regulátoru, který zároveň svým vlivem filtruje výstupní napětí. Filtrace bývá frekvenčně závislá, a není výrobcem uvedena. Podobné regulátory na trhu mají při 1 MHz hodnotu parametru potlačení napájecího rušení rovnu přibližně 10 dB.

U verze W (TPS65132) jsou výše zmíněné módy buďto Phone nebo Tablet. Maximální proud je v módu Tablet roven 80 mA pro každou větev. Zatížení každé větve je libovolné a na



Obrázek 4.16: Blokové schéma a schéma zapojení obvodu TPS65132

sobě nezávislé. Základní interní blokové schéma a schéma zapojení je na obrázku 4.16. Externí součástky nutné k provozu jsou: výkonový induktor, „flyback“ kondenzátor, kondenzátory na vstupu na výstupu a na pinu REF, který je výstupem zvyšujícího měniče. Výrobce deklarovaná účinnost se blíží 90% pro napájecí napětí rovné 4,5 V, výstupnímu napětí 5 V a výstupnímu proudu v rozsahu od 40 mA do 80 mA. Zásadním prvkem, který může ovlivnit účinnost je induktor. Výběru typu a jeho parametrů musí být věnována vysoká pozornost. Výrobce doporučuje hodnotu indukčnosti 4,7 μH v případě, že je požadována vysoká účinnost i pro nižší zatížení, nebo 2,2 μH . Účinnost závisí na vnitřním odporu induktoru (činiteli jakosti), který musí být co nejnižší. Při spínání tekou induktorem vyšší proudy než je proud výstupní, a proto je nutné jeho jmenovitý proud vypočítat dle následujících vztahů.

$$D = 1 - \eta \frac{V_{in}}{V_{reg}} \quad (4.20)$$

Kde D je střída, V_{in} je vstupní napětí, η je předpokládaná účinnost, V_{reg} je výstupní napětí na výstupu REG to znamená na výstupu měniče. Dále je nutné vypočíst změnu proudu induktorem v průběhu každého cyklu dle rovnice

$$\Delta I_L = \frac{V_{in} D}{f_s L} \quad (4.21)$$

kde f_s je perioda spínání a L je hodnota induktoru. V dalším kroku je nutné vypočítat maximální hodnotu výstupního proudu v každé větvi dle rovnice

$$I_{outm} = 2(I_{LIM} + \frac{\Delta I_L}{2})(1 - D) \quad (4.22)$$

kde I_{LIM} je maximální výstupní kontinuální proud. Poslední krok spočívá ve výpočtu špičkového proudu induktorem podle vztahu

$$I_{\text{špička}} = \frac{I_{OUT}}{1 - D} + \frac{\Delta I_L}{2} \quad (4.23)$$

V_{in} [V]	V_{reg} [V]	η [%]	f_s [MHz]	L [μH]	I_{LIM} [mA]
5	5,4	0,85	1,8	2,2	80

Tabulka 4.18: Vstupní parametry při výpočtu proudu induktorem

L [μH]	I_n [A]	R_{DC} [Ω]
2,2	1,3	0,08

Tabulka 4.19: Parametry vybraného induktoru pro zdroj napětí analogové části

Po provedení naznačeného výpočtu je možné odhadnout, že jmenovitý proud induktoru musí být vyšší než 320 mA. Vstupní parametry jsou uvedeny v tabulce 4.18. Na základě vstupních parametrů a výpočtu byl zvolen induktor od firmy Murata, jehož parametry jsou shrnuty v tabulce 4.19. Induktor je z důvodu omezeného výběru značně předimenzován. Druhá volba se týká použitých kapacitorů. Protože obvod pracuje se spínací frekvencí 1,8 MHz, tak není vhodné použití elektrolytických kondenzátorů z důvodu jejich vysoké indukčnosti. Vhodný kapacitor je keramický vícevrstvý kondenzátor. Jediným neduhem těchto kondenzátorů je jejich nízké jmenovité napětí a vysoká cena. Z frekvenčního hlediska jsou většinou použitelné v řádech stovek MHz až jednotek GHz. Shrnutí parametrů vybraných kapacit je v tabulce 4.20. Pro zvýšení účinnosti filtrace výstupního napětí nábojové pumpy byla na výstup obvodu zařazena větší kapacita, respektive další kondenzátor.

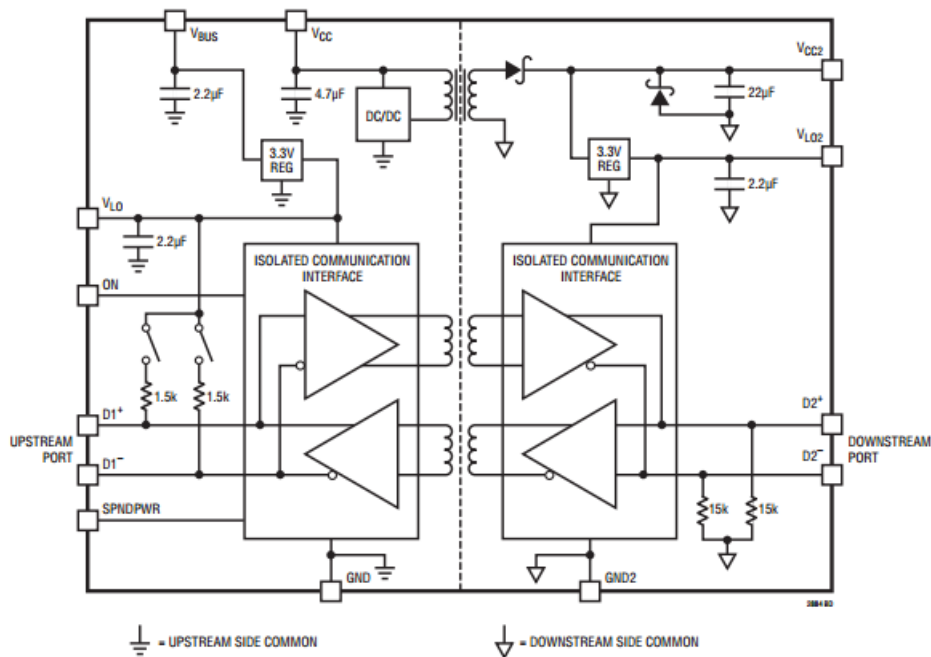
Jak už v práci bylo zmíněno pro analogové měřicí obvody je nutné napájecí napětí filtrovat. Za tímto účelem byly navrženy napájecí filtry. Prvním stupněm filtrace jsou lineární regulátory s nízkým výstupním šumem. Tyto filtry se za cenu snížení účinnosti celé napájecí větve poskytují potlačení rušení napájení o 10 dB na 1 MHz. Samotná účinnost těchto obvodů je velmi vysoká, protože se jedná o regulátory s velmi nízkým úbytkem napětí. Odhad této účinnosti je přibližně naznačen v rovnici 4.24, kde U_S je hodnota úbytku napětí na regulátoru rovna 200 mV a U_n je hodnota napájecího napětí, která je rovna 5,2 V.

$$\eta_{reg} = 1 - \frac{U_s}{U_n} = 96\% \quad (4.24)$$

Napájecí napětí pro analogové obvody je dále filtrováno pomocí LC filtru zapojený v π článku s útlumem na 1 MHz přibližně 58 dB v ideální případě. Dále je zařazen tří vstupový kondenzátor tlumící na 1 MHz přibližně 50 dB [21]. Použité operační zesilovače mají hodnotu PSRR na 1 MHz přibližně 10 dB. Celkový útlum napájecího rušení je tedy přibližně 120 dB. Podobným způsobem je také přistupováno k filtraci napájení analogové části digitálního převodníku, kde je útlum přibližně roven 108 dB.

C [μF]	U_n [V]	Typ dielektrika
4,7	10	X5R
10	16	X5R

Tabulka 4.20: Parametry vybraných kapacit pro zdroj napětí analogové části



Obrázek 4.17: Blokové schéma obvodu LTM2884

4.5 Galvanické oddělení

Galvanické oddělení osciloskopu od osobního počítače je poměrně komplikovaná záležitost, protože USB komunikace po vodičích D+ a D- je obousměrná. Vytvoření izolátoru rychlé obousměrné komunikace je náročné a od toho se odvíjí i cena případného integrovaného obvodu. Navíc je nutné galvanicky oddělit napájení i zemi přes DC/DC měnič. Integrovaný obvod LTM2884 od fy Linear Technologies tuto možnost nabízí. Ve své vnitřní struktuře obsahuje jak izolaci USB komunikace, tak i izolátor napájení. Maximální rychlost USB komunikace je Full-speed tj. 12 Mb/s. Elektrická pevnost na datových vodičích je 2500V_{rms} po dobu jedné sekundy. Izolace je dosaženo pomocí ignorovaných transformátorů. Zařízení indikuje rychlost komunikace automaticky připojením pull-up rezistoru k jednomu z datových vodičů na základě nastavení zařízení, které si samo ověří na datových vodičích vedoucím k externímu USB zařízení. Jednou z nevýhod je proudové omezení měniče, které při napájení z USB sběrnice poskytuje pouze 200 mA, a to znamená, že maximální příkon zařízení by byl 1W. Vyšších výkonů je možné dosáhnout externím napájením měniče, kdy vstupní napětí musí být vyšší než napětí výstupní. Toto je způsobeno hlavně účinností izolovaného měniče. Blokové schéma obvodu je znázorněno na obrázku 4.17. Ačkoliv byl obvod do návrhu zahrnut, kvůli jeho vysoké ceně rovné 30\$ a velkým plošným nárokům na DPS nebyl fyzicky zaimplementován. Fyzická realizace počítá s tím, že v případě zájmu o galvanické oddělení osciloskopu od společné země by se izolátor externě připojoval k zařízení mezi kabel a konektor. Obvod pro svou funkci potřebuje minimum externích obvodů a to pouze blokovací kondenzátory připojené k napájecím vstupům a výstupům. Vysoká pozornost musí být věnována návrhu rozložení na DPS, aby plošný spoj nijak nedegradoval jak USB, tak izolační vlastnosti obvodu. Proto je nutné zachovat správnou impedanci datového vedení, jak již bylo popsáno v předešlých kapitolách a dodržet izolační odstup izolovaných částí.

Protože kanály od sebe izolovány nejsou tak je nutné, aby při měření přenosu v systému mezi dvěma body byla k dispozici další jednotka osciloskopu, která také bude disponovat izolací. Jednotky mohou pracovat zcela nezávisle až na spouštěcí signál, který na základě toho od jaké jednotky se bude spouštět, musí být poskytnut i jednotce druhé. Spouštěcí signál musí být také galvanicky oddělen. Protože je žádoucí, aby každá jednotka byla zcela ekvivalentní, je nutné, aby přenos spouštěcího signálu byl obousměrný. Galvanického oddělení je dosaženo pomocí optoelektronického vazebního členu. Výstupní část optronu je zapojena jako klasický digitální spínač s rezistorem v kolektoru, který je připojen k lokálnímu napájecímu napětí. Ke vstupní části optronu je připojen pouze omezovací odpor a jeho vývody jsou vyvedeny na konektor. Propojovací kabel má tedy čtyři vodiče, kde z toho dva odpovídají vstupu a dva výstupu. I když není spouštěcí signál nijak vysokofrekvenční, je nutné pro minimalizaci možnosti vzniku fázové chyby mezi signály, aby se spouštěcí signál přenesl co nejrychleji. Pro rychlý přenos signálu je nutné minimalizovat indukčnost propojovacího kabelu, protože pro sepnutí optronu je nutné, aby kabelem protekl proud, který zapne světelnou diodu v optronu. Indukčnost je minimalizována pomocí kroucené dvoulinky a samozřejmě přibývá s délkou kabelu. Aby bylo možné měřit rozdíl fází dvou signálů, je nutná kalibrace spouštěcího zpoždění pomocí externího zařízení.

4.6 USB komunikace a USB kontrolér

Jako USB kontrolér byl vybrán obvod od firmy Cypress FX2LP. Tento obvod obsahuje jednotku starající se o USB komunikaci, procesor 8051, blokové paměti pro USB komunikaci a periférie. Jedna z možností nastavení periférie je režim slave FIFO. Pro přenos jsou využity dva nezávislé bloky paměti o velikosti 1024, které pomáhají urychlit USB komunikaci.

Data jsou přenášena z akviziční paměti do USB kontroléru pomocí paralelního rozhraní. Rozhraní na straně kontroléru bylo nastaveno do režimu Slave FIFO a to znamená, že pouze signalizuje stavy vnitřní paměti a je řízeno z externích obvodů. V návrhu je použit pouze jediný signál signalizující stav interní paměti a to flag, který signalizuje případnou plnost paměti. Jedná se o synchronní přenos a to znamená, že hradlové pole poskytuje paměti FIFO hodinový signál. Šířka komunikační sběrnice je 8 bitů. Vnitřní paměť mikrokontroléru příslušící pro daný komunikační Endpoint má velikost 2048 Bytů. Endpoint je rozdělen do dvou bloků. Po naplnění prvního bloku, je tento blok uvolněn pro USB komunikaci a vzorky se mezi tím ukládají do bloku druhého. Po vyprázdnění prvního bloku je tento blok znovu připraven pro přenos dat. Detailní popis rozhraní FIFO je uveden zde [22].

4.7 Programové vybavení v PC

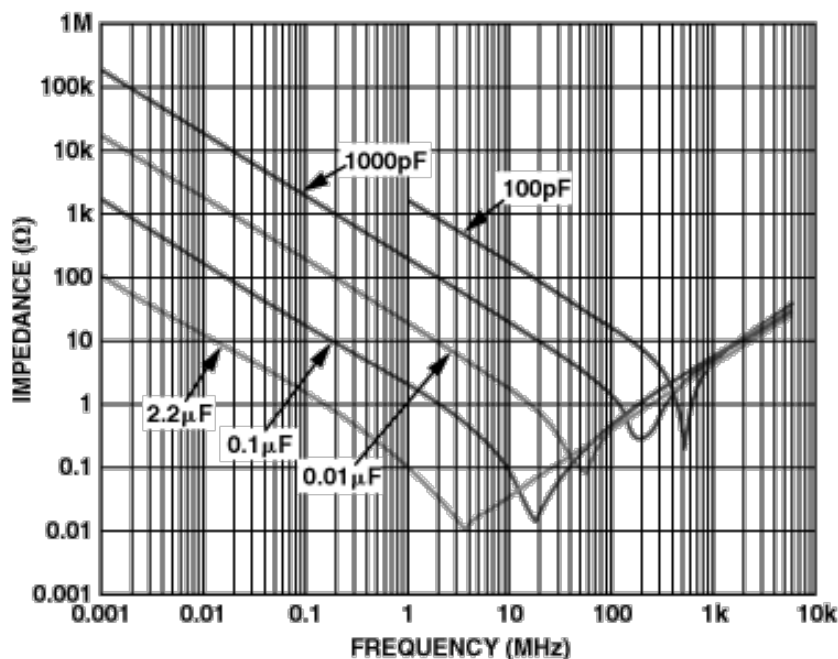
Programové vybavení operující v PC má na starosti následující úkoly. Musí přijmout odebrané vzorky, zpracovat a zobrazit je a zajistit zpětnou nastavující komunikaci s osciloskopem. Ovládací program je napsaný v jazyce C# pro možnost jeho přenositelnosti mezi zařízeními se systémem Windows. C# je vysokoúrovňový objektově orientovaný programovací jazyk vycházející z jazyku C a Java. Program využívá knihovnu CyUSB.dll, která se stará o komunikaci s ovladačem USB zařízení a kterou poskytuje výrobce USB kontroléru. Ovladač USB zařízení je rovněž přejet od výrobce integrovaného obvodu. Ovladač je nutné před prvním použitím

zařízení nainstalovat, protože není obsažen ve standardní instalaci Windows.

Ovládací program je rozšířením ukázkového programu od výrobce USB kontroléru. Obsluha komunikace s velkým množstvím dat je dosti abstraktní, a proto je zde naznačena pouze okrajově. Využity jsou hlavně tři základní příkazy: BeginDataXfer, WaitForXfer a FinishDataXfer, které řídí asynchronní datový přenos. Synchronní přenosy, kde se pomocí jednoho příkazu obsluhuje celý přenos, které blokují vlákno, je také možné použít, ale takto realizovaný přenos je systémově pomalejší. Asynchronní přenos zavoláním funkce BeginDataXfer, který nastavuje všechny parametry (např. počet bytů který se má přenést) a inicializuje přenos. Okamžitě se vrací do hlavního programu a neblokuje ho čekáním na dokončení přenosu. Metoda WaitForXfer zablokuje hlavní program do doby, dokud nejsou přijaty všechny data inicializované pomocí BeginDataXfer, nebo do doby než vyprší časový limit, který je nastaven jedním ze vstupních parametrů této metody. Funkce FinishDataXfer ukončuje datový přenos a vrací platná data zpátky do programu. Výhodou asynchronního přenosu je to, že je možné inicializovat více přenosů v kaskádě, a tak komunikace se zařízením není při dostatečném množství inicializací brzděna ovládacím programem. Postup je následující: V prvním kroku je inicializováno 10 přenosů. Po inicializaci vstoupí program do nekonečné smyčky, kde postupně každý přenos obslouží, přijme data a opětovně ho inicializuje. Protože je z hardwarového hlediska přenos dat z jedné akvizice kontinuální je počet bytů jednoho přenosu roven celé akviziční paměti což se rovná 70656 bytů. Po každém přenosu jsou data opětovně sestavena z bytů do 12 bitových slov odpovídajících vzorkům. Na základě použití akvizičního režimu je se vzorky dále. Implementována je základní akvizice, kdy jsou všechny vzorky bez jakékoliv úpravy zobrazeny. Je nutné si uvědomit, že zobrazit na obrazovce 47104 vzorků je jak velmi výpočetně náročné a nezobrazitelné, tak i pro lidské oko nerozlišitelné. Proto je v základním akvizičním režimu zobrazeno pouze 400 rovnoměrně rozložených vzorků. Další možná implementace spočívá například v režimu vysokého rozlišení, kde vždy určitý počet vzorků je sdružen do skupiny ze, které je následně vypočten průměr, nebo ve výpočtu rychlé Fourierovy transformace.

5 Návrh fyzické realizace

Relativně vysoká složitost a nároky na preciznost si vyžádaly využití čtyřvrstvého plošného spoje. Vnitřní vrstvy obsahují pouze napájecí a zemnicí plochy. Zemnicí vrstva leží co nejbližší signálové vrstvě, na které jsou citlivé a možné rušivé signály. Toto uspořádání zmenšuje plochu proudových smyček a tak indukčnost vodičů. To má za následek to, že při vyšších frekvencích vodiče méně vyzařují, jsou odolnější vůči okolnímu rušení a poskytují tvrdší napájecí napětí pro integrované obvody. Integrované obvody při rychlém přepínání mají velmi vysoký špičkový odběr proudu s velmi ostrými hranami. Pokud by napájení vykazovalo induktivní charakter, pak by docházelo k poklesům napájecího napětí a ke zkosení hran všech signálů integrovaného obvodu a pravděpodobně i k jeho chybovosti, nebo dokonce nefunkčnosti. Proto se napájení blokuje vůči zemi kondenzátory s nízkou parazitní indukčností. Tyto kapacitory slouží jako dočasné zdroje energie pro špičkové odběry. Kondenzátory s vysokou hodnotou kapacity sice lépe pokryjí špičkový odběr, ale mají díky své vnitřní struktuře, nebo technologii, na které jsou založeny, většinou příliš velkou hodnotu indukčnosti. Proto se napájecí piny



Obrázek 5.1: Závislost impedance kondenzátoru na frekvenci

blokují pomocí paralelní kombinace kondenzátorů s velkou a malou kapacitou. Malé kapacity mají v drtivé většině případů hodnotu 100 nF a pokrývají velmi strmé a krátké odběrové špičky. Velké kapacity nabývají většinou hodnot jednotek μF a pokrývají déletrvající odběry. Jejich doporučené hodnoty většinou udávají výrobci v katalogových listech. Velmi důležitým parametrem blokovacích kondenzátorů zejména u těch s malou hodnotou je frekvenční charakteristika jejich impedance. Kapacita totiž tvoří s parazitní indukčností (tvořenou přívody a vnitřní strukturou) sériový rezonanční obvod, který na určitém kmitočtu vykazuje rezonanci a výše se pak součástka chová jako induktor. Hodnota sériové rezonance závisí zejména na hodnotě kapacity. Pro vyšší kapacity nastává rezonanční frekvence na nižších kmitočtech, a proto jsou pro blokování nevhodné. Příklad průběhů frekvenční závislosti impedance na frekvenci je znázorněn na obrázku 5.1.

Důležité je poté umístění těchto kapacity na desce plošného spoje. Blokovací kondenzátory by mely být umístěny pokud možno co nejbližše napájecím vstupům integrovaného obvodu a smyčka, kterou teče proud, by měla být co nejmenší. Tento proud může téci jak čistě integrovaným obvodem, tak i přes externí periférie v případě externího rozhraní. Výrobci často umísťují zemnicí piny blízko k pinům napájecím, aby byla smyčka co nejmenší.

V případě operačních zesilovačů je také nutné provést blokování napájecího napětí a to ze stejných důvodů jako v přechodím případě, ale i pro potlačení šumu [zdroj analog]. Jako v předchozím případě je nutné minimalizovat vzdálenost mezi napájecími piny a blokovacími kapacitami. V případě, že použito více OZ v blízké vzdálenosti od sebe (jednotky milimetrů), pak je možné využít jeden kondenzátor větší hodnoty pro více OZ zesilovačů, ale nízko kapacitní kondenzátor by každý OZ měl mít vlastní. Hodnota kapacitů je také většinou 100 nF a jednotky μF . Na druhou stranu malá vzdálenost mezi signálovou cestou a zemí znamená, že spoj bude vykazovat kapacitní vlastnosti. Toto může být problém u některých operačních zesilovačů, které by se tímto vlivem mohli rozkmitat. Proto je nutné při výběru OZ brát zřetel

f [MHz]	ϵ_r [-]	$\tan\delta$ [-]	W [mm]	S [mm]	H [mm]	T [μm]	Z [Ω]
480	4,7	0,02	0,2	0,43	1,5	50	89,45

Tabulka 5.1: Parametry datové dvoulinky USB na DPS

také na to jakou maximální kapacitu je možné na jejich výstup připojit.

Zvláště pro měřicí systémy, kde je kombinována analogová a digitální část je vhodné rozdělení země na dvě části. Toto opatření je výhodné z důvodu tzv. digitálního šumu, který je vytvořen tím, že zemní plocha není dokonalým vodičem a vykazuje induktivní a rezistivní charakter. Špičkové proudy vytvořené digitálními obvody pak na zemi vytvářejí úbytky, které by se propagovaly do analogové signálové cesty a tak ji zarušovaly. Rozdělené země není možné galvanicky oddělit, protože mezi analogovou a digitální částí teče určitý proud. Proto se velmi často digitální a analogová část spojuje v jednom bodě pomocí feritových jadérek, které mají pro vysoké frekvence vysokou impedanci, zatímco nerušivé proudy s nízkou frekvencí projdou bez útlumu. Diskutabilní je otázka zemí v AD převodníku jakožto mostu mezi analogovou a digitální částí. Zatímco někteří výrobci uvádějí, že analogová a digitální část jsou v převodníku izolované, jiní tyto informace neuvádějí. Například pro převodník ADS4225 od fy Texas Instruments použitý v prvním prototypu informace o izolaci v katalogové listu uvedena nebyla, a z měření bylo zjištěno, že interně jsou v něm země propojeny. Toto propojení existuje, i když převodník poskytuje dedikované zemní piny pro analogovou a digitální část.

Kritickým článkem návrhu jsou napájecí obvody, protože jimi tekou vysokofrekvenční velké proudy stovek až tisíců mA , které by při případném podcenění uspořádání mohli ovlivnit jak činnost samotného napájecího obvodu tak i zarušit okolní systémy. Pro omezení těchto vlivů je nutné co nejvíce zmenšit proudové smyčky, aby magnetické pole vytvořené těmito proudy bylo co nejnižší a zároveň pokud možno zaručit, aby proudy při přepínání měly stále stejnou orientaci. Umístění samotných napájecích obvodů je rozvrženo tak, aby výkonové měniče určené pro digitální část byly co největší vzdálenosti od analogových obvodů.

Datové vedení USB komunikace by mělo mít impedanci lichého módu rovnou 90Ω . Vedení je typu vázaného mikropáskového vedení. Impedance tohoto vedení je závislá na prostorových rozměrech v příčném řezu a na materiálových konstantách. Použitý substrát FR-4 má výrobcem deklarovanou relativní permitivitu rovnou 4,7 [-]. Pro výpočet impedance vedení byl použit program TXLINE 2003. Pro dosažení správné hodnoty impedance je nutné použít rozměry uvedené v tabulce 5.1.

Spoje jsou obklopeny zemní plochou, která je vzdálená minimálně jeden milimetr od datových vodičů. V blízkosti datových vodičů není veden žádný digitální vysokorychlostní signál, kvůli potlačení rušení USB komunikace. Výrobce umístil blízko USB vstupů i vstupy pro připojení krystalového rezonátoru. Vodiče vedoucí ke krystalovému rezonátoru jsou proto vedeny co možná nejméně paralelně s od USB sběrnice, pro potlačení induktivní vazby. Uspořádání USB vstupů na integrovaném obvodu je bohužel tak nešťastné, že není možné použít konektor miniUSB bez toho, aby vodiče procházely prokovy. Proto byl použit USB B konektor, který zabírá podstatně větší plochu na plošném spoji, ale zato u něj není nutné použití prokovů pro datovou linku. Zároveň se konektor těší větší mechanické odolnosti a reprodukovatelnosti připojení oproti konektoru mini USB.

Protože některé signály generované z digitálních obvodů procházejí do analogové části jako řídicí signály, tak byly tyto signály pokud možno vedeny, aby do okolních obvodů nepronikalo rušení kapacitní vazbou.

6 Měření a ověření funkčnosti

6.1 Analogová část

Při měření analogové části bylo měřeno již ve funkčním systému a to znamená, se všemi možnými ruchy způsobené digitální částí. Měření bylo uskutečněno na jednom kanále, protože jsou kanály identické a liší se pouze v umístění na plošném spoji. Měření se skládalo z měření přenosu na plnou výchylku, harmonického zkreslení, šumové úrovně. Zároveň byla ověřena funkčnost jako celku, například ochrana proti přetížení a nastavování zesílení.

K měření přenosu na plnou výchylku byl využit digitální osciloskop. Osciloskop byl k měření nutný, protože pro všechny frekvence musela být nastavena plná výchylka a zároveň bylo nutné pozorovat, zda signál nepodléhá harmonickému zkreslení způsobené rychlostí přeběhu. Tato metoda zároveň umožňovala měřit i rozdíl fáze vstupního a výstupního signálu. Protože je výstup analogové části diferenciální bylo možné buďto měřit výstup dvěma sondami a použít matematiku osciloskopu (popřípadě provádět složité odečítání), nebo použít diferenciální sondu. Pro měření byla využita diferenciální sonda dostupná v laboratoři. Vstupní signál byl generován z generátoru sinusového průběhu. Při měření byly odečteny hodnoty přenosu pro několik hodnot kmitočtů z propustného pásma. Pro měření přechodného pásma byl zmenšen krok odečítání. Změřená závislost pro dva typy filtrů na výstupu a bez filtru je zobrazena na obrázku 6.1. Při měření byla také testována rychlost přeběhu. K tomuto kroku byly odpojeny výstupní filtry. Protože se nejedná o klasickou přenosovou charakteristiku, tak byl hledán pouze kmitočet, na kterém se vliv rychlosti přeběhu projeví. Přenos pro frekvence vyšší a amplitudy než maximální kmitočet způsoben rychlostí přeběhu již není definován, protože přenos je charakteristika lineárního systému a po překročení této meze se již přenos chová nelineárně. Toto se projevuje tím, že v závislosti na vstupní úrovni se mění hodnota přenosu. Frekvence projevu rychlosti přenosu na plnou výchylku se rovná přibližně 16 MHz, a to pro všechny rozsahy.

K měření nelineárního zkreslení nebylo možné provést na v laboratoři dostupném analyzátoru, protože dostupné analyzátory jsou určeny pro audio systémy, které jsou oproti navrhované jednotce osciloskopu úzkopásmové (250 kHz ku 10 MHz). K měření byl využit spektrální analyzátor umožňující měřit signály v základním pásmu. Výhodou použití tohoto spektrálního analyzátoru bylo to, že umožňuje díky jeho vnitřnímu zapojení měřit signály diferenciálně, což je příhodné ze stejného důvodu jako v přechodném případě. Harmonické zkreslení bylo měřeno na dvou kmitočtech, pro 100 kHz a pro 1 MHz. Kmitočet 100 kHz představuje nízkofrekvenční kmitočtové pásmo, kde operační zesilovače mají ještě poměrně vysoký zisk. Frekvence 1 MHz představuje již frekvence, kde přenos zesilovačů již klesá, a proto by se zkreslení mělo více projevit. Velmi podstatným parametrem je zde také "čistota" vstupního signálu, která závisí na THD použitého generátoru. Protože bylo měřeno na poměrně vysokých frekvencích, nebylo možné využít laboratorní generátor UPV s velmi nízkým zkreslením. Místo toho byl použit

f [Hz]	100 k				1 M			
Au [dB]	SNR [dB]	THD [dB]	SINAD [dB]	ENOB [bit]	SNR [dB]	THD [dB]	SINAD [dB]	ENOB [bit]
-2	66,55	73,03	-64,44	10,41	66,55	62,54	-60,62	9,78
4	65,55	72,59	-63,74	10,30	65,55	61,54	-59,71	9,63
10	66,05	72,49	-64,05	10,35	66,05	61,21	-59,61	9,61
16	65,55	74,81	-63,97	10,33	65,55	63,03	-60,63	9,78
22	64,55	73,49	-63,15	10,20	64,55	60,81	-59,96	9,50
28	61,55	72,59	-60,74	9,80	61,55	59,21	-57,02	9,18
34	57,55	72,59	-57,21	9,21	57,55	56,53	-53,91	8,66
40	51,55	72,59	-54,46	8,26	51,55	51,03	-48,25	7,72

Tabulka 6.1: Změřené kvalitativní závislosti analogové části

generátor Rigol DG5000 , který vykazoval na 100 kHz přijatelné zkreslení, ale na 1 MHz byly odstupy harmonických nižší, než -58 dB pro nejvyšší napěťové rozsahy převodníku. Zejména při kmitočtu 1 MHz a při vysokých úrovních zesílení zanáší tato vlastnost generátoru do měření chybu. Měření bylo prováděno spektrálním analyzátozem, který neobsahoval numeriku pro výpočet THD. Při měření byly tedy odečítány odstupy vyšších harmonických od základní harmonické. Zaznamenávány byly pouze první dvě úrovně vyšších harmonických tj. druhé a třetí. Vyšší produkty již byly přibližně o 10 dB menší než tyto dvě složky a tak by do celkového součtu přispívaly jen minimálně. Pro výpočet efektivním bitů je nutné znát hodnotu THD. Ta lze ze změřených odstupů vypočítat dle vztahu. Změřené závislosti pro jednotlivá zesílení jsou zobrazeny uvedeny v tabulce 6.1.

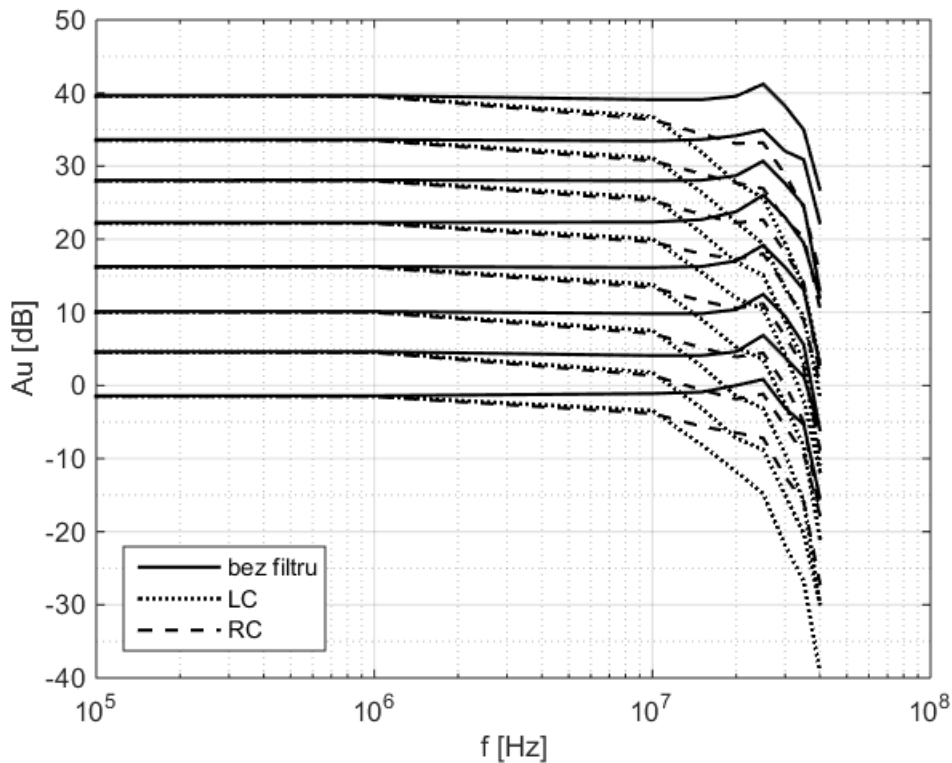
Spektrální výkonová hustota šumu byla měřena podobně jako nelineární zkreslení s tím rozdílem, že na vstup nebyl převeden žádný signál. Pro měření šumového čísla je nutné vstup bezodrazně zakončit, tak aby se choval jako černé těleso. Protože vstupní impedance osciloskopu je přibližně $1M\Omega || 15pF$ je vhodnější na vstup osciloskopu připojit impedanci, při které bude nejčastěji měření probíhat. Jako tato impedance bylo zvoleno 50Ω , protože je standartní impedancí jak koaxiálních kabelů, tak i výstupní impedancí většiny generátorů funkcí. Ze spektrálního průběhu šumového signálu bylo ověřeno, že se jedná o bílý šum v celém přenosovém frekvenčním pásmu. Úroveň a průběh šumu typu $1/f$ nemohla být ověřena, protože ho nebylo možné rozeznat od stejnosměrného posunu v blízkosti nulového frekvence a pro vyšší frekvence byl již téměř nerozeznatelný od širokopásmového šumu. Toto je způsobeno nenulovou šířkou ($100 Hz$) RBW filtru při měření. Změřené závislosti pro jednotlivá zesílení jsou zobrazeny uvedeny v tabulce 6.1.

Funkčnost bloku zajišťující stejnosměrný posun nemohla být ověřena, protože v dané době nebyl vybraný obvod dostupný.

Pomocí obdélníkového signálu byl zkalibrován vstupní kompenzovaný dělič na ideální odezvu.

6.2 Digitální část

V případě digitální části byla ověřena elektricky funkce všech použitých signálů pomocí osciloskopu. Dále byly změřeny kmitočty taktovacích signálů jak pro USB kontrolér, tak pro FPGA



Obrázek 6.1: Změřená amplitudová frekvenční charakteristika analogové části

U_n [V]	1,2	1,8	3,3	2,5	5	-5
U_m [V]	1,28	1,78	3,35	2,49	5,1	-4,98

Tabulka 6.2: Změřené výstupní hodnoty napětí

a AD převodník. Při ověřování digitální části byla rovněž ověřena funkčnost konfigurace hradlového pole, náběh oscilátoru s krystalem poskytující hodinový signál pro USB kontrolér. Příklad změřeného průběhu nebyl při měření pořízen. Hodnota jitteru nebyla změřena, kvůli chybě v při návrhu DPS. Převodník nebyl taktován diferenciólně, ale pouze jednostranně, a proto by měření bylo irelevantní.

6.3 Napájení

U napájecích obvodů byla měřena jejich výstupní napětí a časovým průběh a spektrální výstupního napětí. Naměřené napájecí napětí jsou uvedeny v tabulce 6.2. Celkový změřený proudový odběr ze sběrnice USB se při akvizici rovná 246 mA ($1,23\text{ W}$).

Závěr

Rešerše USB osciloskopů ukázala, že na trhu nejsou dostupné 12 bitové osciloskopy s analogovým rozsahem 10 a více MHz. Proto by bylo možné zaplnit tuto mezeru navrhovanou jednotkou. Naprostou neoddiskutovatelnou výhodou by tvořila možnost galvanického oddělení od společných zemí.

V práci byla navržena samostatná jednotka USB osciloskopu, splňující všechny vyžadované vlastnosti. Návrh popisuje obvodovou část jak pro analogovou, tak pro digitální část. Jednotka je dvoukanálová s identickým zapojením. Velká část je také věnována návrhu napájecích obvodů, které je kritické jak z hlediska toho, že se jedná o měřící zařízení, tak i toho, že je k napájení použita sběrnice USB. Analogová část je složena z OZ, a je uzpůsobena tak, aby splňovala potřebné parametry pro 12 bitové rozlišení. Práce se také zabývala vývinem programového vybavení pro použité integrované obvody.

Návrh byl otestován na funkční prototypu, který v naprosté většině parametrů splnil navrhovaná očekávání. Osciloskop dosahuje zadaných parametrů tj., frekvenční pásmo je od DC do 10 MHz a rozlišení převodu je 12 bitů. Po měření bylo rozhodnuto, že pro omezení kmitočtového pásma analogové části bude použit navržený LC filtr druhého řádu.

Oživení desky doprovázelo několik komplikací v souvislosti se skrytými zkraty, které vznikly při pájení. Po oživení prvního prototypu a vyřešení několika chyb, byla navržena nová verze, která opravovala tyto chyby. Chyby v prvním prototypu nebyly nijak kritické a daly se opravit přímo na desce. Mezi tyto chyby patřilo například prohození pájecích plošek krystalu, zao-krouhlení při přepočtu metrických jednotek na imperiální a posunutím vodičů jednostranné taktování převodníku.

V prvním prototypu byl použit jiný AD převodník než ve finálním návrhu, a to ADS4225 (TI). Bohužel byl převodník při ověřování funkčnosti zničen a tak byl nahrazen z důvodu vysoké pořizovací ceny (přibližně 50 \$) parametrově podobným převodníkem LTC2145-12 (LT) (42 \$) a to hlavně z důvodu poskytnutí vzorků výrobcem. Tato změna se na výsledných parametrech nijak negativně neprojevila.

Pro návrh bylo vyvinuto programové vybavení, které je pro programovatelné integrované obvody úplné. Programové vybavení pro PC byl vytvořen hlavně pro ověření funkčnosti a jeho funkce by mohla být vylepšena.

Osciloskop byl vybaven potřebnými periferiemi, potřebné pro galvanické oddělení osciloskopu od společných zemí. USB izolátor nebyl kvůli jeho vysoké pořizovací ceně fyzicky zaimplementován, a tak funkčnost systému s ním nebyla ověřena. Stejně tak nemohla být ověřena funkčnost galvanicky oddělené synchronizace, protože v průběhu práce byl vyroben pouze jeden prototyp.

Hardwarová implementace se celkově skládá z 285 součástí a celkově ze 71 různých druhů. Z toho je 17 integrovaných obvodů, kde 2 obvody je nutné nakonfigurovat z externích zdrojů. Pro návrh bylo napsáno přibližně 1300 řádků v jazyce C#, 400 řádků v jazyce C a 1500 řádků v jazyce VHDL. Při návrhu a při analýze měření bylo napsáno přes 800 řádek v Matlabu. Pro návrh byl vytvořen simulační obvod pro Spice simulátor. Přes všechny tyto atributy není návrh dokonalý a hlavně z hlediska programového vybavení půjde vždy vylepšit.

Reference

- [1] OUŘEDNÍK, Petr. Digitální osciloskop USB. Praha, 2014. Bakalářská práce. České vysoké učení technické v Praze, Fakulta elektrotechnická.

- [2] Pereira JMD. The history and technology of oscilloscopes. IEEE Instrumentation & Measurement Magazine. 2006;9(6):27-35.
- [3] HAVLÍK, Ladislav. Osciloscipy a jejich použití. Sdělovací technika, 2002. ISBN 80-901936-8-4
- [4] AXELSON, Jan. USB complete: the developer's guide. Fifth edition. Madison: Lakeview Research. 2015. ISBN 978-1-931448-28-4
- [5] DAVÍDEK V, SOVKA P, České vysoké učení technické v Praze. Elektrotechnická fakulta. Číslicové zpracování signálů a implementace. Vyd. 2. přeprac. ed. Praha: ČVUT; 2002. ISBN 8001024830
- [6] Kay A. Operational Amplifier Noise. 1st ed. Newnes; 2012. ISBN 0750685255.
- [7] KESTER, Walt. Taking the Mystery out of the Infamous Formula, "SNR = 6.02N + 1.76dB," and Why You Should Care [online]. Analog Devices, 2009 [cit. 10.5.2016]. Dostupné z www.analog.com/media/en/training-seminars/tutorials/MT-001.pdf.
- [8] KESTER, Walt. Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor [online]. Analog Devices, 2009 [cit. 10.5.2016]. Dostupné z www.analog.com/media/en/training-seminars/tutorials/MT-003.pdf.
- [9] Agilent Technologies. Competitive Comparison: Agilent S-Series versus Teledyne-LeCroy HDO4000/6000 [online]. Agilent Technologies, 2014 [cit. 23.5.2016]. Dostupné z cp.literature.agilent.com/litweb/pdf/5991-4437EN.pdf.
- [10] MINCHELL, Tony. Oscilloscope Vertical Resolution [online]. Teledyne LeCroy [cit. 23.5.2016]. Dostupné z www.rs-online.com/designspark/assets/ds-assets/uploads/knowledge-items/hd4096-advantages-of-12-bit-a-d-converter-architecture-in-a-modern-oscilloscope/12%20Bit%20discussion.pdf.
- [11] LeCroy. Differences Between ERES and HiRes [online]. Teledyne LeCroy 2011 [cit. 11.5.2016]. Dostupné z cdn.teledynelecroy.com/files/appnotes/differences_between_eres_and_hires.pdf.
- [12] Tektronix. DPO3000 Series Oscilloscopes User Manual [online]. Tektronix, Inc. [cit. 20.5.2016]. Dostupné z www.csus.edu/indiv/t/tatror/EEE_108L/3017_Test_Equipment/DPO3014%20User%20Guide.pdf.
- [13] Pico Technology. Corporate information [online]. Pico Technology [cit. 23.5.2016]. Dostupné z press.picotech.com/about.
- [14] LUI, Gough. PicoScope 2205A Review [online]. Element14 Community, 2014 [cit. 1.5.2016]. Dostupné z www.element14.com/community/roadTestReviews/1725/1/picoscope-2205a-oscilloscope-review.
- [15] BitScope. BitScope 325 stránka produktu [cit. 23.5.2016]. Dostupné z www.bitscope.com/product/BS300.
- [16] BitScope. BitScope 3xx schéma produktu [cit. 23.5.2016]. Dostupné z my.bitscope.com/download/?p=download&i=035.

- [17] KESTER, Walt. Aperture Time, Aperture Jitter, Aperture Delay Time—Removing the Confusion [online]. Analog Devices, 2009 [cit. 27.4.2016]. Dostupné z www.analog.com/media/en/training-seminars/tutorials/MT-007.pdf.
- [18] Integrated Device Technology. AN-840 Jitter Specifications for Timing Signals [online]. Integrated Device Technology, Inc. 2014 [cit. 10.4.2016]. Dostupné z www.idt.com/document/apn/840-jitter-specifications-timing-signals.
- [19] PicoScope. Picoscope2000 datasheet [online]. 2016 [cit. 20.5.2016] Dostupné z: www.picotech.com/download/datasheets/picoscope-2000-series-data-sheet.pdf
- [20] BitScope. BS05 specification [online]. [cit. 20.5.2016] Dostupné z: <http://www.bitscope.com/product/BS05/?p=specs>
- [21] Murata. Katalogový list EMIFIL NFM18PC Series [online]. Murata Manufacturing Co., Ltd. 2013 [cit. 26.5.2016]. Dostupné z http://www.mouser.com/ds/2/281/murata_L0111S0111NFM18PC-341498.pdf.
- [22] EZ-USB® Technical Reference Manual [online]. 2014 [cit. 20.5.2016] Dostupné z: <http://www.cypress.com/file/126446/download>
- [23] AD8065. Datasheet [online]. 2010 [cit. 20.5.2016] Dostupné z: http://www.analog.com/media/en/technical-documentation/datasheets/AD8065_8066.pdf
- [24] THS7001. Datasheet [online]. 2007 [cit. 20.5.2016] Dostupné z: <http://www.ti.com.cn/cn/lit/ds/symlink/ths7001.pdf>
- [25] ADA4940. Datasheet [online]. 201 [cit. 20.5.2016] Dostupné z: <http://datasheet.octopart.com/ADA4940-1ACPZ-R7-Analog-Devices-datasheet-10741760.pdf>

Obrázek 5.1 převzat z: <http://www.analog.com/library/analogdialogue/archives/39-09/layout.html> [2005]

Obrázek 4.2 převzat a upraven z: [6]

Obrázek 4.3 převzat z: [23]

Obrázek 4.4 převzat z: [23]

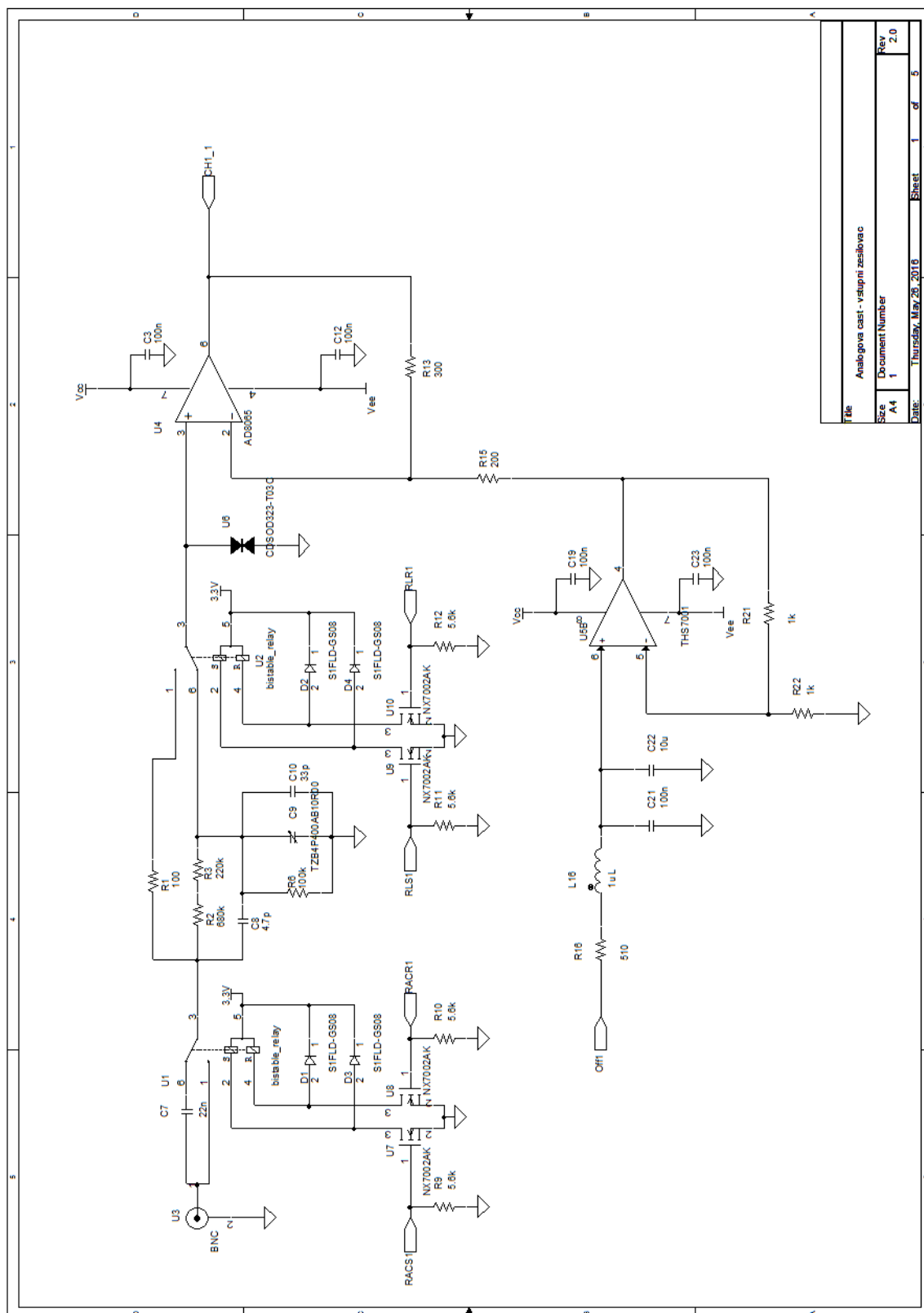
Obrázek 4.5 převzat z: [23]

Obrázek 4.16 převzat z: <http://www.ti.com/lit/ds/symlink/tps65132.pdf> [2015]

Obrázek 4.17 převzat z: <http://cds.linear.com/docs/en/datasheet/2884f.pdf> [2014]

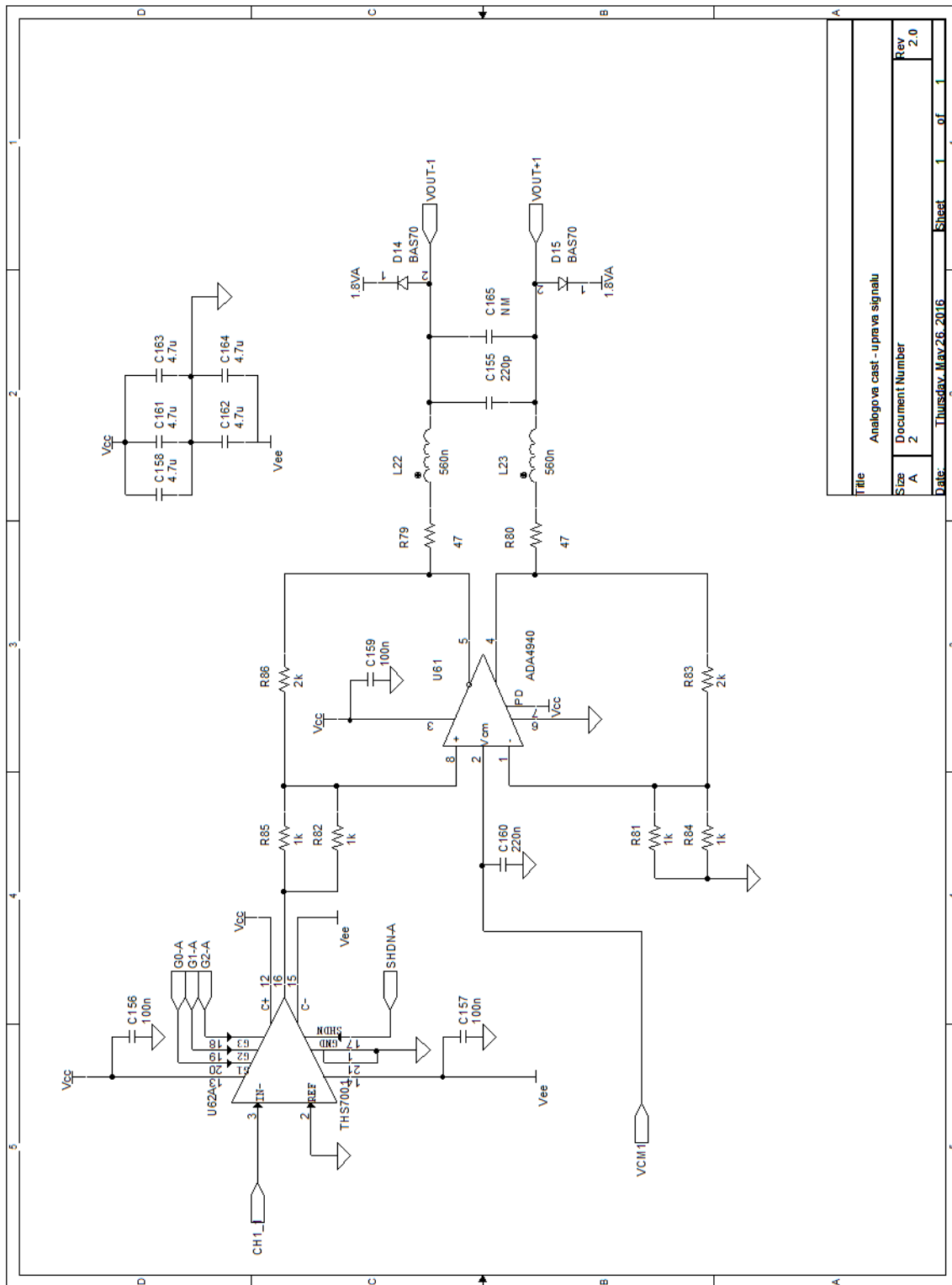
Přílohy

Schéma vstupní analogové části 1



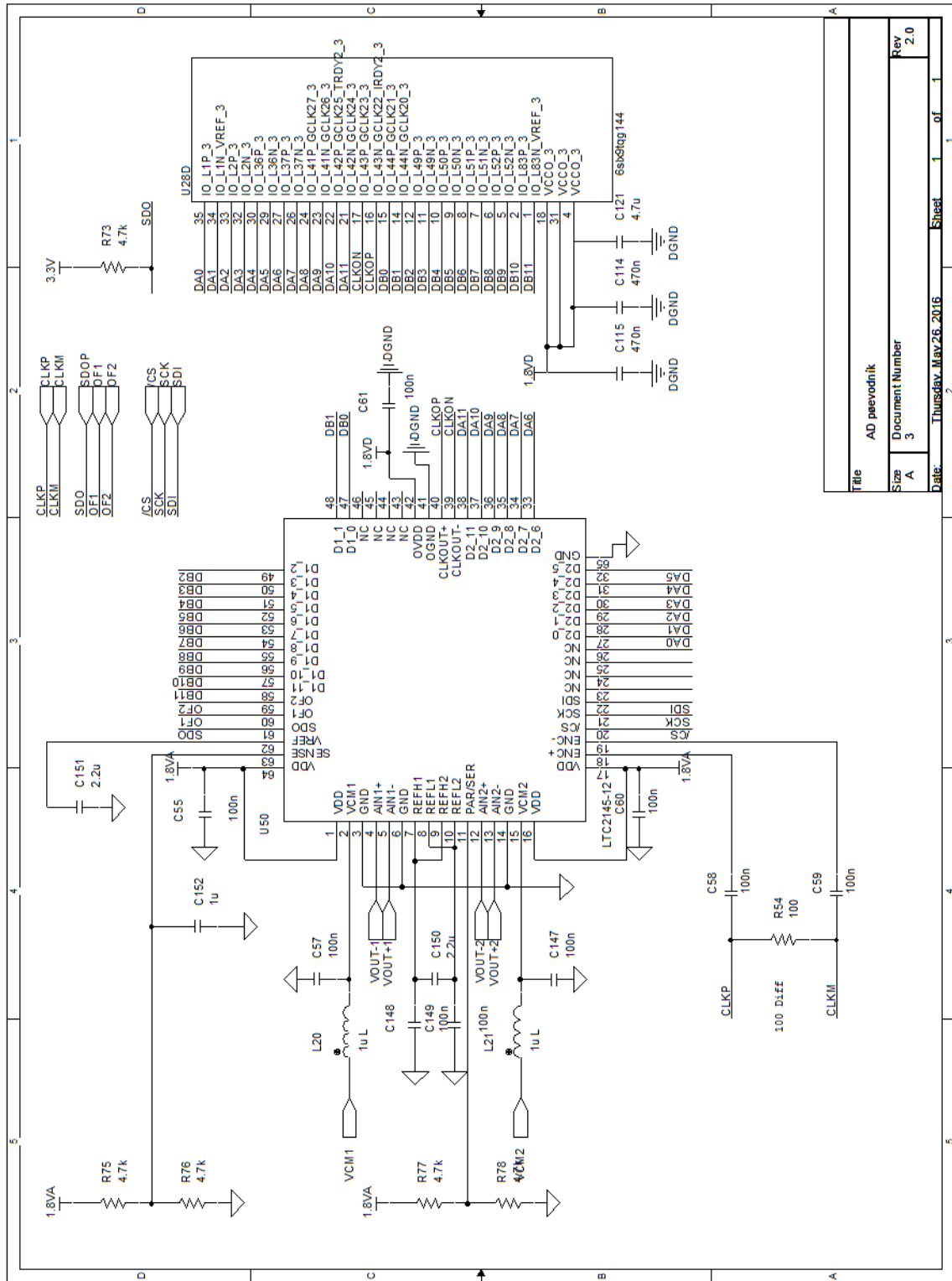
Title		Analogove cast - vstupni zesilovac
Size	Document Number	A4 1
Date	Thursday, May 28, 2015	Sheet 1 of 5
Rev		2.0

Schéma vstupní analogové části 2



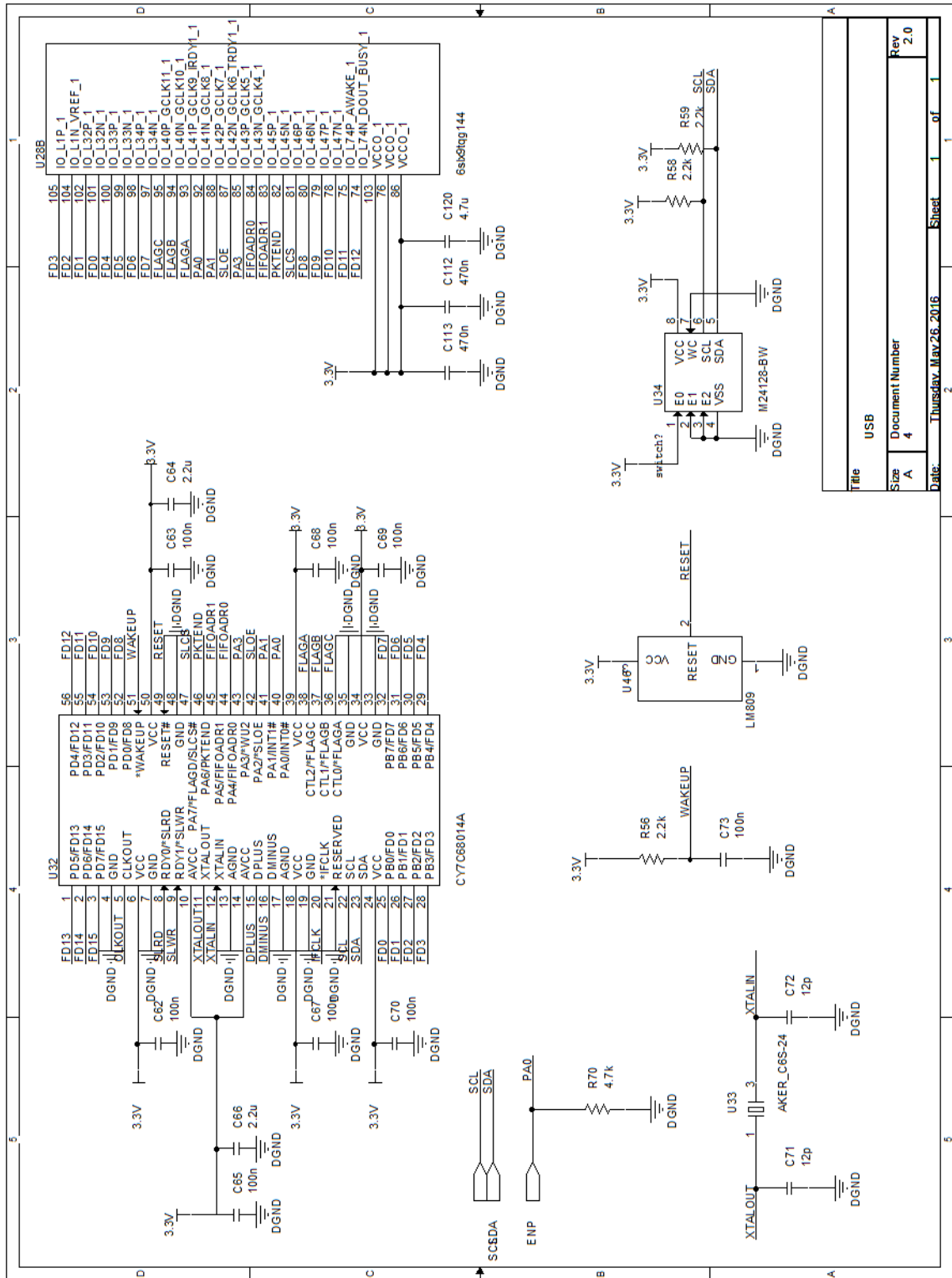
Title		Analogova cast - uprava signalu	
Size	Document Number		
A	2		
Rev			
	2.0		
Date:	Thursday, May 26, 2016	Sheet	1 of 1

Schéma AD převodníku



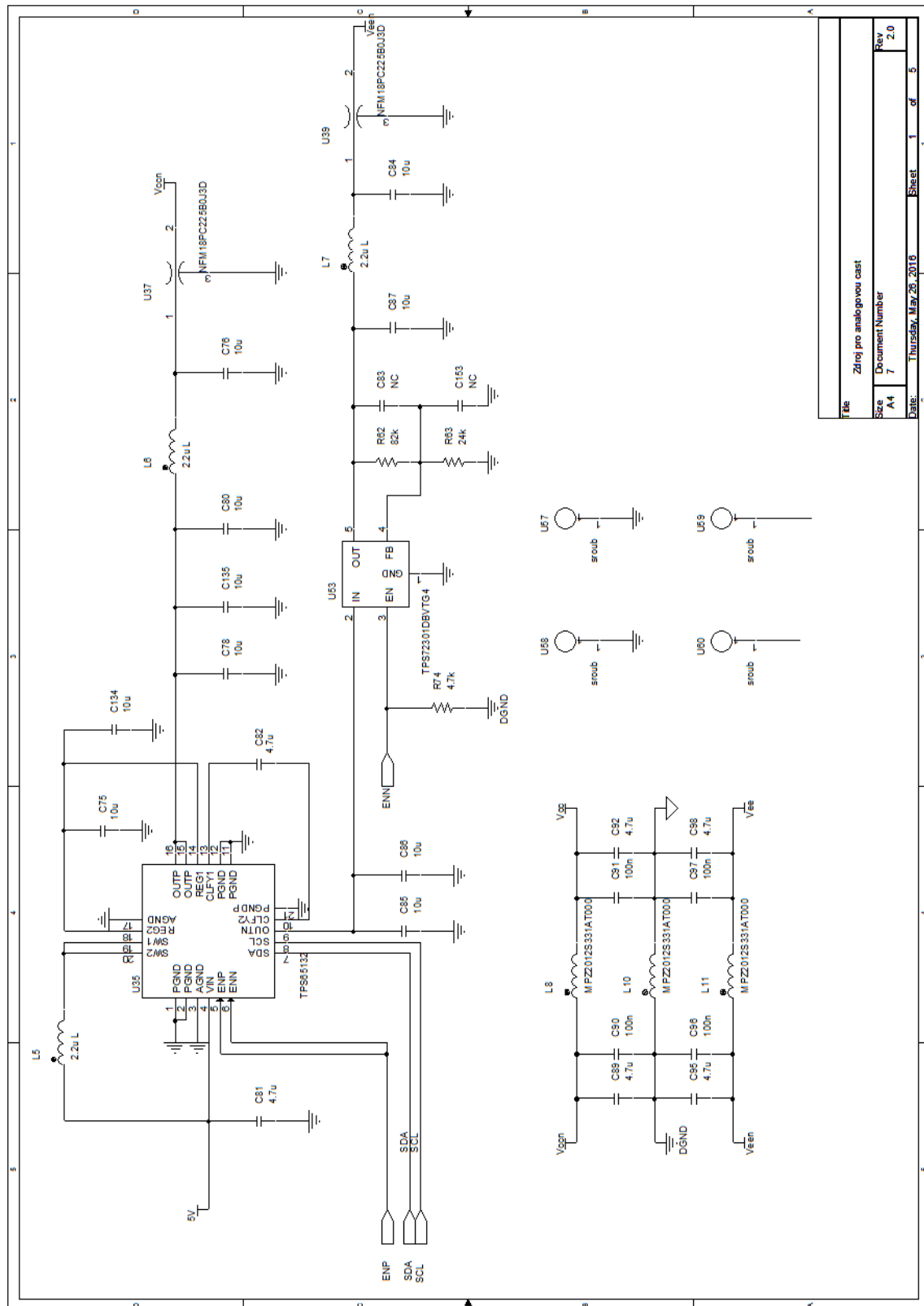
Title		AD převodník
Size	Document Number	3
Rev		2.0
Date	Thursday, May 26, 2016	Sheet 1 of 1

Schéma USB kontroleru



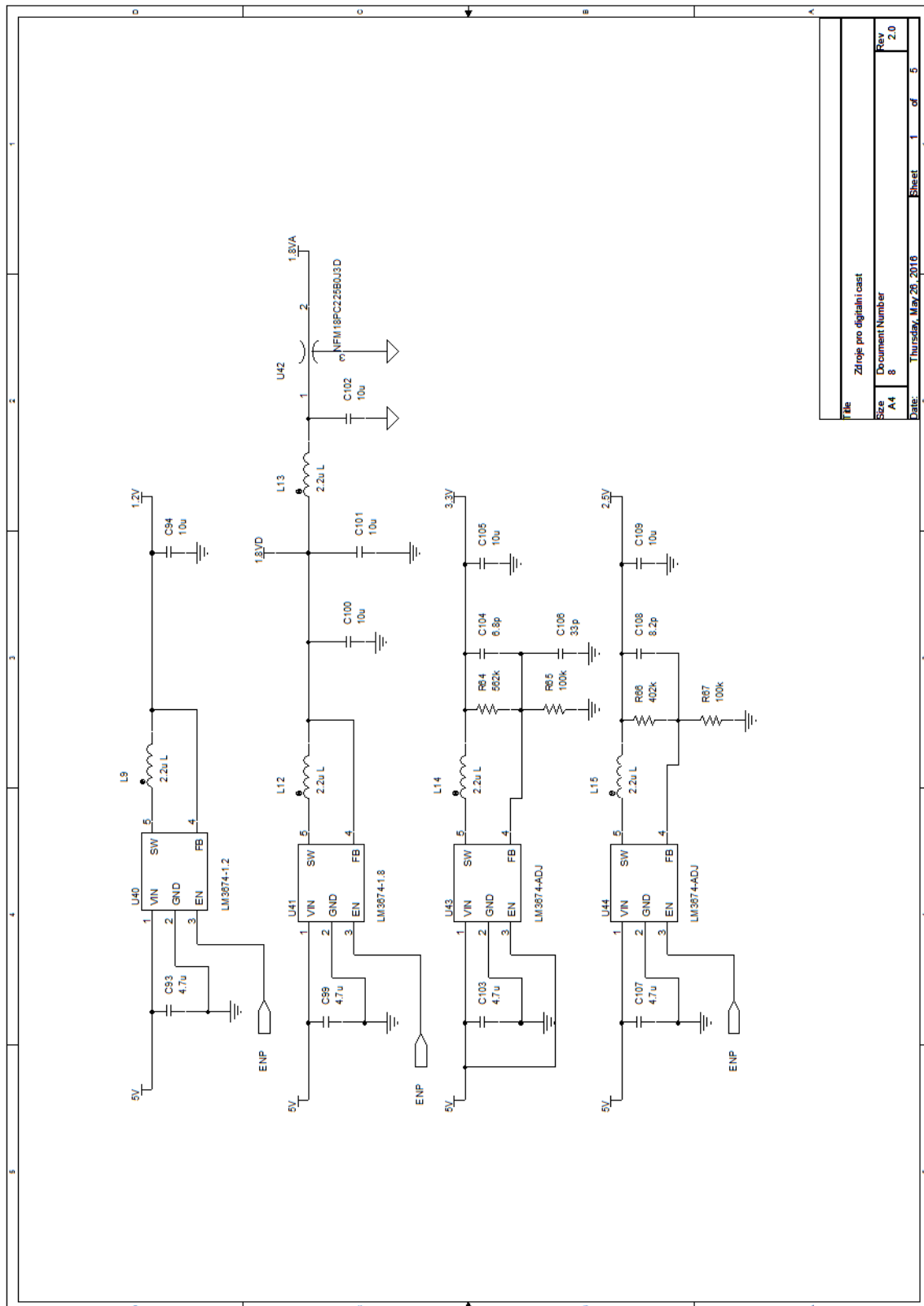
Title		USB	
Size	Document Number	Rev	
A	4	2.0	
Date:	Thursday, May 26, 2016	Sheet	1 of 1

Schéma napájecích obvodů analogové části



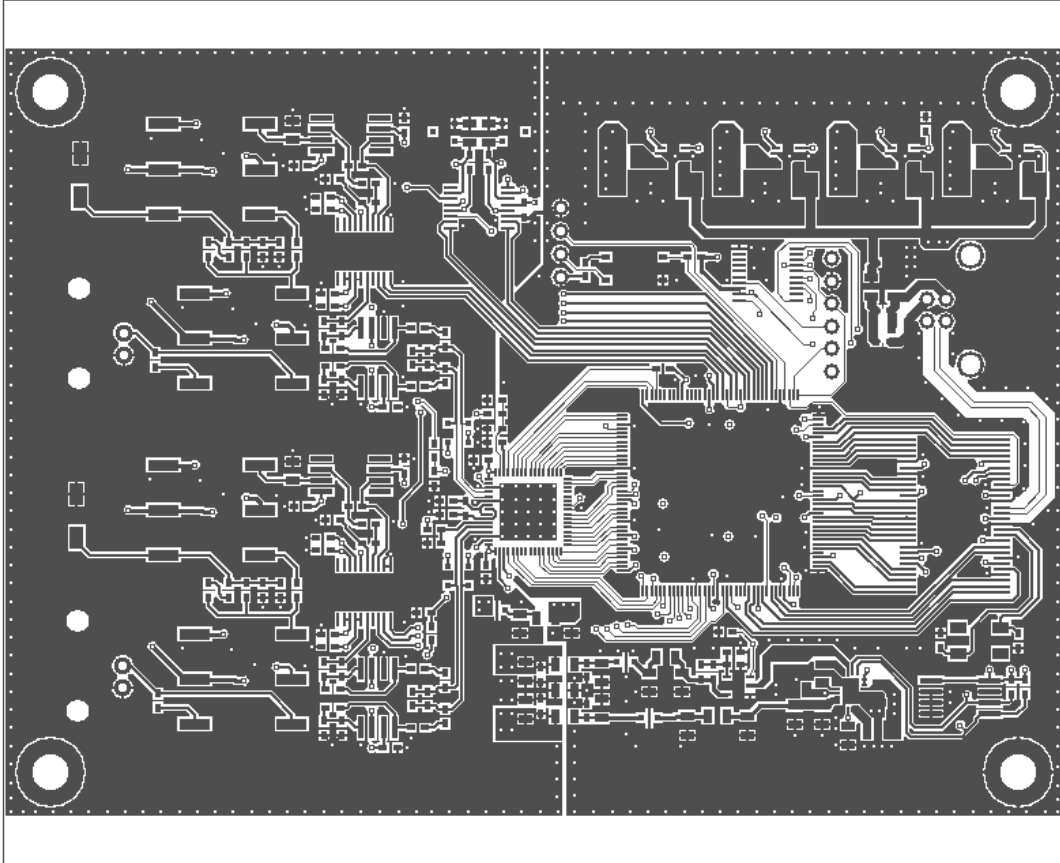
Title		Zdroj pro analogovou část
Size	Document Number	Rev
A4	7	2.0
Date:	Thursday, May 20, 2010	Sheet 1 of 5

Schéma napájecích obvodů digitální části

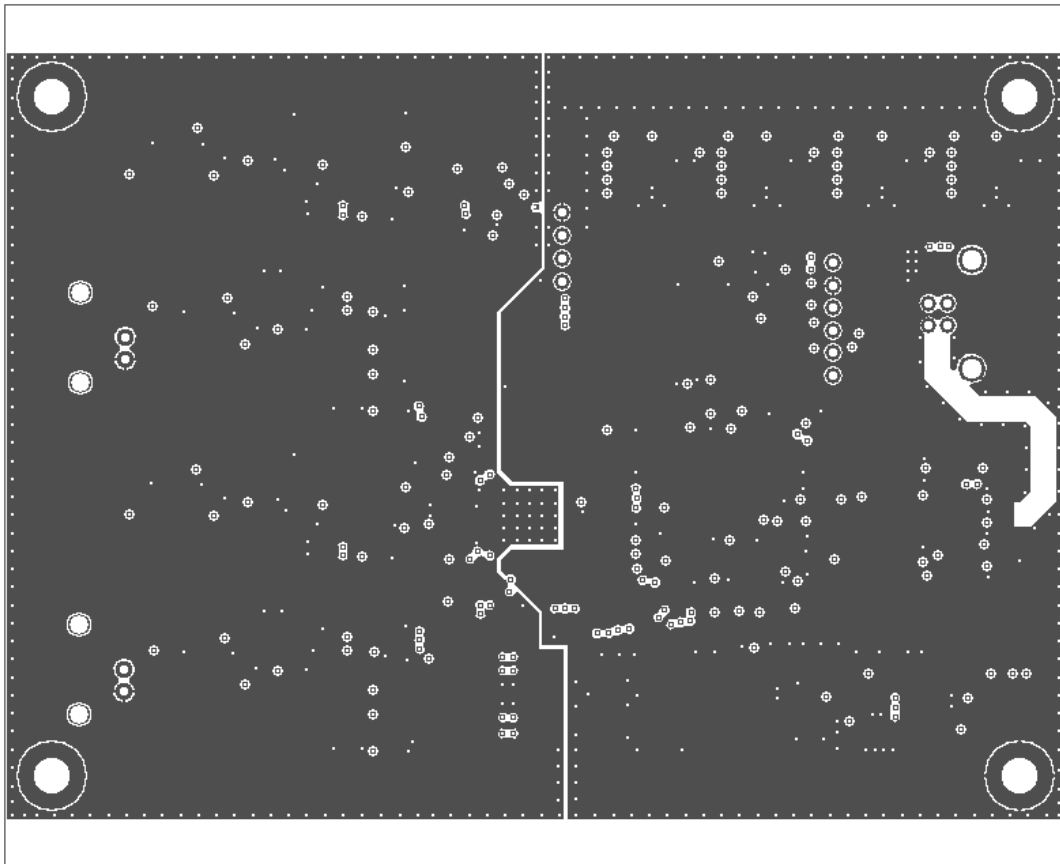


File		Zdroje pro digitální část
Size	A4	Document Number
Date:	Thursday, May 26, 2018	Rev
Sheet	1 of 5	2.0

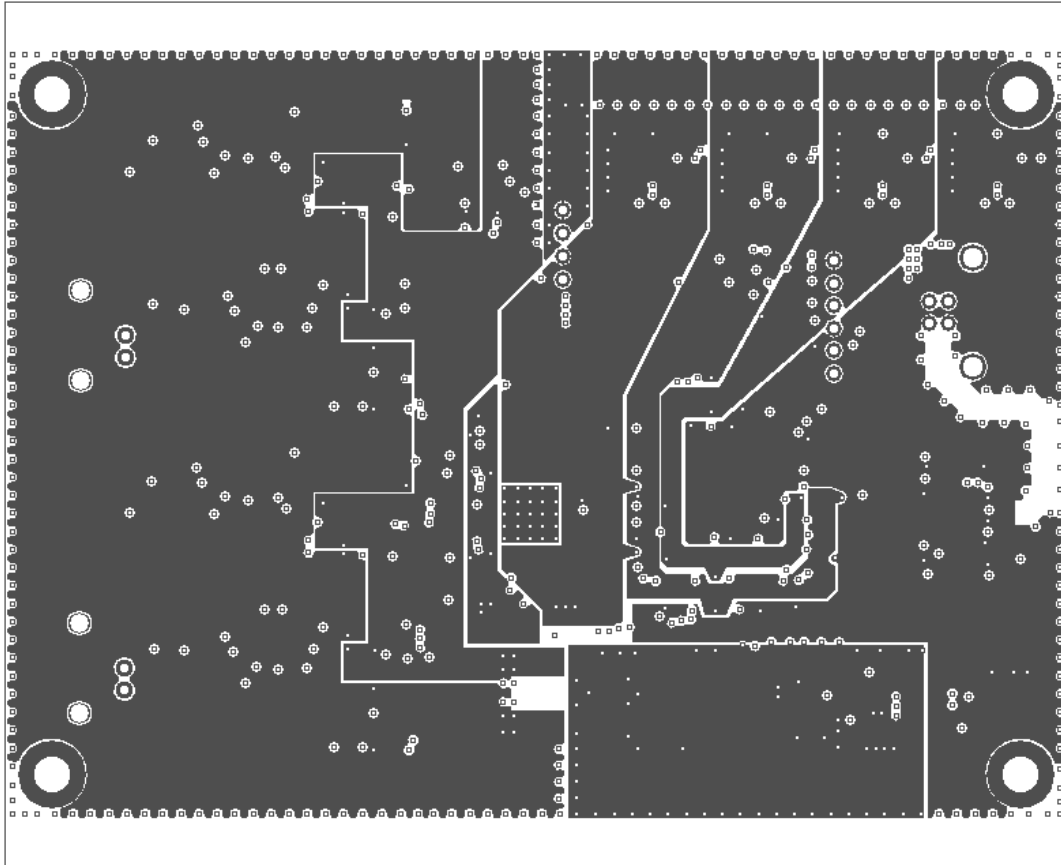
Rozložení součástek na DPS TOP



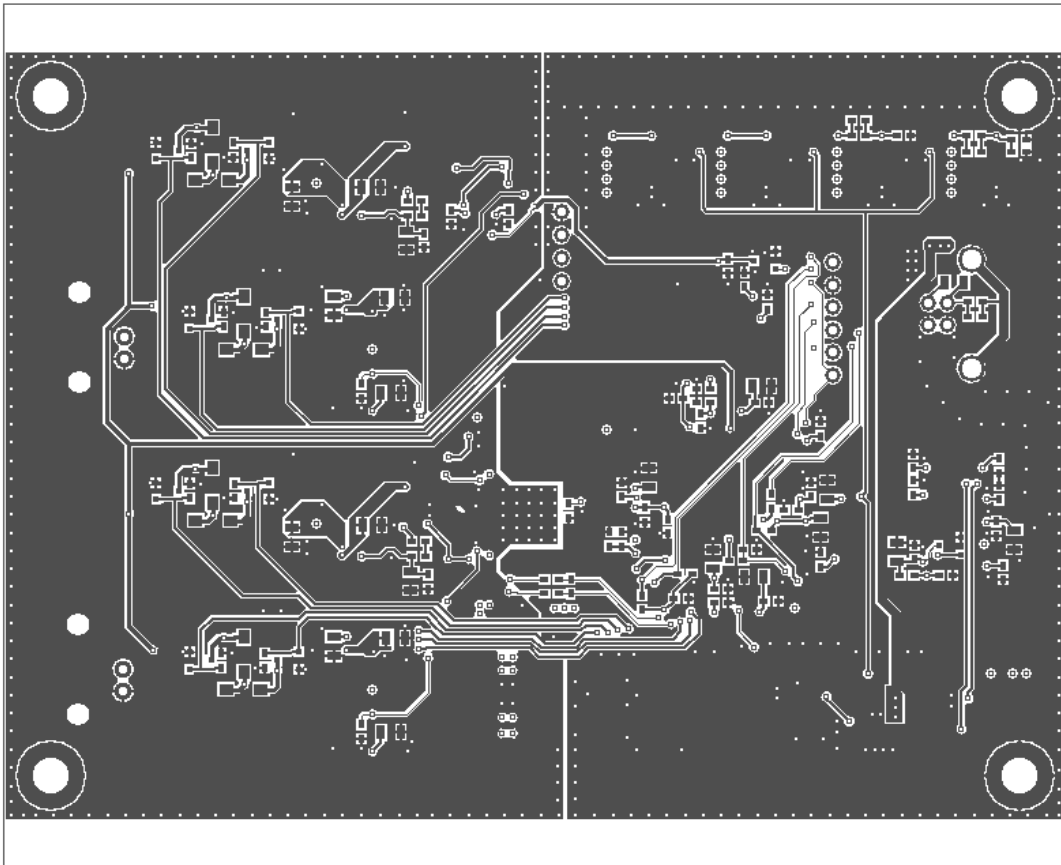
Rozložení součástek na DPS GND



Rozložení součástek na DPS POWER



Rozložení součástek na DPS BOT



Ukázka měřícího programu

