

ČESKÉ VYSOKÉ UČENÍ TECHNICKÉ
Fakulta elektrotechnická
katedra radioelektroniky

Klíčovaný generátor harmonického signálu
Bakalářská práce

Vedoucí práce: Ing. Martin Pokorný, Ph.D.

Student: Michal Kučera

srpen 2015

České vysoké učení technické v Praze
Fakulta elektrotechnická

katedra radioelektroniky

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

Student: **Michal Kučera**

Studijní program: Elektrotechnika a informatika (bakalářský), strukturovaný
Obor: Elektronika a sdělovací technika

Název tématu: **Klíčovaný generátor harmonického signálu**

Pokyny pro vypracování:


1. Navrhněte klíčovaný digitální generátor signálu, který umožňuje vytvářet skupiny harmonických kmitů (radioimpulzy) s nastavitelným fázovým posuvem, kmitočtem a délkou trvání a také obdélníkový průběh s nastavitelnou střídou, kmitočtem a stejnosměrnou složkou.
2. Použijte principu a obvodů přímé číslicové syntézy (DDS).
3. Realizujte funkční vzorek.

Seznam odborné literatury:


- [1] SKALICKÝ, Petr. Číslicové systémy v radiotechnice. 1. vydání. Praha: Vydavatelství ČVUT, leden 2004. ISBN 80-01-02854-2.
- [2] ŠTORK, Milan. Principy přímé digitální syntézy. Slaboproudý obzor: Příloha (nejen) pro mladé inženýry. Praha: Československá sekce IEEE.
- [3] PROKEŠ, Aleš – ČERMÁK, Karel. Využití přímé kmitočtové syntézy v radiotechnice. Vladimír. Elektrevue: Časopis pro elektrotechniku [online], 2003 / 48. <<http://www.elektrevue.cz/clanky/03048/>>. ISSN 1213-1539.
- [4] HOLÝ, Radek. Generátor klíčovaného harmonického signálu. Bakalářská práce. Praha: ČVUT FEL. Katedra teorie obvodů, 2004. 29 s.

Vedoucí: Ing. Martin Pokorný, Ph.D.

Platnost zadání: do konce zimního semestru 2015/2016


doc. Mgr. Petr Páta, Ph.D.
vedoucí katedry




prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 3. 9. 2014

Anotace

Náplní této bakalářské práce je návrh a realizace klíčovaného generátoru harmonického signálu. Harmonický signál je generován na principu DDS mikrokontrolérem PIC32. Vzorky signálu jsou kvantovány 12 bity. Parametry signálu jsou nastaveny přes modul UART. Rekonstrukční filtr je realizován v podobě LC struktury se syntetickými induktory.

Klíčová slova

Klíčování, DDS, mikrokontrolér PIC32, Leapfrog

Annotation

The topic of this bachelor's thesis is design and implementation of the keyed harmonious signal generator. The harmonious signal is generated on the principle of DDS by PIC32 microcontroller. The samples of the signal are coded by 12 bits. The parameters of the signal are set via UART module. The reconstruction filter is done in the shape of LC structure with synthetical inductors.

Key words

Keying, DDS, microcontroller PIC32, Leapfrog

Poděkování

Rád bych poděkoval vedoucímu bakalářské práce Ing. Martinu Pokornému, Ph.D. za velkou vstřícnost, odborné rady a připomínky.

Prohlášení

Prohlašuji, že jsem bakalářskou práci Klíčovaný generátor harmonického signálu vypracoval samostatně a použil k tomu pouze literaturu, kterou uvádím v seznamu přiloženém k bakalářské práci.

Nemám námitky proti půjčování, zveřejnění a dalšímu využití práce, pokud s tím bude souhlasit katedra radioelektroniky.

.....
podpis studenta

V Praze dne

Obsah

Seznam použitých symbolů a zkratek.....	vii
Seznam příloh	viii
1. Úvod.....	1
1.1. Motivace pro dané téma	1
1.2. Cíl práce	1
2. Rozbor generování klíčovaného harmonického signálu	2
2.1. Způsoby generování harmonického signálu	3
2.2. Základní architektura DDS.....	6
2.3. DDS architektura se schopností modulace	8
2.4. Možnosti realizace DDS syntézy.....	9
3. Koncepce generátoru klíčovaného harmonického signálu	10
3.1. Použitý MCU PIC32	10
3.2. D/A převodník s převodníkem I/U	12
3.3. Rekonstrukční filtr.....	13
3.4. Generátor obdélníkového signálu.....	14
3.5. Obvod nastavení stejnosměrné složky.....	15
4. Návrh funkčních bloků generátoru	16
4.1. MCU a pomocné obvody.....	16
4.2. Obvody D/A a návrh I/U převodníku	19
4.3. Návrh rekonstrukčního filtru	21
4.4. Obvody generátoru obdélníkového signálu.....	31
4.5. Obvody nastavení stejnosměrné složky.....	35
4.6. Klíčovací obvod radioimpulzu a výstupní zesilovač.....	37
4.7. Napájení a napájecí obvody.....	38
4.8. Parametry navrženého generátoru	40
5. Programové vybavení MCU	41
6. Funkční vzorek generátoru	44
7. Závěr.....	45
Seznam použité literatury.....	46
Samostatné přílohy.....	48

Seznam použitých symbolů a zkratek

A_{ekv}	ekvivalentní přenos
A'_{ekv}	ekvivalentní přenos základní harmonické
a_p	útlum v propustném pásmu [dB]
a_s	útlum v nepropustném pásmu [dB]
β_{ekv}	ekvivalentní přenos zpětné vazby
DDS	Direct Digital Synthesis
ΔP	hodnota přírůstku fáze
ε	konstanta příslušná chybě kmitočtové charakteristiky v propustném pásmu
ESR	efektivní stejnosměrný odpor kondenzátoru [Ω]
f_{clk}	taktovací kmitočet [Hz]
f_{out}	generovaný kmitočet [Hz]
$H(s)$	přenosová funkce
I_{out}	výstupní proud D/A převodníku [A]
I_{OUTFS}	full-scale current [A]
k	poměr mezních kmitočtů propustného a nepropustného pásma
k_1	odstup modulu přenosu v propustném a nepropustném pásmu
MCU	mikrokontrolér
MSI	medium Scale Integration
Ω	normovaná frekvence
ω_0	úhlový kmitočet oscilací
PLL	Phase Locked Loop
R_{set}	odpor definující výstupní proud D/A převodníku [Ω]
SFDR	Spurious-Free Dynamic Range

Seznam příloh

Příloha 1.	Netlist simulace rekonstrukčního filtru	48
Příloha 2.	Netlist simulace multiplexeru 4052	49
Příloha 3.	Netlist simulace invertoru s LT1372	50
Příloha 4.	Celkové schéma zapojení	51
Příloha 5.	Seznam součástek	52

1. Úvod

1.1. Motivace pro dané téma

Při studiu na FEL ČVUT v Praze jsem se dlouhodobě setkával s potřebou generování a zpracování signálu. Tuto problematiku shledávám tudíž jako velmi potřebnou pro testování nejrůznějších obvodů a zařízení sdělovací techniky, a také pro studium s tím souvisejících jevů.

Z výše uvedených důvodů jsem si jako téma své závěrečné práce zvolil zadání s názvem „Klíčovaný generátor harmonického signálu“.

1.2. Cíl práce

Cílem mé práce je návrh klíčovaného digitálního generátoru signálu, který umožňuje vytvářet skupiny harmonických kmitů (radioimpulzy) s nastavitelným fázovým posuvem, kmitočtem a délkou trvání a také obdélníkový průběh s nastavitelnou střídou, kmitočtem a stejnosměrnou složkou.

Za parametry, které chci, aby splňoval klíčovaný generátor harmonického signálu realizovaný v této práci, užívám hodnot dosažených ve starším projektu, jenž je součástí seznamu doporučené odborné literatury, který jsem obdržel v zadání bakalářské práce. Zmiňovaný projekt, jenž uvádím v [10], celý návrh realizoval z obvodů MSI. Vybrané parametry obsahují níže uvedená Tabulka 1.

Tabulka 1 Parametry generovaného průběhu

kmitočet harmonického průběhu	f_{out} [kHz]	1 až 99	krok	Δf_{out} [Hz]	10
fázový posun harmonického průběhu	φ [°]	0 až 359	krok	$\Delta\varphi$ [°]	1
délka trvání radioimpulzu	n [perioda]	1 až 100	krok	Δn [perioda]	1

2. Rozbor generování klíčovaného harmonického signálu

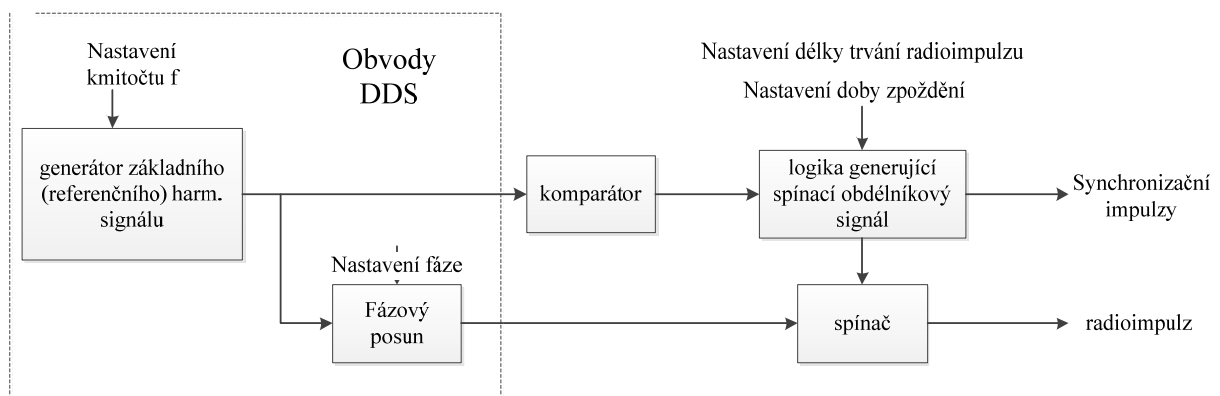
Generátor generuje dva fázově posunuté signály. Jeden referenční a z druhý klíčovaný tvořící radioimpulzy. Definice radioimpulzu uváděná v předmětu Signály a soustavy:

$$s(t) = \begin{cases} A \cdot \cos \omega_0 t & |t| \leq \frac{\tau}{2} \\ 0 & |t| > \frac{\tau}{2} \end{cases} \quad (1.)$$

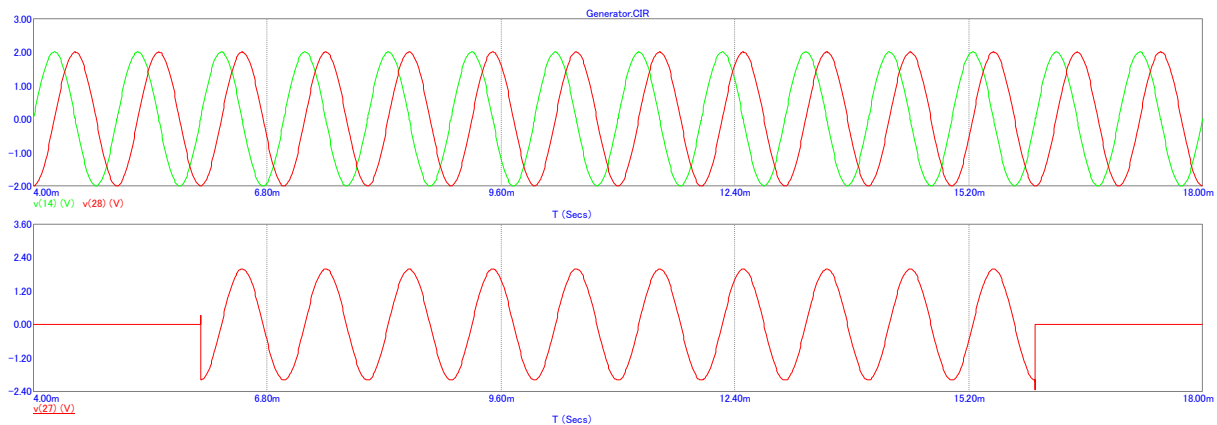
$$\text{To lze zapsat jako } s(t) = A \cdot \text{rect}\left(\frac{t}{\tau}\right) \cdot \cos \omega_0 t$$

Radioimpulz je vytvořen modulací ASK, která má speciální průběh OOK (On Off Keying) [13]. Modulačnímu bitu “0” odpovídá nulová nosná vlna. Tento průběh lze generovat přepínačem, který v rytmu modulace přepíná výstup modulátoru na zdroj nosné vlny nebo na zemní svorku.

Generátor klíčovaného harmonického signálu je složen z následujících bloků: generátor základního (referenčního) harmonického signálu, generátor fázově posunutého harmonického signálu, komparátor připojený na výstup základního harmonického signálu, logika generující spínací obdélníkový signál a spínač fázově posunutého harmonického signálu. Jak je uvedeno na Obrázku 0a, který je částečně převzat z [10].



Obrázek 0a Principiální blokové schéma generátoru



Obrázek 0b Radioimpulz

2.1. Způsoby generování harmonického signálu

Harmonický signál lze generovat více způsoby. Oscilátory slouží především ke generování ustáleného harmonického průběhu.

a) Analogový oscilátor

Analogové oscilátory mohou být jednobranové LC oscilátory se záporným diferenciálním odporem, nebo zpětnovazební.

Jednobranové oscilátory využívají záporný diferenciální odpor v určité části charakteristiky ke kompenzaci ztrát v rezonančním obvodu. Využívají se však jako nízkovýkonové na velmi vysokých kmitočtech [21].

Zpětnovazební oscilátor je zpětnovazební soustava s kladnou zpětnou vazbou se vstupem a výstupem. Podmínku ustáleného harmonického kmitání stanovíme ze vztahu popisující zesílení zpětnovazební soustavy a ve kterém jsou lineární parametry nahrazeny ekvivalentně lineárními [26]. Ty jsou pro frekvence blízké vlastním kmitům závislé na rozkmitu. Při určitém rozkmitu, odpovídající mezi stability, se nastaví na hodnotu, která se v obvodu ustálí.

$$A'_{ekv}(j\omega) = \frac{A_{ekv}(j\omega)}{1 - \beta_{ekv}(j\omega)A_{ekv}(j\omega)} \quad (2.)$$

Mezní podmínka oscilací ekvivalentně lineární zpětnovazební soustavy odpovídá stavu, kdy A'_{ekv} roste nade všechny meze. Je analogická k mezní podmínce stability lineární zpětnovazební soustavy:

$$\beta_{ekv}(j\omega_0)A_{ekv}(j\omega_0) = 1 \quad (3.)$$

Podmínku lze rozložit na podmínku fázovou:

$$\varphi_{\beta} + \varphi_A = 0 \quad (4.)$$

Celkový fázový posuv přenosu otevřené zpětnovazební smyčky pro kmitočet oscilací ω_0 je nulový.

A na amplitudovou podmínku:

$$|\beta_{ekv}(j\omega_0)A_{ekv}(j\omega_0)| = 1 \quad (5.)$$

Aby vznikly ustálené harmonické kmity, musí být splněny obě dílčí podmínky současně. Pro zpětnovazební smyčky oscilátorů jsou vybírány takové fázovací obvody, aby v širokém rozsahu kmitočtů splnily fázovou podmínku jen jedenkrát.

Tou je jednoznačně určen kmitočet oscilací. Mají-li v oscilátoru vždy spolehlivě vzniknout kmity po každém připojení napájení, musí být na začátku činnosti oscilátoru dostatečná rezerva zesílení ve smyčce. K ustálení amplitudy pak dojde působením regulačního mechanismu.

Mezi tuto skupinu oscilátorů patří oscilátory LC, krystalem řízené oscilátory, oscilátory RC.

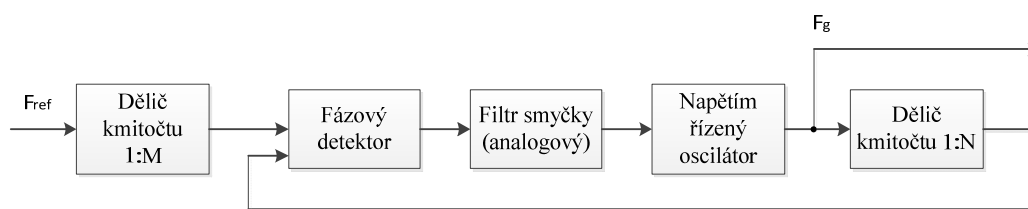
b) Frekvenční syntéza s využitím směšovačů, děličů a násobičů kmitočtu

Směšovač je trojbran, jehož úkolem je transformovat kmitočet f_s vstupního signálu $u_s(t)$ pomocí kmitočtu f_o signálu $u_o(t)$ místního oscilátoru na kmitočet f_{mf} mezifrekvenčního signálu $u_{fm}(t)$ [26].

Z hlediska činnosti dělíme směšovače na aditivní a multiplikativní. U aditivního směšovače se přivádí vstupní a oscilátorový signál na nelineární prvek, kde dojde ke zkreslení tohoto signálu a vzniku vyšších harmonických a kombinačních složek obou signálů. Nežádoucí složky jsou odfiltrovány mf pásmovou propustí. U multiplikativního směšování dochází k násobení signálu vstupního a oscilátorového např. ve dvouhradlovém MOSFETu.

c) Frekvenční syntéza PLL

Je zástupcem syntézátorů s nepřímou syntézou. Blokové schéma je uvedené níže, na Obrázku 1. Dané schéma je převzato z [5].



Obrázek 1 Blokové schéma smyčky s fázovým závěsem

Fáze signálu získaného z napětím řízeného oscilátoru je po vydělení porovnána ve fázovém komparátoru s fází referenčního oscilátoru vyděleném v děliči kmitočtu. Výstup z fázového detektoru je filtrován analogovým filtrem typu dolní propusti na řídicí napětí pro napětím řízený oscilátor. Generovaný kmitočet je dán vztahem

$$F_g = \frac{M}{N} \cdot F_{ref} \quad (6.)$$

Nastavitelný kmitočet je dán poměrem dvou přirozených čísel M a N. Nejmenší změna kmitočtu je dána dělicím poměrem N. Změna kmitočtu je dána změnou čísel M, N. Zvětšováním hodnoty N dochází k porovnání obou kmitočtů na nižším kmitočtu, což způsobuje pomalejší přeladění a ustálení nově nastaveného kmitočtu.

Nevýhodou jsou problémy s krátkodobou kmitočtovou stabilitou napětím řízeného oscilátoru, zesílením a šířkou kmitočtového pásma smyčky fázového závěsu.

Výhodou je možnost použití napětím řízeného oscilátoru s relativně vysokým kmitočtem, velmi dobré potlačení šumových složek a úzká šířka spektra generovaného signálu ovlivněná filtrem smyčky [5].

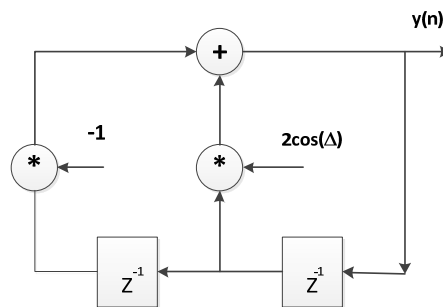
d) Frekvenční syntéza DDS

Syntežátory s přímou číslicovou syntézou (Direct Digital Synthesis) jsou dle lit[5] založeny na číslicových obvodech. Původní princip tohoto syntežátoru byl založen na adresovém čítači a paměti ROM, z které byly vyčítány hodnoty generovaného průběhu. Tato struktura byla modifikována na strukturu obsahující fázový akumulátor. Problematika je detailněji popsána dále, vizte kapitola 2.2

e) Rekurzivní digitální generátor

Rekurzivní digitální generátor harmonického signálu generuje harmonický signál pomocí rekurzivního vztahu [5]. Jedná se o diskretní soustavu IIR, která má umístěný pól na jednotkové kružnici a díky tomu je nestabilní a osciluje. Pokud jsou tři funkční hodnoty funkce sinus od sebe vzdáleny o stejný fázový krok Δ , diferenční rovnice má tvar:

$$y(n) = 2 \cos(\Delta) \cdot y(n-1) - y(n-2) \quad (7.)$$



Obrázek 2 Schéma Rekurzivního digitálního generátoru

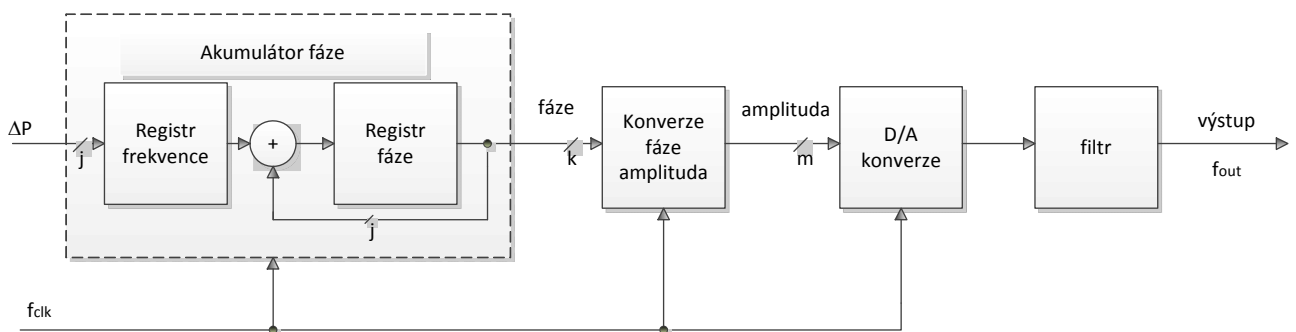
Výhody toho způsobu jsou jednoduchost, vhodné jako generátor jednoho kmitočtu s relativně krátkou dobou použití, např. tónová volba.

Mezi nevýhodami je možné uvést fakt, že při skokovém přeladění pomocí změny koeficientu $2 \cos(\Delta)$ může být ovlivněna i amplituda generovaného signálu. V důsledku zaokrouhlovacích chyb při výpočtu rovnice se pomalu mění amplituda signálu.

2.2. Základní architektura DDS

Základními bloky DDS jsou: Akumulátor fáze, blok konverze fáze-amplituda, D/A převodník, filtr.

Řazení jednotlivých bloků DDS uvádím na Obrázku 3.



Obrázek 3 Zjednodušený blokový diagram DDS převzatý z [8].

Akumulátor fáze se skládá z j -bitového registru frekvence, ve kterém je uložený přírůstek fáze. Ten je při každém taktu hodin přičítán k aktuální hodnotě fáze ve sčítačce. Výstup je následně uložen v registru fáze. Přírůstek fáze reprezentuje přírůstek úhlu, přičítaný k předchozí hodnotě každých $(f_{clk})^{-1}$ sekund, aby fáze lineárně vzrůstala. Sčítačka sčítá v aritmetice modulo 2^j . Četnost přetečení určuje výstupní frekvenci

$$f_{out} = \frac{\Delta P \cdot f_{clk}}{2^j}. \quad (8.)$$

Hodnota přírůstku fáze ΔP je volena v mezích, aby byl dodržen vzorkovací teorém

$$f_{out} \leq \frac{f_{clk}}{2}. \quad (9.)$$

Minimální generovaná frekvence je při $\Delta P = 1$:

V řešeném případě je velikost tabulky sinus $2^k = 2^{15}$ a amplituda je kvantována na $m=12$.

Pro $f_{clk} = 1.049MHz$, šířku registru frekvence $j=20$ bitů dostaneme:

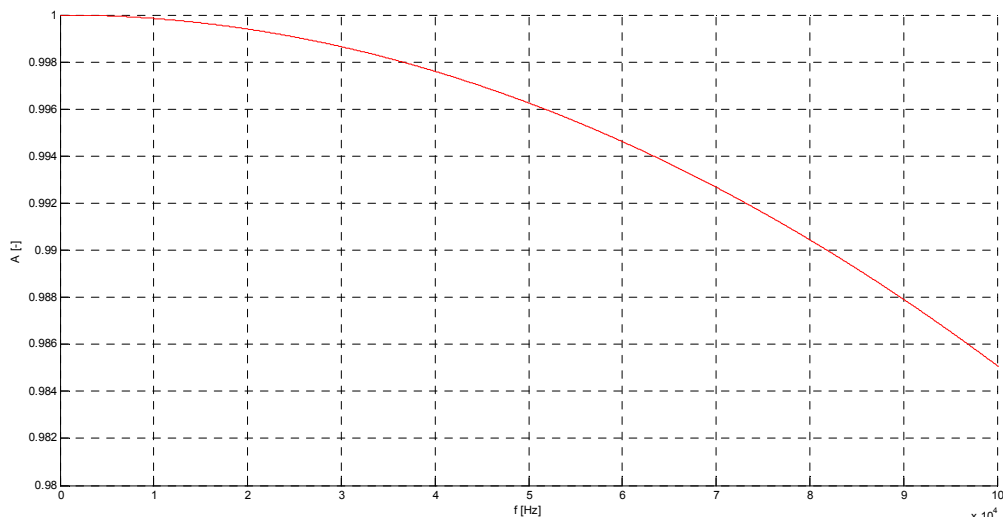
$$f_{out} = \frac{1.049MHz}{2^j} = 1Hz$$

Konverze fáze na amplitudu je uskutečněna vyhledáním sinové hodnoty v tabulce odpovídající příslušné fázi. V ideálním případě bez fázové a amplitudové kvantizace bychom

na výstupu tabulky získali $\sin\left(2\pi \frac{P(n)}{2^j}\right)$.

Hodnota $P(n)$ je j -bitová hodnota v registru fáze v čase n -té periody. Perioda počtu vzorků výstupní posloupnosti akumulátoru fáze je dána jako minimální hodnota P_e , pro kterou pro všechny hodnoty n platí

$$P(n) = P(n + P_e). \quad (10.)$$



Obrázek 4 Spektrum obdélníkového pulsu o šířce rovnající se vzorkovacímu kmitočtu $f_{clk}=1\text{MHz}$ (Spektrum zobrazeno pro kmitočty do 100 kHz).

Pro amplitudu generovaného signálu dle [5] platí :

$$A(f_{out}) = \frac{\sin\left(\frac{\pi \cdot f_{out}}{f_{clk}}\right)}{\frac{\pi \cdot f_{out}}{f_{clk}}} \quad (11.)$$

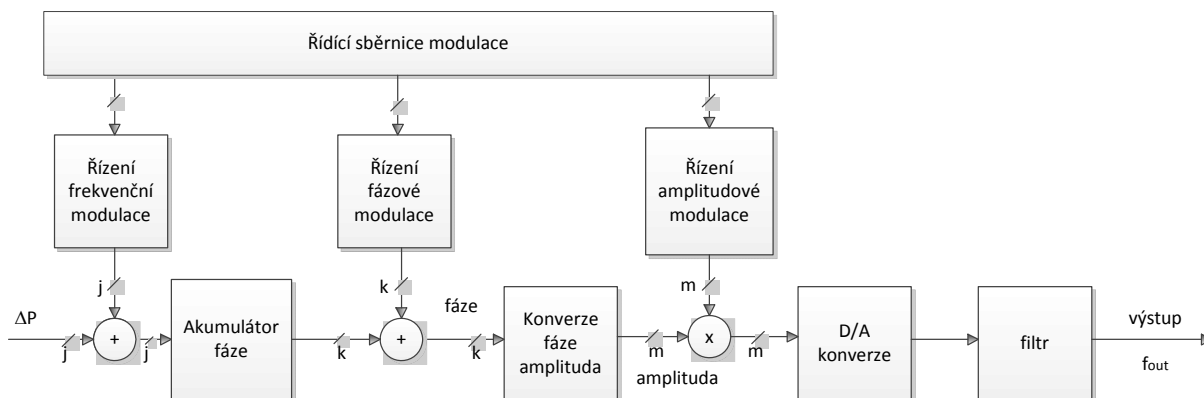
Jev, kdy je amplituda výstupního signálu váhována funkcí sinc, lze korigovat inverzním filtrem.

2.3. DDS architektura se schopností modulace

Podle [8] lze snadno DDS signál modulovat, neboť DDS je zařízení číslicového zpracování signálu. Číslicově lze modulovat všechny tři parametry signálu.

$$s(n) = A(n) \cdot \sin(2\pi(\Delta P(n) + P(n))) \quad (12.)$$

Kde $A(n)$ je amplitudová modulace, $\Delta P(n)$ je frekvenční modulace a $P(n)$ je fázová modulace. Frekvenční modulace dosáhneme umístěním sčítačky před akumulátor fáze. Pro fázovou modulaci je sčítačka zařazena mezi akumulátor fáze a konvertor fáze na amplitudu. Amplitudová modulace je implementována vložením násobičky před D/A převodník. Násobička upravuje velikost slova, které je posíláno na D/A převodník. D/A převodník by amplitudovou modulaci umožňoval i změnou napájecího napětí.



Obrázek 5 DDS architektura s modulací.

2.4. Možnosti realizace DDS syntézy

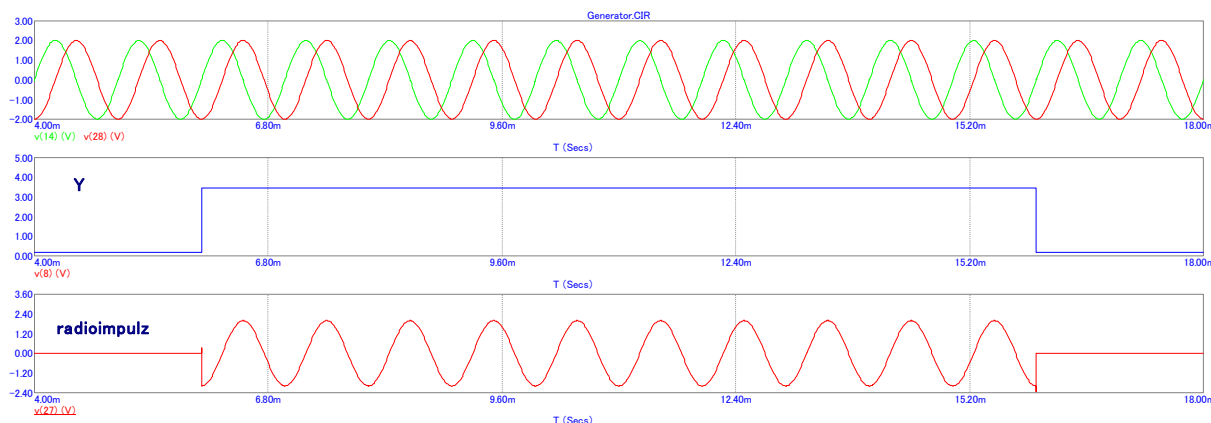
Možné realizace generace harmonického signálu na principu DDS, se kterými jsem se při studiu této problematiky setkal, jsou uvedeny např. i v [11]:

- Integrovaný obvod DDS např. od společnosti Analog Devices. Tyto obvody mají kompenzaci $\sin(x)/x$ způsobené generováním vzorků a D/A převodník. Mají však jen jeden výstup harmonického signálu jako AD9852. Synchronní spolupráce více obvodů DDS je možná jen pro některé, obvykle dražší typy. Obvod se dvěma výstupy harmonického signálu jako např. AD9854 je kvadrurní DDS s výstupy, které jsou trvale posunuty o 90 stupňů. Využití pro náš účel by bylo možné, ale vyžadovalo by jiný přístup (skládání posunutého harm. signálu ze sinové a kosinové složky pomocí váhování jejich amplitud (složkové vyjádření harmonického signálu)).
- Hradlové pole v součinnosti s D/A převodníkem. Výhodou je možnost paralelního zpracování výpočtu a nastavení parametrů v hradlovém poli.
- Mikrokontrolér nebo DSP dodávající vzorky D/A převodníku.
- Obvody MSI generující vzorky signálu pro D/A převodník.

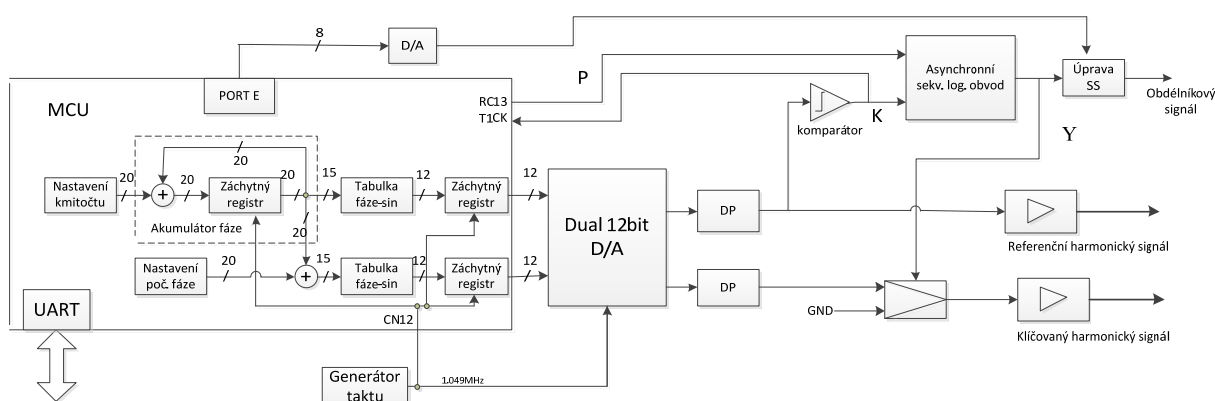
Pro svoji práci jsem zvolil variantu s mikrokontrolérem ve spojení s duálním D/A převodníkem. Protože mohu v programu relativně rychle a přesně definovat činnosti, které mi mají vytvořit požadovaný signál. Navíc se z mého pohledu jedná o cenově a technologicky dostupné řešení.

3. Koncepce generátoru klíčovaného harmonického signálu

U radioimpulzu generovaném v tomto zařízení se předpokládá, že bude začínat a končit při průchodu sinusového signálu referenčního kanálu nulovou úrovní. Délka radioimpulzu je určena počtem period sinusového signálu, jak je uvedeno na Obrázku 6a.



Obrázek 6a Generování radioimpulzu



Obrázek 7b Blokové schéma zapojení

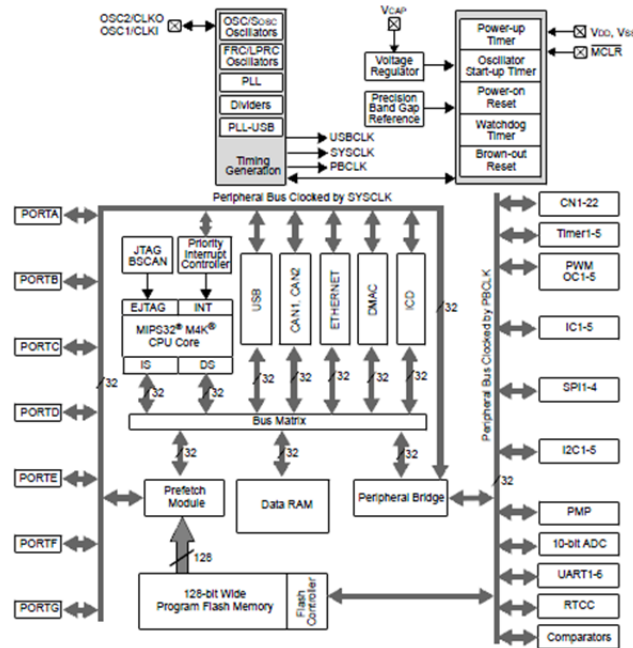
Blokové schéma vychází ze schématu uvedeném v [10].

3.1. Použitý MCU PIC32

Vlastní algoritmus DDS je implementován v kódu vykonávaném mikrokontrolérem. Parametry sloužící jako operandy v tomto algoritmu jsou až dvacetibitové. Aby bylo možné s těmito operandy vykonat operaci součtu nebo posuvu jednou instrukcí, byl zvolen 32-bitový

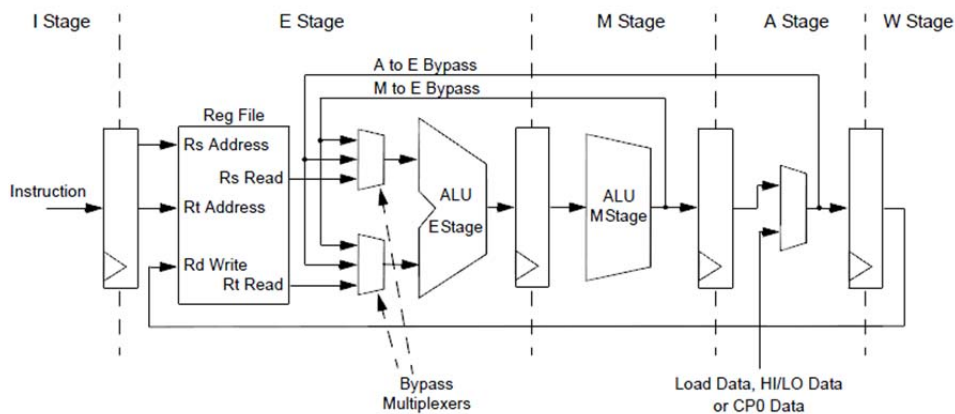
mikrokontrolér PIC32. Ten je založen na architektuře MIPS 4K. Tabulka DDS je adresována 15-ti bity.

Jedna položka tabulky je 12-ti bitová a je uložena v 16-bitovém púlslově. Toto zabírá 64KiB paměti. Tabulka je načtena do paměti RAM, aby část vnitřní paměti byla ponechána i pro zásobník, zvolil jsem typ PIC32MX795F512H se 128 KiB RAM. Blokové schéma mikrokontroléru převzaté z [19] je uvedeno níže na Obrázku 6.



Obrázek 8 Blokové schéma zapojení

Charakteristickým rysem procesoru PIC32 je pětistupňová pipeline. Její zjednodušené schéma, převzaté z [20] je uvedeno na Obrázku 7. Program musí tuto architekturu respektovat, aby nedocházelo k datovým nebo funkčním závislostem.



Obrázek 9 Zjednodušené schéma pipeline jednotky CPU.

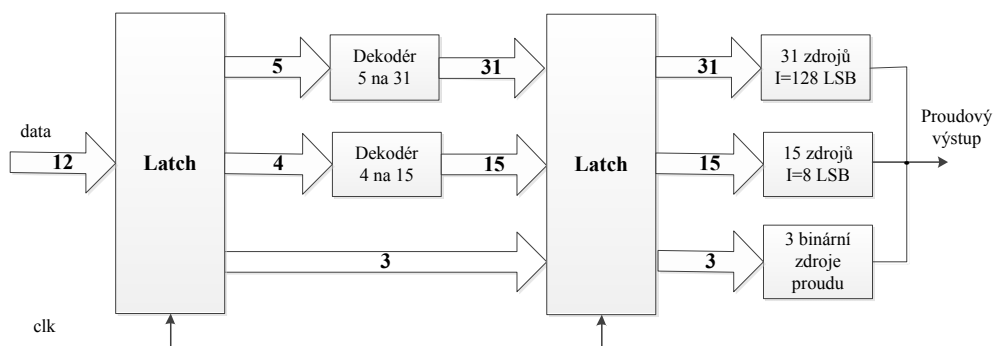
3.2. D/A převodník s převodníkem I/U

V DDS systémech je věnován důraz na vysokou hodnotu SFDR [5]. K jejímu dosažení je třeba zajistit velmi rychlé spínání a rozpínání spínačů ve struktuře, která minimalizuje vznik zákmitů při změně výstupní hodnoty. D/A převodníky, které mají malé zkreslení, využívají nesaturační proudové spínání.

AD9765 sestává ze dvou D/A převodníků. Každý s nezávislým řízením a nastavitelnou velikostí maximálního výstupního proudu. Každý obsahuje pole proudových zdrojů schopné dodat na výstup až 20mA I_{OUTFS} [24]. Převodník využívá tři sekcí segmentace.

Pro snížení výstupních zákmitů je úplně dekodováno 5 nejvyšších bitů na teploměrový kód. Ty jsou zachyceny do registrů a dekodovány na 31 výstupů ovládajících proudové zdroje o velikosti $I=128$ LSB. Následující 4 byty jsou dekodovány na 15 výstupů, které řídí proudové zdroje o hodnotě $I=8$ LSB. Nejnižší 3 bity řídí váhované proudové zdroje s nejnižším bitem řídící proud pro 1LSB. Výstupní signál vzniká sloučením použitých proudů do sebe. Proudové spínače jsou řízeny výstupy registrů uchovávající dekodovanou informaci.

Základní spínací buňka je vyrobena z diferenciálních PMOS tranzistorů, které spínají zdroj proudu do neinvertujícího nebo invertujícího výstupu. Diferenciální dvojice tranzistorů je řízena nízkonapěťovou logikou pro dosažení minimálního časového zkreslení a nejkratších časů sepnutí a rozepnutí. Výstupy D/A převodníku jsou symetrické diferenciální proudy, které pomáhají minimalizovat sudé harmonické [5].



Obrázek 10 Vnitřní struktura segmentovaného D/A převodníku jednoho kanálu [5]

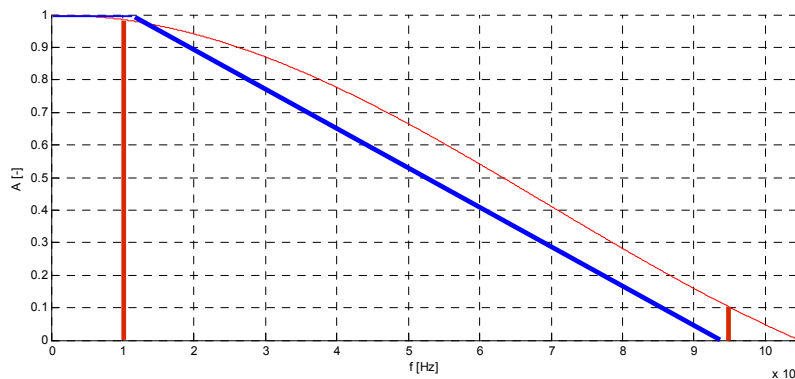
3.3. Rekonstrukční filtr

Úkolem rekonstrukčního filtru je odstranit obrazy od generovaných kmitočtů [5].

Mezní kmitočty propustného a zadržného pásma:

$$f_p = 110\text{kHz}$$

$$f_s = f_{clk} - f_p = 1.049\text{kHz} - 110\text{kHz} = 939\text{kHz}$$



Obrázek 11 Odstranění obrazu generovaného signálu.

Útlum v propustném a nepropustném pásmu je u 12-bitového D/A převodníku určen následovně:

Maximální útlum v propustném pásmu určuje skutečnost, že v propustném pásmu rekonstrukčního filtru může být dle [4] odchylka od jednotkového přenosu maximálně taková, aby změna amplitudy signálu způsobená průchodem signálu filtrem, byla menší než velikost kvantovacího kroku převodníku.

$$a_p = -20 \log \left(\frac{U_{1\max} - \Delta}{U_{1\max}} \right) = -20 \log \left(1 - \frac{1}{2^n} \right) = -20 \log \left(1 - \frac{1}{2^{12}} \right) = 0.002\text{dB} \quad (13.)$$

V nepropustném pásmu musí být útlum natolik veliký, aby i při maximální amplitudě vstupního signálu byla splněna podmínka, že úroveň výstupního signálu je menší než polovina velikosti kvantovacího kroku převodníku.

$$a_s = 20 \log(2^{n+1}) = 20 \log(2^{12+1}) = 78.3\text{dB} \quad (14.)$$

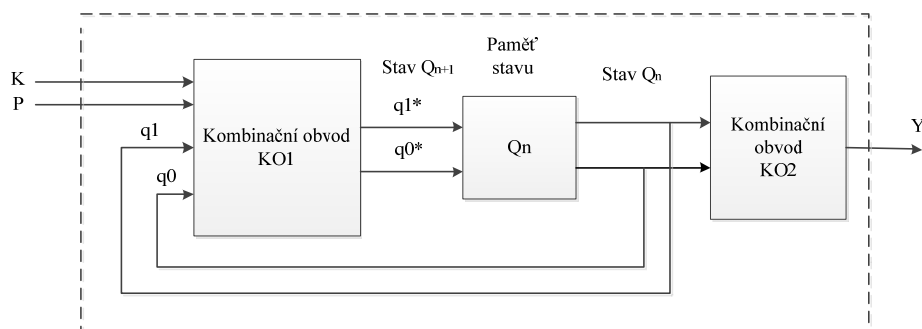
S ohledem na rezervy nutné pro respektování skutečných vlastností obvodových prvků při realizaci se zpřísní požadavky na útlum v propustném pásmu $a_{np} = 0.5a_p = 0.001\text{dB}$ a v nepropustném pásmu $a_{ns} = a_s + 2.3 \text{ dB} = 80.6\text{dB}$.

3.4. Generátor obdélníkového signálu

Obdélníkový signál slouží ke klíčování signálu ve druhém kanálu. Perioda obdélníkového signálu T a doba trvání kladné úrovně t_{on} jsou násobky periody referenčního harmonického signálu. Střída je dána poměrem

$$D = \frac{t_{on}}{T} \quad [-,s,s] \quad (15.)$$

Synchronizace průběhu obdélníkového signálu je svázána s průběhem harmonického signálu na výstupu rekonstrukčního filtru, který má časové zpoždění. Proto je k vytvoření obdélníkového signálu použito sekvenčních logických obvodů, jejichž vstupem je signál získaný komparací signálu K za rekonstrukčním filtrem. Doba pulzu je stanovena čítačem počtem period harmonického signálu. Konec pulzu, který nastává při průchodu harmonického signálu nulou, je určen asynchronním sekvenčním logickým obvodem non-RS, který reaguje okamžitě po změně vstupu ve srovnání se synchronním automatem.



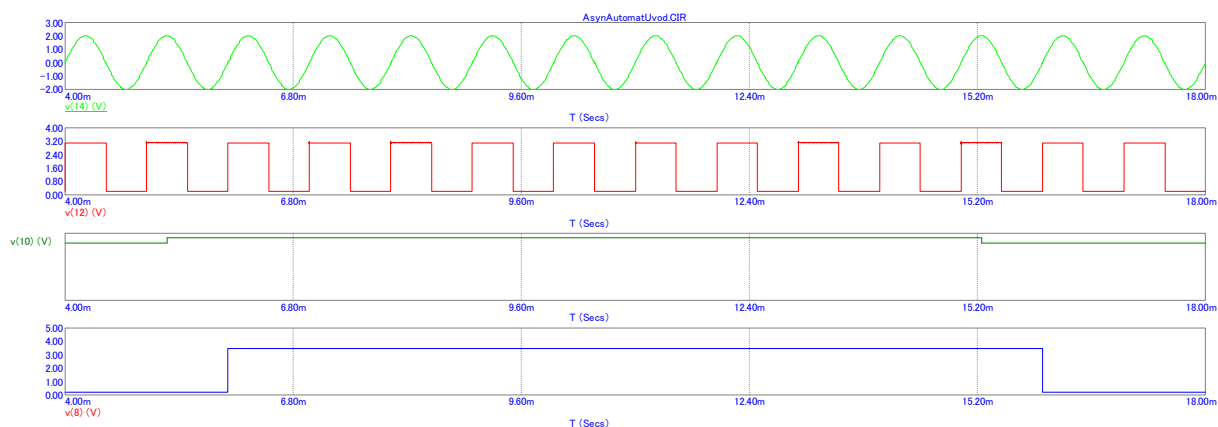
Obrázek 12 Blokové schéma asynchronního sekvenčního log. obvodu

Asynchronní sekvenční logický obvod obsahuje následující signály, jehož blokové schéma vychází z [23] je uvedeno na Obrázku 11. Vstupem jsou signály K , P a výstupem signál Y . Význam signálů je následující:

K - výstup komparátoru,

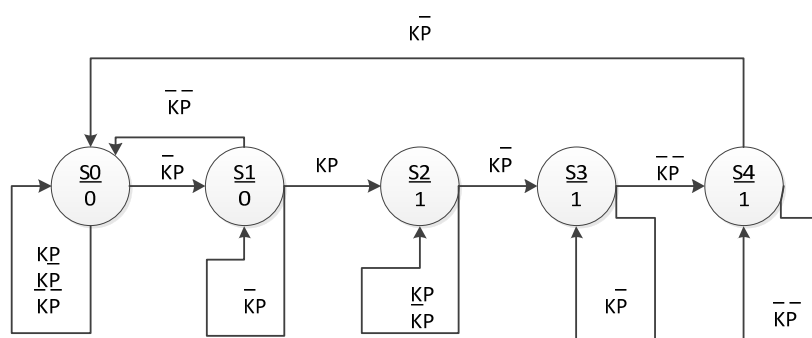
P – hodnota pinu portu procesoru signalizující, zda již bylo načítáno dostatek period harmonického signálu.

Y – výstup asynchronního sekvenčního obvodu.



Obrázek 12a Signál referenčního kanálu a signály K,P,Y.

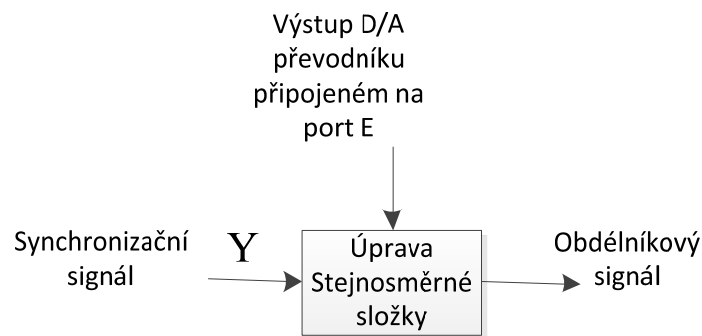
Sekvenční logický obvod ovládá klíčování harmonického signálu v kanálu 2. Počáteční stav S0, kdy je výstup v log. 0. Při příchodu náběžné hrany signálu P přechod do stavu S1. Náběžnou hranou signálu K z výstupu komparátoru přechod do stavu S2, kdy je výstup v log.1. Příkaz k ukončení klíčování signálem P v log.0 (S3), po ukončení záporné půlperrody (S4) přechod do počátečního stavu S0. Jednotlivé přechody jsou zobrazeny na Obrázku 12b.



Obrázek 12b Graf přechodů stavového automatu

3.5. Obvod nastavení stejnosměrné složky

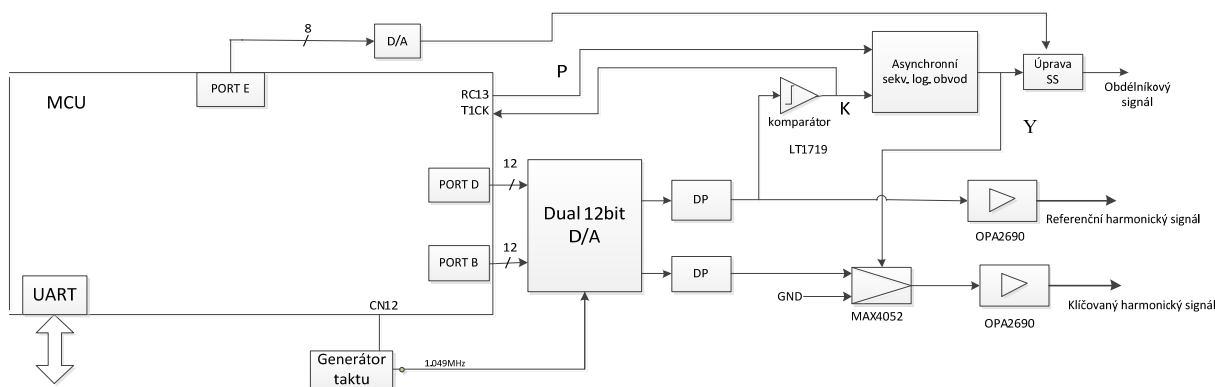
Stejnoseměrná složka je k obdélníkovému signálu přičítána v operační síti. Velikost přičítaného napětí je určena 8-bitovou hodnotou přivedenou na port E. Hodnota v binární reprezentaci je převedena na analogovou hodnotu převodníkem R-2R.



Obrázek 12c Blokové schéma nastavení stejnosměrné složky obdélníkového signálu.

4. Návrh funkčních bloků generátoru

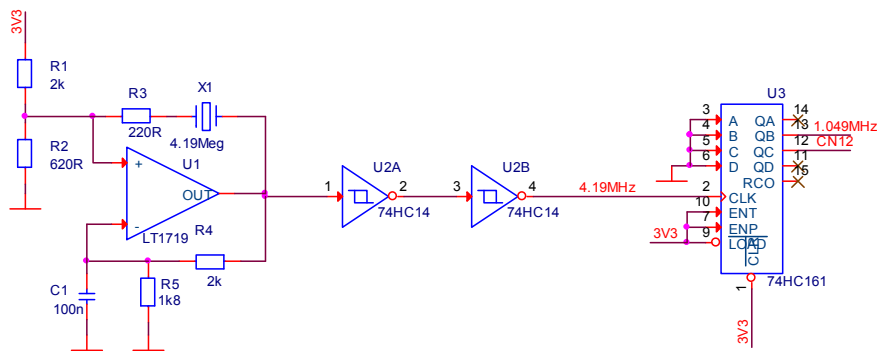
Jednotlivé funkční bloky jsou zobrazeny na Obrázku 13a.



Obrázek 13a Blokové schéma generátoru

4.1. MCU a pomocné obvody

Generátor taktovacích hodin je sestaven z komparátoru a piezoelektrického rezonátoru. Jedná se o katalogové zapojení komparátoru LT1719 uvedené v [22]. Rezistory R1 a R2 nastavují pracovní bod pro neinvertující vstup komparátoru. Krystal realizuje úzkopásmový rezonanční obvod v kladné zpětné vazbě. Tuto vazbu utlumuje rezistor R3. Na neinvertující vstup se proto dostane takto filtrovaný výstupní obdélníkový signál.

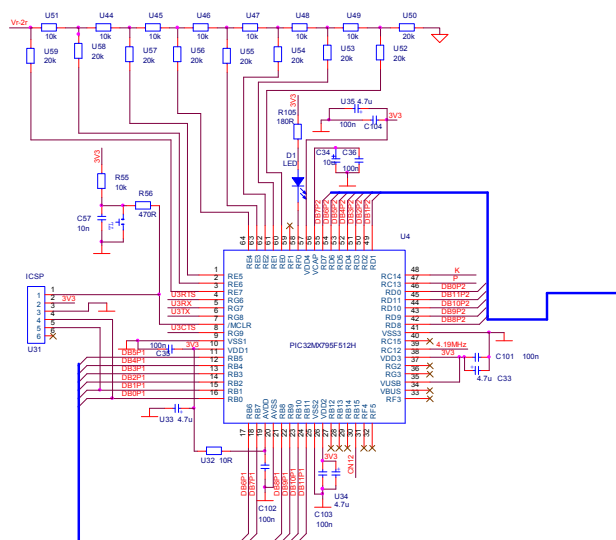


Obrázek 3b Generátor taktovacího signálu

Na střídání generovaného kmitočtu má vliv velikost zátěže. K oddělení od taktovaných obvodů jsou užity dva invertující Schmittovy klopné obvody 74HC14, zajišťující ostrou hranu taktovacího signálu. Taktovací signál je vydělen synchronním čítačem.

Dobu, kdy nastavit novou hodnotu na výstup portu určují tím způsobem, že čekám na náběžnou hranu taktovacích hodin 1.049MHz. Funkce oznámení změny vstupu I/O portu umožňuje generovat žádost o přerušení jako odezvu změny stavu pinu CN12.

MCU s řídicí jednotkou komunikuje přes sériové komunikační rozhraní UART.



Obrázek 13c Propojení MCU s okolím

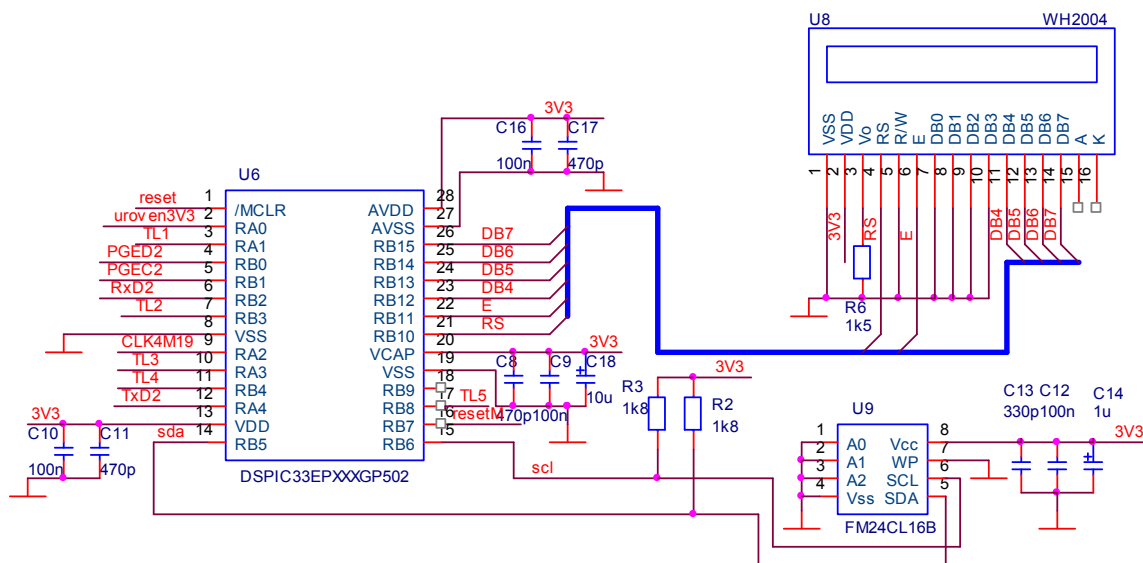
Taktovací frekvence je odvozena od kmitu krystalu s frekvencí 2^{22} Hz. Krystal je zapojen ve zpětné vazbě komparátoru. Tato frekvence je vydělena čtyřmi synchronním čítačem 74HC161 na frekvenci 1.049MHz, kterou je taktován D/A převodník.

Frekvencí 4.19MHz je taktován MCU. Ta je násobena a dělena v obvodu fázového závěsu na systémovou frekvenci 75.42MHz. (s následujícími hodnotami konfigurace FPLLIDIV<2:0>=000 tj. 1x divider, PLLMULT<2:0>=011 tj. clock multiplied by 18, PLLDIV<2:0>=000 tj. output divided by 1).

Aby nedocházelo při větším proudovém odběru k poklesu napájecího napětí pod dovolenou mez, je zapojení doplněno blokovacími a skupinovými kapacitami.

Sběrnice kanálu 1 D/A převodníku je připojena na port B MCU. Piny RB0 a RB1 jsou sdíleny pro naprogramování přes rozhraní ICSP. Sběrnice kanálu 2 D/A převodníku je připojena na port D MCU.

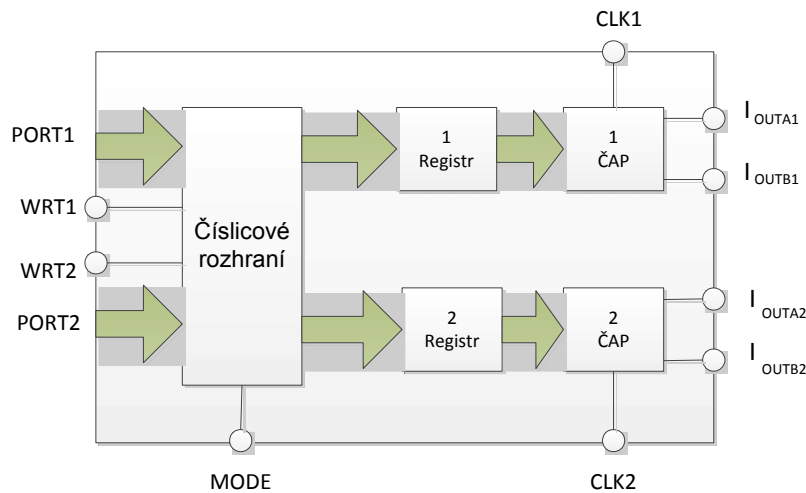
Pro ovládání generátoru tlačítka a zobrazení parametrů signálu na LCD by mohl být použit druhý MCU komunikující s generujícím MCU přes rozhraní UART. K uložení nastavených hodnot by sloužila paměť FRAM přístupná přes rozhraní I2C.



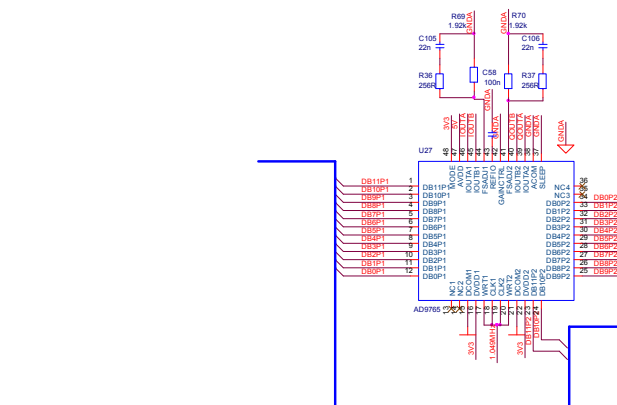
Obrázek 14d Použití druhého MCU pro zajištění ovládání tlačítka a zobrazení pomocí LCD.

4.2. Obvody D/A a návrh I/U převodníku

Obvod AD9765 je 12-ti bitový dvoukanálový D/A převodník s proudovým výstupem.



Obrázek 15 Zjednodušené blokové schéma D/A převodníku AD9765



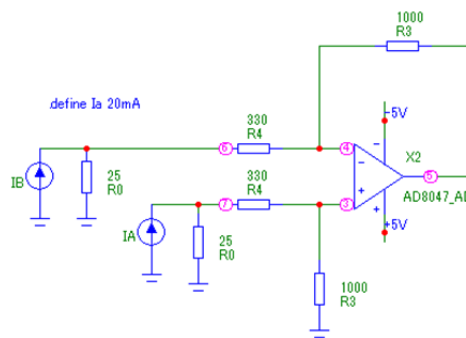
Obrázek 16 Propojení D/A převodníku s okolím.

Pro výběr módu na neprokládaný dvoukanálový je pin MODE připojen k logické 1. Převodník umožňuje rozdílné úrovně napětí pro číslicovou a analogovou část. V našem případě 3.3V a 5V. Maximální velikost výstupního proudu je dána velikostí rezistoru připojeném k pinům FSADJ1,2.

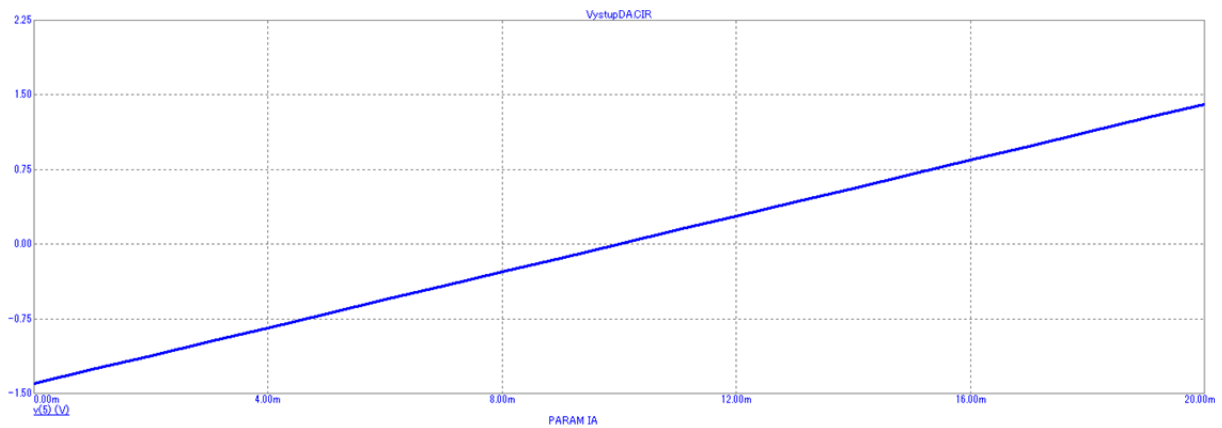
$$I_{out} = 32 \cdot \frac{1.2V}{R_{set}} \quad (16.)$$

Pro $R_{set}=1.92 \text{ k}\Omega$ je $I_{out}=20\text{mA}$.

Hodnota výstupního proudu se převádí v rozdílovém zesilovači podle zapojení uvedeném ve [24] na odpovídající napěťovou úroveň.

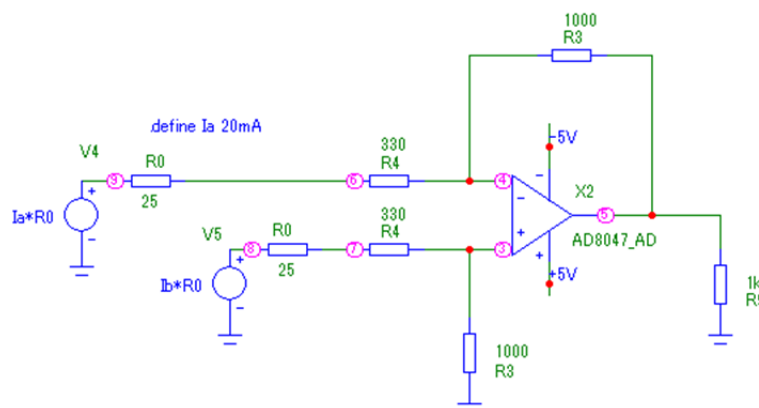


Obrázek 17a Převod proudového výstupu na napětí v rozdílovém zesilovači.



Obrázek 16b Závislost výstupního napětí rozdílového zesilovače na proudu proudového výstupu D/A převodníku.

Maximální výstupní proud D/A převodníku je 20mA. Pro výpočet hodnot rezistorů převedeme dle theveninova teorému proudové zdroje na napěťové s vnitřním odporem R_0 a velikostí napájecího napětí $R_0 \cdot I_B$ resp. $R_0 \cdot I_A$



Obrázek 18a Výpočet hodnot rezistorů.

Podle principu superpozice lze odvodit výstupní napětí rozdílového zesilovače pro ideální operační zesilovač [15].

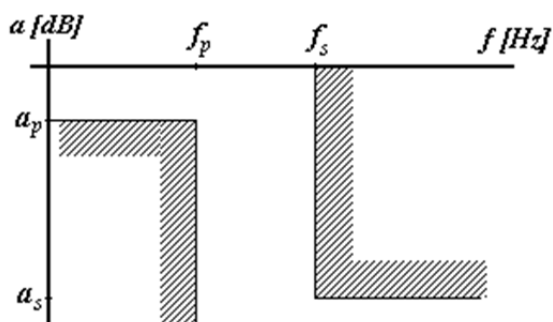
$$u_{0B} = -R_0 \cdot I_B \frac{R_3}{R_0 + R_4}$$

$$u_{0A} = R_0 \cdot I_A \frac{R_3}{R_0 + R_4 + R_3} \cdot \frac{R_0 + R_4 + R_3}{R_0 + R_4} = R_0 \cdot I_A \frac{R_3}{R_0 + R_4} \quad (17.).$$

$$u_0 = u_{0A} + u_{0B} = (I_A - I_B) \frac{R_0 \cdot R_3}{R_0 + R_4}$$

Pokud požadují na výstupu amplitudu $U_m=1.41$ V, potom $R_3 = 330\Omega, R_4 = 1k\Omega$.

4.3. Návrh rekonstrukčního filtru



Parametry tolerančního schématu pro návrh filtru např. v aplikaci Synthfil:

- $f_p = 110$ kHz
- $f_s = 938$ kHz
- $a_p = 0.001$ dB
- $a_s = 80.6$ dB

představují dle [12] primární požadavky pro řešení aproximační úlohy syntézy NDP.

Z možných aproximací splňující požadované toleranční schéma jsem zvolil Čebyševovu aproximaci protože vede na řád filtru 5 v porovnání s Butterworthovou aproximací vedoucí na řád filtru 7.

Normované frekvence $\Omega_p = 1$

$$\Omega_s = \frac{2\pi f_s}{2\pi f_p} = \frac{2\pi \cdot 938 \cdot 10^3}{2\pi \cdot 110 \cdot 10^3} = 8.5325 \quad (18.)$$

Sekundární odvozené parametry:

Konstanta příslušná chybě kmitočtové charakteristiky v propustném pásmu

$$\varepsilon = \sqrt{10^{0.1a_p} - 1} = \sqrt{10^{0.1 \cdot 0.001} - 1} = 0.0152 \quad (19.)$$

Poměr mezních kmitočtů propustného a nepropustného pásma

$$k = \frac{1}{\Omega_s} = \frac{1}{8.5325} = 0.1172 \quad (20.)$$

Odstup modulu přenosu v propustném a nepropustném pásmu

$$k_1 = \sqrt{\frac{10^{0.1a_p} - 1}{10^{0.1a_s} - 1}} = \sqrt{\frac{10^{0.1 \cdot 0.001} - 1}{10^{0.1 \cdot 80.6} - 1}} = 1.4162 \cdot 10^{-6} \quad (21.)$$

Řád filtru

$$n \geq \frac{\arg \cosh \frac{1}{k_1}}{\arg \cosh \frac{1}{k}} = \frac{\arg \cosh \frac{1}{1.4162 \cdot 10^{-6}}}{\arg \cosh \frac{1}{0.1172}} = 4.9974 \quad (22.)$$

Pro $n=5$ provedu vypočet nového k_1 a a_s

Odstup modulu přenosu v propustném a nepropustném pásmu

$$k_1 = \frac{1}{\cosh \left[n \cdot \arg \cosh \left(\frac{1}{k} \right) \right]} = \frac{1}{\cosh \left[5 \cdot \arg \cosh \left(\frac{1}{0.1172} \right) \right]} = 1.406 \cdot 10^{-6} \quad (23.)$$

Útlum v nepropustném pásmu

$$a_s = 10 \cdot \log \left(1 + \frac{\varepsilon^2}{k_1^2} \right) = 10 \cdot \log \left(1 + \frac{0.0152^2}{(1.406 \cdot 10^{-6})^2} \right) = 80.66 \text{ dB} \quad (24.)$$

Póly funkce $H(s) \cdot H(-s)$ jsou dle [12] v komplexní rovině rovnoměrně rozmístěny na elipse, kde hlavní a vedlejší poloosy jsou dány rovnicemi

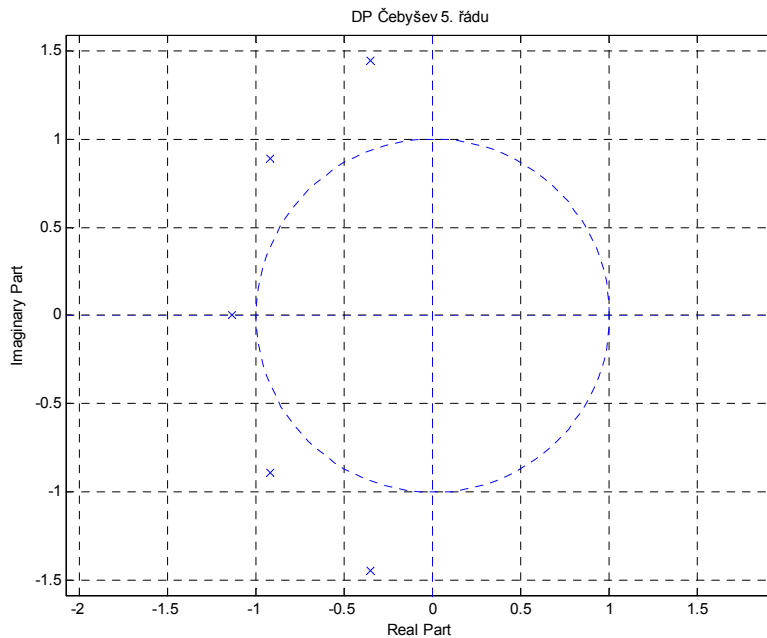
$$a = \frac{1}{2} \left[\left(\sqrt{1 + \frac{1}{\varepsilon^2}} + \frac{1}{\varepsilon} \right)^{\frac{1}{n}} - \left(\sqrt{1 + \frac{1}{\varepsilon^2}} - \frac{1}{\varepsilon} \right)^{\frac{1}{n}} \right] = 1.1389$$

(25.)

$$b = \frac{1}{2} \left[\left(\sqrt{1 + \frac{1}{\varepsilon^2}} + \frac{1}{\varepsilon} \right)^{\frac{1}{n}} + \left(\sqrt{1 + \frac{1}{\varepsilon^2}} - \frac{1}{\varepsilon} \right)^{\frac{1}{n}} \right] = 1.5156$$

Dosazením pomocných parametrů obdržíme póly aproximující přenosové funkce $H(s)$

$$s_{\mu} = \alpha_{\mu} + j\beta_{\mu} = -a \cdot \sin \frac{(2\mu-1)\pi}{2n} + j \cdot b \cdot \cos \frac{(2\mu-1)\pi}{2n}, \quad \mu = 1, 2, \dots, n \quad (26.)$$



Obrázek 19 Póly přenosové funkce v komplexní rovině.

Póly přenosové funkce jsou v levé polorovině, obvod je stabilní.

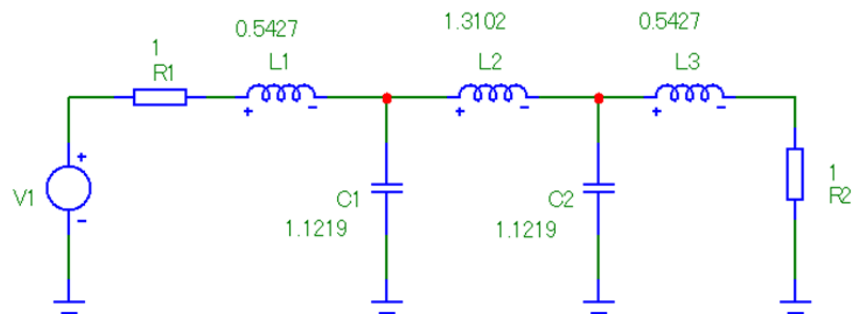
Přenosová funkce

$$H(s) = \frac{4.1186}{s^5 + 3.6855s^4 + 8.0416s^3 + 11.0686s^2 + 9.5536s + 4.1186} \quad (27.)$$

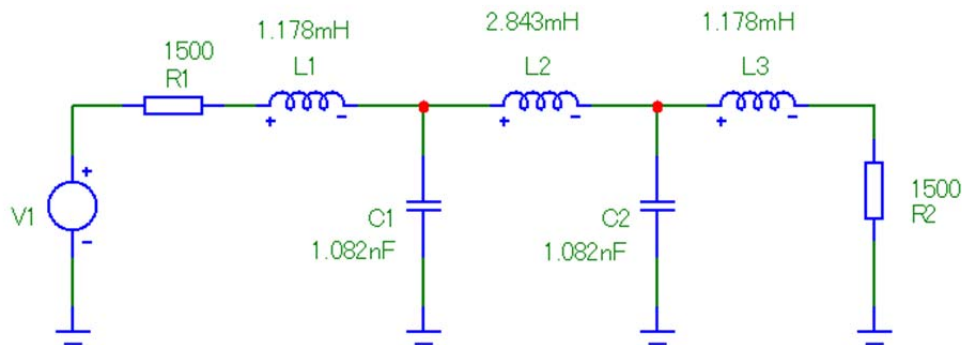
Realizace NDP z imitance odštěpením pólů v nekonečnu

$$Z_{vst} = \frac{1}{0.5426603420 \cdot s + \frac{1}{1.121879519 \cdot s + \frac{1}{1.310189803 \cdot s + \frac{1}{1.121879519 \cdot s + \frac{1}{0.5426603420 \cdot s + 1}}}}}$$

Výstupem je při výběru aproximace Čebyšev stupně 5 následující LC struktura.



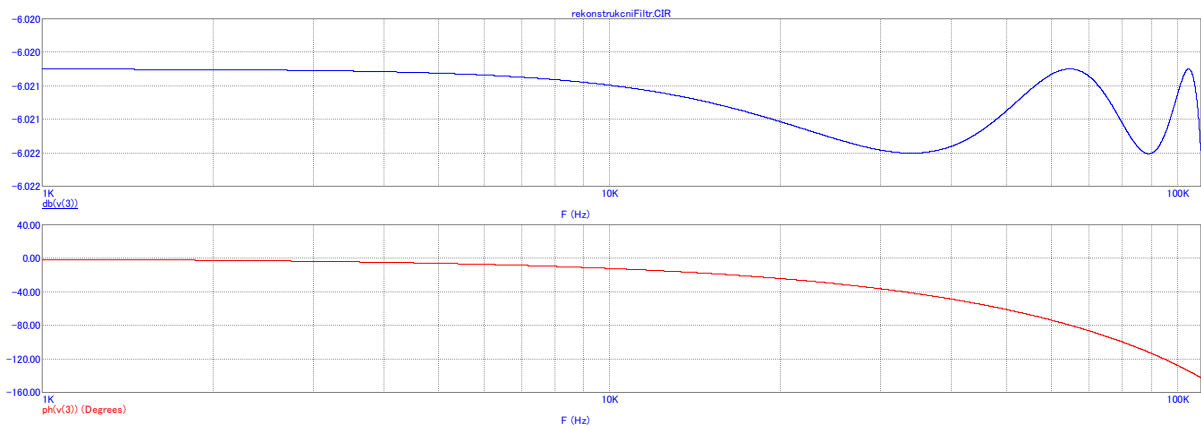
Po odnormování pro $R_n=1500 \Omega$, $f_m=110 \text{ kHz}$



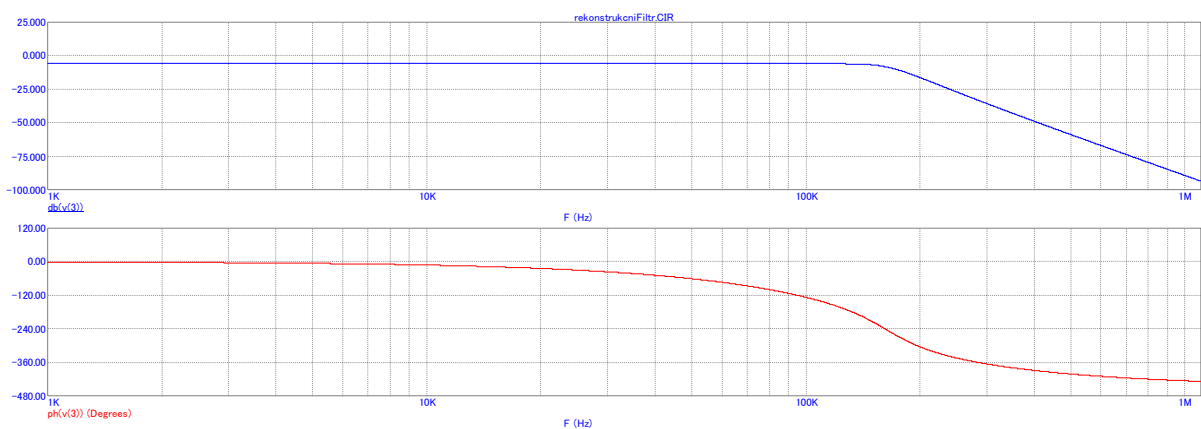
Obrázek 20 DP Čebyšev 5. řádu ($f_p=110\text{kHz}$, $f_s=1.049 \text{ MHz}$, $a_p=1 \text{ mdB}$, $a_s=80.6 \text{ dB}$)

Dal jsem přednost T-článku před Π -článkem, aby při realizaci s přeskokováním již stejnosměrná složka výstupního napětí nebyla posunuta o 180.

Hodnoty kapacitorů jsou řádově v nF a hodnoty induktorů v mH . Tato kombinace umožňuje dosahovat optimální výsledné vlastnosti i činitele jakosti realizovaného obvodu.



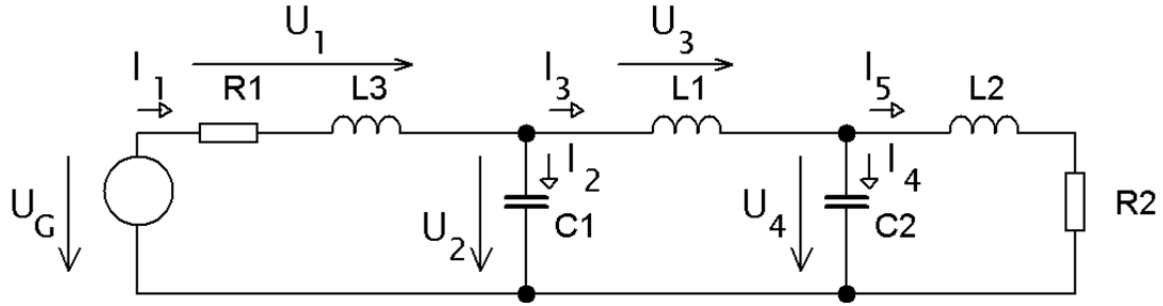
Obrázek 21 Simulace LC filtru v programu MicroCap, amplitudová a fázová charakteristika propustné části



Obrázek 22 Simulace LC filtru v programu MicroCap, amplitudová a fázová charakteristika.

Zvolil jsem zpětnovazební filtr s přeskokováním tzv. Leapfrog Feedback Filter kvůli nejnižší citlivosti na hodnoty pasivních prvků a dobrým dynamickým vlastnostem po optimalizaci ve srovnání s jinými typy realizace, protože kaskádní realizace filtru ARC s 1% součástkami by pro řád větší než 4 mohla mít obtížně realizovatelný souběh.

Dle [12] jde o úlohu nekaskádní syntézy, založenou na simulaci LC filtru z obvodových rovnic. Snahou je nalézt obdobu přičkových filtrů LC pomocí aktivních obvodů RC.



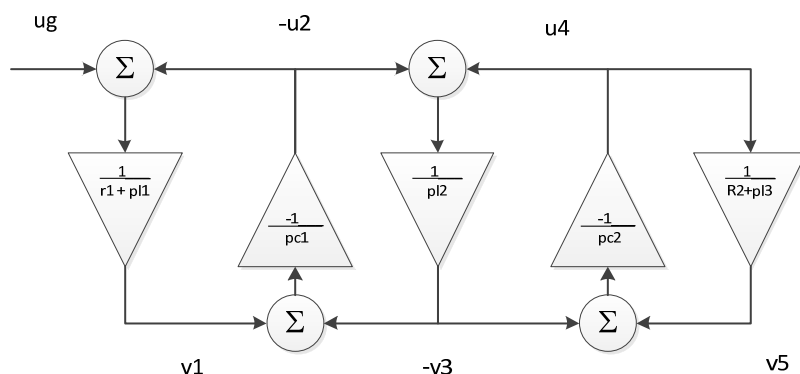
Obrázek 23 Výchozí dolní propust 5. řádu

V [3] je popsáno řešení zpětnovazební filtr s přeskokováním pro nižší řád. Z tohoto postupu vycházím a sestavuji pro obvod soustavu rovnic. První a poslední větev příčkové struktury zahrnuje i vnitřní odpor zdroje signálu a zatěžovací rezistor.

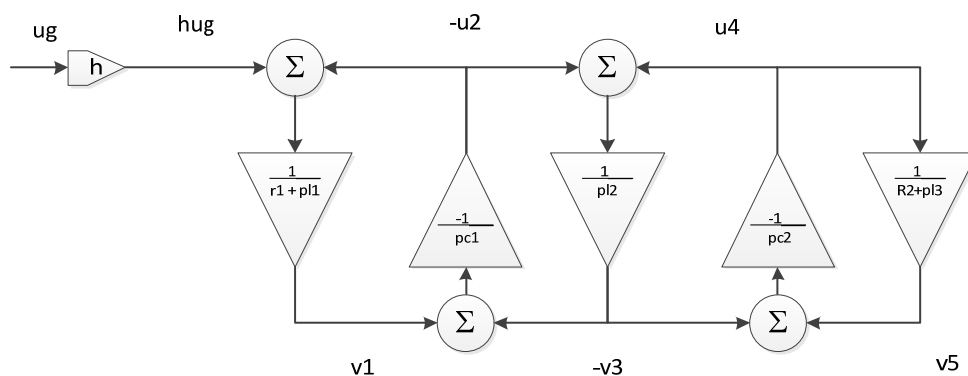
$$\begin{aligned}
 U_1 &= U_g - U_2 & I_1 &= \frac{1}{R_1 + pL_1} \cdot U_1 \\
 I_2 &= I_1 - I_3 & U_2 &= \frac{1}{pC_1} \cdot I_2 \\
 U_3 &= U_2 - U_4 & I_3 &= \frac{1}{pL_2} \cdot U_3 \\
 I_4 &= I_3 - I_5 & U_4 &= \frac{1}{pC_2} \cdot I_4 \\
 & & I_5 &= \frac{1}{pL_3 + R_2} \cdot U_4
 \end{aligned} \tag{28.}$$

Po přetransformování do napěťového módu:

$$\begin{aligned}
 v_1 &= \frac{R}{R_1 + pL_1} \cdot (u_g - u_2) = \frac{1}{r_1 + pl_1} \cdot (u_g - u_2) \\
 u_2 &= \frac{1}{pC_1 R} \cdot (v_1 - v_3) = \frac{1}{pc_1} \cdot (v_1 - v_3) \\
 v_3 &= \frac{R}{pL_2} \cdot (u_2 - u_4) = \frac{1}{pl_1} \cdot (u_2 - u_4) \\
 u_4 &= \frac{1}{pC_2 R} \cdot (v_3 - v_5) = \frac{1}{pc_2} \cdot (v_3 - v_5) \\
 v_5 &= \frac{R}{pL_3 + R_2} \cdot u_4 = \frac{1}{pl_3 + r_2} \cdot u_4
 \end{aligned} \tag{29.}$$



Obrázek 24 *Bloková struktura dolní propusti*



Obrázek 25 *Modifikovaná bloková struktura dolní propusti*

Modifikovaná struktura je dle [3] přizpůsobená pro obvodovou implementaci funkčními bloky se sumačními vstupy, tj. u OZ jsou k dispozici sumační integrátory. Jednotlivé větve blokové struktury využijí následujících funkčních bloků:

Větev1 tvoří neinvertující ztrátový integrátor.

Větev2 tvoří invertující bezztrátový integrátor.

Větev3 tvoří neinvertující bezztrátový integrátor.

Větev4 tvoří invertující bezztrátový integrátor.

Větev5 tvoří neinvertující ztrátový integrátor.

Při porovnání blokové struktury a obvodové implementace dostaneme pro uzlové napětí u_4

$$u_4 = -\frac{v_5 + (-v_3)}{pC_2} = \frac{v_5 + (-v_3)}{R_{24} + \frac{(-v_3)}{R_{14}}} = \frac{v_5}{R_{24}} \cdot R_{14} + (-v_3) \quad (30.)$$

$$R_{14} = R \frac{C_2}{C_1}, \quad \frac{R_{14}}{R_{24}} = 1$$

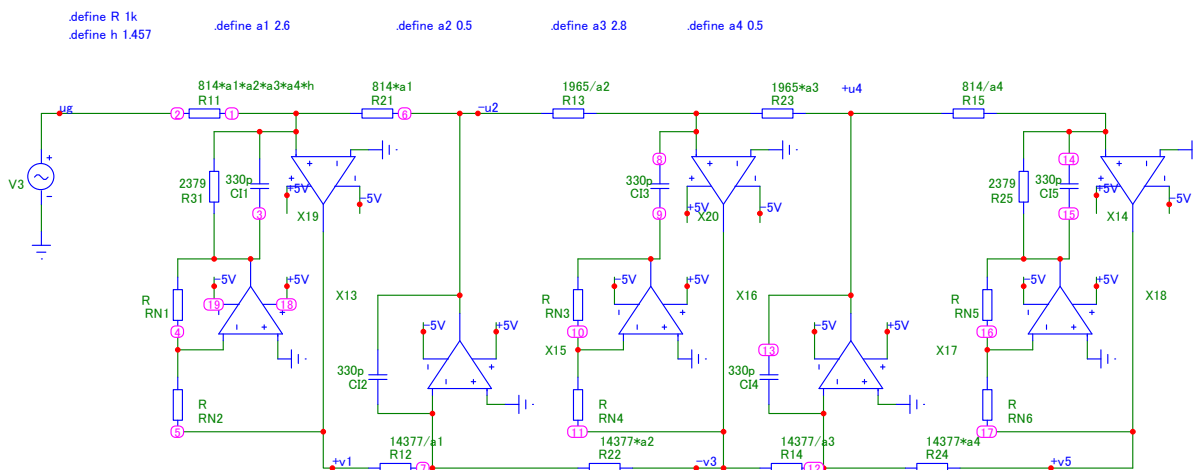
Obdobně pro uzlové napětí v_5

$$v_5 = \frac{u_4}{pl_3 + r_2} = \frac{\frac{u_4}{R_{15}}}{pC_1 + \frac{1}{R_{25}}} = \frac{u_4}{pC_1 R_{15} + \frac{R_{15}}{R_{25}}} \quad (31.)$$

$$\frac{L_3}{R} = C_1 R_{15}, \quad R_{15} = \frac{L_3}{R \cdot C_1},$$

$$\frac{R_{15}}{R_{25}} = \frac{R_2}{R}, \quad R_{25} = \frac{R_{15} \cdot R}{R_2}$$

Obvodová implementace odvozené blokové struktury filtru

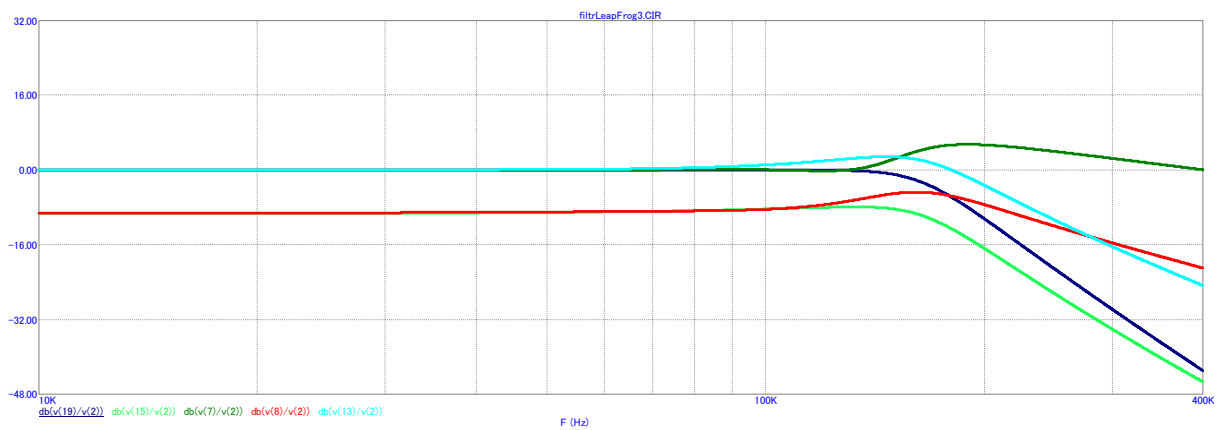


Obrázek 26 Optimalizace filtru v programu Microcap

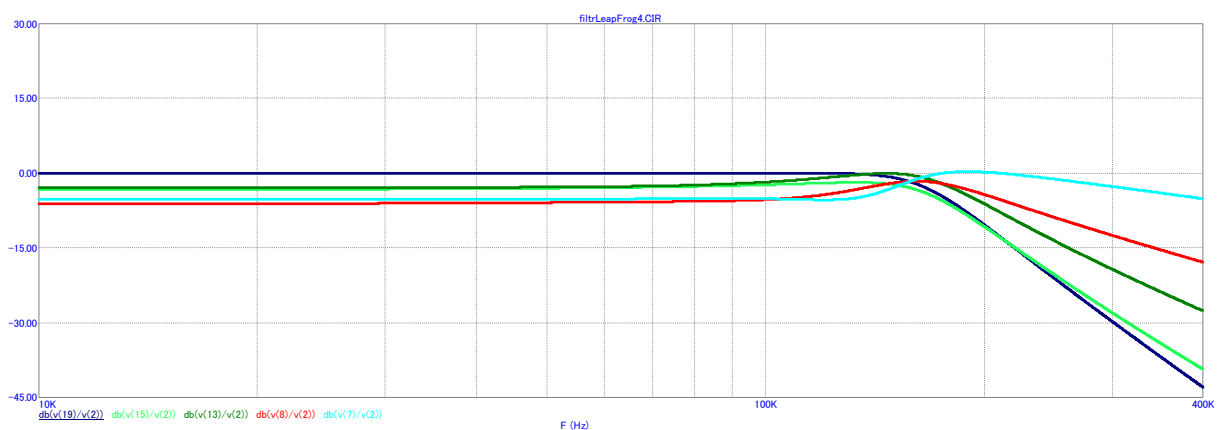
Simulováno s OZ LT1818 při simulaci s TL082 při $f=1$ MHz nesplňovalo zadané toleranční schéma.

Hodnota R11 byla nastavena tak, aby při $H(0)$ byl přenos 1. $h=1.457$. Optimalizací dynamických poměrů dosáhneme stavu, kdy maxima výstupních napětí všech aktivních prvků nepřekročí maximální hodnotu výstupního napětí filtru. V ideálním případě by tato napětí měla být shodná [3]. Zde jsou vnitřními výstupy uzly spojené s výstupy integrátorů.

Při dynamické optimalizaci obvodu v napěťovém módu tedy budeme porovnávat maxima napětí v_1, u_2, v_3, u_4, v_5 s maximálním výstupním napětím filtru. Vyrovnání maxim je dosaženo změnou přenosu integrátoru. Aby nedošlo ke změně přenosu filtru, je nutné upravit zpětnovazební přenos na původní hodnotu vřazením bloku s reciprokým přenosem do druhé dílčí zpětnovazební smyčky. Ideálního shody maximálních napětí nebylo dosaženo z důvodu omezením daným velikostí výstupního proudu OZ.



Obrázek 27 Amplitudová charakteristika přenosu na výstupy jednotlivých integrátorů před optimalizací

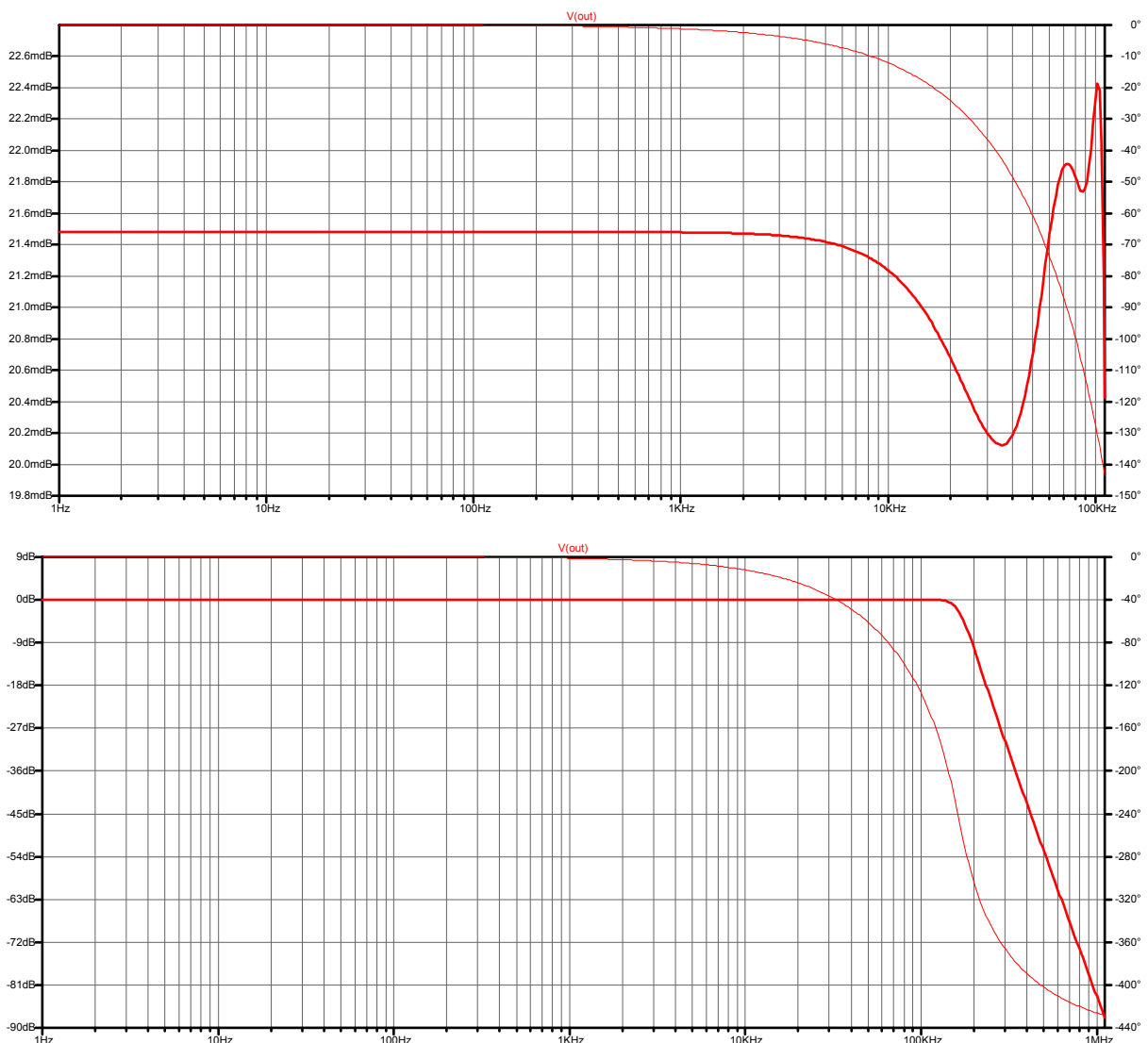


Obrázek 28 Amplitudová charakteristika přenosu na výstupy jednotlivých integrátorů po optimalizaci

Lt1800 je kompromis mezi šířkou pásma $GBW=80\text{MHz}$ a velikosti vstupní impedance. U rekonstrukčního filtru je důležitým požadavkem minimální stejnosměrná chyba přenosu. V cestě signálu je zařazen operační zesilovač a tím je do signálu vnášena chyba jeho napětového a proudového ofsetu a driftu. Návrh filtru obvykle vede na použití hodnoty odporu odlišné od hodnoty optimální z hlediska minimálního ofsetu.

Kompensace fázové chyby integrátoru vzhledem k vysoké hodnotě transitivity kmitočtu vede na hodnotu kompenzační kapacity řádu jednotek pF. Proto nebyla použita,

$$C_k = \frac{1}{\omega_t R} \quad (32.)$$



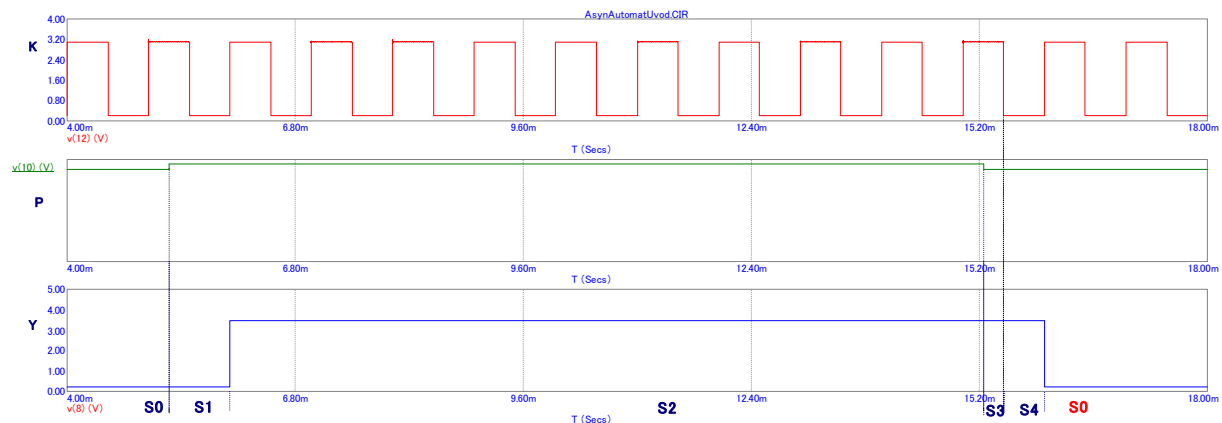
Obrázek 29 Simulace filtru s modely reálných OZ Lt1800 , nahoře propustná část (amplitudová charakteristika tlustě, fázová charakteristika čárkovaně).

Netlist zapojení rekonstrukčního filtru je uveden v příloze č.1.

4.4. Obvody generátoru obdélníkového signálu

Obdélníkový signál je tvořen na výstupu stavového automatu. V asynchronním režimu stavového automatu se nepoužívá synchronizační signál. Přechody mezi stavy jsou iniciované změnami vstupních a stavových proměnných.

Pro zaručení jednoznačného chování asynchronního systému je třeba, aby vstupní proměnné splňovaly podmínky dané fundamentálním režimem automatu [23]. Nová změna vstupních proměnných může nastat až po ustálení stavů po předešlé změně vstupních proměnných. Systém musí vždy přecházet do stabilních stavů.



Obrázek 30 Vstupní a výstupní signály asynchronního sekvenčního logického a příslušné stavy.

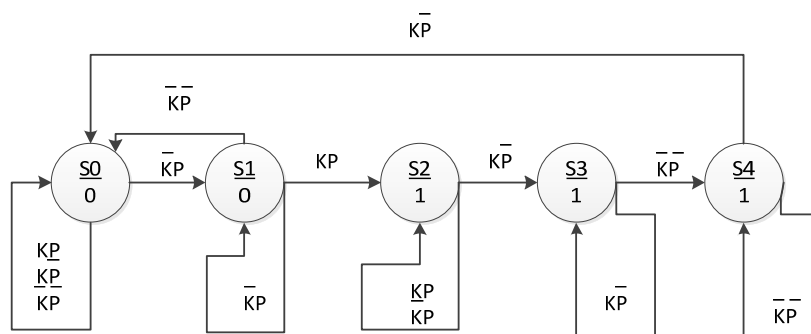
Jednotlivé signály mají následující význam:

K - výstup komparátoru,

P – hodnota pinu portu procesoru signalizující čítání pulsů na pinu RC13, odpovídající časovému úseku t_{on} .

Y – výstup asynchronního sekvenčního obvodu.

Stavový automat je popsán následujícím grafem přechodů.



Obrázek 31 Graf přechodů stavového automatu

S0 – počáteční stav

S1 – záporná půlperioda před začátkem čítání náběžných hran K

S2 – stav začátku klíčování , výstup v log.1,

S3 – stav poslední klíčované periody (kladná část), výstup je stále v log. 1

S4 – stav poslední klíčované periody (záporná část), výstup je stále v log. 1

P _____

Stav	K				Y
①	①	①	①	1	0
①	0	X	2	①	0
②	X	3	②	②	1
③	4	③	X	X	1
④	④	0	X	X	1

Tabulka 2 Tabulka přechodů

Stavy v kroužku představují stabilní stavy, X představuje neurčitý stav.

Minimalizaci stavů je možné dosáhnout formální redukcí sloučením stavů ② a ③.

$$\textcircled{2} = \textcircled{2} \cup \textcircled{3} \quad (33.)$$

Tyto stavy mají pro stejný vstupní vektor stejné označení stavů bez ohledu na jejich stabilitu. Při tomto sloučení převládá v zápisu určený stav nad neurčeným a stabilní stav nad nestabilním. Touto formální redukcí se přechází z automatu typu Moore na automat typu Mealy.

P _____

Stav	K				Y
①	① ↑	① ↑	①	1 ↓	0
①	0 ↑	X ↑	2 ↓	① ↓	0
②	4 ↓	②	② ↓	②	1
④	④ ↓	0	X	X	1

Tabulka 3 Tabulka přechodů po minimalizaci stavů a kontrola fundamentálního režimu.

Automat má jednoduché přechody mezi stavy, přechody jsou ukončené ve stabilních stavech. To odpovídá dodržení fundamentálního režimu automatu podle [23].

Stavy jsou zakódovány podle následující tabulky. Mezi sousedními stavy v tabulce lze přecházet obousměrně.

		q0	
		0	1
q1		4	2

Tabulka 4 Vztahy sousednosti mezi stavy.

		P			

q1 q0	K				
00		00	00	00	01
01		00	x	11	01
11		10	11	11	11
10		10	00	x	x

Tabulka 5 Zakódování stavů do binárních symbolů q1q0.

Tabulky přechodů jsou zakódovány pomocí binárních symbolů q1 a q0.

		P			

q1 q0	K				
00		0	0	0	0
01		0	x	1	0
11		1	1	1	1
10		1	0	x	x

		P			

q1 q0	K				
00		0	0	0	1
01		0	x	1	1
11		0	1	1	1
10		0	0	x	x

Tabulka 6 Zakódování stavů do binárních symbolů q1 a q0.

/S0		P			

q1 q0	K				
00		1	1	1	0
01		1	x	x	x
11		1	x	x	x
10		1	1	x	x

/R0		P			

q1 q0	K				
00		x	x	x	1
01		0	x	1	1
11		0	1	1	1
10		x	x	x	x

/S1		P			

q1 q0	K				
00		1	1	1	1
01		1	x	0	1
11		x	x	x	x
10		x	1	x	x

/R1		P			

q1 q0	K				
00		x	x	x	x
01		x	x	1	x
11		1	1	1	1
10		1	0	x	x

Tabulka 7 Tabulky budících vstupů klopných obvodů

Výrazy jsou minimalizovány s využitím map. Vybrané oblasti se překrývají, což zabraňuje hazardu. Tím jsou určeny rovnice pro vstupy R-S klopného obvodu.

$$\begin{aligned} \overline{S0} &= K + \overline{P} & \overline{R0} &= K + P \\ \overline{S1} &= \overline{K} + \overline{q0} & \overline{R1} &= \overline{K} + q0 \end{aligned} \quad (34.)$$

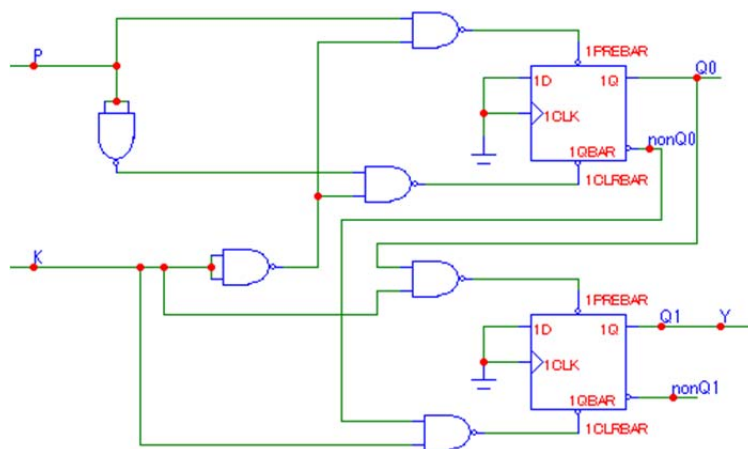
Po úpravě dle De Morganových zákonů

$$\begin{aligned} \overline{S0} &= \overline{\overline{K} \cdot \overline{P}} & \overline{R0} &= \overline{\overline{K} \cdot \overline{P}} \\ \overline{S1} &= \overline{K \cdot q0} & \overline{R1} &= \overline{K \cdot q0} \end{aligned} \quad (35.)$$

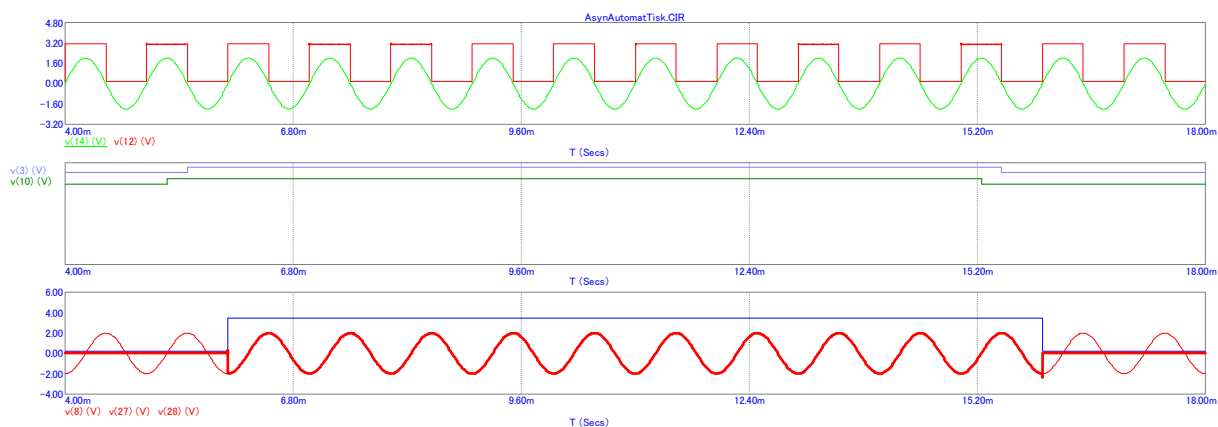
		q0	
		0	1
q1	0	0	0
	1	1	1

Tabulka 8 Tabulka výstupů

$$Y = q1.$$



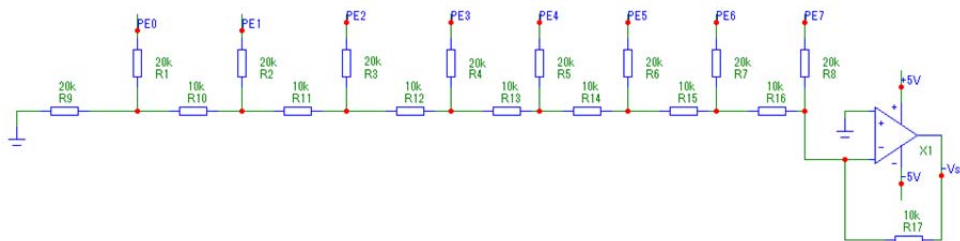
Obrázek 32 Schéma zapojení asynchronního sekvenčního obvodu.



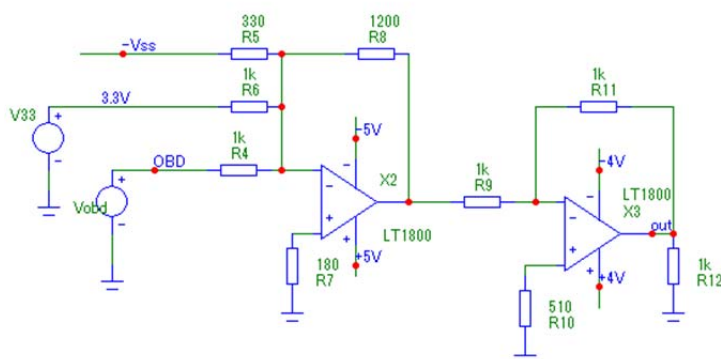
Obrázek 33 Časový průběh simulace asynchronního stavového automatu. Horní graf (harmonický signál referenčního kanálu a výstup z komparátoru K), prostřední graf (signál P – zeleně, bit q0), dolní graf (signál druhého kanálu před klíčováním, klíčovaný signál – tlustě, signál Y – modře).

4.5. Obvody nastavení stejnosměrné složky

Stejnosečná složka obdélíkového signálu je číslicově řízena hodnotou přivedenou na port E. Ta je převedena na analogovou veličinu převodníkem R-2R.



Obrázek 34 Převedník R-2R



Obrázek 35 Obvod nastavující SS složku ve výstupním obdélíkovém signálu.

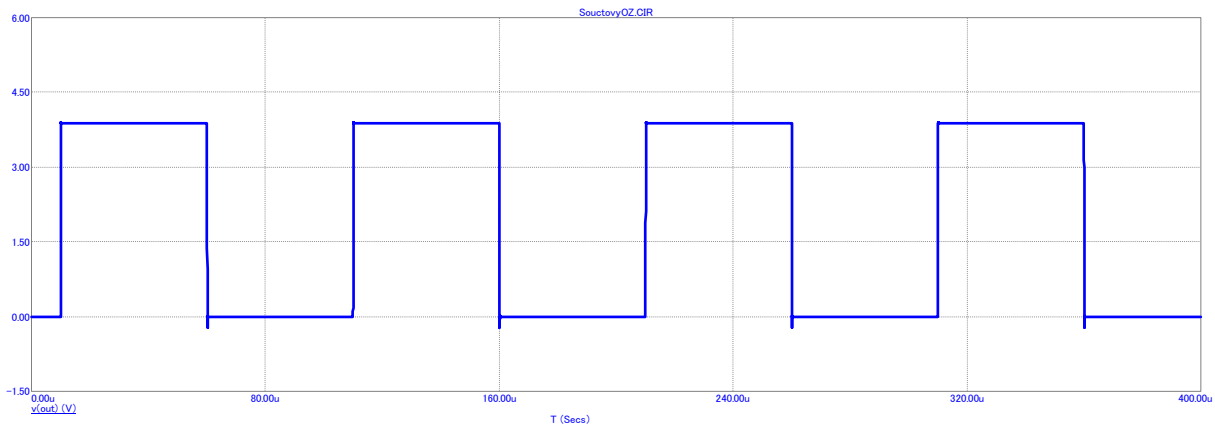
Pomocí operační sítě realizují operaci

$$U_{\text{obd}} + U_{3\text{v3}} - U_{\text{ss}} \quad (36.)$$

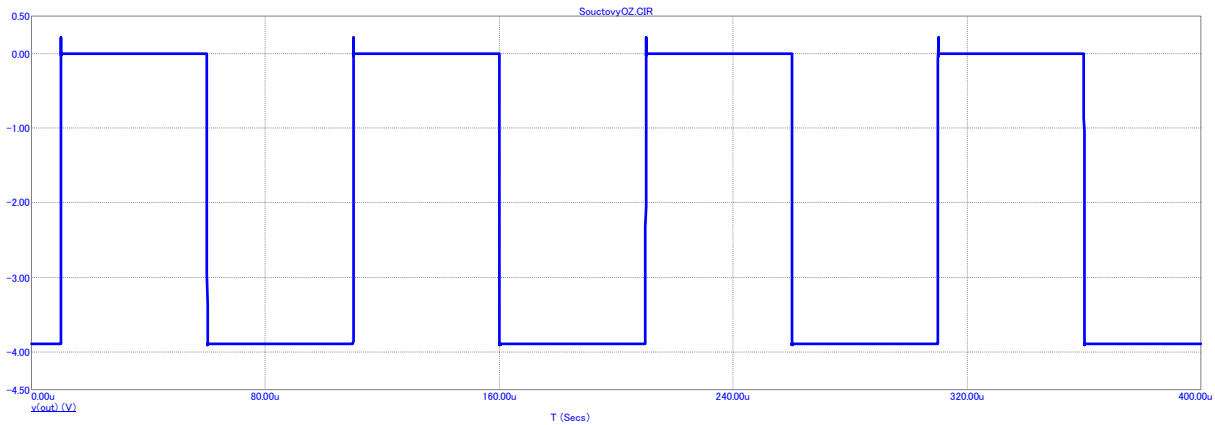
Kde U_{obd} je signál z výstupu komparátoru za rekonstrukčním filtrem

$U_{3\text{v3}}$ je napájecí napětí 3.3V

U_{ss} je stejnosměrné napětí z výstupu sériového D/A převodníku ,



Obrázek 36 Výstupní obdélníkový signál bez přidané SS složky, pro $V_{\text{dac}}=1.1\text{V}$



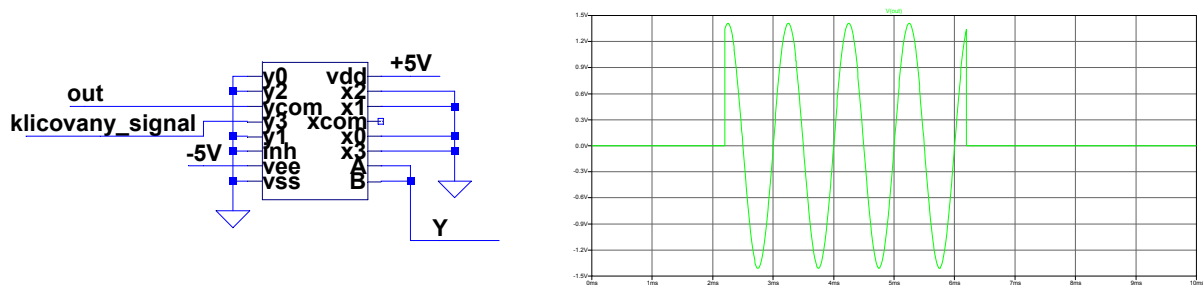
Obrázek 37 Výstupní obdélníkový signál s přidanou SS složkou pro $V_{\text{dac}}=2.2\text{V}$

Pro menší hodnotu napětí na výstupu D/A převodníku než 1.1V nebo větší než 2.2V dochází k ořezání hodnoty výstupního napětí vlivem saturace OZ. Rezistory zapojené mezi neinvertující vstup a zem slouží ke kompenzaci vlivu vstupních proudů.

4.6. Klíčovací obvod radioimpulzu a výstupní zesilovač

Ke klíčování harmonického signálu dochází v multiplexeru MAX4052, který je napájen napětím $\pm 5V$ a digitální vstup má práh pro logiku 0.8V a 2.4V, která je dle [17] kompatibilní s CMOS. To platí, pokud je výstup CMOS obvodu minimálně zatěžován, protože podle [18]

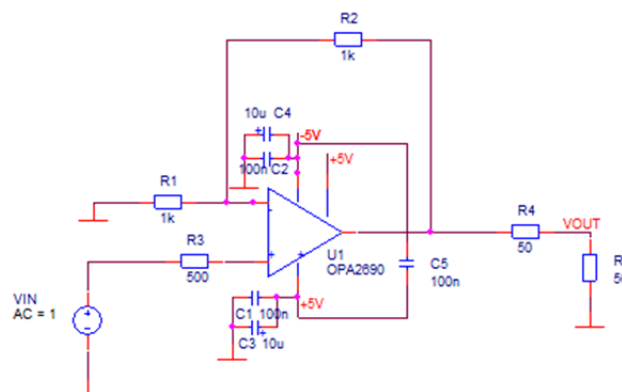
$$U_{OH} = U_{CC} - I_O R_P \quad (37.)$$



Obrázek 38 Klíčovaný harmonický signál v multiplexeru MAX4052

Výstup simulace multiplexeru 4052 v programu LTSpice, jehož zapojení je popsáno netlistem v příloze, je zobrazeno na výše uvedeném grafu.

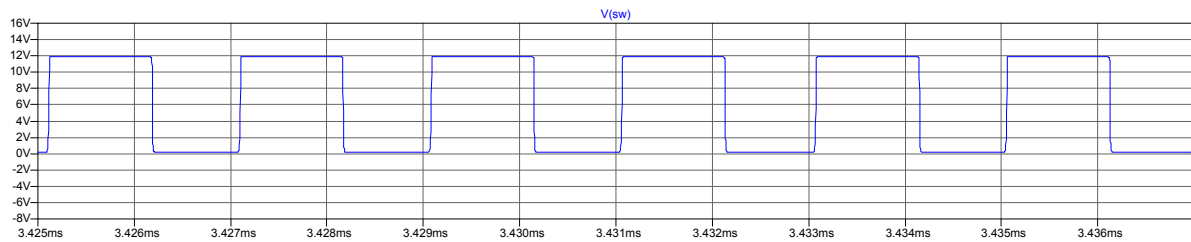
Výstupní obvod je tvořen operačním zesilovačem s napěťovou zpětnou vazbou opa2690, který je schopen při napájení $\pm 5V$ dodat do zátěže až 190mA. Tato velikost výstupního proudu je pro zátěž 50Ω a maximální výstupní napětí 1Vef na ní dostatečná.



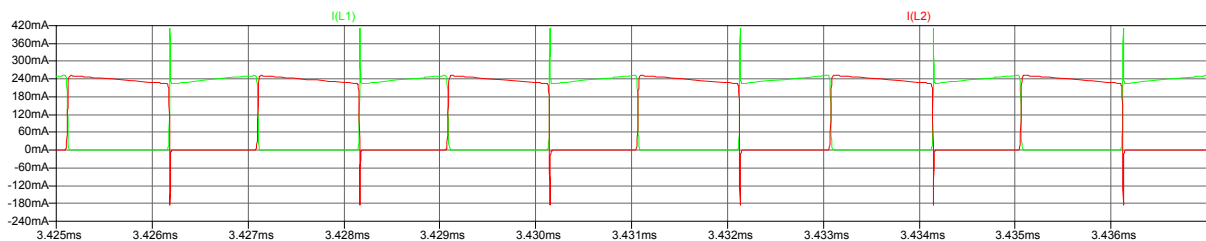
Obrázek 39 Výstupní zesilovač.

Dle [6] je funkce obvodu následující: Spínač v poměru střídavé frekvence oscilátoru integrovaného obvodu spíná a rozpíná. Jestliže spínač vede, napětí v uzlu U_{sw} klesá k zemi. Dokud je spínač zapnutý, proud teče ze vstupu do spínače.

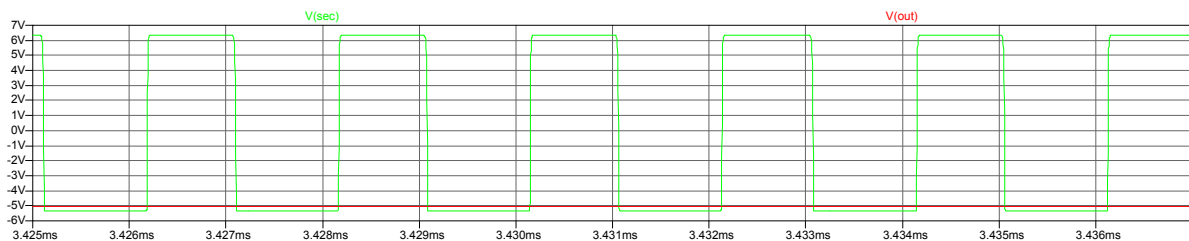
Po skoku proud primárně stoupá lineárně během periody. Během této doby se energie hromadí v jádru transformátoru ve formě magnetického pole. Změna primárního proudu je ovlivňována napětím přiloženým na primár, indukčností a dobou sepnutí spínače.



Obrázek 42 *Napětí na spínacím pinu.*



Obrázek 43 *Proud cívkami L1, L2.*



Obrázek 44 *Napětí na sekundární cínce a výstupní napětí.*

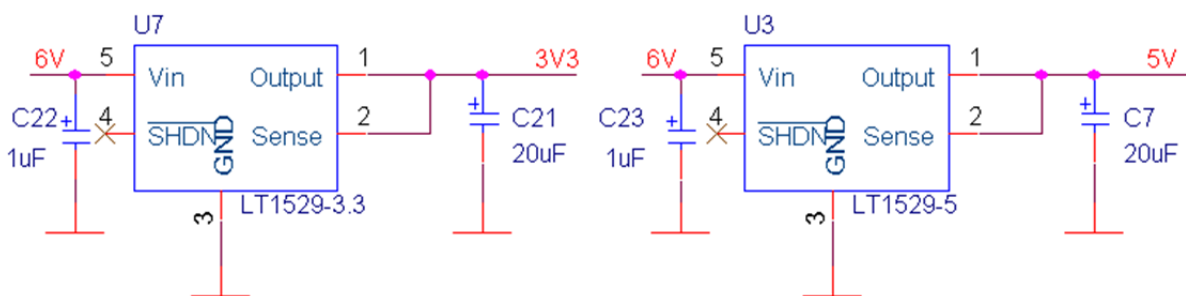
Dioda D1 je polarizována v závěrném směru a žádná energie během tohoto intervalu neteče do zátěže. Jedná se o jednočinný blokující spínaný zdroj.

Když je spínač rozepnutý, energie není vedena z napájecího zdroje do transformátoru, a proto intenzita magnetického pole začne klesat. Zánik magnetického pole obrací polaritu napětí na transformátorovém vinutí. Během tohoto intervalu se napětí svorky spínače U_{sw} přibližuje potenciálu vstupního napětí a energie je transformována na výstup.

Transformátor není ideálním prvkem. Protože ne všechna energie je transformována do sekundárního vinutí, zpětné vyzáření energie se projeví jako impuls na primárním průběhu. Tento jehlový impuls je zkratován seriovým spojením diody a transilu [6].

Velikost výstupního zvlnění je závislá na ESR výstupního kondenzátoru C2. Netlist zapojení invertujícího spínaného zdroje je uveden v příloze. Špičkový proud primárního vinutí $I(L1)_{max}=420\text{ mA}$ nedosahuje proudu saturace jádra, který je $I_{sat}=1.82\text{ A}$.

Napětí 5V a 3.3V jsou výstupní napětí stabilizátorů LT1529. Tento obvod má minimální úbytek 0.6V mezi vstupem a výstupem a vlastní pracovní proud $I_q = 50\mu\text{A}$. Dále obsahuje ochranu proti přepólování vstupu.



Obrázek 45 Stabilizace napájecího napětí.

4.8. Parametry navrženého generátoru

Složení jednotlivých bloků vedlo k návrhu generátoru s následujícími parametry.

Tabulka 9 Navrhované řešení má z principu metody tyto parametry

kmitočet harmonického průběhu	f_0 [kHz]	0.001 až 110	krok	Δf_0 [Hz]	1
fázový posun harmonického průběhu	φ [°]	0 až 359	krok	$\Delta\varphi$ [°]	$360/2^{20}$
délka trvání radioimpulzu	n [perioda]	1 až $2^{16}-1$	krok	Δn [perioda]	1

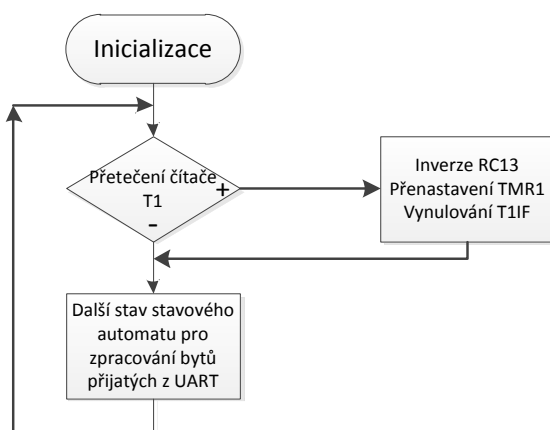
5. Programové vybavení MCU

Hlavní program je tvořen nekonečnou smyčkou testující, zda přetekl čítač čítající počet kladných půlperiod referenčního signálu a stavovým automatem, který vždy projde jedním stavem příjmu bytu z rozhraní UART a jeho zpracování.

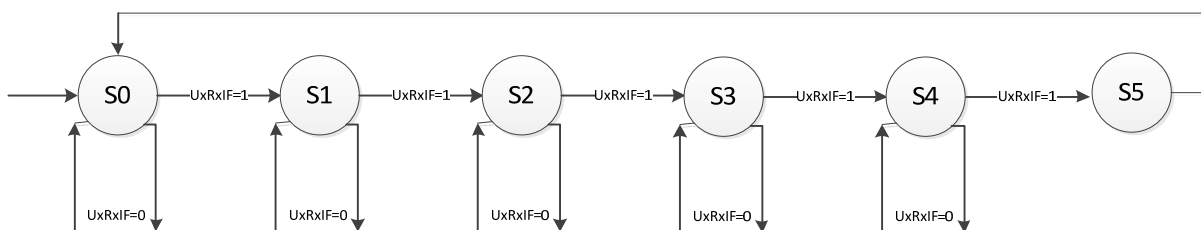
K nastavování parametrů signálu slouží rámec pěti bytů přijatých rozhraním UART v následujícím formátu:

B1	B2	B3	B4	B5
----	----	----	----	----

B1 určuje typ dat (0 – krok v tabulce, 1- posun fáze, 2- velikost stejnosměrné složky, 3- střídý). Vlastní data jsou obsažena v bytech B2 (MSB), B3,B4 (LSB). Byte B5 je kopie bytu B1.



Obrázek 46 Vývojový diagram hlavního programu

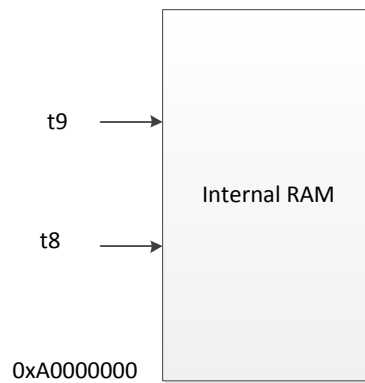


Obrázek 47 Graf přechodů příjmu bytů z UART

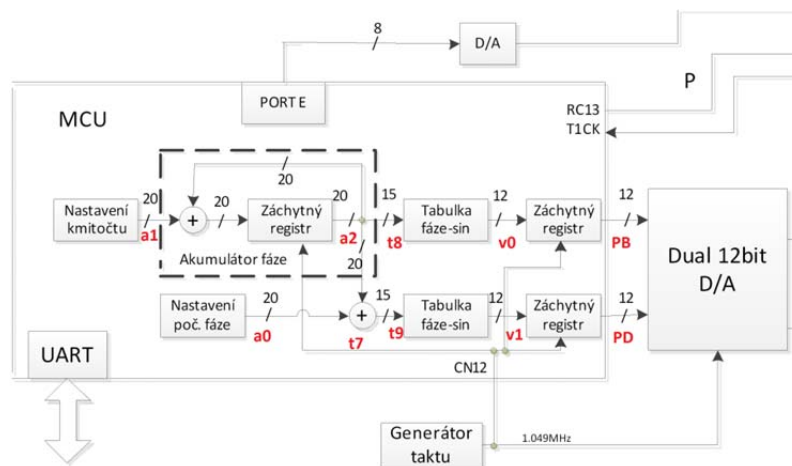
Tabulka 10 Popis stavů stavového automatu příjmu bytů z UART

S0	počáteční stav, čeká se na přijatý byte
S1	přijetí 1. bytu z přijmacího bufferu
S2	přijetí 2. bytu z přijmacího bufferu
S3	přijetí 3. bytu z přijmacího bufferu
S4	přijetí 4. bytu z přijmacího bufferu
S5	přijetí 5. bytu z přijmacího bufferu pokud se byte B1 rovná B5 vykoněj následující pro B1=0 : DI , nastavit a1, EI pro B1=1 : DI , nastavit a0, EI pro B1=2 : nastavit LATE

Hodnoty funkce sinus, které jsou kvantovány ve 12 bitech, jsou umístěny v tabulce o velikosti 2^{15} pulsů (16 bitů). Adresa do tabulky převodu fáze-amplituda pro referenční signál je umístěna v registru t_8 a pro klíčovaný harmonický signál v registru t_9 .



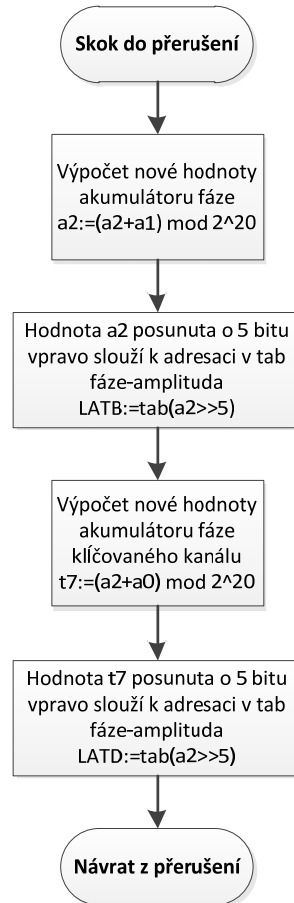
Obrázek 48 Umístění tabulky fáze-amplituda v paměťovém prostoru



Obrázek 49 Implementace algoritmu DDS v mikrokontroléru.

Hodnota odpovídající velikosti kroku v tabulce je uložena v registru a1, hodnota registru a0 určuje počáteční fázový posuv klíčovaného kanálu.

Aktuální hodnota určující fázi pro daný vzorek je vypočtena v registru a2 (ref. kanál) a v registru t7 (klíčovaný kanál). Z těchto 20-ti bitových hodnot se použije horních 15 bitů k adresaci půlslova v tabulce převodu fáze-amplituda. Půlslovo začíná na sudé adrese.



Obrázek 50 Vývojový diagram obsluhy přerušeni

```

addu    a2,a2,a1
and     a2,a2,t6
srl     t8,a2,5
sll     t8,t8,1          /* cteni ze sude adresy*/
addu    t7,a2,a0
lhu     v0,tab2(t8)
and     t7,t7,t6
srl     t9,t7,5
sll     t9,t9,1          /* cteni ze sude adresy*/
lhu     v1,tab2(t9)
sw      v0, 0(t4) //ulozeni obsahu tabulky na port B
sw      v1, 0(t3) //ulozeni obsahu tabulky na port D
  
```

Obrázek 51 Výpočet nových vzorků během přerušeni

6. Funkční vzorek generátoru

Po ukončení 1. etapy své závěrečné práce, ve které jsem se věnoval návrhu klíčovaného digitálního generátoru signálu, jejímž úspěšným výstupem je celkové schéma zapojení, jež uvádím v Příloze č.4.

Celkové schéma zapojení se skládá z následujících částí: MCU s D/A převodník, rekonstrukční filtr, obvod generátoru obdélníkového signálu, obvod nastavení stejnosměrné složky, klíčovací obvod a výstupní zesilovač, napájecí obvody.

Na realizaci vzorku generátoru jsou použity součástky popsané v Příloze č.5

V době odevzdání této práce jsem testoval funkčnost programu na obdobném MCU v pouzdře DIL, abych ověřil jednotlivé funkční bloky MCU. Toto jsem ověřoval na nepájivém kontaktním poli, které jsem zvolil z důvodu snadného připojení programátoru k pinům MCU. Na základě výše uvedeného jsem si ověřil základní chování MCU.

Aktuálně chystám plošný spoj do výroby. V návrhu ovládání generátoru je využito rozhraní UART pro příjem příkazů ze sériové linky posílané např. z hyperterminálu. Pro ovládání, které by bylo součástí přístroje, by bylo možné použít blok dalšího MCU s tlačítky a LCD. Jak je naznačeno na Obrázku 13d.

7. Závěr

Cílem mé práce byl návrh klíčovaného digitálního generátoru signálu, který umožňuje vytvářet skupiny harmonických kmitů s nastavitelným fázovým posuvem, kmitočtem a délkou trvání a také obdélníkový průběh.

Celkové obvodové řešení návrhu je zobrazeno v příloze č.4. Z analýzy možných řešení v bodě 2.4 pro doporučený způsob generace harmonického signálu metodou DDS, vyplynulo, že nejvhodnějším řešením bude zvolit variantu, která umožní nastavování parametrů signálu a synchronní převod hodnot vzorků v obou kanálech D/A převodníku. Součástí této varianty implementace DDS algoritmu je 32-bitový mikrokontrolér od společnosti Microchip. Jeho programová část je popsána v části 5.

Parametry navrženého generátoru jsou shrnuty v části 4.8. v Tabulce 9, v porovnání s parametry zadanými lze konstatovat, že splňují požadavky zadání.

Poslední zadaný bod týkající se realizace funkčního vzorku není aktuálně zcela dokončen.

Seznam použité literatury

- [1] Skalický P.: Přístrojové aplikace mikropočítačů ČVUT, Praha 2004, ISBN 80-01-03111-X
- [2] Kopecký D.: Číslicové systémy v radiotechnice - cvičení ČVUT 2004, ISBN 80-01-02884-4
- [3] Martinek P., Boreš P., Hospodka J.: Elektrické filtry, ČVUT, Praha 2003, ISBN 80-01-02765-1
- [4] Matějka Š.: Vysokofrekvenční měření, ČVUT, Praha 2002, ISBN 80-01-02477-6
- [5] Skalický P.: Číslicové systémy v radiotechnice ČVUT, Praha 2004, ISBN 80-01-02854-2
- [6] Krejčířík A.: Napájecí zdroje II, BEN, Praha 1996, ISBN 80-86056-03-1
- [7] Datasheet LT1372 [online]. [cit. 2015-08-01] Dostupné z:
<http://cds.linear.com/docs/en/datasheet/13727fbs.pdf>
- [8] Vankka J. : Direct digital synthesizers , Kluwer Academic Publishers, Boston 2001, ISBN 0-7923-7366-9
- [9] Humlhans J. : Zajímavá zapojení 2 ,BEN, Praha 2005, ISBN 80-7300-151-9
- [10] Holý R. : Generátor klíčovaného harmonického signálů. Bakalářská práce ČVUT FEL
Praha 2004
- [11] Sedláček R. : Signálové procesory v praxi [online]. [cit. 2015-08-01] Dostupné z:
http://measure.feld.cvut.cz/system/files/files/cs/vyuka/predmety/A0M38SPP/slides/A0M38SPP_P_rednaska_3.pdf
- [12] Bičák J., Laipert M., Vlček M. : Lineární obvody a systémy, ČVUT, Praha 2007, ISBN 978-80-01-03649-5
- [13] Dobeš J., Žalud V. : Moderní radiotechnika ,BEN, Praha 2006, ISBN 80-7300-132-2
- [14] Hájek K., Sedláček J.: Kmitočtové filtry, BEN, Praha 2002, ISBN 80-7300-023-7
- [15] Punčochář J.: Operační zesilovače v elektronice, BEN, Praha 2002, ISBN 80-7300-059-8
- [16] Datasheet OPA2690 [online]. [cit. 2015-08-01] Dostupné z:
<http://www.ti.com/lit/ds/symlink/opa2690.pdf>
- [17] Datasheet MAX4052 [online]. [cit. 2015-08-01] Dostupné z:
<http://www.maximintegrated.com/en/products/analog/analog-switches-multiplexers/MAX4052.html#popuppdf>
- [18] Fischer J.: Návrh vestavných systémů [online]. [cit. 2015-08-01] Dostupné z:
<http://measure.feld.cvut.cz/vyuka/predmety/A4B38NVS/2013>
- [19] PIC32MX7XX Family datasheet [online]. [cit. 2015-08-05] Dostupné z:
<http://ww1.microchip.com/downloads/en/DeviceDoc/61156H.pdf>
- [20] PIC32 Family Reference Manual, Sect 02 CPU for Devices with M4K Core [online]. [cit. 2015-08-05] Dostupné z: <http://ww1.microchip.com/downloads/en/DeviceDoc/61113E.pdf>
- [21] Doleček J. : Moderní učebnice elektroniky, 6. díl ,BEN, Praha 2009, ISBN 978-80-7300-240-4
- [22] LT1719 - 4.5ns Single/Dual Supply 3V/5V Comparator with Rail-to-Rail Output [online]. [cit. 2015-08-06] Dostupné z: <http://cds.linear.com/docs/en/datasheet/1719fa.pdf>
- [23] Bayer J., Hanzálek Z., Šusta R. : Logické systémy pro řízení, ČVUT Praha 2000, ISBN 80-01-02147-5

- [24] Datasheet AD9765 [online]. [cit. 2015-07-25] Dostupné z:
http://www.analog.com/media/en/technical-documentation/data-sheets/AD9763_9765_9767.pdf
- [25] Neumann P., Uhlíř J. : Elektronické obvody a funkční bloky, 6. Díl, ČVUT, Praha 1999, ISBN 80-01-01981-0
- [26] Srovátka B. : Radiové vysílače a přijímače, ČVUT, Praha 2002, ISBN 80-01-01851-2

Samostatné přílohy

Příloha 1. *Netlist simulace rekonstrukčního filtru*

*Netlist rekonstrukčního filtru

```
XU1 0 N006 +5V -5V N011 LT1800
XU2 0 N002 +5V -5V N008 LT1800
XU3 0 N005 +5V -5V N012 LT1800
XU4 0 N004 +5V -5V N009 LT1800
XU5 0 N007 +5V -5V N010 LT1800
XU6 N014 0 +5V -5V N001 LT1800
XU7 N013 0 +5V -5V N003 LT1800
XU8 N015 0 +5V -5V out LT1800
RN2 N001 N006 4384
RN1 N006 N011 4384
R31 N011 N014 2379
RN4 N003 N005 4384
RN3 N005 N012 4384
RN6 out N007 4384
RN5 N007 N010 4384
R25 N010 N015 2379
R11 N014 in 1188
R21 N008 N014 814
R13 N013 N008 1965
R23 N009 N013 1965
R15 N015 N009 814
R24 out N004 14377
R14 N004 N003 14377
R22 N003 N002 14377
R12 N002 N001 14377
CI1 N011 N014 330p
CI2 N002 N008 330p
CI3 N012 N013 330p
CI4 N004 N009 330p
CI5 N010 N015 330p
V1 +5V 0 5
V2 0 -5V 5
V3 in 0 SINE(0 1 1000) AC 1 0
.ac dec 100 1 111000
.lib LTC.lib
.backanno
.end
```


Příloha 2. *Netlist simulace multiplexeru 4052*

```
*Netlist simulace multiplexeru 4052
XU1 N002 N002 0 0 0 0 N001 out 0 0 0 0 NC_01 vdd 0 vee 4052 vcc=5 vel=50e-9
V1 vdd 0 5
V2 0 vee 5
V3 N001 0 SINE(0 1.41 1K)
V4 N002 0 PULSE(0 5 1ms 1e-9 1e-9 4.5m 9m 5)
.tran 0 10m 0 100n
.LIB C:\Program Files\LTC\LTspiceIV\lib\sub\SwitchAna.lib
.backanno
.end
```

Příloha 3. Netlist simulace invertoru s LT1372

```
* Netlist simulace invertoru s LT1372
V1 IN 0 6.5 Rser=0.001
R1 N003 0 2.4K
R2 N001 N003 2.4K
D1 N001 sec MBRS130L
C2 0 N001 47μ Irms=2 Rser=.2
XU1 N004 NC_01 N003 IN IN MP_01 0 SW LT1372
Rload OUT 0 40
C3 N004 0 .047μ Rser=2K Cpar=.0047u
C1 IN 0 22μ V=16 Irms=2 Rser=0.3 Lser=0
L1 IN SW 200μ Ipk=1.56 Rser=0.09 Rpar=0 Cpar=0
L2 sec 0 200μ Ipk=1.56 Rser=0.09 Rpar=0 Cpar=0
D2 SW N002 1N4148
D3 IN N002 BZX84C15L
L5 N001 OUT 10μ
C5 OUT 0 100n
.model D D
.lib C:\Program Files\LTC\LTspiceIV\lib\cmp\standard.dio
.tran 5m startup
K L1 L2 1
.lib LT1372.sub
.backanno
.end
```


Příloha 5 Seznam součástek

Hodnota	Reference	Pouzdro
OPA2690	IC10	SOIC14
OPA2690	IC9	SOIC14
74HC161	IC8	SO16
74HC14	IC7	SOIC14
74HC14	IC6	SOIC14
LT1719	IC5	S8
LT1372	IC4	S8
MAX232	IC3	SO16
AD9765	IC2	LQFP48
PIC32MX795F512H	IC1	TQFP64
1k	RN01b	0805
1k	RN01a	0805
180R	R105	0805
1k	R82	0805
25R	R81	0805
25R	R80	0805
1k	R79	0805
330R	R78	0805
330R	R77	0805
1k	R76	0805
25R	R75	0805
25R	R74	0805
1k	R73	0805
330R	R72	0805
330R	R71	0805
1.92k	R70	0805
1.92k	R69	0805
470R	R56	0805
10k	R55	0805
256R	R37	0805
256R	R36	0805
2.37k	R031b	0805
2.37k	R031a	0805
2.37k	R025b	0805
2.37k	R025a	0805
7.15k	R024b	0805
7.15k	R024a	0805
5.49k	R023b	0805
5.49k	R023a	0805
7.15k	R022b	0805
7.15k	R022a	0805
2.1k	R021b	0805
2.1k	R021a	0805

...