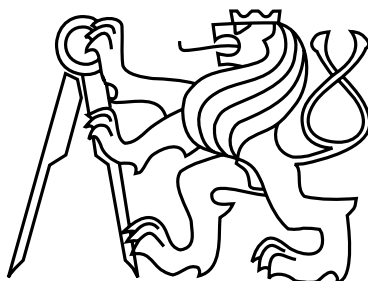


České vysoké učení technické v Praze
Fakulta elektrotechnická
13114 Katedra elektrických pohonů a trakce



Diplomová práce

**Návrh základní desky zásuvného modulu tranzistorového
půlmůstku pro univerzální měnič**

Bc. Jakub Klínger

Vedoucí práce: Ing. Stanislav Flígl, Ph.D.

Studijní program: Elektrotechnika, energetika a management

Obor: Elektrické stroje, přístroje a pohony

2015

České vysoké učení technické v Praze
Fakulta elektrotechnická

katedra elektrických pohonů a trakce

ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Jakub Klinger**

Studijní program: Elektrotechnika, energetika a management
Obor: Elektrické stroje, přístroje a pohony

Název tématu: **Návrh základní desky zásuvného modulu tranzistorového půlmůstku
pro univerzální měnič**

Pokyny pro vypracování:

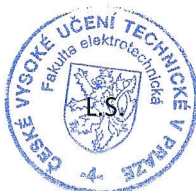
- 1) V součinnosti s autorem diplomové práce [1] navrhnete koncept modulárního měniče
- 2) Zvolte vhodnou architekturu tak, aby bylo možno kombinovat moduly různého výkonu
- 3) Provedte simulace důležitých signálů sběrnice
- 4) Navrhnete obvodové řešení základní desky zásuvného modulu do 19" vany (ČSN EN 60297-n)
- 5) Pro návrh prošného spoje uvažujte výšku 6U a hloubku 236 mm.
- 6) Připravte kompletní výrobní dokumentaci umožňující zhotovení jednotek u externích výrobců
- 7) Po celou dobu vývoje ukládejte podklady ve verzovacím systému Mercurial

Seznam odborné literatury:

- [1] LNĚNIČKA, Tomáš. *Návrh a realizace řídicí a silové sběrnice modulárního měniče*. Praha, 2015. Diplomová práce. FEL ČVUT.
- [2] ZÁHLAVA, Vít. *Metodika návrhu plošných spojů*. Vyd. 1. Praha: ČVUT, Elektrotechnická fakulta, 2000, 81 s. ISBN 80-01-02193-9.
- [3] PAVELKA, Jiří, Zdeněk ČEŘOVSKÝ a Jiří LETTL. *Výkonová elektronika*. Vyd. 3., přeprac. Praha: Nakladatelství ČVUT, 2007, 227 s. ISBN 978-80-01-03626-6.

Vedoucí: Ing. Stanislav Flígl, Ph.D.

Platnost zadání: do konce letního semestru 2015/2016



prof. Ing. Jiří Lettl, CSc.
vedoucí katedry

prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 1. 10. 2014

Poděkování

Rád bych poděkoval vedoucímu práce panu Stanislavu Flíglovi, který se nám velmi intenzivně věnoval a směřoval celý projekt k jasnému cíli, panu Janu Bauerovi děkuji za podporu projektu MoMenTiK. Oceňuji bezproblémovou spolupráci s panem Tomášem Lněničkou, který se podílel na návrhu a vývoji systému, a děkuji mu za ni.

Děkuji své rodině a přítelkyni, kteří byli pro mě velkou podporou při studiu.

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne 5. května 2015

.....

Abstract

This diploma thesis defines a standard of a modular converter being developed at CTU FEE at the Department of Electric Drives and Traction (K13114). Converter is built into 19" rack system, in which plug-in cards can be inserted (master card, power cards, measuring cards etc.). This standard simplifies independent development of each part of the system.

The next part describes a design of a power transistor plug-in card (type designation T0001M1.0), which can carry one leg of an inverter. Card processes command received from the master and sends values of measured current and calculated voltage back to the master. Voltage is counted from a derivation of the current. The design of selected particular parts was verified by simulations in software PLECS. Complete manufacturing documentation for the PCB was made in software Eagle. Prototype production was conducted.

Key words: Modular converter, MoMenTiK, design, system standards, inverter leg, transistor plug-in card, simulations, circuit drawings, manufacturing documentation, 19" rack

Abstrakt

V této diplomové práci je stanoven standard modulárního měniče, který je vyvíjen na ČVUT FEL na Katedře elektrických pohonů a trakce K13114. Měnič je zabudován do 19" racku, do kterého se zasouvají funkční karty (např. s řídicím systémem, výkonové, měřicí aj.). Standard umožňuje vývoj jednotlivých částí systému nezávisle na sobě.

V druhé části diplomové práce je popsán vývoj tranzistorové zásuvné karty s typovým označením T0001M1.0, která nese půlmůstek střídače. Karta zpracovává řídicí povely a do řídicího systému vysílá hodnoty měřeného proudu a vypočteného napětí, které je odvozeno od derivace proudu. Návrh jednotlivých částí je ověřen simulacemi v prostředí PLECS. Kompletní výrobní dokumentace byla vytvořena v softwaru Eagle. Výroba prototypu byla realizována.

Klíčová slova: Modulární měnič, MoMenTiK, návrh, standard systému, půlmůstek střídače, tranzistorová zásuvná karta, simulace, schémata, výrobní dokumentace, 19" rack

Citace

KLINGER, Jakub. *Návrh základní desky zásuvného modulu tranzistorového půlmůstku pro univerzální měnič*. Praha, 2015. Diplomová práce. České vysoké učení technické v Praze, Fakulta elektrotechnická. Vedoucí práce Ing. Stanislav Flígl, Ph.D.

Obsah

1	Úvod	1
2	Specifikace modulárního systému	3
2.1	Mechanická část	3
2.1.1	Subrack, rack	3
2.1.2	Konektory	3
2.1.3	Zásuvné karty	5
2.1.4	Charakteristické značení	8
2.1.4.1	Typové značení	8
2.1.4.2	Sériové číslo a kontrola kvality	9
2.1.4.3	Verze vrstev	9
2.2	Elektrická část	10
2.2.1	Silový konektor	10
2.2.2	Připojení vnějších zařízení	10
2.2.3	Rozložení pinů signálového konektoru a popis signálů	12
2.2.3.1	Technologie M-LVDS	14
2.2.3.2	Popis signálů	14
2.2.4	Standard zprávy	15
2.2.5	Řízení komunikace	15
2.2.6	Adresování karet a backplane	16
2.2.6.1	Absolutní adresa	16
2.2.6.2	Relativní adresa	16
2.2.6.3	Realizace adresování	17
2.2.6.4	Systém propojování racků do řetězce	19
3	Zásuvná tranzistorová karta T0001M1.0	21
3.1	Mechanické rozvržení	23
3.1.1	Modul s tranzistory	24
3.1.2	Modul s regulátorem proudu	26
3.1.3	Konektor v čelním panelu	26
3.2	Elektrická část	27
3.2.1	Blokové schéma tranzistorové karty	27
3.2.2	Rozhraní diferenciálních signálů M-LVDS	27
3.2.3	Řízení tranzistorů	29
3.2.3.1	Příjem zprávy	29

3.2.3.2	Přímé řízení tranzistorů	31
3.2.3.3	Regulátor proudu	31
3.2.4	Měření proudu	32
3.2.4.1	Sestavení zprávy	34
3.2.5	Měření napětí	35
3.2.5.1	Rekonstrukce napětí z derivace proudu	36
3.2.5.2	Sestavení zprávy	39
3.2.6	Generátor paritního bitu	39
3.2.7	Kontrola paritního bitu při příjmu zprávy	39
3.2.8	Časování obvodů	40
3.2.9	Napájení	40
3.2.10	Testovací body	41
4	Simulace	43
4.1	Relativní a absolutní adresace karet	43
4.2	Příjem zprávy řízení tranzistorů a regulátoru proudu	46
4.3	Odesílání zprávy měřeného proudu	52
4.4	Měření proudu a napětí	55
4.5	Posunutí signálu	58
4.6	Absolutní hodnota signálu	60
5	Závěr	63
	Literatura	65
A	Obvodové schéma	67
B	Kusovník	81
C	Pohledy osazené DPS	85
D	Rozložení DPS	89
E	Vizualizace DPS v software 3D Gerber Viewer	93
F	Náhledy vrstev DPS	97

Seznam obrázků

2.1	Nákres racku se zásuvnými kartami [3, část 10, s. 5]	4
2.2	Nákres rozměrů DPS zásuvné karty 6U s konektory DIN 41612, chybějící rozměry viz 2.3 [3, s. 7]	6
2.3	Nákres rozměrů DPS zásuvné karty 3U s konektory DIN 41612 [3, část 1, s. 6]	7
2.4	Typové číslo v systému MoMenTiK	8
2.5	Vzorový potisk komponenty, měřítko 1:1	9
2.6	Nákres propojení zásuvné karty s backplane pomocí konektoru DIN 41612 (typ C, 96 pinů) [1, strana 6]	11
2.7	Označení pinů dle DIN 41612 (silový konektor, zásuvka, strana backplane)	11
2.8	Silový konektor OMNIMATE Power 7.62 HP, vlevo SV 7.62HP/2/90SF do DPS, vpravo BVF 7.62HP/2/180SF na kabel	12
2.9	Topologie M-LVDS	13
2.10	Označení pinů dle DIN 41612 (signálový konektor, zásuvka, strana backplane)	13
2.11	Časování komunikace	16
2.12	Časování adresování	17
2.13	Schéma adresování karet a backplane, ilustrováno pro první rack - do první sčítačky vstupuje logická 0	18
2.14	Schéma propojování adresování	19
3.1	Rozložení vrstev DPS T0001M1.0	21
3.2	Rozložení zásuvné karty T0001M1.0 s moduly, měřítko 1:2	22
3.3	Rozměry modulu s vyznačením rastru předvrtaných otvorů Eurocard 160 × 100 mm, výška 3U dle [3] nebo [4], měřítko 1:2	23
3.4	Rozmístění konektorů na tranzistorovém modulu, měřítko 1:2	25
3.5	Umístění konektoru X13 na modulu regulátoru proudu, měřítko 1:2	25
3.6	Blokové schéma tranzistorové karty T0001M1.0	28
3.7	Schéma příjmu zprávy pro řízení tranzistorů (sběrnice P)	30
3.8	Časování signálů pro příjem zprávy	33
3.9	Schéma analogové části měření proudu	34
3.10	Časování signálů pro odesílání zprávy	34
3.11	Schéma digitální části měření proudu	35
3.12	Schéma analogové části měření napětí	37
3.13	Schéma digitální části měření napětí	38
3.14	Zapojení čítačů pro detekci hran hodinového signálu	41
3.15	Značení hran hodinového signálu F	41

4.1	Schéma simulace adresace pozic v systému	44
4.2	Nasimulované průběhy adresace karet s vyznačenými hodnotami bitů, které jsou nasouvány do posuvných registrů na kartách s náběžnou hranou hodin C	45
4.3	Schéma simulace příjmu zprávy pro řízení tranzistorů a regulátoru proudu	47
4.4	Průběh signálů při příjmu zprávy s délkou DAT 16 bitů, která prošla kontrolou liché parity. Zpráva nese informaci o přepnutí tranzistorů [T,B] z [0,1] na [1,0]. Příjem zprávy je proveden uložením do paralelního registru, což je řízeno náběžnou hranou signálu LDSHIFT a uložením do registru AD převodníku pomocí signálu nLDAC, následně je provedeno přepnutí tranzistorů.	48
4.5	Průběh signálů při příjmu zprávy s délkou DAT 16 bitů. Jelikož vypočtený paritní bit neodpovídá paritnímu bitu ve zprávě, zpráva neprošla kontrolou a tudíž nebyla přijata. Přepnutí tranzistorů se nevykoná a řídicí signály tranzistorů zůstanou na původní hodnotě [T,B] = [0,1]. Průběhy LDSHIFT a nLDAC zůstávají konstatní, tudíž zpráva nebyla zapsána do paralelního registru hlavičky ani do registru DA převodníku.	49
4.6	Průběh signálů při příjmu zprávy s délkou DAT 32 bitů, která prošla kontrolou liché parity. Nyní je však kontrolována na 38. pozici. Zpráva nese informaci o přepnutí tranzistorů [T,B] z [0,1] na [1,0]. Příjem zprávy je proveden uložením do paralelního registru, což je řízeno náběžnou hranou signálu LDSHIFT a uložením do registru AD převodníku pomocí signálu nLDAC, následně je provedeno přepnutí tranzistorů.	50
4.7	Průběh signálů při příjmu zprávy s délkou DAT 32 bitů, ve které je špatně vypočtený paritní bit. Jelikož ale není požadována kontrola zprávy ([P0,P1] = [0,0]), zpráva je i přes chybnou paritu přijata. Zpráva nese informaci o přepnutí tranzistorů [T,B] z [0,1] na [1,0]. Příjem zprávy je proveden shodným způsobem jako v předchozím případě.	51
4.8	Schéma simulace odesílání zprávy měřeného proudu po sběrnici C	53
4.9	Průběhy signálů pro řízení odesílání zprávy měřeného proudu	54
4.10	Schéma simulace analogové části měření proudu a výpočtu napětí pomocí derivace proudu	56
4.11	Výsledky simulace analogové části měření proudu a výpočtu napětí pomocí derivace proudu.	57
4.12	Schéma simulace posunutí úrovně signálu.	58
4.13	Výsledek simulace posunutí úrovně signálu.	59
4.14	Schéma simulace absolutní hodnoty signálu.	60
4.15	Výsledek simulace absolutní hodnoty signálu.	61

Seznam tabulek

2.1	Rozměry DPS v mm	5
2.2	Tabulka verzí vrstev DPS	9
2.3	Rozložení pinů na signálovém konektoru	12
3.1	Rozložení pinů signálového konektoru tranzistorového modulu X14	24
3.2	Rozložení pinů konektoru regulátoru proudu X13	26
3.3	Význam bitů T0 a T1	31
3.4	Vztah mezi číselnou hodnotou DAT, proudem a napětovým výstupem z DAC, kde I_N je jmenovitá hodnota proudu výkonových tranzistorů na modulu . . .	32
3.5	Mezní hodnoty čítače	38
3.6	Hrany detekované čítači na kartě T0001M1.0 s označením signálů ve výkrese	40
3.7	Seznam testovacích bodů na kartě T0001M1.0	42

Kapitola 1

Úvod

Modulární koncept hardwaru umožňuje konfiguraci jednotlivých částí systému přímo pro konkrétní aplikaci. Vyvojářům tento koncept umožňuje při definovaném standardu postupný vývoj jednotlivých částí systému nezávisle na sobě, ať už se jedná o řídicí systém, měřicí karty nebo výkonové části - usměrňovače, střídače apod. Uživatel má následně možnost vylepšování jednotlivých částí svého zařízení s postupným vývojem systému. Výhody plynoucí z možnosti výměny jednotlivých částí jsou například:

- náhrada nejslabšího článku řetězce vede k zvýšení výkonnosti celého systému,
- uspoření nákladů při náhradě jednotlivých částí místo výměny celého systému,
- možnost rychlé výměny vadného dílu při nižších nákladech a minimální době odstávky zařízení.

Navržený koncept modulárního měniče na Katedře elektrických pohonů a trakce K13114 nemá za hlavní cíl využití výhod zmíněných v předchozím odstavci, které se týkají především komerční sféry. Poskytuje však dobrou platformu v oblasti výzkumu a možnost postupného návrhu jednotlivých částí, které mohou být řešeny v dalších diplomových nebo bakalářských pracích. Pracovní název systému je [MoMenTiK] - Modulární Měnič - Technická Inovace K13114.

Modulární měnič je zabudován do standardizovaného systému 19" racku, do kterého jsou zasouvány samostatné karty s odlišnými funkcemi:

- řídicí systém - zásuvná karta s řídicím počítačem,
- propojovací karty - umožňující propojení několika racků do série a vyvedení signálů z backplane,
- zakončovací karty - budou umístěny na začátek a konec řetězce s funkcí zakončení sběrnic backplane a vyvedení signálů z backplane,
- měřicí karty,
- silové karty - tranzistorový pulmůstek střídače, usměrňovač, chopper pro brzdový odpor aj.
- a další.

Jednotlivé karty jsou vzájemně propojeny pomocí sběrnic umístěných na backplane v zádech racku.

V rámci této práce je stanoven obecný standard systému měniče (kapitola 2) a detailní návrh zásuvné tranzistorové karty s půlmůstkem střídače (kapitola 3). Karta umožňuje komunikaci s řídicím systémem - zpracovává povely z řídicího systému a ze systému měření proudu a napětí odesílá hodnoty po sběrnicích do řídicího systému. Dále jsou na kartě vytvořeny obvody napájení, řízení komunikace a adresace.

V rámci diplomové práce je vypracováno kompletní zapojení a výrobní dokumentace DPS zásuvné karty v programu Eagle od firmy CadSoft ve verzi 6.5.0. Výroba prototypu karty je v rámci diplomové práce realizována. Principiální zapojení jednotlivých částí je odsimulováno v prostředí PLECS vyvinuté firmou Plexim, které je nadstavbou nástroje MATLAB/Simulink. Simulacím je věnována kapitola 4.

Detailní návrh části backplane s typovými označením P0001M0.0 a S0001M0.0 je možno nalézt v [6].

Kapitola 2

Specifikace modulárního systému

2.1 Mechanická část

V této části jsou uvedeny stručně základní požadavky z hlediska mechaniky systému. Podrobnější specifikaci lze nalézt v normách, na které se odkazují jednotlivé části popisu.

2.1.1 Subrack, rack

Modulární měnič je postaven na systému 19" racku. Využívá komponenty v normách nazývané subracky (v této práci označované jako rack), což jsou skříně, do kterých jsou zasouvány jednotlivé funkční karty. Náčrtek racku je zobrazen na obrázku 2.1. 19" systém je popsán v normách ČSN EN 60297-3-100 až -107 [4] a IEEE 1101.1, 10, 11 [3], kde jsou stanoveny veškeré rozměry jednotlivých komponent. Racky jsou specifikovány v několika hloubkách a výškách. Modulární měnič je navržen pro rack výšky 6U (266,7 mm)¹ a hloubce 236 mm. V jednom racku je vytvořeno 14 zásuvných pozic s roztečí ližin 30,48 mm. Systém MoMenTiK umožňuje spojení více racků do řetězce a tím navýšit kapacitu zásuvných karet. Více o systému propojování skříní pojednává kapitola 2.2.6 na straně 16.

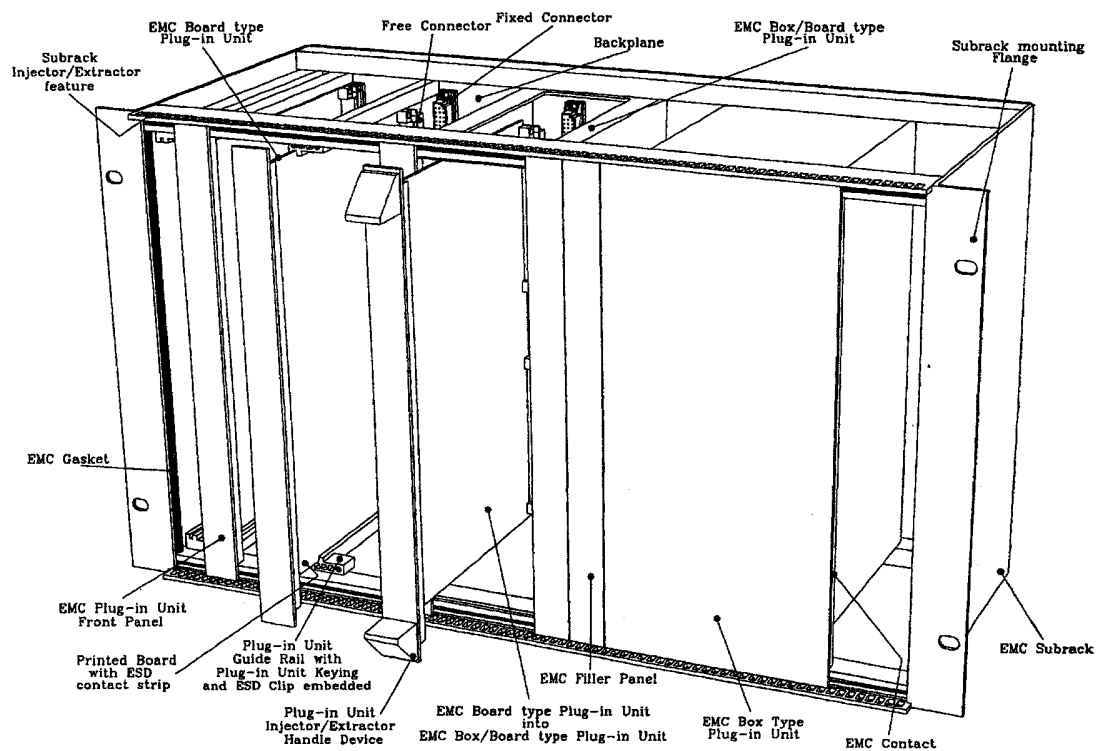
2.1.2 Konektory

Jednotlivé karty jsou propojeny v zadní části přes backplane standardizovanými konektory IEC 60603-2 (DIN 41612). V jedné zásuvné pozici jsou umístěny dva konektory nad sebou. Spodní konektor slouží k přenosu silové části. Předpokládané zatížení je 800 V a přibližně 70 A.

Horní konektor je signálový. Toto rozvržení je zvoleno s ohledem na lepší ergonomii v přední části zásuvných karet - jeví se zde výhodnější vyvést silový konektor ve spodní části čelního štítu zásuvné karty a ovládací a měřicí vývody umístit do horní části štítu.

Konektory jsou v konfiguraci pro přímé propojení na straně backplane (zásuvka) a 90° provedení pro zásuvné karty (vidlice).

¹1U = 44,45 mm



Obrázek 2.1: Nákres racku se zásuvnými kartami [3, část 10, s. 5]

2.1.3 Zásuvné karty

Zásuvné karty jsou v racku uchyceny pomocí ližin. Zásuvné karty mohou nabývat šířek v násobcích rozteče ližin, tedy 30,48 mm. Zásuvný celek karty se skládá z několika částí:

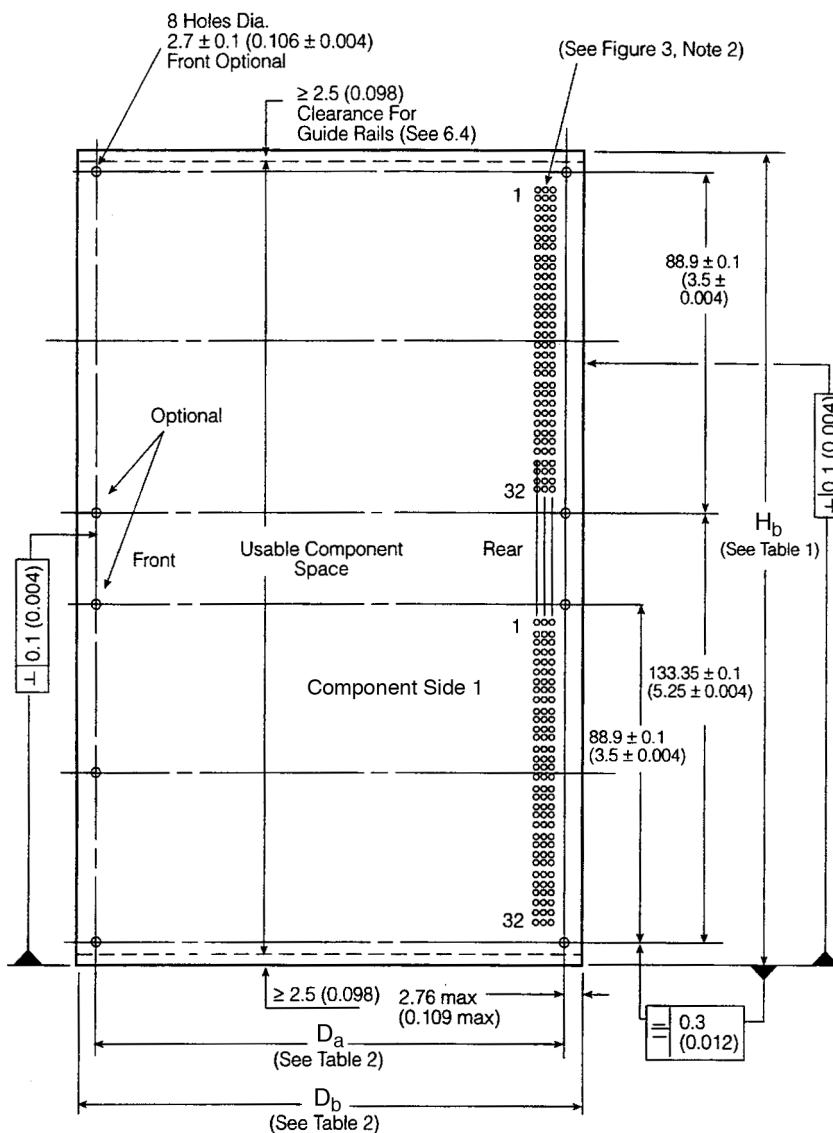
- štítek karty,
- deska plošných spojů,
- konektory propojující kartu s backplane,
- volitelně kovový obal.

Velikost desky plošných spojů je určena v normě [4, část 101] a [3, část 1 a část 10]. Na obrázku číslo 2.2 jsou definovány rozměry desky plošných spojů výšky 6U včetně otvorů pro montáž konektorů DIN 41612 typu C a otvorů pro montáž čelního štítu (na obrázku vlevo). Na horním a spodním okraji desky musí být dodržena ochranná vzdálenost 2,5 mm. V této oblasti nesmí být žádné spoje ani součástky, protože karta je v této oblasti uchycena v ližinách racku. Rozměry pro výšku subracku 6U a hloubku 236 mm jsou uvedeny v tabulce 2.1.

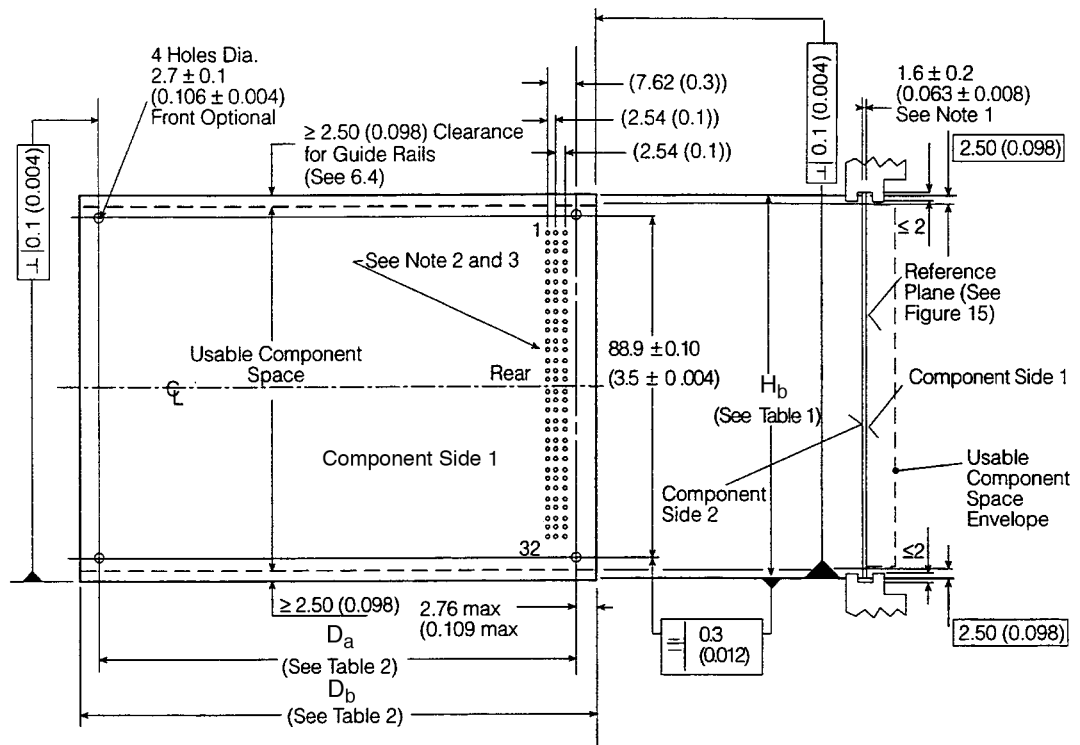
$D_a \pm 0,1$	213,67
$D_b +0/-0,3$	220
$H_b +0/-0,3$	233,35

Tabulka 2.1: Rozměry DPS v mm

Tloušťku desky plošných spojů je nutné přesně dodržet z důvodu zasouvání do ližin. Norma definuje tloušťku $1,6 \pm 0,2$ mm. Osa spodního konektoru je umístěna 50 mm od spodního okraje desky. Horní konektor má piny v rastru posunutém o 133,35 mm vůči spodnímu konektoru, podrobněji lze nalézt v [3, část 1, obrázek 6].



Obrázek 2.2: Nákres rozměrů DPS zásuvné karty 6U s konektory DIN 41612, chybějící rozměry viz 2.3 [3, s. 7]



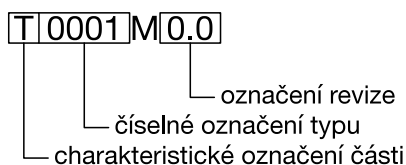
Obrázek 2.3: Nákres rozměrů DPS zásuvné karty 3U s konektory DIN 41612 [3, část 1, s. 6]

2.1.4 Charakteristické značení

Pro jednoznačné označení komponent je zdefinováno typové značení a sériová čísla.

2.1.4.1 Typové značení

Označení typu jednotlivých částí systému je ve formátu:



Obrázek 2.4: Typové číslo v systému MoMenTiK

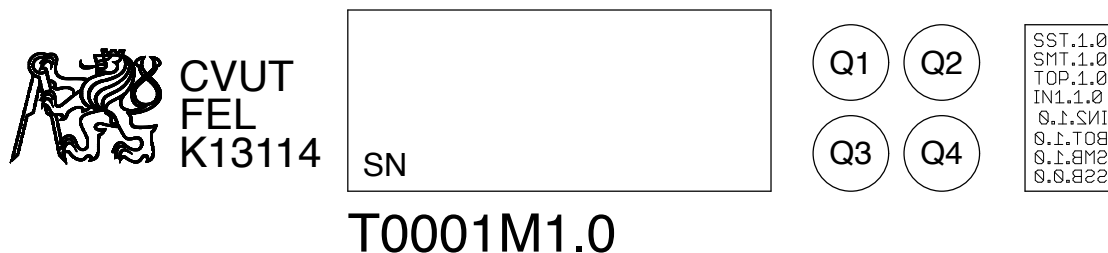
Typové značení musí být nutně uvedeno na všech komponentách systému pro snadnou identifikaci s dokumentací. První pozice označuje typ komponenty:

E	zakončovací karta
I	propojovací karta
M	master - řídicí systém
P	backplane - silová část
S	backplane - signalová část
T	tranzistorová karta

Pátá pozice označení je neměnná a vyjadřuje systém stavebnice **M** - MoMenTiK. Poslední dvojčíslí ve tvaru X.Y značí verzi návrhu. Y je inkrementováno při zpětně kompatibilní revizi návrhu, která může také rozšiřovat funkce dané komponenty. X je inkrementováno při opravě chyby. Celkově tak dvojčíslí ve tvaru X.Y doplněné o prefix v podobě číselného označení typu odpovídá formátu verze používanému v softwarovém inženýrství.

2.1.4.2 Sériové číslo a kontrola kvality

Na jednotlivých dílech je vyhrazeno místo pro nalepení štítku se sériovým číslem a nálepek provedených kontrol. Rámeček pro štítek sériového čísla je ve velikosti 56 × 24 mm (š × v) a je opatřený značkou SN. Místa pro označení provedené kontroly kruhového tvaru o průměru 10 mm jsou pojmenovány Q1 až Q4.



Obrázek 2.5: Vzorový potisk komponenty, měřítko 1:1

2.1.4.3 Verze vrstev

Jednotlivé vrstvy v návrhu DPS jsou označeny pro snadnou kontrolu při výrobě DPS tabulkou verzí vrstev. Popis je složen ze jména vrstvy a čísla revize vrstvy oddělené tečkou. První číslice je inkrementována s uveřejněním verze (např. výrobcům), druhá číslice může být inkrementována pro interní revize. Příklad tabulky pro čtyřvrstvou DPS:

SST.0.0	horní vrstva popisů
SMT.0.0	horní vrstva nepájivé masky
TOP.0.0	vrchní vrstva mědi
IN1.0.0	vnitřní vrstva mědi 1
IN2.0.0	vnitřní vrstva mědi 2
BOT.0.0	spodní vrstva mědi
SMB.0.0	spodní vrstva nepájivé masky
SSB.0.0	spodní vrstva popisů

Tabulka 2.2: Tabulka verzí vrstev DPS

2.2 Elektrická část

V této části je podrobně specifikován elektrický návrh systému, zejména rozložení pinů na konektorech mezi backplane a kartami, specifikace konektorů pro připojení vnější silové kabeláže, standardizace zpráv a signálů komunikace a adresace karet.

Celý systém měniče je propojen soustavou sběrnic a signálů, které jsou rozvedeny přes backplane a konektory do jednotlivých karet. Signály a sběrnice lze rozdělit do pěti skupin:

1. rychlé sběrnice - celkem 12 trojic (1 směrem z řídicího systému a 2 směrem do řídicího systému), tyto sběrnice si může v případě potřeby rezervovat karta pro komunikaci s řídicím systémem. Trojici sběrnic 1+2 označujeme jako kanál, tj. celkem 12 kanálů,
2. signály F a E pro řízení komunikace po rychlých sběrnicích,
3. pomalá datová sběrnice - impedančně navržena pro rozhraní CAN (120 Ω),
4. pomocné řídicí a adresovací signály,
5. silová DC sběrnice.

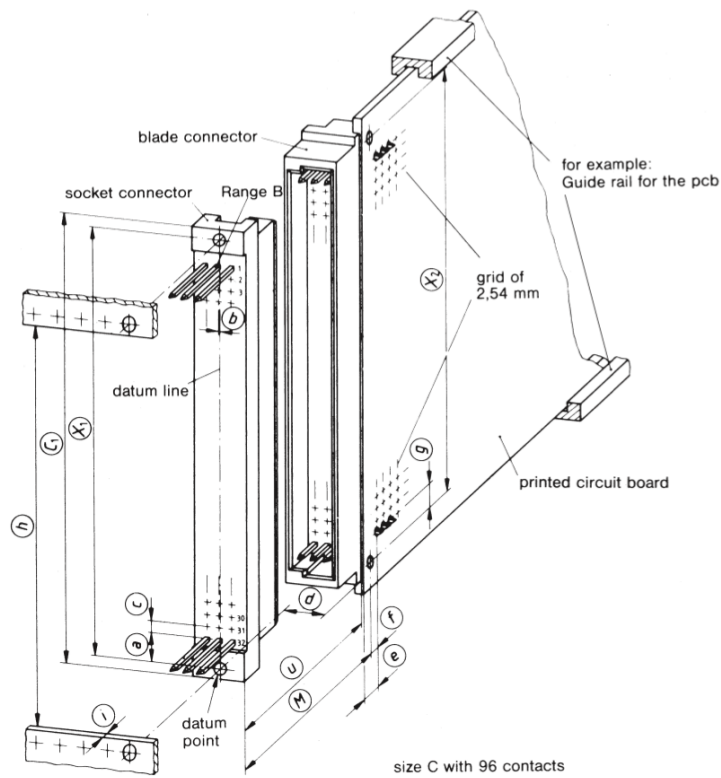
2.2.1 Silový konektor

K vyvedení silové DC sběrnice z backplane na zásuvnou kartu a vyvedení středu tranzistorového půlmůstku opačným směrem je použit výkonový (spodní) konektor typu E (48 pinů, 3×16 pinů). Dle [2] je proudové zatížení jednoho pinu 6 A při teplotě okolí 20 °C a 5 A při 70 °C. Maximální napětové namáhání je 1 000 V_{RMS} pin - pin a 1 550 V_{RMS} pin - zem. Tyto hodnoty byly ověřeny v laboratoři v rámci experimentů. Podrobněji lze nalézt v [7].

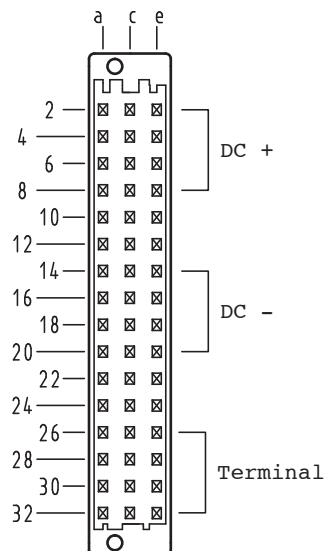
48 pinů je rozloženo do 16 řad a 3 sloupců, piny jsou dle značení DIN 41612 na sudých pozicích 2 - 32 a ve sloupcích a, c, e. Na konektoru je vyveden (odshora) kladný pól DC sběrnice, záporný pól DC sběrnice a střídavý pól. Střídavý pól je propojen na backplane přímo s konektorem typu OMNIMATE, který slouží k vyvedení výkonu kabelem ze zadu racku, viz kapitola 2.2.2 nebo [6]. Každý ze 3 pólů je tvořen čtyřmi řadami a mezi póly jsou umístěny 2 řady pro izolaci. Přesné rozložení pinů je znázorněno na obrázku 2.7. Zatížitelnost jednoho pólu je 72 A, v případě potřeby je možno zvyšovat propustnost mezi rozhraním backplane a karty paralelním zapojením konektorů. Jedna karta pak zabere více zásuvných pozic v racku.

2.2.2 Připojení vnějších zařízení

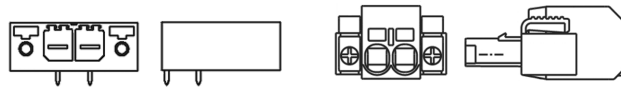
Pro připojení vnějších zařízení byly zvoleny konektory řady OMNIMATE Power BV/SV 7.62HP od firmy Weidmüller. Konektory umožňují připojení kabelů o průměru $0,5 \div 10 \text{ mm}^2$. Zatížitelnost jednoho pólu této řady je 41 A a jmenovité napětí 1000 V. Je stanoveno použití dvupólového konektoru v celém systému. Toto rozvržení bylo stanoveno vzhledem k vyvážení proudové zatížitelnosti všech částí systému.



Obrázek 2.6: Návrh propojení zásuvné karty s backplane pomocí konektoru DIN 41612 (typ C, 96 pinů) [1, strana 6]



Obrázek 2.7: Označení pinů dle DIN 41612 (silový konektor, zásuvka, strana backplane)



Obrázek 2.8: Silový konektor OMNIMATE Power 7.62 HP, vlevo SV 7.62HP/2/90SF do DPS, vpravo BVF 7.62HP/2/180SF na kabel

Na straně DPS je použit konektor SV 7.62HP/2/xxSF (vidlice, celkem 82 A, xx označuje natočení konektoru - 90/180/270), který umožňuje připojení konektoru s aretací pomocí pružinové nebo šroubové příruba. Pro kabely je vhodné použít konektory BVF 7.62HP/2/180 (bez aretace), BVF 7.62HP/2/180F (pružinová příruba) nebo BVF 7.62HP/2/180SF (pružinová příruba se šrouby). Tato řada má pružinové připojení vodičů ke konektoru.

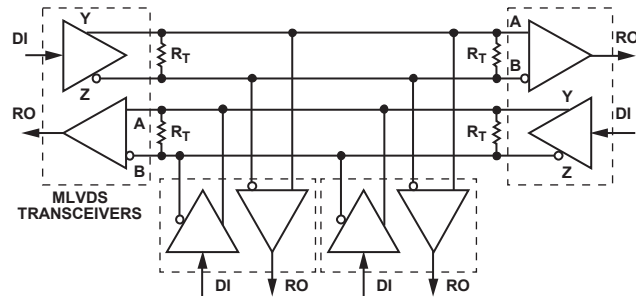
2.2.3 Rozložení pinů signálového konektoru a popis signálů

K propojení signálů mezi kartami a backplane je z řady DIN 41612 použit 96 pinový (3×32 pinů) konektor typu C umístěný nad silovým konektorem. Rozložení pinů je definováno následující tabulkou, zakreslení pozic na konektoru je na obrázku 2.10.

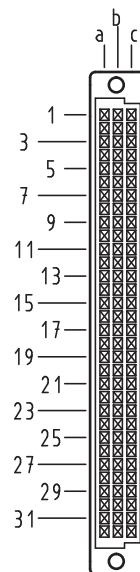
	a	b	c
1	P0 A	V0 A	C0 A
2	P0 B	V0 B	C0 B
3	P1 A	V1 A	C1 A
4	P1 B	V1 B	C1 B
⋮	⋮	⋮	⋮
23	P11 A	V11 A	C11 A
24	P11 B	V11 B	C11 B
25	F A	E A	D A
26	F B	E B	D B
27	Err	L	3,3 V
28	R	GND	24 V
29	LE	GND	24 V
30	C	GND	24 V
31	LO	GND	24 V
32	ITE/LI ²	GND	24 V

Tabulka 2.3: Rozložení pinů na signálovém konektoru

²V první zásuvné pozici racku je funkce pinu 32a změněna z indikace vložené karty rezervující si rychlé sběrnice na funkci vstupu řetězce sčítaček umístěných na backplane, viz kapitola 2.2.6.4



Obrázek 2.9: Topologie M-LVDS



Obrázek 2.10: Označení pinů dle DIN 41612 (signálový konektor, zásuvka, strana backplane)

2.2.3.1 Technologie M-LVDS

Signály označené $P0 \dots P11$, $V0 \dots V11$, $C0 \dots C11$, E , F jsou diferenciálního charakteru využívající technologii M-LVDS (Type 1), která umožňuje připojení až 32 uzlů na jednu sběrnici. Výstupy driverů a přijímačů mohou přecházet do stavu vysoké impedance. Přijímače (receivers) detekují přijímaná data na základě rozdílu napětí mezi dvěma signály A a B (drivery mají diferenciální signály označeny Y a Z). Diferenciální zapojení zvyšuje odolnost vůči rušení a zároveň minimalizuje vyzařování. Signál A je neinvertovaný a signál B je invertovaný. Diferenciální napětí mezi signály M-LVDS dosahuje hodnot $\pm 0,3$ V. M-LVDS Type 1 má střed necitlivosti rozhodovací úrovně umístěný na 0 V, tato verze je výhodnější pro distribuci hodin, které jsou pak symetrické. Technologie M-LVDS umožňuje komunikaci rychlostí až 400 Mbps při vzdálenosti 10 m nebo 200 Mbps při vzdálenosti 20 m. Charakteristická impedance vedení systému M-LVDS je 100Ω , která musí být zohledněna při návrhu DPS. Impedance je ovlivněna geometrií dvojice spojů. Sběrnice je třeba zakončit odpory, které budou umístěny v zakončovacích zásuvných kartách, aby byly eliminovány odrazy od konců vedení. Za drivery, respektive přijímači, na straně unipolárních signálů je vhodné provést izolaci signálů, která zaručí ochranu jednotlivých komponent systému.

2.2.3.2 Popis signálů

Mezi řídicím systémem a kartami je vytvořeno 12 rychlých kanálů. Každý kanál je složen ze 3 sběrnic označených P , V , C . V případě, že zasunutá karta potřebuje využívat rychlé sběrnice pro komunikaci s řídicím systémem, může si zarezervovat jeden z dvanácti kanálů. Kanály se zabírají postupně od pozice 0 v pořadí zasunutých karet.

Rychlé sběrnice P jsou vedeny od řídicího systému ke kartám. Především slouží k ovládní karet, v případě tranzistorového půlmůstku se jedná o spínání dvojice tranzistorů nebo zapnutí analogového regulátoru proudu, který je umístěn přímo na kartě, a zaslání žádané hodnoty proudu.

V opačném směru jsou vedeny dvě sběrnice, které jsou označeny V , C . Umožňují rychlé odesílání dat přímo do řídicího systému. Pro tranzistorový půlmůstek je sběrnice C využívána k odesílání měřeného proudu a sběrnice V k odesílání měřeného napětí.

Signály E (Enable) a F (hodiny) slouží k řízení komunikace po rychlých sběrnicích v celém systému. Komunikace má oddělené hodiny komunikace od dat. Specifikace systému předpokládá dosažení maximálního kmitočtu přenosu dat 40 MHz, minimální kmitočet je stanoven na hodnotě 500 kHz³. Signál E začíná vysílání jedné zprávy, je jím spuštěna komunikace najednou ve všech dostupných kanálech. Data na sběrnicích jsou odesílána se sestupnou hranou hodin F a s náběžnou hranou hodin jsou ze sběrnice čtena. Podrobněji lze nalézt v kapitole 2.2.5.

Sběrnice D (Data) je vyhrazena pro použití pomalé datové komunikace standardem CAN. Impedance sběrnice je navržena pro standard CAN na 120Ω .

Err (Error) je unipolární logický signál 24 V, který je rozveden přes pull-up rezistory v celém systému, nastane-li chyba v kterémkoliv místě systému je stažen v místě chyby na úroveň 0 V. Signál R (Reset) je unipolární logický signál 24 V, který uvádí celé zařízení

³Minimální kmitočet je omezen AD a DA převodníky, viz datasheety.

do výchozího stavu. Logické signály *LE* (24 V), *C*, *LO*, *LI/ITE*, *L* (všechny 3,3 V) slouží k adresaci karet, jejich význam je vysvělen v kapitole 2.2.6.

Pin 27c slouží k napájení logiky 3,3 V umístěné na backplane. Zdroj pro tuto logiku bude umístěn v řídicím systému. Nelze použít pro napájení logiky na kartách! Piny 28c-32c slouží k napájení karet 24 V, na pinech 28b-32c je země napájení.

2.2.4 Standard zprávy

Pro rychlé sběrnice *P*, *V*, *C* je zaveden standard zprávy, která má celkovou délku 22 nebo 38 bitů. Zpráva se skládá z pěti řídicích bitů (tzv. hlavičky zprávy), následují data. Platnost zprávy může být kontrolována bitem zajišťujícím lichou paritu zprávy, který je umístěn na poslední pozici.

P0	P1	T0	T1	L	DATA 16/32 bitů	P
----	----	----	----	---	-----------------	---

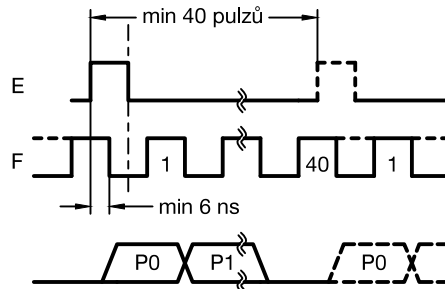
Význam jednotlivých bitů je následující:

- P0 P1** označují zabezpečení zprávy
 $[P0,P1] = [0,0]$ - bez zabezpečení zprávy, lichá parita zprávy není kontrolována, nebo není generován paritní bit
 $[P0,P1] = [0,1]$ - na poslední pozici zprávy je bit zajišťující lichou paritu
 $[P0,P1] = [1,x]$ - rezervováno pro jiné typy zabezpečení
- T0 T1** stavové bity (jejich význam závisí na konkrétní aplikaci, např. lze jimi spínat tranzistory nebo zapínat proudový regulátor)
- L** určuje délku dat
 $0 = \text{DATA o délce 16 bitů}$
 $1 = \text{DATA o délce 32 bitů}$
- DATA** datová část zprávy, délka dat 16 nebo 32 bitů je určena bitem L, data jsou zarovnána vlevo nejvíce významným bitem a případně doplněna nulami do plné délky 16 nebo 32 bitů
- P** paritní bit - kontrola liché parity, tj. v celé zprávě se vyskytuje lichý počet „1“

2.2.5 Řízení komunikace

Na obrázku 2.11 je definováno řízení komunikace. Hodiny *F* mohou nepřetržitě vysílat i v době, kdy se nevysílá zpráva po sběrnících *P*, *V*, *C*, nebo mohou být v klidu v úrovni „1“. Signál Enable *E* synchronizuje začátek vysílání zpráv ve všech využívaných sběrnících *P*, *V*, *C*. Protože je stanoven standard zprávy na maximálně 38 bitů, je doporučeno zprávy vysílat nejčastěji po 40 pulzech hodin *F*. Tzn. mezi dvěma pulzy Enable musí být nejméně 40 pulzů hodin *F*. Při této konfiguraci a kmitočtu *F* 40 MHz lze odesílat a přijímat zprávy přes rychlé sběrnice s nejvyšší frekvencí 1 MHz. Náběžná hrana pulzu Enable musí předcházet sestupné

hraně hodin minimálně o 6 ns a sestupná hrana pulzu Enable by měla být v polovině doby, kdy jsou hodiny F v úrovni „0“.



Obrázek 2.11: Časování komunikace

2.2.6 Adresování karet a backplane

Jelikož lze jednotlivé racky propojovat do řetězce a tím navyšovat kapacitu zásuvných míst, je pro možnost přesné identifikace místa vložení karty vytvořen systém absolutního adresování a pro rezervaci rychlých sběrnic P , V , C systém relativního adresování.

2.2.6.1 Absolutní adresa

Absolutní adresy popisují přesně každé zásuvné místo v daném racku. Adresa je v 8 bitovém formátu $(XXXX\ YYY)b$. $XXXX$ je pozice racku v řetězci, kdy první rack má adresu 0000, následující je vždy inkrementován o jedna. YYY je pozice konektoru v daném racku, která může nabývat hodnoty 1 (0001b) až 14 (1110b), protože v každém racku je 14 zásuvných pozic. Adresa $XXXX0000b$ je rezervována pro backplane.

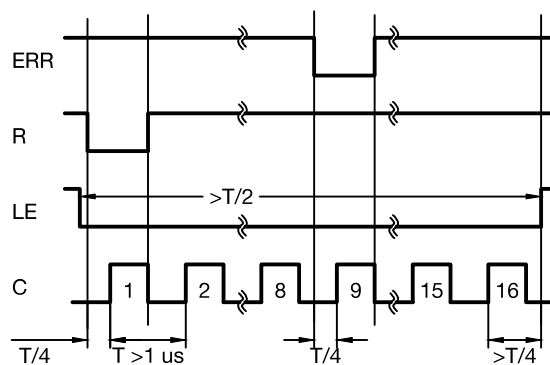
Zde je uvedeno několik příkladů:

- adresa 0000 0011b nebo-li 0x03 je adresa 3. zásuvné pozice v prvním racku,
- adresa 0100 1100b nebo-li 0x4E je adresa 14. zásuvné pozice v 5. racku,
- adresa 0101 0000b nebo-li 0x50 je adresa backplane v 6. racku.

2.2.6.2 Relativní adresa

Relativní adresování slouží k postupnému zabírání dvanácti rychlých kanálů (sběrnice P , V , C) dle pořadí⁴ vložených karet. Relativní adresa karty využívající rychlé sběrnice určuje, který z kanálů je pro ni vyhrazen. Rychlé kanály se zabírají v postupném pořadí od kanálu č. 0 až po kanál č. 11. Relativní adresa je v 8 bitovém formátu. V případě, že vložená karta si chce zarezervovat jeden kanál se třemi rychlými sběrnicemi P , V , C musí mít na pinu ITE připojenou logickou hodnotu „1“ v logice 3,3 V. První karta využívající rychlé sběrnice má relativní adresu 0, každá následující karta využívající rychlé sběrnice je vždy inkrementována o 1.

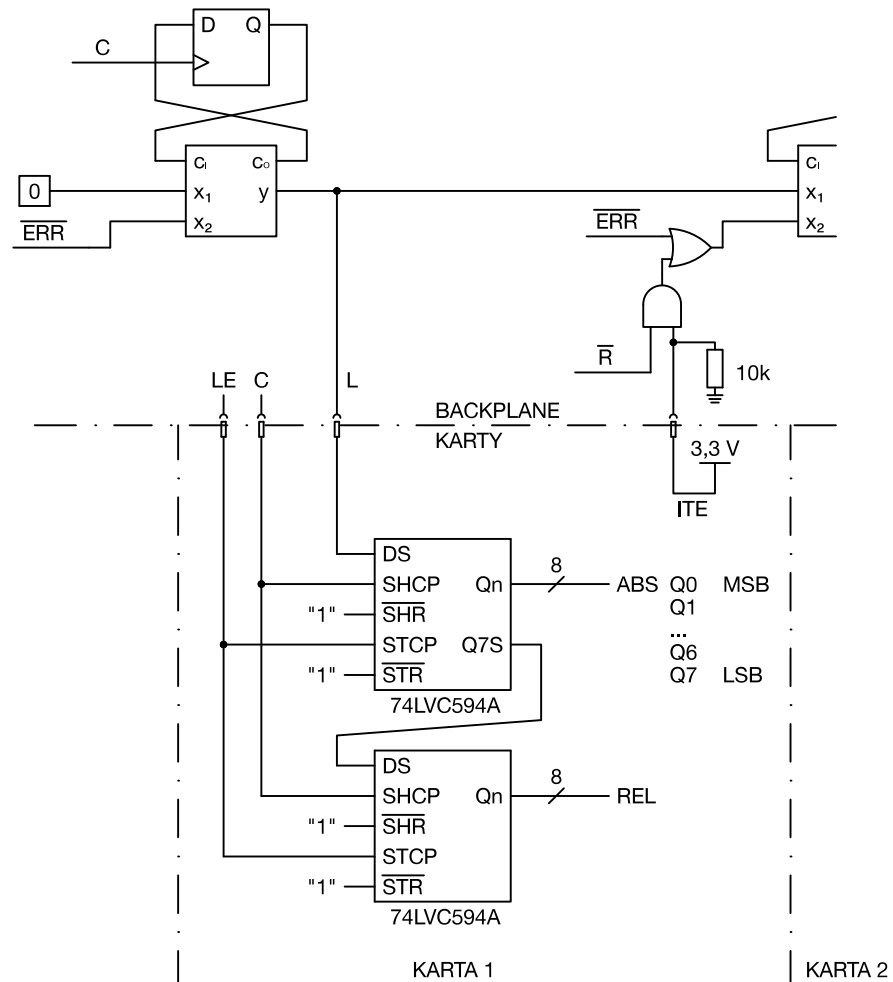
⁴Pořadím vložení je myšlena fyzická pozice, nikoliv časová posloupnost.



Obrázek 2.12: Časování adresování

2.2.6.3 Realizace adresování

Na backplane je vytvořen systém rozložených sčítaček, který počítá relativní a absolutní adresy. Schéma logiky je na obrázku 2.13. Jedná se o soustavu 1 bitových sčítaček, které sčítají vícebitové číslo v sérii, což je vytvořeno zavedením bitu charakterizujícího přenos C_O přes D klopný obvod do C_I . Každá ze sčítaček inkrementuje absolutní pozici o jedna. Relativní pozice je inkrementována pouze v případě, že je pin *ITE* (Include This Electronic Unit) zaveden na logickou úroveň „1“. Adresy mohou být sériově načteny do posuvného registru umístěného na kartě nebo na backplane přes pin *L* (Load). Signálem *LE* (Load Enable) je povolen režim adresování (při úrovni „0“) a s náběžnou hranou signálu je proveden zápis z posuvných registrů do paralelních registrů. Tím je zaručena bezpečnost provozu, adresy v paralelních registrech se nemění, pokud signál *LE* je stále v úrovni „1“. Řízení adresace je provedeno pomocí signálů *Err* (Error), *R* (Reset) a *LE* (Load Enable). Sériové sčítání a nasouvání do posuvných registrů na kartách je řízeno hodinami *C* (Clock). Při adresování je nutné dodržet průběh jednotlivých signálů dle obrázku 2.12.

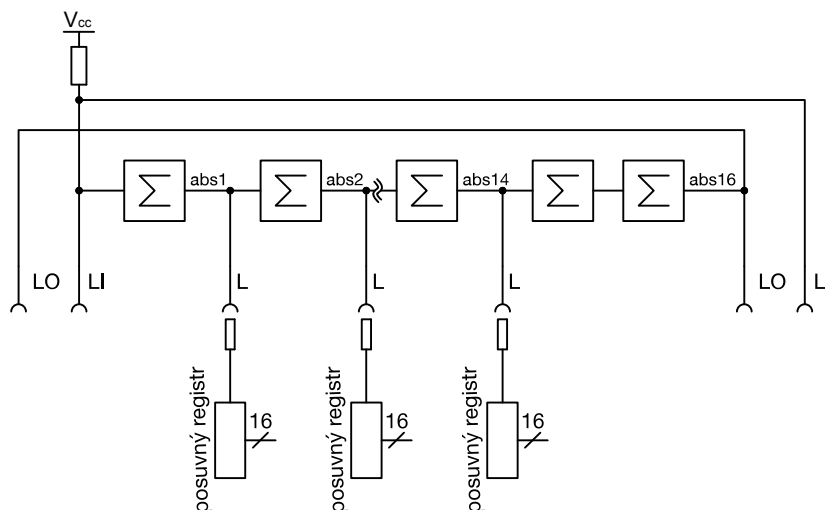


DS	SÉR. DATA VSTUP
SHCP	POSUV. REG. HODINY
SHR	POSUV. REG. RESET
STCP	PARALEL. REG. HODINY
STR	PARALEL. REG. RESET
Q7S	SÉR. DATA VÝSTUP
Qn	PARALEL. DATA VÝSTUP

Obrázek 2.13: Schéma adresování karet a backplane, ilustrováno pro první rack - do první sčítačky vstupuje logická 0

2.2.6.4 Systém propojování racků do řetězce

K propojení dvou racků mezi sebou slouží propojovací karty typu I, které mohou být umístěny na poslední nebo první zásuvné pozici. Veškeré sběrnice a signály jsou vyvedeny propojovací kartou na konektor ve štítku karty. Racky se přes tyto konektory propojí kabelem. Výsledkem je propojení sběrnic jednotlivých racků a signálů do série.



Obrázek 2.14: Schéma propojování adresování

Systém adresování vyžaduje propojení konce řetězce sčítaček racku se začátkem řetězce sčítaček racku následujícího. K tomu slouží signály *LO* (konec řetězce sčítaček) a signál *LI*⁵ (začátek řetězce sčítaček). Znázornění propojení systému adresování je na obrázku 2.14. Díky tomu, že jsou oba signály *LI* a *LO* vyvedena na první i poslední pozici racku, mohou být racky umístěny pod sebou nebo vedle sebe v řadě. Sousednost řetězce racků je určena zapojením signálů *LI*, *LO*.

⁵Signál *LI* se nachází na pinu 32a. Signál *LI* je na tomto pinu vyveden jen na první a poslední zásuvné pozici. V jiných pozicích je na tomto pinu vyveden signál *ITE*, který slouží k zarezervování rychlých sběrnic. Z výše uvedeného vyplývá, že karta v první a poslední zásuvné pozici nemůže využívat rychlých sběrnic typu *P*, *V*, *C*.

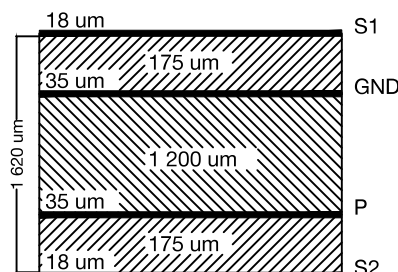
Kapitola 3

Zásuvná tranzistorová karta T0001M1.0

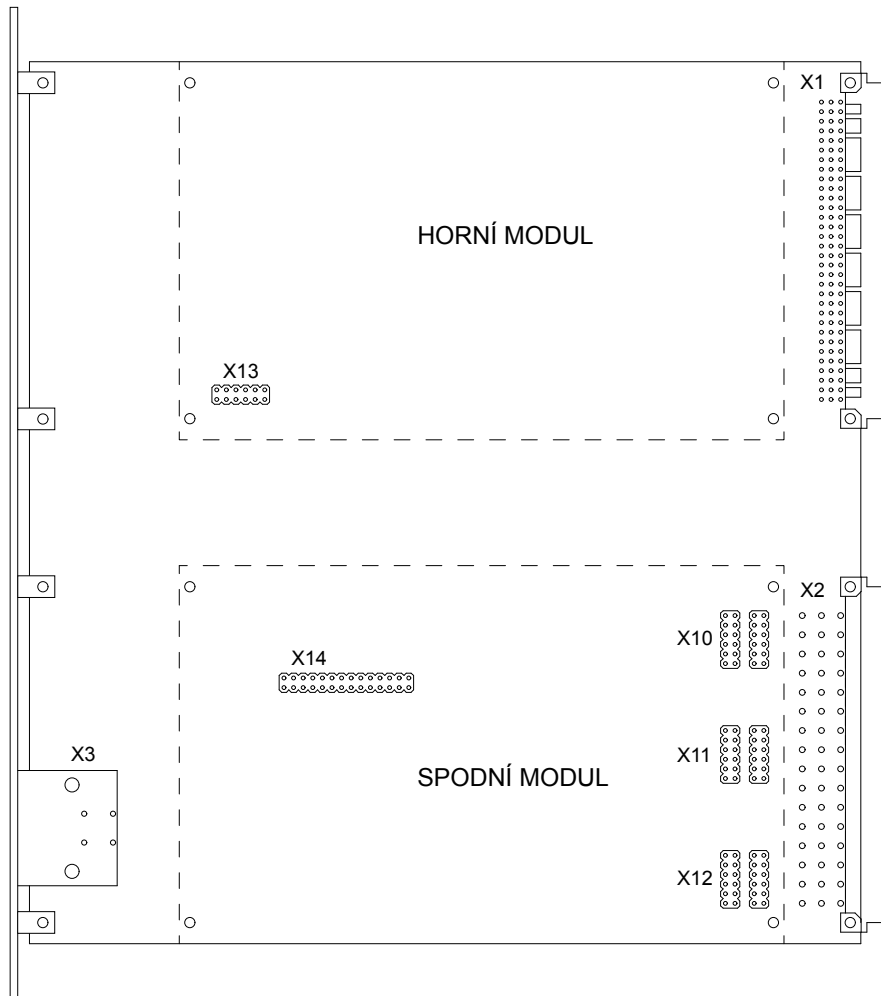
Zásuvná karta s typovým číslem T0001M1.0 slouží jako platforma pro tranzistorový půlmůstek střídače. Zpracovává povely z řídicího systému pro ovládání tranzistorů a druhým směrem odesílá měřené hodnoty proudu a vypočtené hodnoty napětí. Výkonové tranzistory s budiči a obvody pro zajištění mrtvých dob jsou umístěny na výměnném modulu¹ (spodní slot pro moduly na tranzistorové kartě). Toto řešení umožňuje přizpůsobení tranzistorové karty pro velký rozsah výkonů od těch nejmenších až po horní výkonovou hranici celého systému MoMenTiK pouhou výměnou modulu s výkonovými tranzistory. Výhoda tohoto řešení je zejména v úspoře nákladů na výrobu, neboť výměnný modul je mnohem menší a jednodušší jednotka, než celá zásuvná tranzistorová karta. Na modulu s tranzistory je umístěno čidlo proudu, které je přizpůsobeno přímo výkonové řadě tranzistorů, a tím se zvyšuje přesnost měření proudu.

Volitelně lze připojit na tranzistorovou kartu druhý modul (horní slot pro moduly), který umožňuje rozšíření funkcí tranzistorové karty o analogový regulátor proudu nebo proudový omezovač. Na tomto modulu jsou generovány řídicí pulzy pro výkonové tranzistory v případě, že nejsou ovládanány přímo.

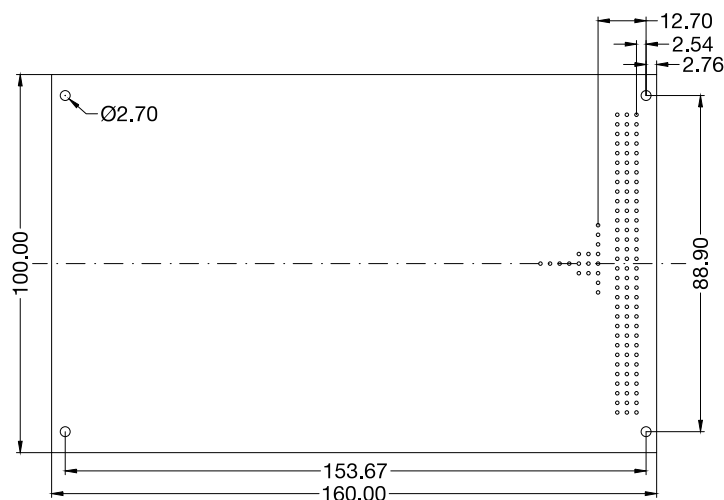
¹Na tranzistorové kartě jsou sloty pro připojení 2 modulů, viz obrázek 3.2.



Obrázek 3.1: Rozložení vrstev DPS T0001M1.0



Obrázek 3.2: Rozložení zásuvné karty T0001M1.0 s moduly, měřítko 1:2



Obrázek 3.3: Rozměry modulu s vyznačením rastru předvrtaných otvorů Eurocard 160 × 100 mm, výška 3U dle [3] nebo [4], měřítko 1:2

Dle normy musí zásuvná karta mít tloušťku DPS 1,6 mm s tolerancí $\pm 0,2$ mm. S ohledem na optimální výrobní možnosti byla zvolena konfigurace čtyřvrstvé DSP s dvojicí vrstev vyhrazených pro signály o tloušťce mědi 18 μm a dvojicí vrstev vyhrazených pro napájení a zem o tloušťce mědi 35 μm . Přesné rozložení vrstev i s nákresem tlouštěk izolačních vrstev je na obrázku 3.1.

3.1 Mechanické rozvržení

Rozměr zásuvné karty je 233,35 mm × 220 mm (v × š), detailněji jsou rozměry probrány v kapitole 2.1.3. V pravé straně karty jsou umístěny dva konektory DIN 41612 v 90° provedení. Horní signálový konektor X1 je 96 pinový typu C (vidlice), spodní konektor X2 je silový typu E s 48 piny (vidlice).

Moduly s tranzistory nebo regulátorem proudu jsou v normované velikosti Eurocard 160 × 100 mm, která je běžně dostupná v elektrotechnických obchodech. Pro vývoj prototypů modulů tak není potřeba zákaznické řešení výroby. Velikost Eurocard vychází z norem pro systém 19" racku. V normách [4] a [3] je tento rozměr označen výškou 3U (100 mm) a šířkou 160 mm. Rozměry modulu jsou uvedeny na obrázku 3.3.

Karty Eurocard je možné koupit i s předvrtanými otvory pro montáž součástek, což lze využít pro vývoj prototypů. V pravé části modulu je rastr tří sloupců pro připojení konektoru DIN 41612. V ostatních částech karty je rastr děr 2,54 mm posunut vůči rastru pro připojení DIN 41612 konektoru vertikálně o 1,27 mm. Místem s rastrem DIN konektoru je modul orientován vždy směrem ke konektorům zásuvné karty (vpravo při pohledu shora). Moduly se na tranzistorovou kartu upevňují pomocí čtyř otvorů pro šrouby distančních sloupců, které jsou umístěny v rozích karty. Konektory s roztečí 2,54 mm propojující modul s tranzistorovou kartou jsou umístěny v rastru předvrtané DPS typu Eurocard.

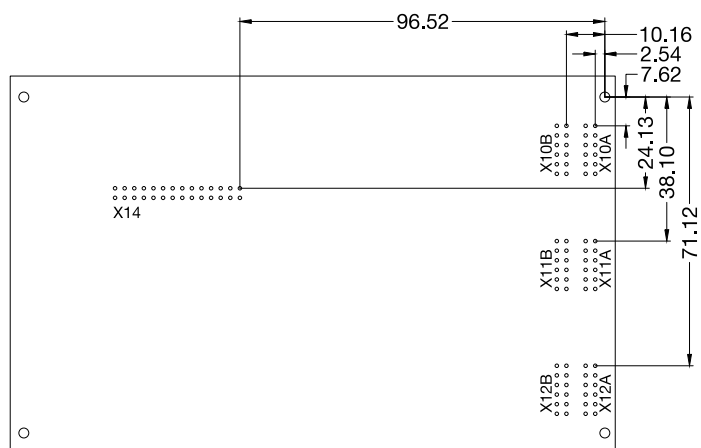
3.1.1 Modul s tranzistory

Modul s tranzistory je umístěn ve spodním slotu pro moduly. Vpravo je trojice silových konektorů $2 \times 2 \times 6$ pinů (na kartě dutinky, na modulu kolíky) označených X10A,B (+DC), X11A,B (-DC) a X12A,B (vyvedený střed půlmůstku). Tyto konektory jsou umístěny v rastru pro konektor DIN 41612. Jeden pól je dimenzován na 72 A (jeden pin 3 A). Signálový konektor X14 o rozměru 2×14 pinů (na kartě kolíky, na modulu dutinky) je na modulu umístěn vlevo nahoře. Přesné zakótování je uvedeno na obrázku 3.4. Rozložení pinů signálového konektoru X14 je následující:

pin č.	jméno signálu
1, 3, 5, 7, 9, 11, 13, 15	analogová zem (AGND)
2, 4, 6	měření proudu
8, 10, 12	měření napětí
14	napájení +15 V
16	napájení -15 V
17	řídící pulz spodního tranzistoru půlmůstku
18	řídící pulz horního tranzistoru půlmůstku
19	signál Enable (E)
20	hodiny komunikace (F)
21	napájení 3,3 V
22	digitální zem (DGND)
23, 24	vyhrazeno pro pomalou datovou sběrnici (D)
25	signál Reset (24 V)
26	signál Error (25 V)
27	digitální zem (DGND)

Tabulka 3.1: Rozložení pinů signálového konektoru tranzistorového modulu X14

Popis a specifikace signálů měření proudu je uvedena v kapitole 3.2.4 na obrázku 3.9 a specifikace signálů měření napětí v kapitole 3.2.5 na obrázku 3.12.



Obrázek 3.4: Rozmístění konektorů na tranzistorovém modulu, měřítko 1:2



Obrázek 3.5: Umístění konektoru X13 na modulu regulátoru proudu, měřítko 1:2

3.1.2 Modul s regulátorem proudu

Do horního slotu pro moduly je možno připojit regulátor proudu, který byl navržen v rámci týmového projektu [5]. Konektor X13 o rozměru 2×6 pinů (na kartě kolíky, na modulu dutinky) je umístěn vlevo dole, zakótování umístění je na obrázku 3.5. Rozložení pinů je v tabulce 3.2.

pin č.	jméno signálu
1	žádaná hodnota proudu (analogová)
2, 4	analogová zem (AGND)
3	skutečná hodnota proudu (analogová)
5	řídící pulzy od proudového regulátoru pro horní tranzistor pŕlmŕstku
6	řídící pulzy od proudového regulátoru pro spodní tranzistor pŕlmŕstku
7	frekvenční kmitočet 2 MHz
8, 9	digitální zem (DGND)
10	napájení 3,3 V
11	napájení +15 V
12	napájení -15 V

Tabulka 3.2: Rozložení pinů konektoru regulátoru proudu X13

Význam pinů pro proudový regulátor je detailně vysvětlen v kapitole 3.2.3.

3.1.3 Konektor v čelním panelu

K vyvedení středu pŕlmŕstku je ve štítku karty umístěn konektor pro připojení kabelu. Konektor je řady OMNIMATE Power od firmy Weidmüller, typ SV 7.62HP/2/90SF² (vidlice). Konektor je umístěn tak, aby byl zarovnan se štítkem karty, jeho střed je umístěn 30,55 mm od spodní hrany zásuvné karty. V návrhu zásuvné tranzistorové karty T0001M1.0 je to jediný prvek umístěný v čelním štítku, pro který je nutné vyfrézovat otvor. Velikost otvoru ve štítku pro konektor je 30,42 × 11,4 mm, konektor je umístěn na výšku.

²Podrobněji v kapitole 2.2.2 na straně 10.

3.2 Elektrická část

3.2.1 Blokové schéma tranzistorové karty

Na obrázku 3.6 je zobrazeno blokové schéma tranzistorové karty s vyznačeným modulem regulátoru proudu a modulem s tranzistorou. Tranzistorová karta využívá všechny tři rychlé sběrnice M-LVDS označené P , V , C . Sběrnici typu P je přijímána zpráva pro řízení tranzistorů, které mohou být řízeny buď přímo povely zapnout/vypnout, nebo může být zapnut analogový regulátor proudu s generátorem pulzů, který je umístěn na samostatném modulu. Problematika zpracování zprávy, řízení tranzistorů a regulátoru proudu je probrána v kapitole 3.2.3. Pulzy (generované příkazy přímo od řídicího systému, nebo z regulátoru proudu) jsou vedeny přes konektor X14 na modul s tranzistorou. Na tomto modulu jsou umístěny obvody pro zajištění mrtvých dob, galvanického oddělení a budiče tranzistorů.

Sběrnice C je využita pro odesílání aktuální hodnoty proudu, který prochází středem pólumůstku. Proud je měřen čidlem proudu umístěným na tranzistorovém modulu. Signál měřeného proudu je zpracován AD převodníkem a následně je vytvořena zpráva, která je odeslána přes rychlou sběrnici C do řídicího systému, podrobně o měření proudu pojednává kapitola 3.2.4.

Sběrnice V je využita pro odesílání vypočtené hodnoty napětí, která je rekonstruována z derivace proudu, následně je vytvořena zpráva a odeslána přes rychlou sběrnici V do řídicího systému. Podrobněji lze nalézt v kapitole 3.2.5.

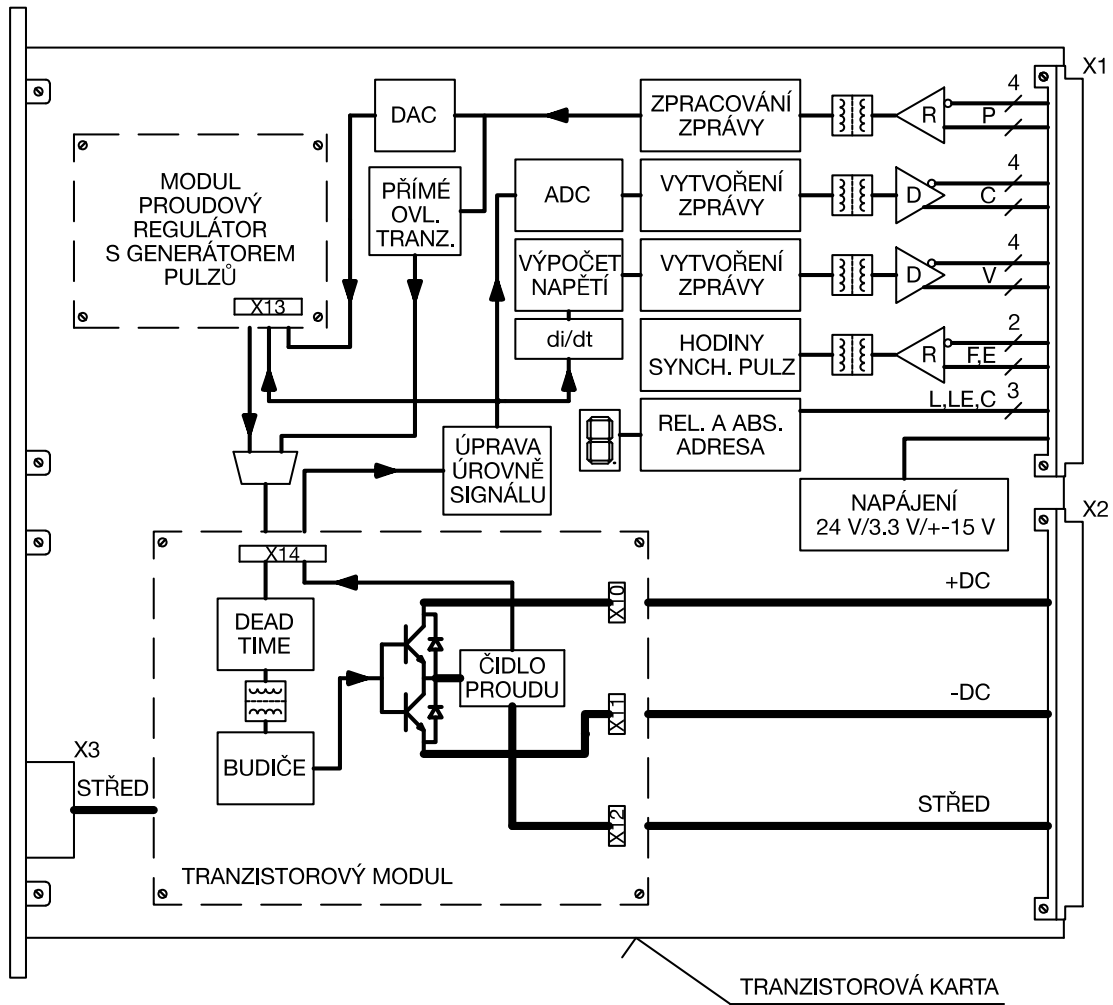
Dále se na kartě nachází bloky pro řízení datové komunikace signály F (hodiny) a E (Enable), posuvné registry a paralelní registry pro relativní a absolutní adresování karty. Na tranzistorové zásuvné kartě je vytvořeno z 24 V napájení logických obvodů 3,3 V a pro napájení analogové části +15 V a -15 V.

Veškeré funkční bloky jsou vytvořeny pomocí klasické hradlové logiky. Výhodou tohoto řešení je minimalizace hazardů, které mohou vznikat při softwarovém řešení. To by si navíc vyžádalo dlouhé časové období na odlazení programu. Návrhem založeným na ověřených synchronních obvodech jsme se tomuto problému z velké části vyhnuli. Druhou výhodou je, že v případě ověření návrhu lze princip zapojení logických obvodů zkopírovat do programovatelného hradlového pole (FPGA) a po doplnění testy ho lze považovat za stejně bezpečný. K dosažení požadované rychlosti datové komunikace o frekvenci 40 MHz byly zvoleny integrované obvody řady 74ALVC, případně 74LVC. Tyto řady mají jmenovité napájení 3,3 V a dosahují zpoždění hradel kolem 3 ns, respektive 4 ns, při zatížení hradla kapacitou 50 pF.

3.2.2 Rozhraní diferenciálních signálů M-LVDS

Pro propojení rozhraní diferenciálních signálů s unipolárními singály jsou použity součástky ADN4693 primárně určené pro full-duplex komunikaci. To znamená, že mají plně oddělený přijímač (reciver) a driver. Jednu součástku lze tedy použít pro dvě oddělené sběrnice rychlé komunikace. Karta T0001M1.0 umožňuje rezervování prvních čtyř³ kanálů

³Systém MoMenTiK umožňuje využívat až 12 rychlých kanálů. První prototyp tranzistorové karty T0001M1.0 podporuje 4 kanály z důvodu optimalizace nákladů výroby prototypu. Rozšíření na plný počet kanálů je možné doplněním driverů a přijímačů M-LVDS pro kanály (č. 4 až č. 11).



Obrázek 3.6: Blokové schéma tranzistorové karty T0001M1.0

rychlých sběrnic (kanály č. 0 až č. 3). To je realizováno v případě příjmu zprávy čtyřmi přijímači, které mají unipolární signál zapojený do jednoho uzlu. Aktivní přijímač je právě jeden dle relativní adresy a ostatní přijímače jsou ve stavu vysoké impedance. Relativní a absolutní adresa je načtena posuvným registrem a s náběžnou hranou signálu LE je uložena do paralelního registru. Pro zvýšení odolnosti signálu LE vůči rušení je jeho logická úroveň „1“ na hladině 24 V, logická hodnota je převedena odporovým děličem a přes Schmittův klopný obvod na logickou úroveň 3,3 V. Posuvný registr a paralelní registr je realizován 74LVC594. Paralelní registr s uloženou relativní adresou je dekodován dekodérem 74LVC138A, jehož výstupy slouží jako enable signály pro přijímače systému M-LVDS. Ve zcela shodném konceptu jsou realizovány sběrnic C a V , ale místo přijímačů jsou umístěny drivery, uzel kanálů je opět vytvořen na unipolární straně. Do vysoké impedance přechází diferenciální strana neaktivních driverů.

Správnou funkci načtení relativní adresy lze zkontrolovat na sedmissegmentovém LED displeji označeném LED1. Displej LED je napájen driverem pro sedmissegmentové displeje 74HC4511, který dekoduje hodnotu relativní adresy uloženou v paralelním registru.

Systém M-LVDS a relativní adresace s dekodérem a zobrazovačem LED je od zbylé části zásuvné karty z důvodu ochrany oddělen izolátorem signálů ADUM3440 (odolnost 2 500 V rms po dobu 1 minuty), který umožňuje izolaci čtyř unipolárních signálů a izolátorem napájení ADUM5000.

3.2.3 Řízení tranzistorů

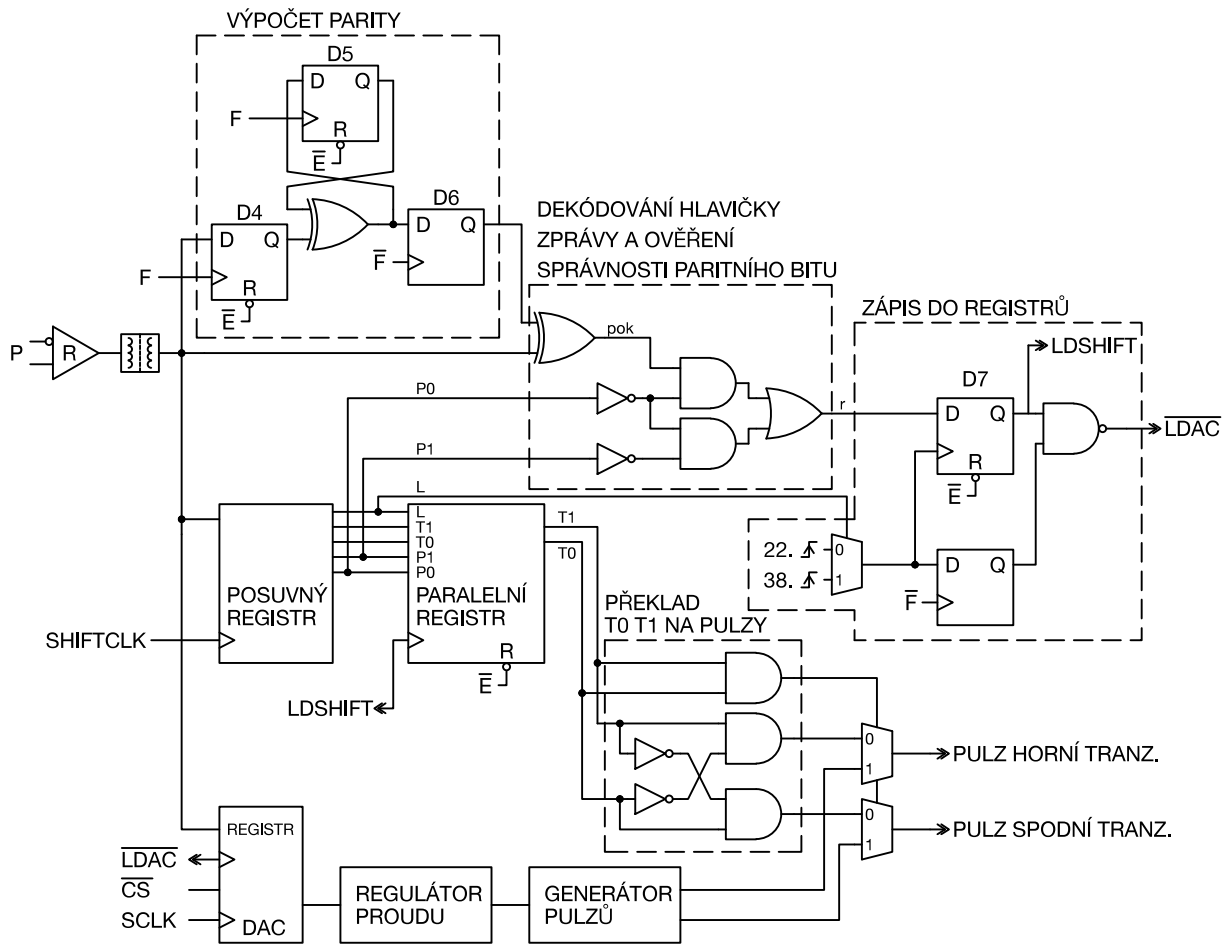
Příjem zprávy pro řízení tranzistorů po sběrnici P je sestaven ze čtyř částí:

1. posuvný registr pro načtení prvních pěti bitů zprávy (bity P0, P1, T0, T1, L) a paralelní registr pro uložení těchto bitů z posuvného registru,
2. blok kontrolního součtu,
3. registr DA převodníku přijímající část zprávy označené jako DATA,
4. blok překladu bitů T0, T1 na řídicí pulzy tranzistorů.

3.2.3.1 Příjem zprávy

Prvních pět bitů zprávy (hlavička zprávy) je načteno do posuvného registru, kde jsou identifikovány parametry zprávy: zabezpečení zprávy (bity P0, P1), délka dat (bit L) a bity T0, T1 pro řízení tranzistorů. Na posledním bitu zprávy se nachází bit zajišťující lichou paritu. Při příjmu zprávy je na kartě vypočtena hodnota tohoto bitu. V případě, že bity $[P0, P1] = [0, 1]$, je při příjmu zprávy provedena kontrola, zda poslední bit zprávy souhlasí s vypočtenou hodnotou paritního bitu. Shodují-li se, uloží se hlavička zprávy (tj. bity P0, P1, T0, T1, L) z posuvného registru do paralelního registru⁴ a je provedeno načtení přijaté

⁴Zápis do paralelního registru probíhá s náběžnou hranou signálu ve výkresech označeného LDSHIFT, který je generován pouze v případě, že zpráva projde kontrolou parity, nebo pokud není kontrola parity požadována. Kontrola paritního bitu probíhá na 22. místě (L=0) nebo na 38. místě (L=1) zprávy.



Obrázek 3.7: Schéma příjmu zprávy pro řízení tranzistorů (sběrnice P)

hodnoty žádaného proudu (DATA) do registru DA převodníku. V případě, že kontrolní součet nesedí, výše popsaná operace se neprovede a zpráva se zahodí.

Každý rámeček posílání zprávy začíná pulzem signálu E (Enable) (časování rychlé komunikace je definováno v kapitole 2.2.5 na straně 15), tímto signálem jsou vynulovány D klopné obvody v bloku počítání parity a D klopný obvod pro generaci signálu LDSHIFT⁵ a $\overline{\text{LDAC}}$ ⁶. Signálem reset (na hladině „0“) je vynulován paralelní registr.

Je-li $[P0, P1] = [0, 0]$ uložení zprávy do registrů proběhne vždy bez ohledu na výsledek kontrolního součtu zprávy. V případě, že $[P0, P1] = [1, x]$, jedná se rezervovanou kombinaci pro jiné kontrolní součty a zpráva je vždy zahozena, tj. není načtena do registrů, protože tranzistorová karta T0001M1.0 jiné kontroly zprávy neumožňuje.

3.2.3.2 Přímé řízení tranzistorů

Tranzistory pŕlmŕstku lze spínat buď přímo pokyny z řídicího systému, nebo generátorem pulzů umístěným na modulu, který je řízený regulátorem proudu. Ovládání je řízeno bity T0 a T1, význam bitů je uveden v tabulce 3.3. Změna stavu tranzistorů probíhá pouze v případě, že přijatá zpráva prošla úspěšně kontrolou (je-li kontrola vyžadována).

T0	T1	spodní tranzistor	horní tranzistor
0	0	vypnout	vypnout
0	1	vypnout	zapnout
1	0	zapnout	vypnout
1	1	zapnutý proudový regulátor	

Tabulka 3.3: Význam bitů T0 a T1

3.2.3.3 Regulátor proudu

⁷Žádaná hodnota proudu je zadávána v části zprávy označené jako DATA, nejvíce významný bit je zarovnán doleva. Hodnota žádaného proudu je převedena do analogové hodnoty v rozsahu 0÷3 V. Tento analogový signál je vyveden přes konektor X13 na modul analogového regulátoru proudu, který byl navržen hysterezního typu v rámci týmového projektu [5]. Na konektor X13 je rovněž zavedena analogová hodnota měřeného proudu z čidla proudu na modulu s tranzistorem, tato hodnota je převedena do stejného rozsahu, tj. 0÷3 V. Regulátor je detailně probrán v [5]. Hodnota žádaného proudu je zadávána v poměrných jednotkách, které jsou vztaheny k jmenovité hodnotě proudu výkonových tranzistorů na modulu. V tabulce 3.4 je uveden vztah mezi hodnotou proudu a signálem z převodníku a DATY.

Poznámka: Tento rozsah je zvolen z důvodu unifikace vztahu mezi proudem a digitální hodnotou v celém systému. Rozsah proudu je přizpůsoben potřebě měřit vyšší hodnoty proudu

⁵LDSHIFT je řídicí signál pro uložení hodnot z posuvného registru do paralelního.

⁶ $\overline{\text{LDAC}}$ je řídicí signál načtení přijatých dat do registru DA převodníku

⁷Regulátor proudu v rámci této práce nebyl fyzicky realizován, rozhraní je však připraveno pro jeho použití.

DATA	i	analogový výstup z DAC
1111 ... 1111	$2\sqrt{2}I_N$ A	3 V
⋮		
1100 ... 0000	$\sqrt{2}I_N$ A	2,25 V
⋮		
1000 ... 0000	0 A	1,5 V
⋮		
0100 ... 0000	$-\sqrt{2}I_N$ A	0,75 V
⋮		
0000 ... 0000	$-2\sqrt{2}I_N$ A	0 V

Tabulka 3.4: Vztah mezi číselnou hodnotou DAT, proudem a napěťovým výstupem z DAC, kde I_N je jmenovitá hodnota proudu výkonových tranzistorů na modulu

než jmenovité (až dvojnásobek jmenovité hodnoty), viz kapitola 3.2.4. Ochrana limitu žádané hodnoty proudu bude vytvořena v řídicím systému nebo na modulu regulátoru.

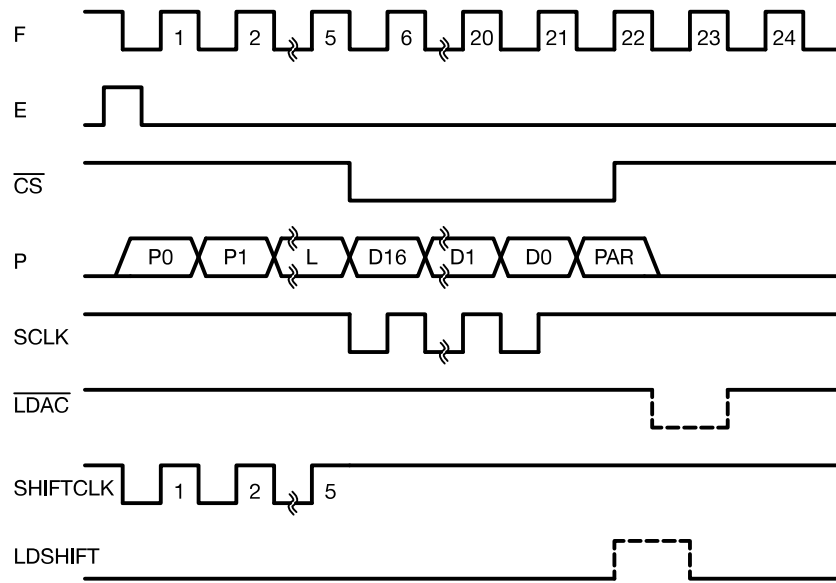
Na modulu regulátoru proudu je umístěn generátor řídicích impulzů, který vytváří řídicí pulzy pro oba tranzistory v případě zapnutí proudového regulátoru. Tyto pulzy jsou zavedeny do multiplexoru (2:1). Pokud bity $[T0, T1] = [1, 1]$, je výstup z multiplexoru připojen na vstup z generátoru pulzů regulátoru proudu. V jiném případě je výstup multiplexoru propojen s blokem přímého ovládní tranzistorů, který překládá bity T0, T1 na řídicí pulzy.

Tranzistorová karta je kompatibilní s příjmem zprávy obou délek DAT - 16 bitů i 32 bitů (délka je definována bitem L). V případě, že je vysílána zpráva s DATY kratšími než 16 bitů (respektive 32 bitů), musí být zbylé bity vyplněny nulami do plné délky 16 bitů (nebo 32 bitů).

Na tranzistorové kartě T0001M1.0 je k převodu žádané hodnoty proudu na analogový signál použit DA převodník AD5541. Jedná se o 16 bitový převodník se sériovým rozhraním pro příjem dat, externí napěťovou referencí (zvolena 3 V, aby rozsah odpovídal tabulce 3.4) a signálem $\overline{\text{LDAC}}$, který řídí uložení přijatých dat do vnitřního registru. Toho je využito při kontrole zprávy, do registru je zapsáno pouze v případě, že zpráva kontrolou projde. Do převodníku je načteno prvních 16 bitů části DATA. Pro obsluhu DA převodníku a řízení posuvného registru jsou na kartě generovány pomocné signály: $\overline{\text{LDAC}}$ (zápis do registru DA převodníku), $\overline{\text{CS}}$ (chip select pro DA převodník), SCLK (hodiny, kterými je časován DA převodník) a SHIFTCLK (hodiny pro posuvný registr - prvních pět náběžných hran hodin). Průběh signálů a dat na sběrnici P je na obrázku 3.8.

3.2.4 Měření proudu

Návrh měření proudu předpokládá použití čidla od firmy LEM s napěťovým výstupem. Napěťový výstup čidla je typicky v rozsahu $U_{OUT} = U_{REF} \pm (0,625I_P/I_{PNLEM}) V$



Obrázek 3.8: Časování signálů pro příjem zprávy

kde U_{REF} je vnitřní reference proudového čidla, typicky $U_{REF} = 2,5 \pm 0,025 V$, I_{PNLEM} je jmenovitá hodnota proudu primárním obvodem čidla (RMS), I_P je rozsah měření čidla proudu, typicky $3I_{PNLEM}$.

Z výše uvedeného vyplývá, že hodnota výstupního signálu pro hodnotu proudu $2\sqrt{2}I_{PNLEM} = 1,768 V$.

Aby měřený proud odpovídal zvolenému rozsahu z tabulky 3.4 je potřeba nejdříve signál přenásobit podílem I_{PNLEM}/I_N , kde I_N je jmenovitý proud výkonových tranzistorů. Tím docílíme vztahení signálu k jmenovitému proudu výkonových tranzistorů (původně byl signál vztahen k jmenovité hodnotě proudu čidla). Tento přepočít je proveden na zesilovači, který je v diferenciálním zapojení. Na jeho neinvertující vstup je zapojen signál U_{OUT} a na invertující vstup signál U_{REF} čidla proudu. Výstup ze zesilovače je pak dán vztahem:

$$U_O = \frac{R_A}{R_B}(U_{OUT} - U_{REF})$$

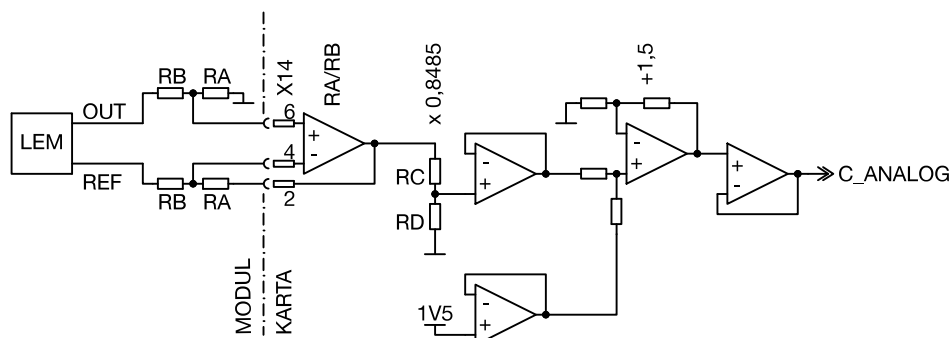
Pro odpory R_A , R_B platí:

R_A má hodnotu I_{PNLEM} v $k\Omega$,

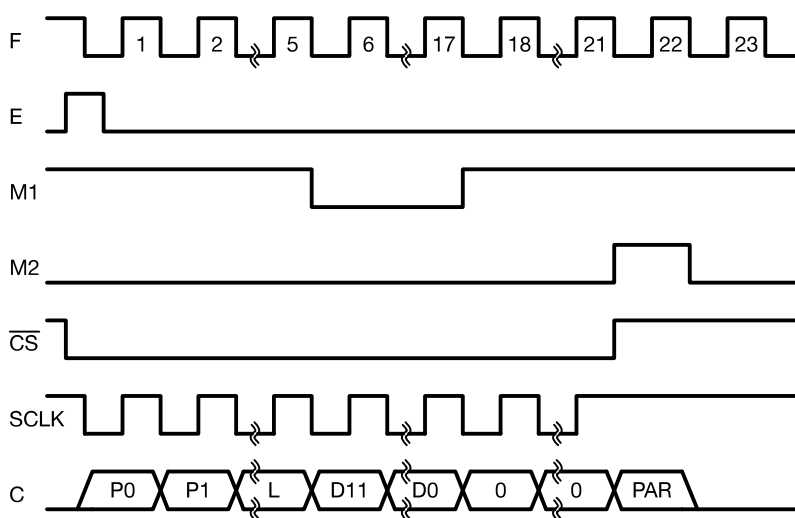
R_B má hodnotu I_N v $k\Omega$.

Je zřejmé, že podíl $\frac{R_A}{R_B}$ je závislý na konkrétním modulu dle osazených tranzistorů a čidla proudu. Proto jsou tyto přizpůsobací odpory umístěny přímo na tranzistorovém modulu. Zesilovač v diferenciálním zapojení je rozříznut, vlastní operační zesilovač se nachází na tranzistorové kartě a odpory na modulu. Pro propojení je potřeba celkem 3 signálových pinů, rozložení pinů na konektoru X14 je na obrázku 3.9. Touto úpravou získáme hodnotu signálu měřeného proudu při $2\sqrt{2}I_N = 1,768V$, zbavili jsme se závislosti signálu na I_{PNLEM} .

Další úpravou signálu proudu je přizpůsobení pro plný rozsah AD převodníku. Aby byl proud měřen v plném rozsahu dle tabulky 3.4 je potřeba signál vynásobit hodnotou



Obrázek 3.9: Schéma analogové části měření proudu



Obrázek 3.10: Časování signálů pro odesílání zprávy

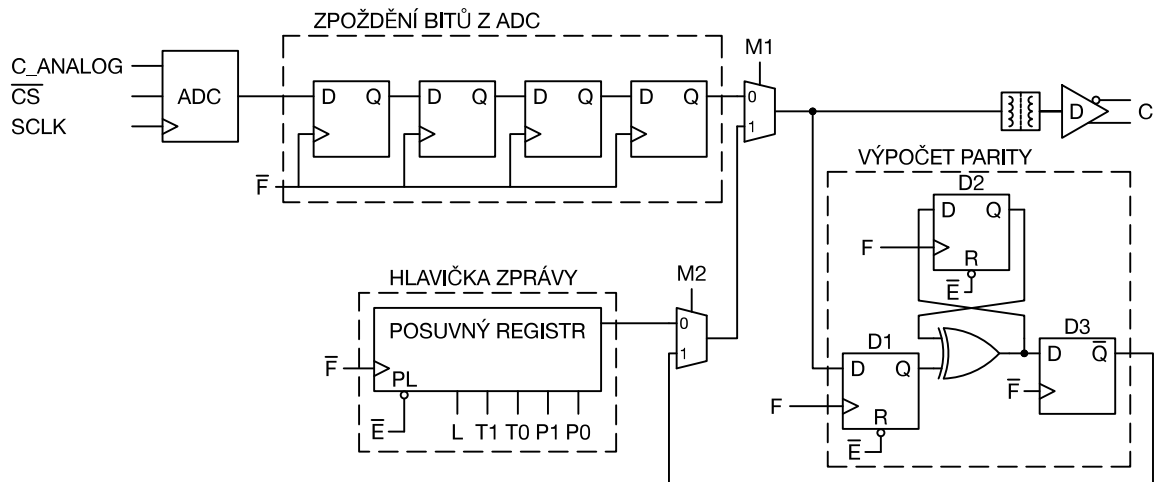
$\frac{1,5}{2 \times \sqrt{2} \times 0,625} \doteq 0,8485$. Tato úprava je provedena odporovým děličem, kde $R_C = 10 \text{ k}\Omega$ a $R_D = 56 \text{ 018 } \Omega$. Nyní máme napěťový signál v rozsahu $\pm 1,5 \text{ V}$.

Poslední úpravou před vstupem signálu do AD převodníku je posun signálu o $+1,5 \text{ V}$. Získáme pak signál v rozsahu $0 \div 3 \text{ V}$ (C_ANALOG), který přesně odpovídá tabulce 3.4.

Na tranzistorové kartě T0001M1.0 je 12 bitový AD převodník AD7274 se sériovým výstupem a externí referencí (zvolena 3 V - typ REF193). Na kartě jsou pro převodník generovány obslužné signály - $\overline{\text{CS}}$ (chip select pro AD převodník) a SCLK (hodiny, kterými je řízen AD převodník). Průběh těchto signálů je na obrázku 3.10.

3.2.4.1 Sestavení zprávy

Zpráva se skládá ze tří částí: hlavičky zprávy (úvodních pěti bitů P0, P1, T0, T1, L), hodnoty proudu (DATA) a paritního bitu zajišťujícího lichou paritu.



Obrázek 3.11: Schéma digitální části měření proudu

Hlavička zprávy má pevný tvar 01000. Značí tedy, že zpráva je generována s kontrolou pomocí liché parity a DATA jsou o délce 16 bitů. Bity T0, T1 nenesou žádnou informaci a jsou ponechány na hodnotě 0, 0. Hlavička zprávy je vytvořena posuvným registrem, který tvoří pět D klopných obvodů s funkcí set a reset řady 74ALVC74 (dva klopné obvody v jednom pouzdře). Do posuvného registru je paralelně načtena hlavička zprávy pulzem signálu Enable a následně jsou data posouvána se sestupnou hranou hodin F .

Výstup z AD převodníku je zpožděn čtyřmi D klopnými obvody 74ALVC74 (časovány se sestupnou hranou hodin F), aby se tok bitů z převodníku zařadil právě za hlavičku zprávy⁸. Jelikož převodník je 12 bitový, jsou DATA doplněna čtyřmi nulami do délky 16 bitů. Na konec zprávy je umístěn bit zajišťující lichou paritu, který je vypočten generátorem paritního bitu. Zpráva je sestavena pomocí dvou prepínačů, které za sebe zařadí jednotlivé části zprávy.

Pulzem signálu Enable, který začíná odesílání dat jsou vynulovány D klopné obvody v generátoru paritního bitu a do posuvného registru načtena paralelně hlavička zprávy.

3.2.5 Měření napětí

Jelikož je fázové napětí v napětovém střídači vlivem modulace značně rozsekáno, nelze jeho hodnotu měřit přímo. Napětí je nutno rekonstruovat výpočtem. Jednou z metod je odvození napětí ze spínání, kdy podle řídicích povelů víme, kam byla fáze střídače připnuta. Nepřesnost tohoto způsobu rekonstrukce napětí vzniká vlivem zpoždění zapínání a vypínání tranzistorů a vlivem ochranných obvodů mrtvých dob, kdy je zapínání tranzistorů zpoždováno záměrně. Při známé době zpoždění zapínání a vypínání, která je zjistitelná měřením, lze tento jev zahrnout do výpočtů. Další nepřesnost vzniká vlivem přechodových jevů, kdy proud i při sepnutém jednom z tranzistorů vede zpětnými diodami. Tento jev žádným jednoduchým matematickým algoritmem zohlednit nelze.

⁸Z převodníku je odesíláno 12 bitů, kterým předchází dva nulové bity. Data lze vyčítat se sestupnou hranou hodin, viz datasheet AD7274. Hlavička zprávy prepíše úvodní dva nulové bity dat vycházejících z převodníku. Data jsou zarovnána nejvíce významným bitem vlevo

3.2.5.1 Rekonstrukce napětí z derivace proudu

V rámci tohoto projektu byl navržen postup rekonstrukce napětí odvozením z derivace proudu. Protože předpokládáme napájení indukční zátěže, platí:

$$i = \frac{1}{L} \int u dt$$

Můžeme konstatovat, že pokud proud roste (kladná derivace proudu), je připnuto nahoru, ať už vede tranzistor nebo zpětná dioda. V případě, že proud klesá (záporná derivace proudu), je připnuto dolů přes tranzistor nebo diodu. Derivace proudu je vzorkována, směr derivace je následně zaznamenáván up/down čítačem, který čítá nahoru nebo dolů dle směru derivace. S definovanou periodou je hodnota z čítače vyčtena do paralelního registru, čítač je vynulován na polovinu svého rozsahu a začíná čítat odznovu. V paralelním registru se obnovuje hodnota periodicky. Její význam značí po jakou dobu byla fáze během periody obnovení dat v paralelním registru připnuta nahoru, respektive dolů. Tuto hodnotu můžeme chápat jako poměrnou hodnotu napětí vztahenou k napětí stejnosměrného meziobvodu.

Pásmo necitlivosti V případě, že absolutní hodnota derivace proudu nepřekročí určitou prahovou hodnotu, nemůžeme s jistotou určit, kam je právě fáze připnuta. Jedná se o pásmo nejistoty. Pro zlepšení rekonstrukce napětí je tedy do up/down čítače vhodné zavést blokování čítání, pro případ, že derivace proudu není dostatečně velká. V následujících řádcích bude zjednodušená idea odvození prahové hodnoty potlačení čítání. Rozdíl indukovaného napětí motoru a zdroje je:

$$\Delta U = U_i - U_{DC} \doteq 10 \text{ V}$$

Jmenovitá impedance motoru je přibližně:

$$Z = \frac{U}{I} = \frac{230}{12} = 20 \Omega$$

Impedance nakrátko motoru je přibližně 10 % jmenovité impedance:

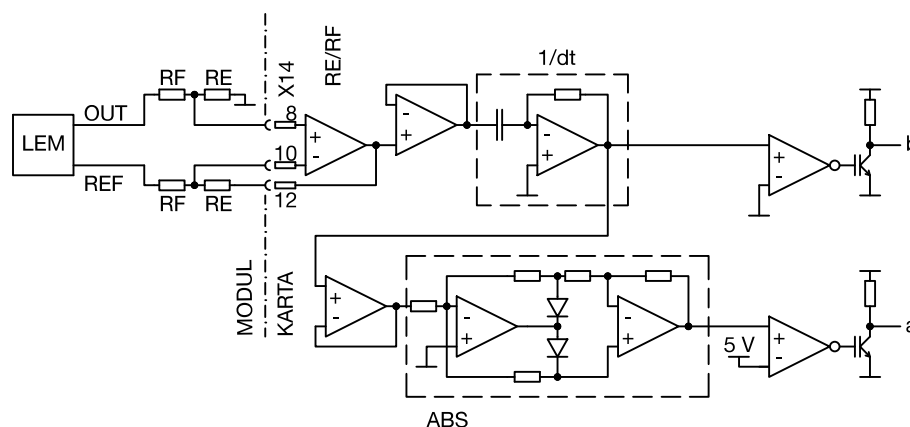
$$\begin{aligned} Z_k &= 0,1Z = 2 \Omega = \omega L_k \\ L_k &= \frac{Z_k}{\omega} = \frac{2}{314} = 6,4 \text{ mH} \doteq 10 \text{ mH} \end{aligned}$$

Prahová hodnota derivace proudu za těchto předpokladů je pak rovna:

$$\Delta I = \frac{1}{L} \Delta U = \frac{10}{10^{-2}} = 1000 \frac{\text{A}}{\text{s}}$$

Bude-li absolutní hodnota derivace proudu nižší než 1000 A/s, bude čítání zablokováno.

Frekvence vzorkování Následující úvaha se zabývá volbou frekvence vzorkování derivace proudu a volbou frekvence obnovování paralelního registru, z kterého je hodnota napětí vyčítána. Má-li první harmonická napětí frekvenci 100 Hz, jsou synchronní otáčky dvoupólového motoru 6 000 ot/min. Nepředpokládáme, že by frekvence první harmonické tuto hodnotu



Obrázek 3.12: Schéma analogové části měření napětí

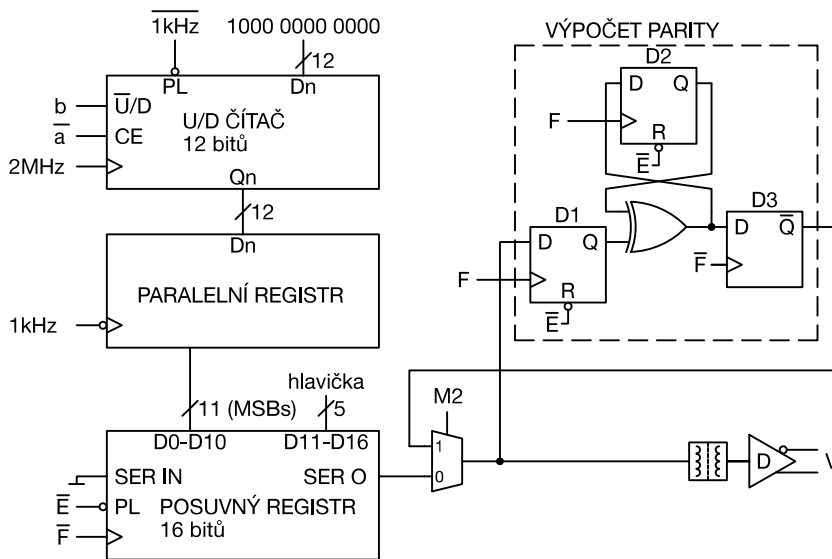
významně překročila. Dle Shannon-Kotělnikovova teorému je pro rekonstrukci navzorkovaného signálu potřeba vzorkovací frekvence dvakrát vyšší, než je frekvence signálu. Budeme-li ukládat hodnotu čítače do registru a obnovovat čítač na výchozí hodnotu s frekvencí 1 kHz, Shannon-Kotělnikovův teorém bude splněn (získáme 10 vzorků za periodu první harmonické).

Frekvenci spínání tranzistorů předpokládáme 20 kHz. Za předpokladu, že stačí detekovat čas sepnutí tranzistorů s přesností 1/100, potřebujeme vzorkovat derivaci proudu s frekvencí 2 MHz, což je frekvence čítání up/down čítače. V případě, že by po celou dobu mezi dvěma obnoveními hodnoty v paralelním registru bylo napětí připnuto pouze na jednu stranu a čítač by byl inicializován na 0, bude načítaná hodnota v čítači rovna +2000 (trvale připnuto nahoru), respektive -2000 (trvale připnuto dolů). Z výše uvedeného vyplývá, že je potřeba čítače s rozsahem minimálně 4000. Tuto podmínku splní 12 bitový čítač.

Analogová část měření napětí Zapojení analogové části měření napětí je na obrázku 3.12. Výstupy U_{OUT} a U_{REF} z proudového čidla na tranzistorovém modulu jsou vedeny přes operační zesilovač v diferenciálním zapojení se zesílením $K = \frac{R_E}{R_F}$, kde R_E má hodnotu $I_{PN_{LEM}}$ v k Ω , R_F má hodnotu 125 k Ω .

Signál je následně derivován se zesílením 1 ($R_E = 100$ k Ω , $C = 10$ μF). Derivovaný signál je porovnáván komparátorem s otevřeným emitorem vůči zemi, získáme logickou hodnotu b značící polaritu derivace: ($b = 1$, derivace je záporná - čítání dolů; $b = 0$, derivace je kladná, čítání nahoru).

Absolutní hodnota derivace je porovnávána s prahovou hodnotou pásma nejistoty. Pro derivaci proudu 1000 A/s, s uvažováním napětového výstupu signálu z čidla proudu $U_{OUT} = U_{REF} \pm (0,625 I_P / I_{PN_{LEM}})$ a následným přenásobením tohoto signálu poměrem $\frac{I_{PN_{LEM}} \text{ v k}\Omega}{125 \text{ k}\Omega}$ v zesilovači, získáme prahovou hodnotu 5 V. Porovnáním absolutní hodnoty derivace s prahovou hodnotou získáme logický signál a , který značí pásmo necitlivosti ($a = 0$ značí derivaci nižší, než je prahová hodnota, tzn. čítání je potlačeno).



Obrázek 3.13: Schéma digitální části měření napětí

Digitální část měření napětí Logické hodnoty a , b jsou řídicími signály 12 bitového up/down čítače s paralelním načtením výchozí hodnoty (čítač tvoří tři 4 bitové up/down čítače 74HC191). Signál \bar{a} značící potlačení čítání je zaveden na pin \overline{CE} (Count enable). Signál b značící směr čítání je zaveden na pin $\overline{U/D}$. Čítače čítají s frekvencí 2 MHz, která je generována pomocí krystalového oscilátoru. Od oscilátoru je rovněž odvozena frekvence 1 kHz, se kterou se obnovuje hodnota čítače v paralelním registru a zároveň nastaví čítač na výchozí hodnotu 1000 0000 0000. V tabulce 3.5 jsou uvedeny mezní hodnoty čítače.

hodnota čítače	napětí	popis
1111 1101 0000	$+U_{DC}$	po celou dobu periody obnovení paralelního registru byla fáze připnuta nahoru
⋮		
1000 0000 0000	0 V	výchozí hodnota čítače
⋮		
0000 0011 0000	$-U_{DC}$	po celou dobu periody obnovení paralelního registru byla fáze připnuta dolů

Tabulka 3.5: Mezní hodnoty čítače

Signál o frekvenci 1 kHz je generován 12 bitovým čítačem, který je složen ze tří 4 bitových čítačů 74LVC163 se synchronním načtením výchozí hodnoty. Protože čítač inkrementuje s frekvencí 2 MHz, výchozí hodnota je nastavena vždy při přetečení čítače na $(1100\ 0001\ 1000)_b = 3096$. Signál 1 kHz je na pinu TP (nejvyššího čítače) indikujícího plný stav čítačů.

3.2.5.2 Sestavení zprávy

Hodnota měřeného napětí je odesílána po rychlé sběrnici V . S pulzem Enable inicializujícím odesílání zprávy je do posuvného registru paralelně načtena hodnota uložená v paralelním registru čítače a prvních pět bitů, které nesou hlavičku zprávy ve tvaru 01000. Hlavička značí, že zpráva má zabezpečení pomocí liché parity, které je řešeno shodně jako v případě odesílání zprávy proudem. Bity T0 a T1 nemají význam a jsou ponechány na hodnotách 0, 0. Délka části DAT je 16 bitů (značí bit L=0). Bit zajišťující lichou paritu je zařazen na konec zprávy pomocí přepínače. Posuvný registr tvoří dvě součástky 74LV165. Shift registr je řízen se sestupnou hranou hodin F . Z důvodu úspory místa nebylo možno použít součástky postavené na technologii ALVC, protože se v této řadě nevyrábí posuvný registr s paralelním načtením hodnot. Bylo by nutné vytvořit posuvný registr z diskretních D-klopných obvodů včetně logiky paralelního načtení do registru pro všech 16 bitů DAT. Očekává se, že sběrnice V nebude schopna dosahovat přenosové schopnosti ostatních sběrnic a maximální přenosové frekvence 40 MHz (odhaduje se přenosová schopnost přibližně poloviční). Hlavním cílem je však ověření návrhu. Výkonnost systému bude ověřena v rámci ožívování prototypu.

3.2.6 Generátor paritního bitu

V systému MoMenTiK byla stanovena kontrola zprávy pomocí liché parity. Tento režim má tu výhodu, že se ve zprávě vždy musí objevit alespoň jedna „1“ a lze snadno detekovat probíhání komunikace. Kontrolu parity lze realizovat sečtením bitů ve zprávě. Schéma obvodu generátoru parity je například na obrázku 3.13. Obvod sčítá sériově bity ve zprávě. Ze součtu nás zajímá pouze nejméně významný bit, který značí, zda je součet sudý, nebo lichý. Klopným obvodem D1 jsou data, která se právě odesílají, ze sběrnice přímo čtena. Objeví-li se ve zprávě „1“ výstup z hradla XOR bude roven jedné (značí lichý výskyt „1“ ve zprávě). Tento výsledek se uloží do klopného obvodu D2. Výstup z tíhož hradla XOR bude „0“ tehdy, pokud se ve zprávě objeví na nějaké další pozici „1“ (sudý počet). Při další „1“ ve zprávě by se výsledek opět překlopil. Výsledek z hradla XOR znegujeme, protože generujeme lichou paritu, a posuneme na následující sestupnou hranu hodin F pomocí klopného obvodu D3. Výstup z D3 je vygenerovaný bit zajišťující lichou paritu, který je do zprávy začleněn na 22. bitu (v případě že DATA jsou 16 bitová), respektive 38. bitu (DATA 32 bitová).

3.2.7 Kontrola paritního bitu při příjmu zprávy

Kontrola příchozí zprávy probíhá v topologicky shodném obvodu jako je generátor paritního bitu, viz obrázek 3.7, strana 30. Nejprve je vygenerován paritní bit zprávy v obvodu příjmu zprávy a následně porovnán s paritním bitem v přijaté zprávě pomocí hradla XNOR. Je-li výstup z tohoto hradla roven jedné, paritní bit zprávy odpovídá vypočtenému a zpráva je v pořádku. Zkrácením dvou negací (výstup D klopného obvodu D6 a hradla XNOR) můžeme použít hradlo XOR, jak je uvedeno na obrázku 3.7. Výstup z hradla XOR je označen *pok*.

Dalším krokem je rozhodnutí, zda zpráva má být přijata, nebo ne. Výsledek závisí jednak na logické hodnotě *pok* popsané v předchozím odstavci a na bitech P0, P1 v hlavičce zprávy. Paritní bit bude kontrolován pouze je-li $[P0,P1] = [0,1]$. Je-li $[P0,P1] = [0,0]$ zpráva bude přijata vždy bez ohledu na hodnotu *pok*. Zpráva nebude přijata, pokud $[P0,P1] = [1,x]$.

Označíme-li logickou hodnotu pro pokyn přijetí zprávy r , je její logický popis následující: $r = pok \cdot \overline{P0} + \overline{P0} \cdot \overline{P1}$. Protože nás platnost této podmínky zajímá pouze na pozici paritního bitu ve zprávě, je hodnota r načtena klopným obvodem D7 při 22. bitu (v případě že DATA jsou 16 bitová), respektive 38. bitu (DATA 32 bitová). Výstup z D7 je tedy v případě, že zpráva je přijata, pokynem pro zápis do registrů (do registrů je zapsáno s náběžnou hranou tohoto signálu). Klopný obvod D7 je potřeba na začátku příjmu zprávy resetovat signálem Enable.

3.2.8 Časování obvodů

Přijímání a odesílání zpráv rychlými sběrnici je realizováno pomocí detekce náběžných a sestupných hran hodinového signálu F . Sestupné hrany jsou počítány čítači od začátku odesílání/přijímání zprávy. V návrhu karty T0001M1.0 je pro komunikaci potřeba detekovat hrany hodinového signálu F uvedené v tabulce 3.6.

sestupné hrany		náběžné hrany	
číslo hrany	označení ve výkrese	číslo hrany	označení ve výkrese
6.	6SE	21.	21NA
18.	18SE	22.	22NA
21.	21SE	38.	38SE
22.	22SE		
23.	23SE		
38.	38SE		

Tabulka 3.6: Hrany detekované čítači na kartě T0001M1.0 s označením signálů ve výkrese

Pro detekci hran jsou použity 4 bitové čítače se synchronním nastavením výchozí hodnoty 74LVC161. Čítače jsou nastavovány na výchozí hodnotu pulzem Enable při sestupné hraně hodin F . Zapojení čítačů je znázorněno na obrázku 3.14. Čítače inkrementují se sestupnými hranami signálu F . Zapojení zastaví čítání po prvním přetečení čítače, to umožňuje, aby hodiny F byly vysílány nepřetržitě. Čítače jsou znovu spuštěny po nastavení výchozí hodnoty signálem Enable.

Každý čítač je nastaven na detekci jedné sestupné hrany, ta je indikována plným stavem čítače (výstup čítače TC). Výchozí hodnota čítače je nastavena dle vztahu:

$$D_{0-x} = \text{kapacita čítače} - \text{číslo detekované sestupné hrany} + 1$$

Konkrétní nastavení čítače je ilustrováno pro detekci 21. sestupné hrany:

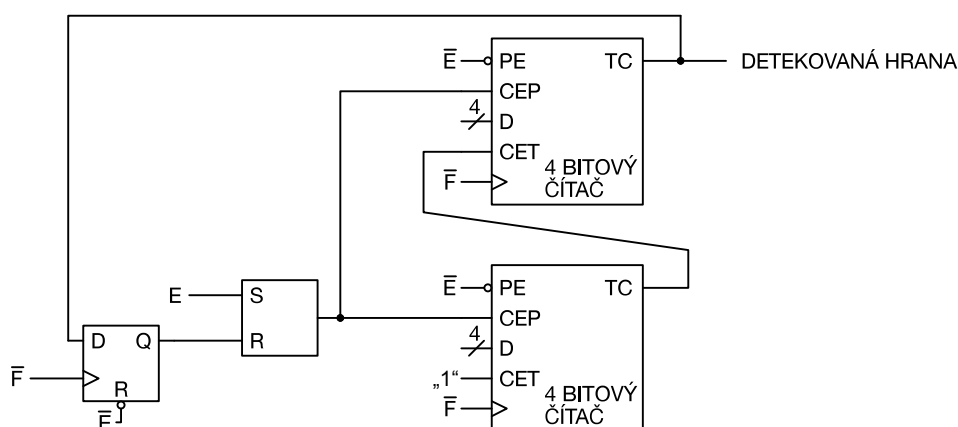
Pro čítání do 21 je potřeba použít 8 bitový čítač (dva 4 bitové čítače).

Dle výše uvedeného vztahu bude výchozí hodnota čítače nastavena na:

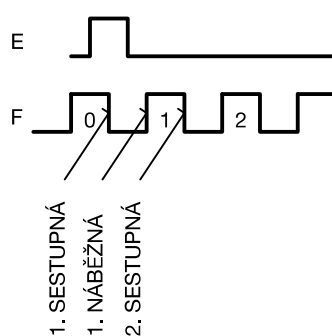
$$D_{0-8} = 255 - 21 + 1 = 235 = (11101011)_b.$$

3.2.9 Napájení

Karta je napájena z 24V sběrnice, která je vedena přes celý backplane a je propojena se zásuvnými kartami signálovým konektorem X1 přes piny 28÷32 v řadě c. Zem napájení



Obrázek 3.14: Zapojení čítačů pro detekci hran hodinového signálu



Obrázek 3.15: Značení hran hodinového signálu F

je vyvedena na pinech 28÷32 v řadě b, detailní specifikace rozložení pinů konektoru X1 je v kapitole 2.2.3 na straně 12. Přes pět pinů konektoru DIN 41612 je možno přenést 10 A, je tedy možno dosáhnout výkonu napájení jedné karty 240 W.

Zásuvná karta T0001M1.0 vyžaduje napájení +3,3 V pro logické obvody (použité řady 74LVC, 74ALVC, 74LV, 74HT) a ±15 V pro napájení analogových obvodů.

Napětí +3,3 V je vytvořeno ze spínaného zdroje MC34063A, který umožňuje spínat proud 1,5 A. Pro napájení analogových obvodů jsou nejprve obvody MC34063A vytvořena napětí +18 V a -18 V, následně jsou napětí snížena lineárním regulátorem napětí L7815 na +15 V a regulátorem L7915A na -15 V. Toto řešení snižuje zvlnění napětí, které by se mohlo vyskytovat v případě napájení přímo ze spínaného zdroje a je nepřijatelné pro analogové obvody.

3.2.10 Testovací body

Na prototypu je vytvořeno několik testovacích bodů, jejich popis, název signálů a jména jsou uvedena v tabulce 3.7.

jméno	signál	popis
TP1	GND	digitální zem
TP2	AGND	analogová zem
TP3	P	rychlý kanál (příjem zprávy)
TP4	F	hodiny
TP5	E	enable
TP6	B_PULZ	řídící pulz pro spodní tranzistor
TP7	T_PULZ	řídící pulz pro horní tranzistor
TP8	C_DAC_OUT	žádaná hodnota proudu pro regulátor - výstup z DAC
TP9	C_DATA	odesílaná data proudu
TP10	V_DATA	odesílaná data napětí
TP11	C_ANALOG	analogová hodnota měřeného proudu - vstup do ADC
TP12	DER	derivace proudu
TP13	DER	absolutní hodnota derivace proudu
TP14	-18V	napájení -18 V
TP15	-15V	napájení -15 V
TP16	+18V	napájení +18 V
TP17	+15V	napájení +15 V
TP18	3.3	napájení +3,3 V

Tabulka 3.7: Seznam testovacích bodů na kartě T0001M1.0

Kapitola 4

Simulace

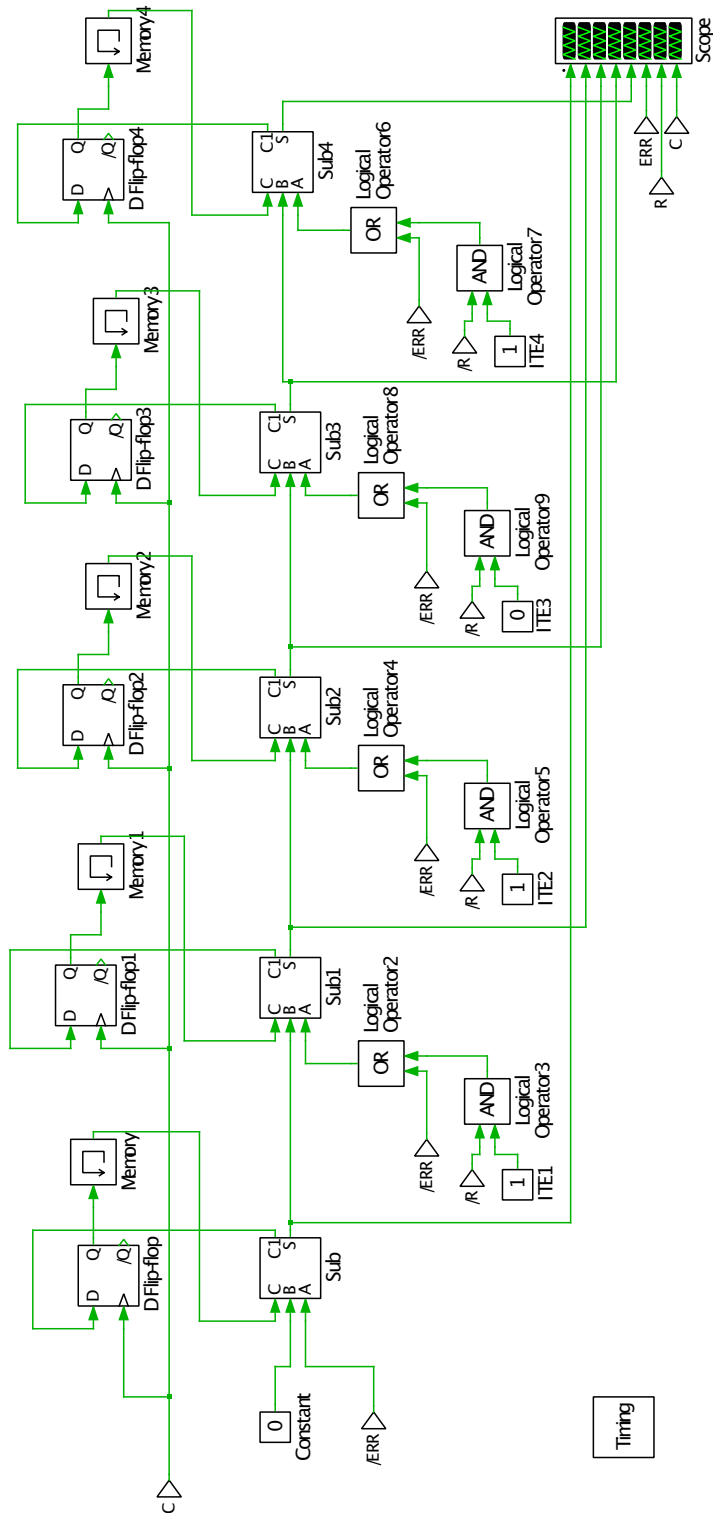
V této kapitole je popsána simulace dílčích částí obvodů v programu PLECS Blockset od firmy PLEXIM ve verzi 3.5.2 Blockset, což je paleta pro prostředí MATLAB/Simulink. Verze softwaru MATLAB je R2013b.

4.1 Relativní a absolutní adresace karet

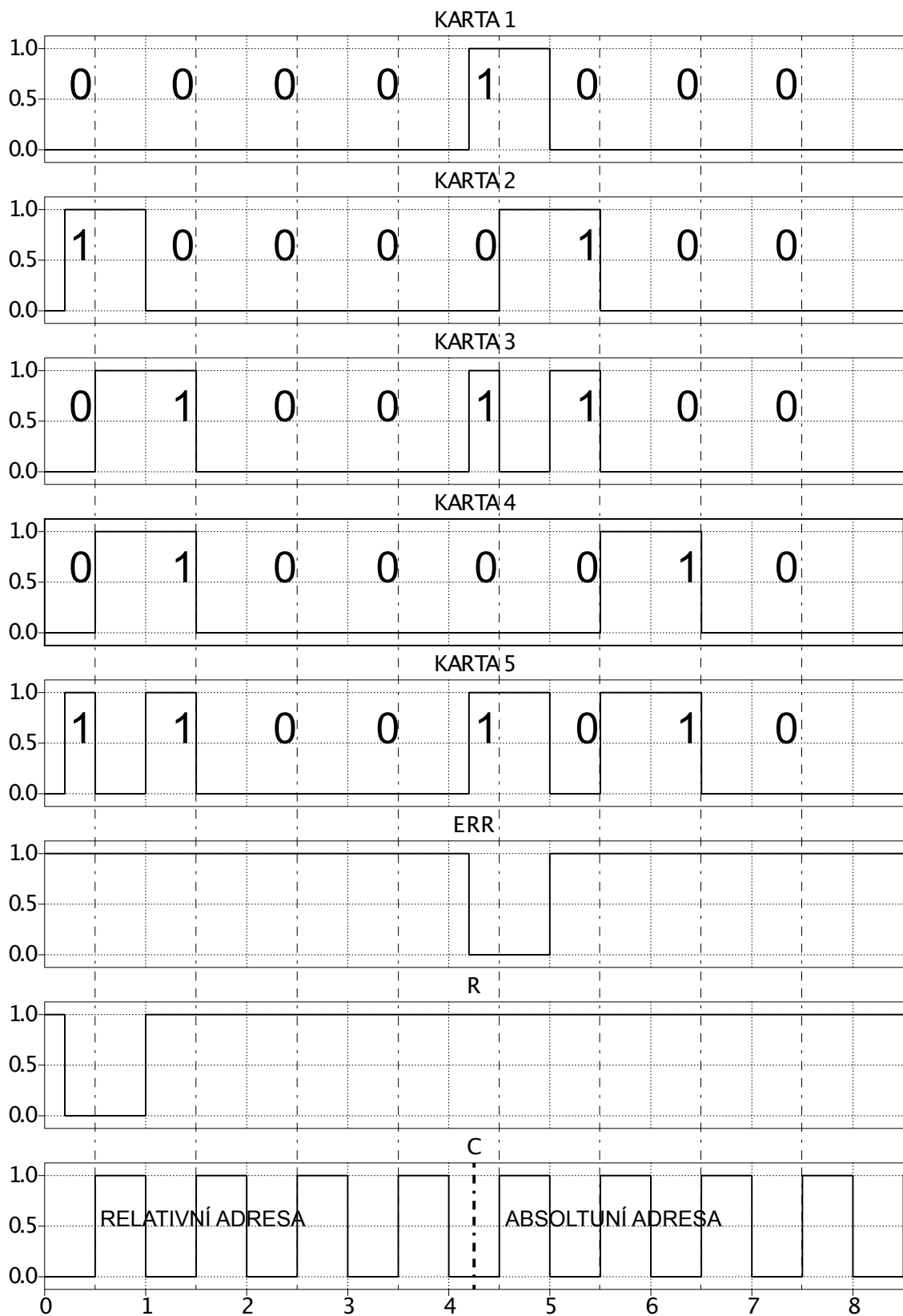
Pro ověření návrhu relativního a absolutního adresování uvedeného v kapitole 2.2.6 na s. 16 je provedena simulace. Adresy jsou nasimulovány ve zkráceném tvaru, relativní i absolutní adresa je 4 bitová. Rovněž není simulován plný počet čtrnácti zásuvných karet, ale jen prvních pět. Simulace je provedena pro první rack, který má absolutní adresu 0 (do první sčítačky je zavedena logická „0“). Na obrázku 4.1 je schéma simulace, na kterém je vidět pět sčítaček, které adresují pět zásuvných pozic. Simulace je nakonfigurována tak, že třetí zásuvnutá karta nevyžaduje rezervaci rychlého kanálu (pin *ITE* je „0“).

Prvních pět průběhů na obrázku 4.2 zobrazuje signály *L*, tj. hodnoty, které jsou nasouvány do posuvných registrů na kartách s náběžnou hranou hodin *C*. *R* je signál Reset a *Err* je signál Error. Do posuvných registrů je nejdříve nasouvána relativní adresa (první nasouvaný je nejméně významný bit), pátou náběžnou hranou hodin *C* začíná absolutní adresa (první nasouvaný je nejméně významný bit).

Z průběhů vyčteme, že karta 1 má relativní pozici 0 a absolutní pozici 1, protože první karta vyžaduje rezervaci rychlých sběrnic, jsou obě adresy inkrementovány o 1. Následující karta má relativní adresu 1 a absolutní 2, apod. Pro třetí kartu není rezervována rychlá sběrnice, je inkrementována pouze absolutní adresa. Karty 1, 2, 4, 5 tedy zaberou v pořadí rychlé sběrnice č. 0, 1, 2, 3. Je potvrzeno, že toto zapojení funguje a splňuje standard systému, který byl stanoven v kapitole 2.2.6.



Obrázek 4.1: Schéma simulace adresace pozic v systému

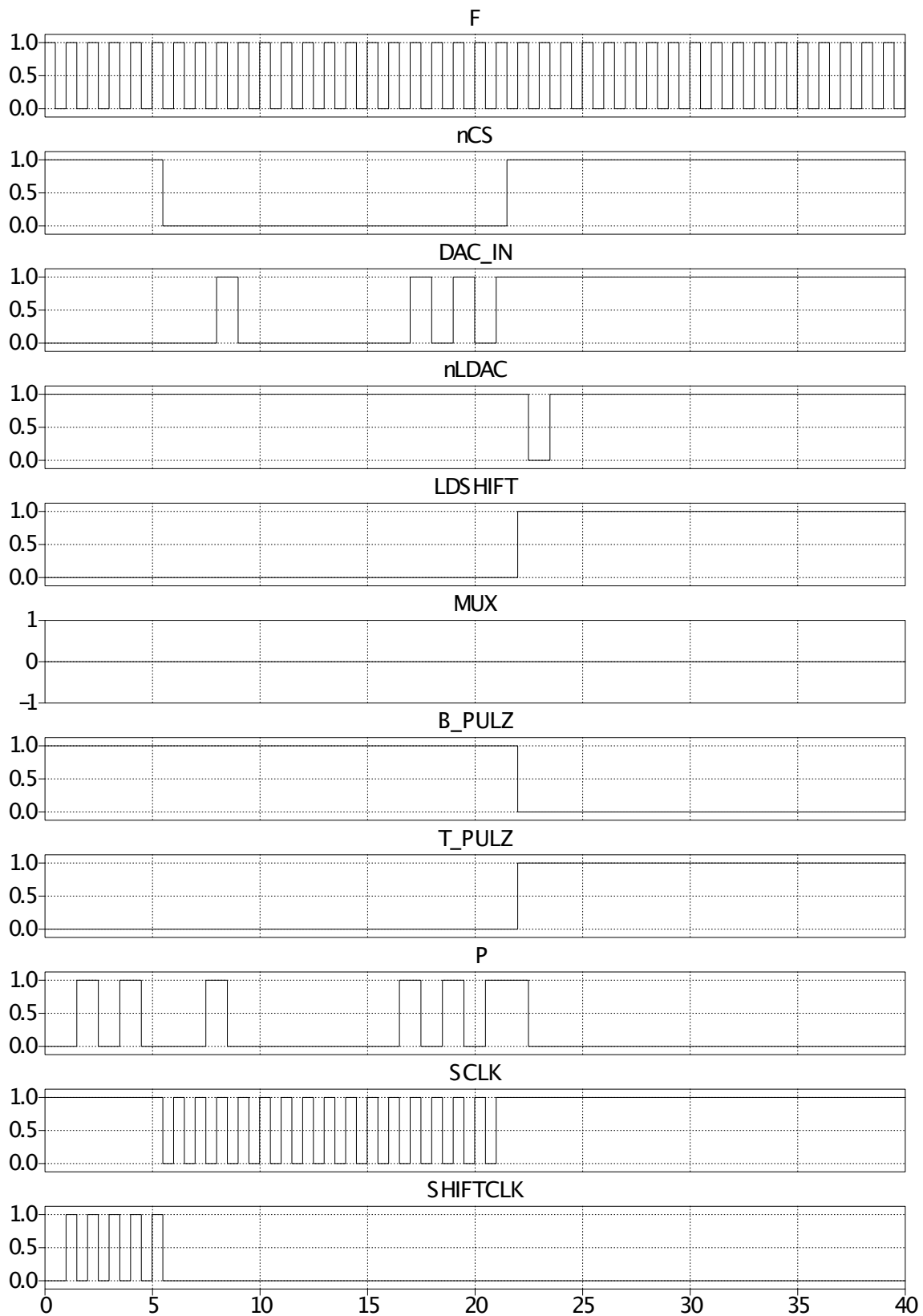


Obrázek 4.2: Nasimulované průběhy adresace karet s vyznačenými hodnotami bitů, které jsou nasouvány do posuvných registrů na kartách s náběžnou hranou hodin C

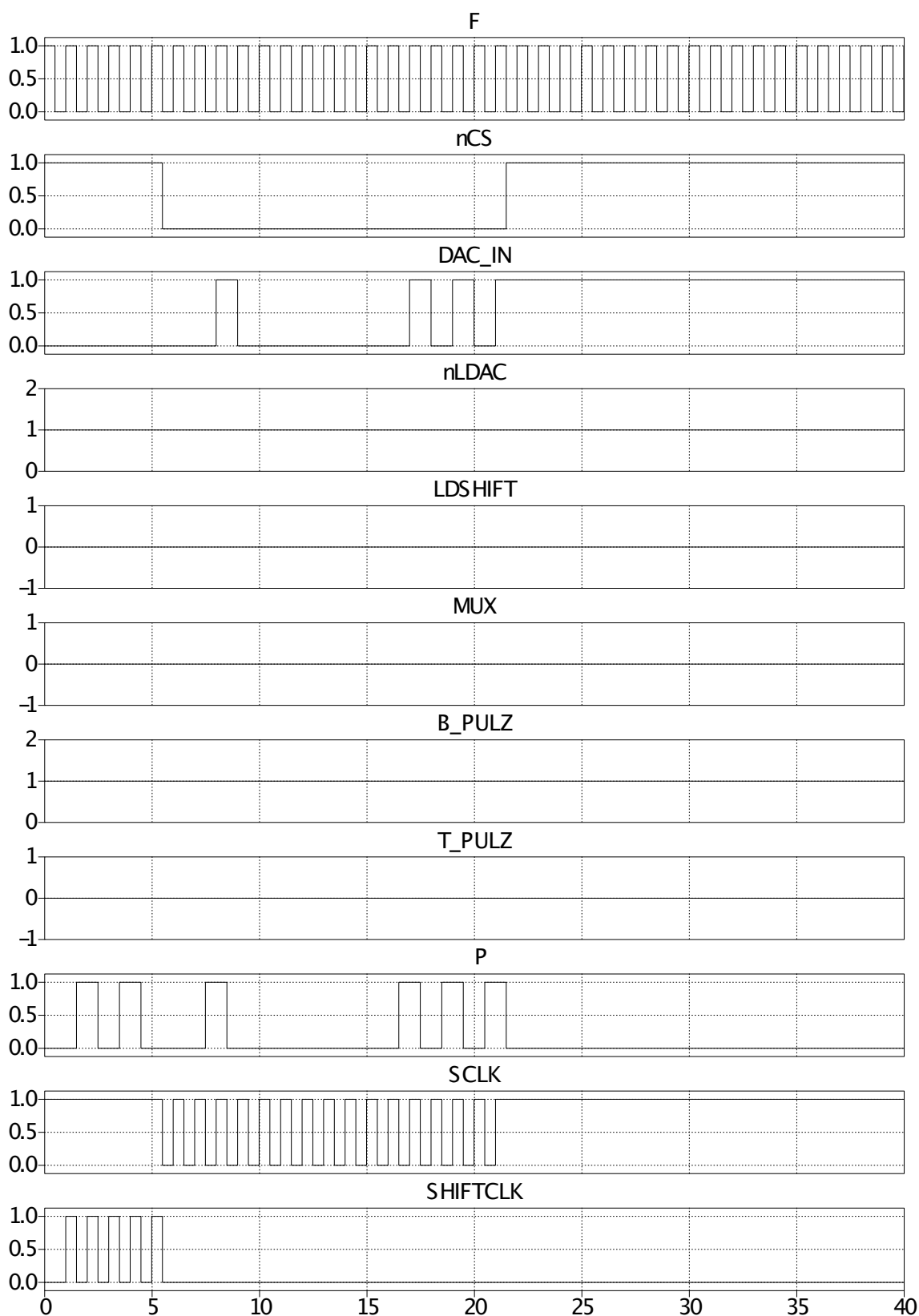
4.2 Příjem zprávy řízení tranzistorů a regulátoru proudu

Schéma simulace na obrázku 4.3 odpovídá schématu příjmu zprávy na obrázku 3.7 na straně 30. Zleva je pomocí D klopných obvodů simulována příchozí zpráva po sběrnici P , data jsou na sběrnici zapisována se sestupnou hranou hodin F . Prvních pět bitů je načteno do posuvného registru, který je řízen hodinami SHIFTCLK. Ve schématu nahoře je proveden výpočet paritního bitu, který je porovnáván s bitem ve zprávě, a zároveň je provedena detekce zabezpečení zprávy pomocí bitů P0, P1. Systém umožňuje kontrolu zprávy jak na 22. tak i na 38. pozici dle hodnoty bitu L, který značí délku DAT. Vpravo dole je blok překladu bitů T0, T1 na řídicí pulzy pro horní a spodní tranzistor.

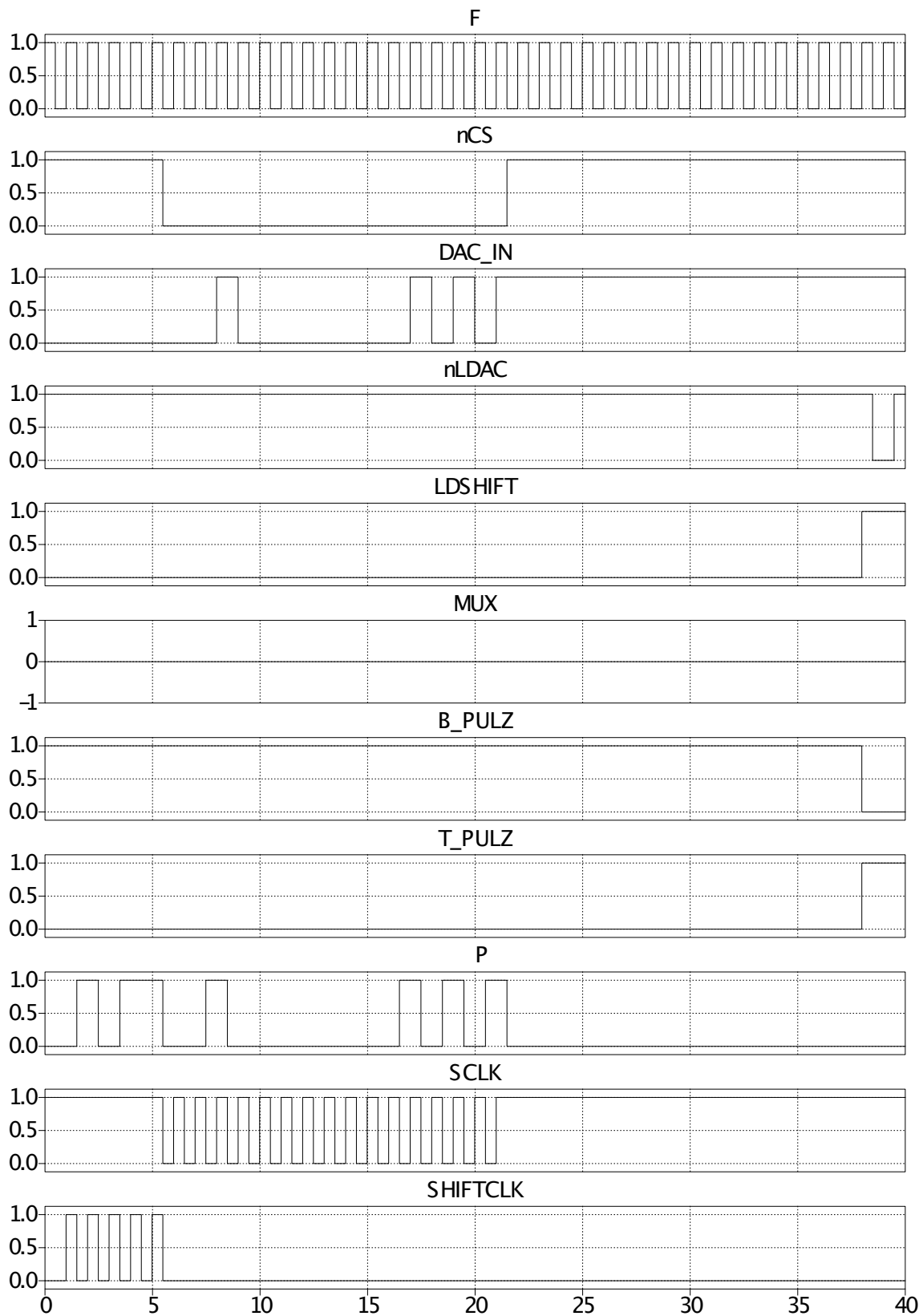
Ze simulace je prezentováno na obrázcích 4.4, 4.5, 4.6 a 4.7 několik variant přijímané zprávy, popis zprávy a vysvětlení reakce systému je vždy v popisku pod daným obrázkem. Všechny obrázky zobrazují tyto průběhy: hodinový signál F , \overline{CS} chip select pro AD převodník, který převádí žádaný proud na analogovou hodnotu, DAC_IN vnitřní registr AD převodníku, \overline{LDAC} signál pro zápis dat do paralelního registru AD převodníku, MUX řídicí signál prepínače, B_PULZ a T_PULZ signály pro řízení tranzistorů, přijímaná zpráva po sběrnici P , SCLK hodiny pro AD převodník a SHIFTCLK hodiny pro posuvný registr.



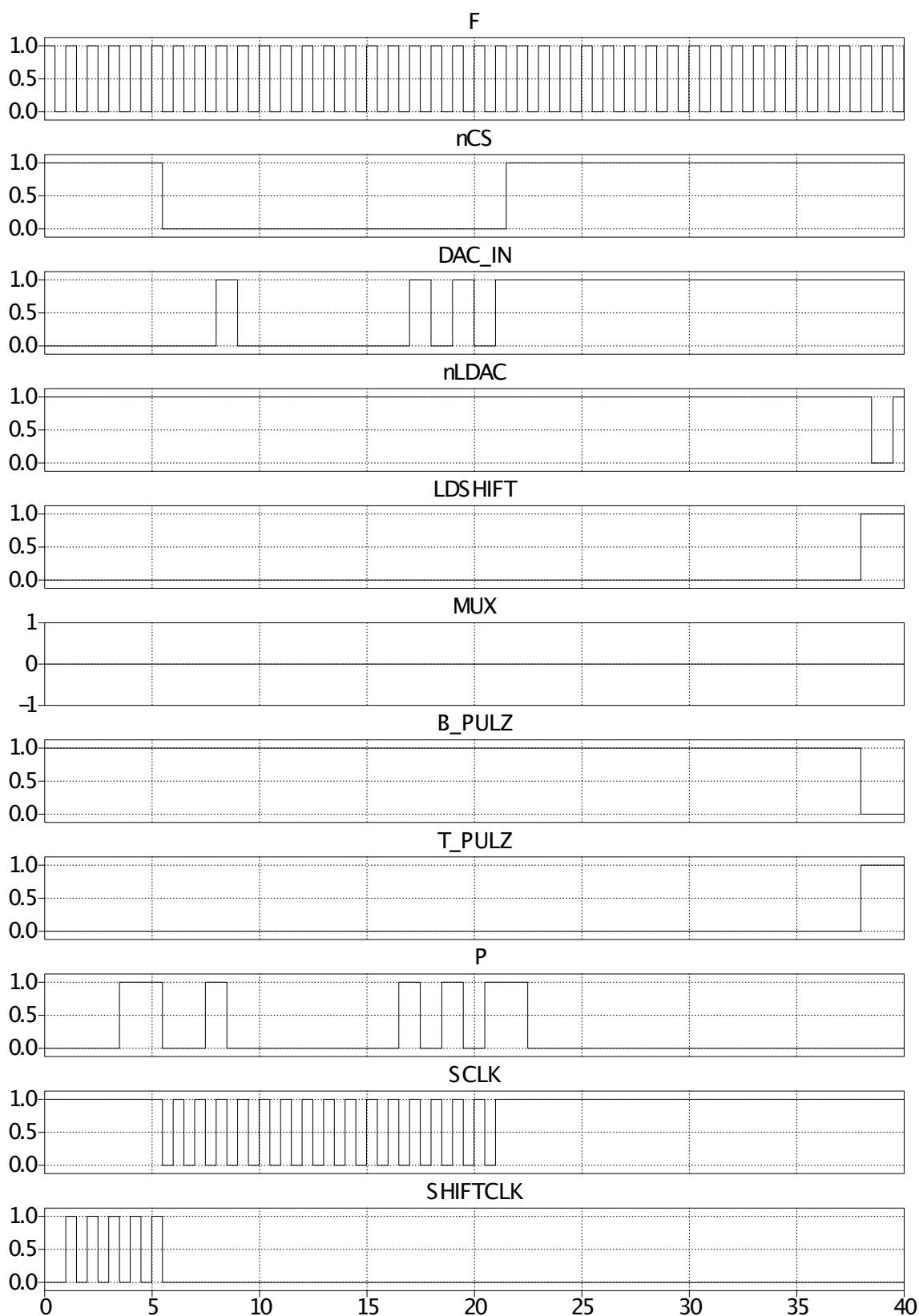
Obrázek 4.4: Průběh signálů při příjmu zprávy s délkou DAT 16 bitů, která prošla kontrolou liché parity. Zpráva nese informaci o přepnutí tranzistorů [T,B] z [0,1] na [1,0]. Příjem zprávy je proveden uložením do paralelního registru, což je řízeno náběžnou hranou signálu LDSHIFT a uložením do registru AD převodníku pomocí signálu nLDAC, následně je provedeno přepnutí tranzistorů.



Obrázek 4.5: Průběh signálů při příjmu zprávy s délkou DAT 16 bitů. Jelikož vypočtený paritní bit neodpovídá paritnímu bitu ve zprávě, zpráva neprošla kontrolou a tudíž nebyla přijata. Přepnutí tranzistorů se nevykoná a řídicí signály tranzistorů zůstanou na původní hodnotě $[T,B] = [0,1]$. Průběhy LDSHIFT a nLDAC zůstávají konstantní, tudíž zpráva nebyla zapsána do paralelního registru hlavičky ani do registru DA převodníku.



Obrázek 4.6: Průběh signálů při příjmu zprávy s délkou DAT 32 bitů, která prošla kontrolou liché parity. Nyní je však kontrolována na 38. pozici. Zpráva nese informaci o přepnutí tranzistorů [T,B] z [0,1] na [1,0]. Příjem zprávy je proveden uložením do paralelního registru, což je řízeno náběžnou hranou signálu LDSHIFT a uložením do registru AD převodníku pomocí signálu nLDAC, následně je provedeno přepnutí tranzistorů.



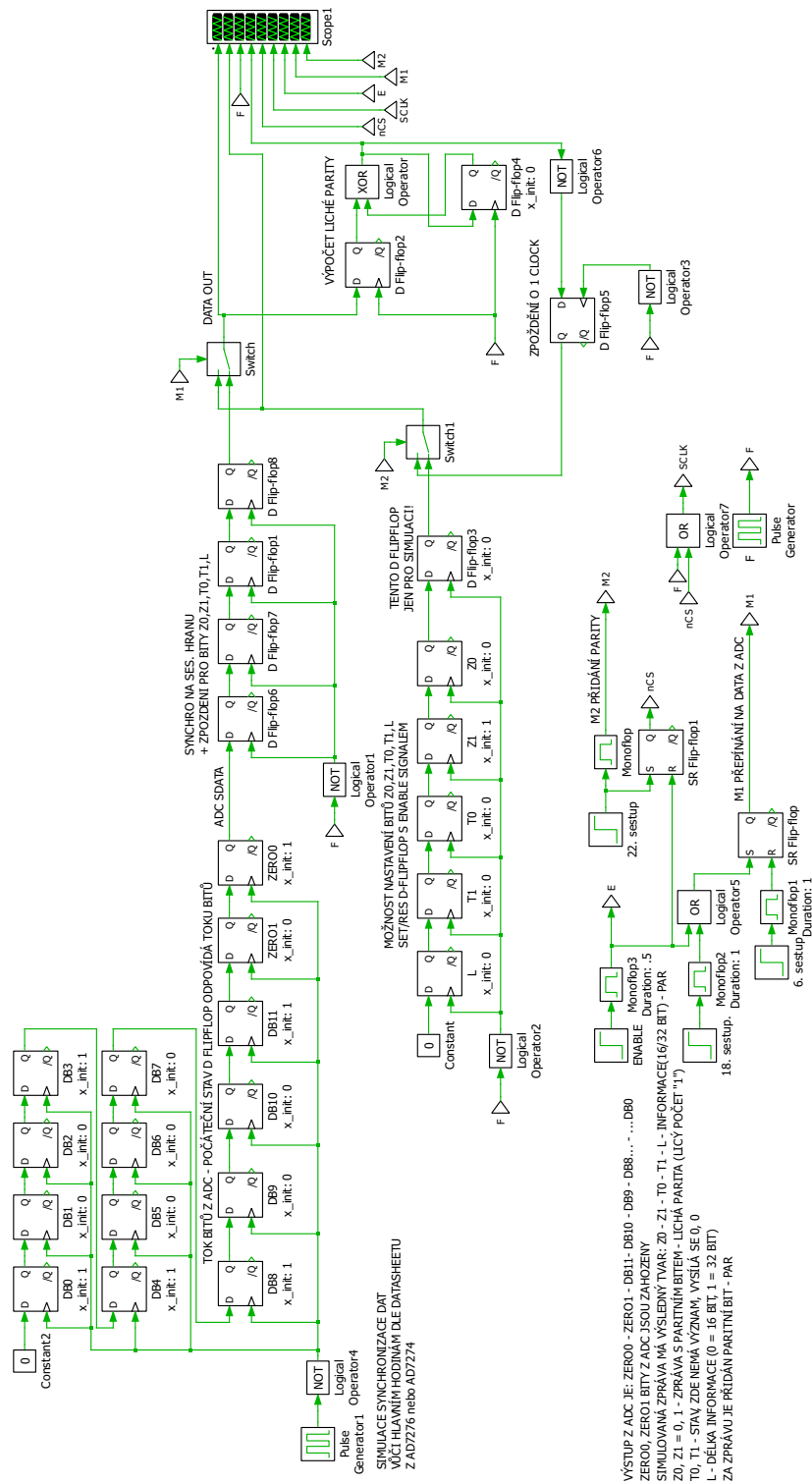
Obrázek 4.7: Průběh signálů při příjmu zprávy s délkou DAT 32 bitů, ve které je špatně vypočtený paritní bit. Jelikož ale není požadována kontrola zprávy ($[P0,P1] = [0,0]$), zpráva je i přes chybnou paritu přijata. Zpráva nese informaci o přepnutí tranzistorů $[T,B]$ z $[0,1]$ na $[1,0]$. Příjem zprávy je proveden shodným způsobem jako v předchozím případě.

4.3 Odesílání zprávy měřeného proudu

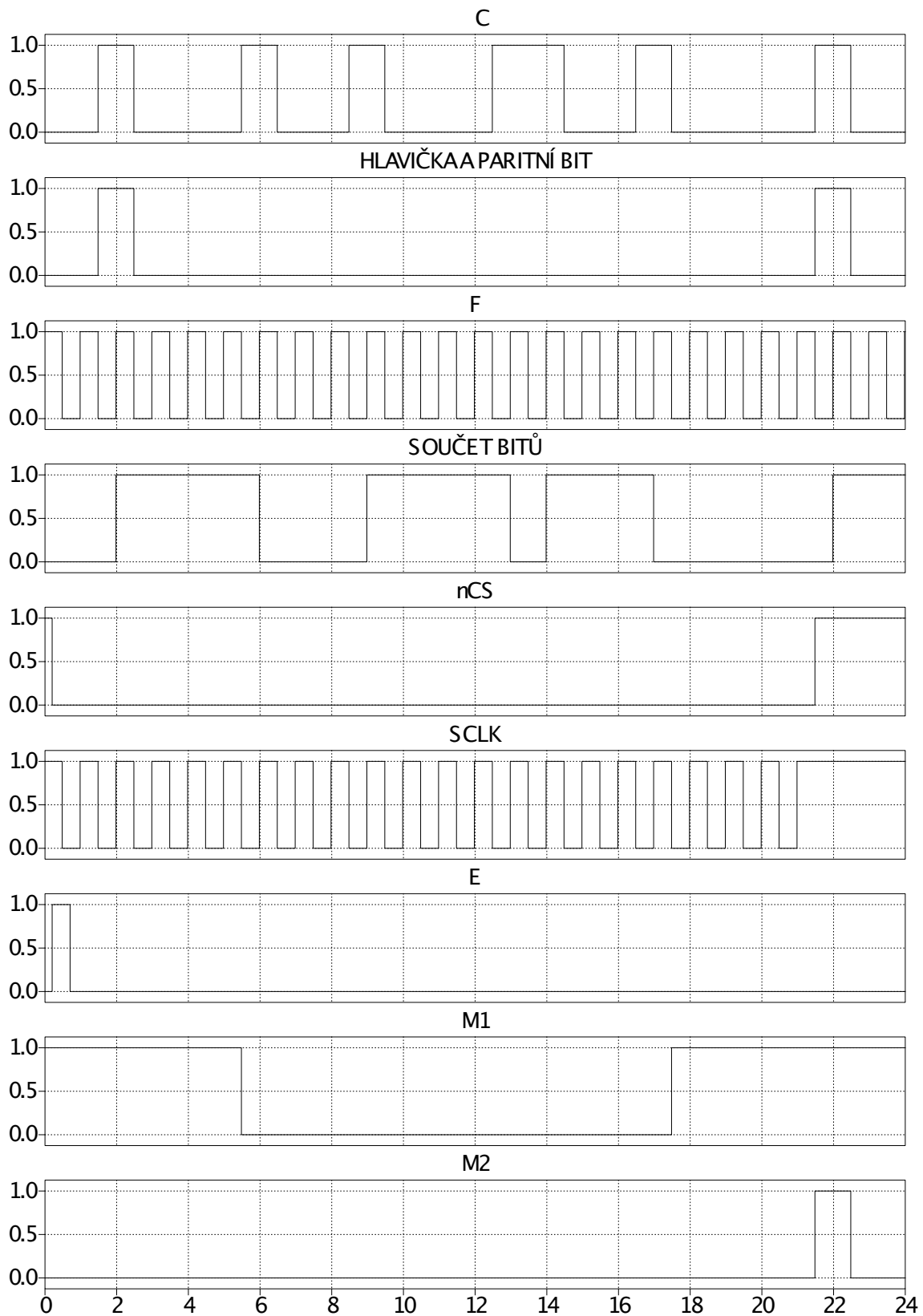
Na obrázku 4.8 je schéma simulace sestavení zprávy měřeného proudu. Simulace odpovídá schématu odesílání zprávy měřeného proudu uvedenému na obrázku 3.11 na straně 35. Vlevo je z D klopných obvodů vytvořen posuvný registr DA převodníku, který vstupuje do čtyř D klopných obvodů, které zpožďují výstup z DA převodníku, tak aby před něj mohla být zařazena hlavička zprávy. Ta je odesílána z posuvného registru, který je tvořen pěti D klopnými obvody. Vpravo je generátor paritního bitu. Zpráva je sestavena pomocí přepínačů, které zajistí návaznost jednotlivých částí zprávy za sebe.

Klopný obvod D Flip-Flop3 zařazený za posuvným registrem s hlavičkou zprávy slouží jen k simulaci! Ve skutečnosti není zapojen, protože první sestupná hrana posuvného registru je překlenuta signálem Enable, který řídí paralelní zápis hlavičky do shift registru.

Na obrázku 4.9 jsou průběhy signálů potřebné k odesílání zprávy s měřeným proudem. První průběh znázorňuje data na sběrnici C , druhý průběh zobrazuje hlavičku zprávy a paritní bit. Třetí průběh je hodinový signál F , čtvrtý průběh je součet bitů zprávy, z kterého se vychází při generaci paritního bitu. Signál \overline{CS} je chip select pro DA převodník a SCLK jsou hodiny DA převodníku. E je signál Enable, signály M1 a M2 ovládají přepínače, kterými je sestavena odchozí zpráva.



Obrázek 4.8: Schéma simulace odesílání zprávy měřeného proudu po sběrnici C

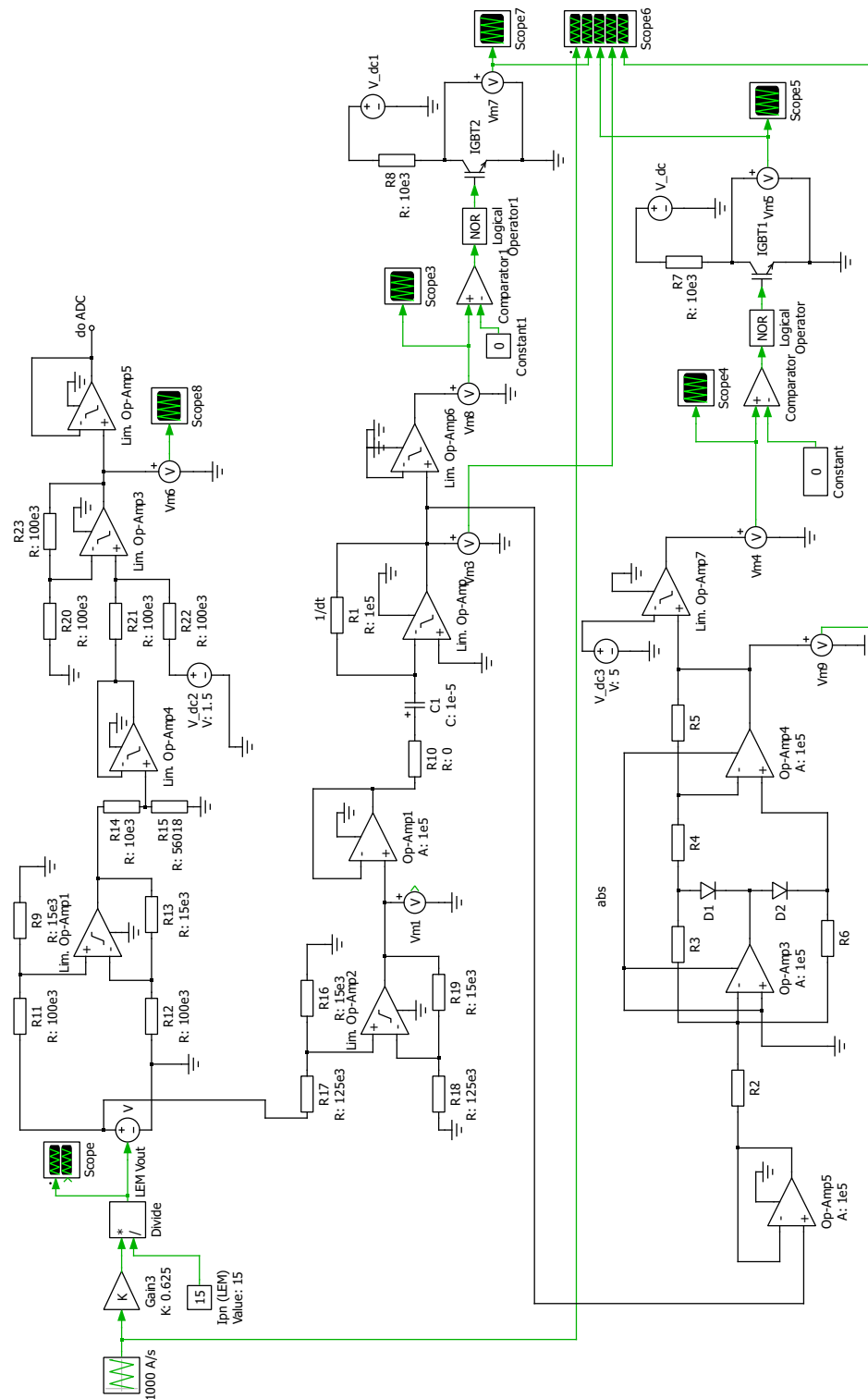


Obrázek 4.9: Průběhy signálů pro řízení odesílání zprávy měřeného proudu

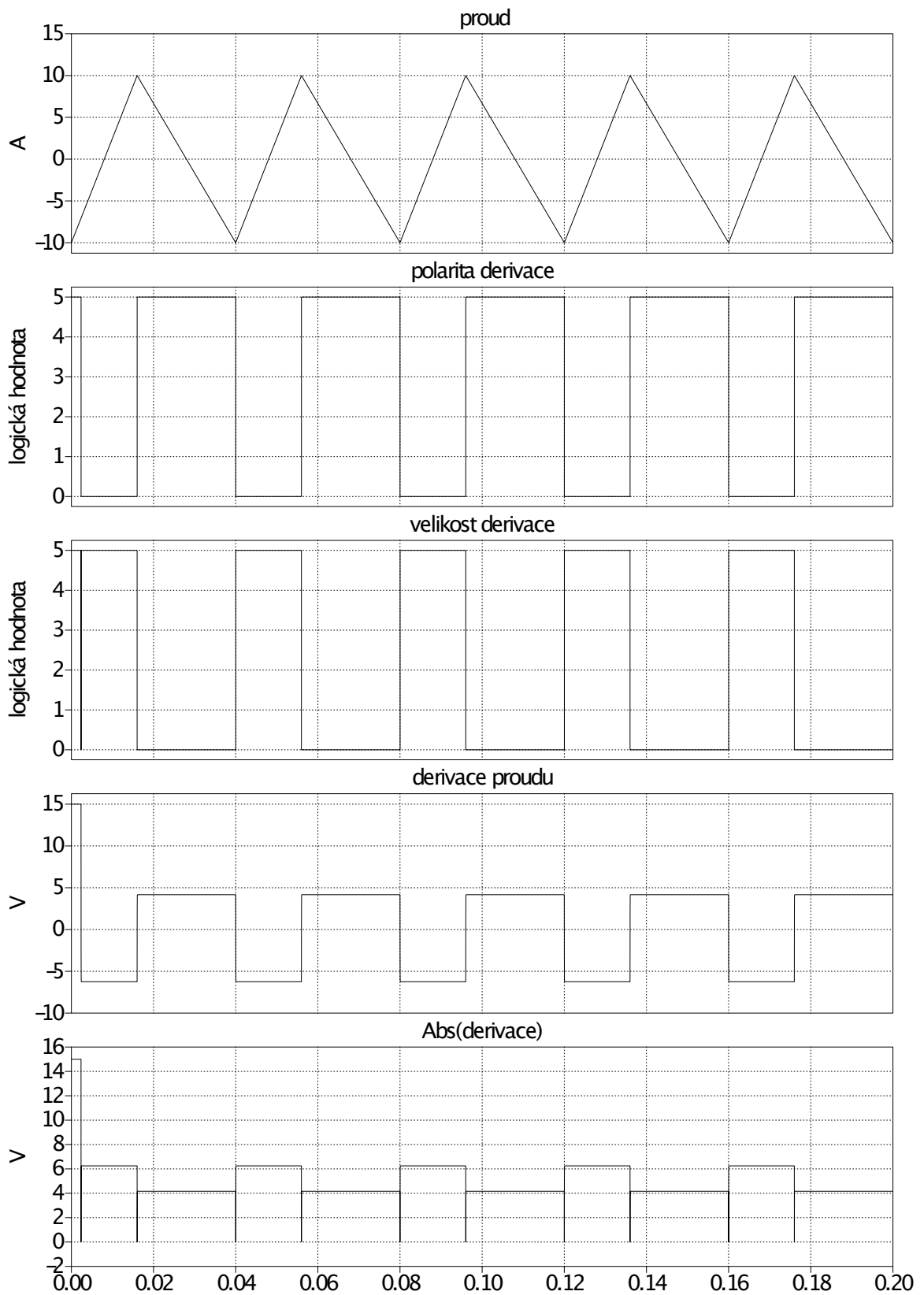
4.4 Měření proudu a napětí

Na obrázku 4.10 je schéma simulace úpravy signálu pro měření proudu a výpočet napětí z derivace signálu měřeného proudu, které bylo popsáno v kapitolách 3.2.4 na straně 32 a 3.2.5 na straně 35.

Měření napětí bylo odsimulováno na pilovém signálu, který má náběžnou část překračující hodnotu 1 000 A/s, jeho sestupná část je pod touto hodnotou. Z průběhů vidíme, že polarita derivace a velikost derivace jsou úspěšně detekovány (výstupem jsou logické hodnoty v 5V logice). Spodní dva průběhy znázorňují derivaci signálu měřeného proudu a její absolutní hodnotu.



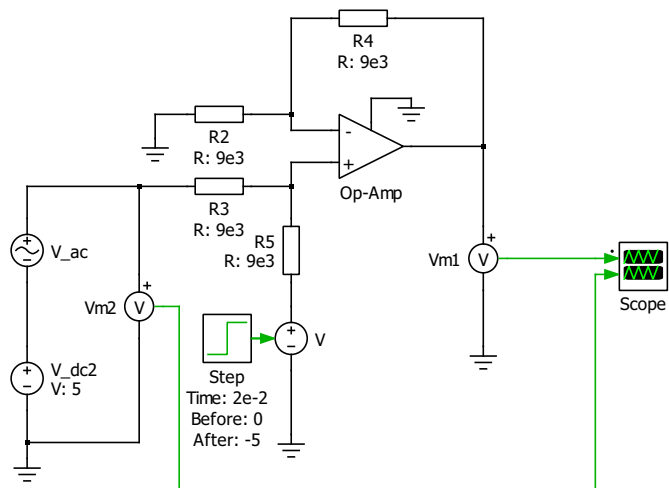
Obrázek 4.10: Schéma simulace analogové části měření proudu a výpočtu napětí pomocí derivace proudu



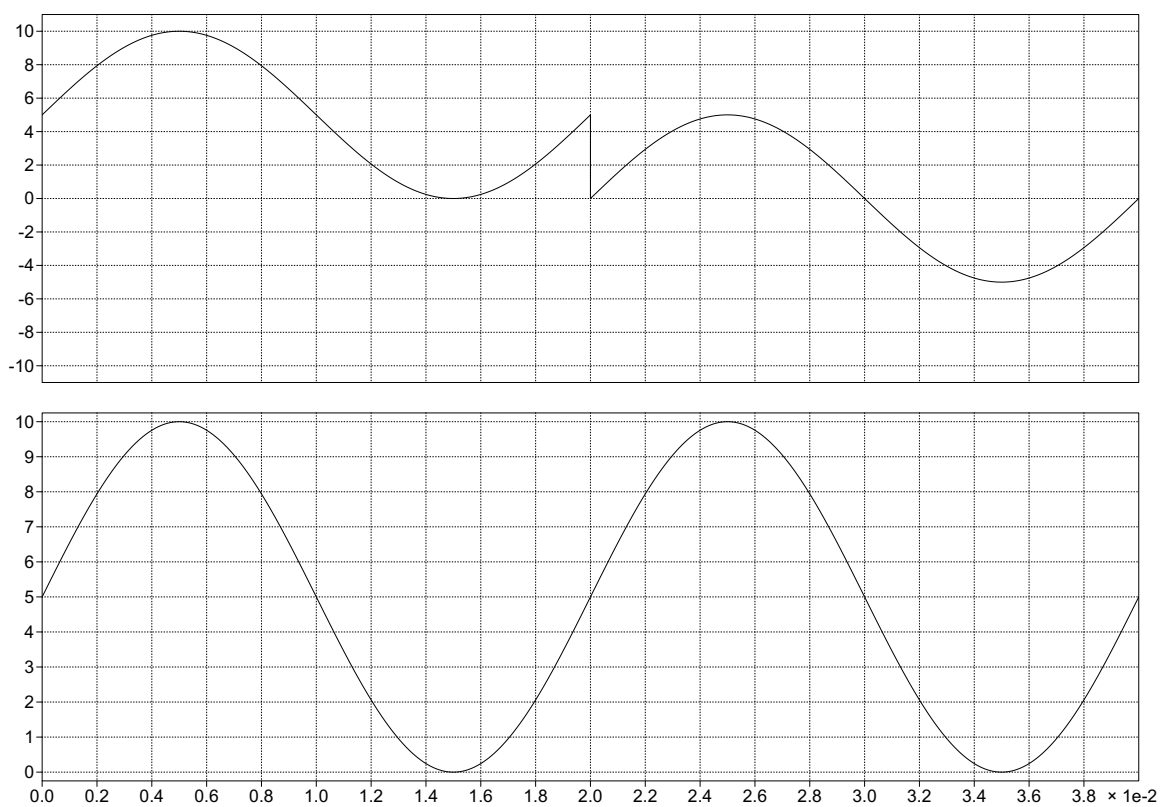
Obrázek 4.11: Výsledky simulace analogové části měření proudu a výpočtu napětí pomocí derivace proudu.

4.5 Posunutí signálu

Simulace posunutí úrovně signálu testuje zapojení, které je využito při úpravě signálu měřeného proudu pro vstup do AD převodníku.



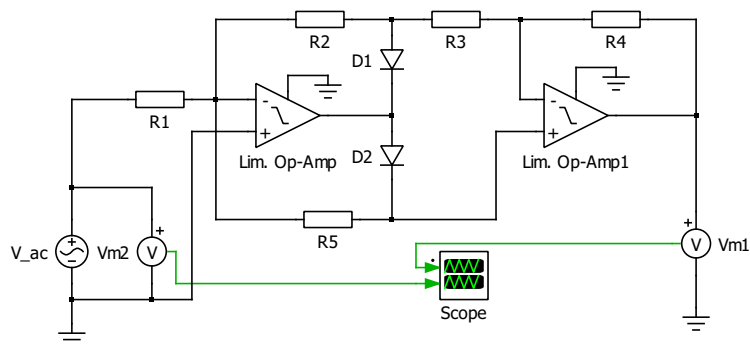
Obrázek 4.12: Schéma simulace posunutí úrovně signálu.



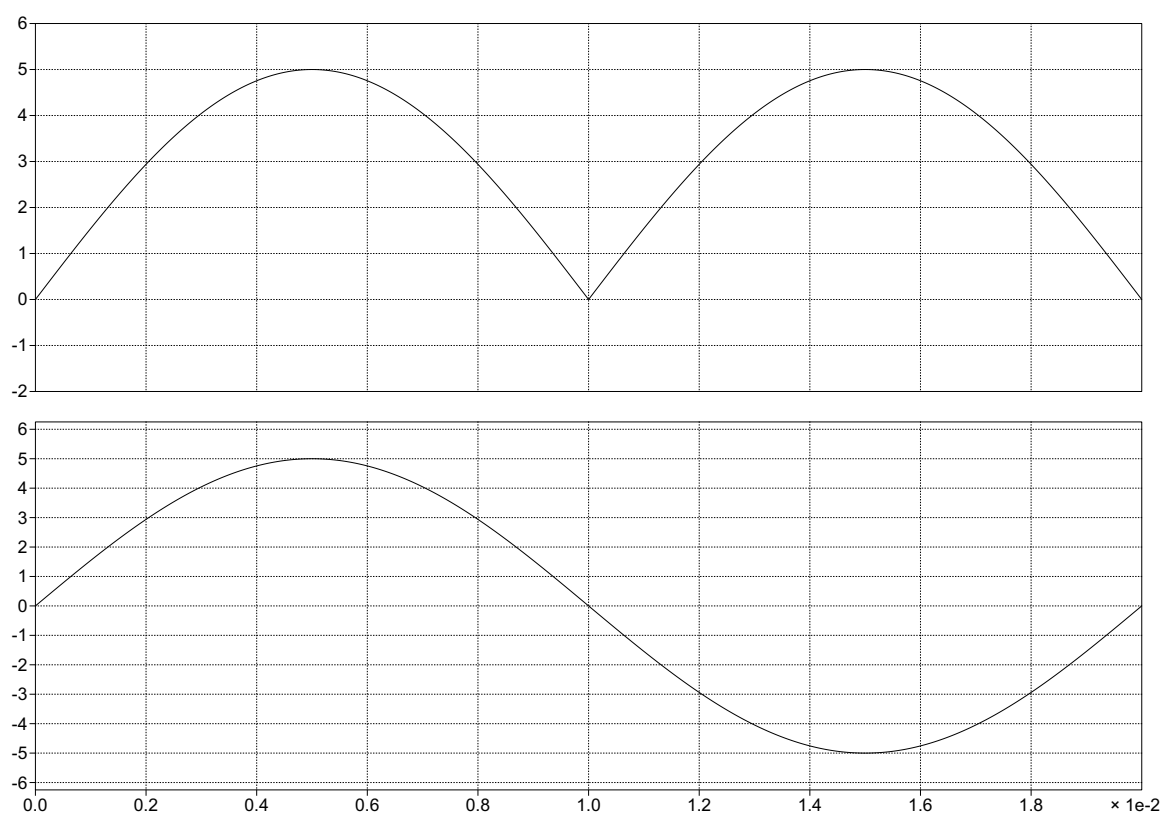
Obrázek 4.13: Výsledek simulace posunutí úrovně signálu.

4.6 Absolutní hodnota signálu

Simulace ověřuje návrh obvodu, který má na výstupu absolutní hodnotu vstupního signálu. Tento obvod je využit při výpočtu napětí z derivace proudu, kdy je potřeba detekovat velikost derivace proudu z důvodu pásma necitlivosti čítání, viz kapitola 3.2.5 na straně 35.



Obrázek 4.14: Schéma simulace absolutní hodnoty signálu.



Obrázek 4.15: Výsledek simulace absolutní hodnoty signálu.

Kapitola 5

Závěr

V rámci vývojové skupiny byl stanoven standard modulárního měniče s označením MoMenTiK. Jsou popsány mechanické rozměry systému, které vycházejí z norem 19“ racku. Je přesně definováno jak propojení systému mezi zásuvnými kartami a backplane pomocí konektorů DIN 41612 typu C (signálový) a E (silový), tak i připojení vnějších zařízení pomocí kabeláže s konektory řady OMNIMATE Power 7.62 HP od fi. Weidmüller. Důraz je kladen na vyváženost přenosu výkonu v celém systému a z toho vychází optimalizace návrhu z hlediska proudové zatížitelnosti jednotlivých částí.

Propojení jednotlivých částí systému je realizováno soustavou sběrnic využívajících technologii M-LVDS, které jsou umístěny na backplane. Přes backplane jsou také rozvedeny ovládací signály například pro hlášení poruchy, resetování systému nebo pro adresaci jednotlivých částí. Všechny signály a sběrnice jsou jednoznačně určeny popsáním rozložení pinů na konektorech DIN 41612. V rámci práce je definován standard komunikace po rychlých sběrnicích uvnitř systému formátem zprávy, který může mít délku 22, nebo 38 bitů, a specifikací řídicích signálů komunikace (hodiny a signál Enable). Zpráva v systému může být zabezpečena lichou paritou. Nedílnou součástí je adresace komponent, která umožňuje snadnou identifikaci pozice v systému a rezervaci rychlých sběrnic pro přímou komunikaci karty s řídicím systémem.

Je zaveden systém řízení dokumentace. Komponenty systému jsou jednoznačně identifikovány typovým označením a sériovými čísly.

V druhé části je popsán návrh zásuvné tranzistorové karty s typovým označením T0001M1.0, která slouží ke zpracování řídicích povelů pro půlmůstek střídače. Karta je navržena s dvěma výměnnými moduly. Jeden je určen pro umístění výkonových tranzistorů s budiči a čidlem proudu. Toto řešení umožňuje přizpůsobení výkonu tranzistorové karty ve velmi širokém rozsahu pouhou výměnou modulu s tranzistory. Druhý slot slouží k připojení modulu s analogovým regulátorem proudu, který byl navržen v rámci týmového projektu [5]. Na kartě je navržen systém měření proudu a napětí. Hodnota proudu je následně odesílána binární zprávou do řídicího systému po vyhrazené rychlé sběrnici. Výpočet napětí je odvozen z derivace proudu, hodnota napětí je následně odesílána jako binární zpráva do řídicího systému po rychlé sběrnici. Příjem a odesílání zprávy je kompatibilní se zabezpečením zprávy pomocí liché parity. V případě příjmu zprávy lze toto zabezpečení vypnout.

Nezbytnou součástí návrhu je systém napájení karty. Ta je napájena z 24V sběrnice umístěné na backplane a na kartě jsou umístěny zdroje pro napájení logických obvodů

a analogové části. Pro oživení prototypu a zkoušky kvality jsou na kartě vytvořeny testovací body.

Díličí části návrhu jsou ověřeny simulacemi v softwaru PLECS Blockset, který je nástavbou pro MATLAB/Simulink. Simulace jsou popsány v poslední kapitole.

V softwaru Eagle je vytvořena kompletní výrobní dokumentace tranzistorové karty T0001M1.0, která slouží jako podklad pro výrobu karty. Výroba prototypu je v rámci diplomové práce realizována. Část výrobních podkladů a schémata jsou prezentovány v přílohách.

Literatura

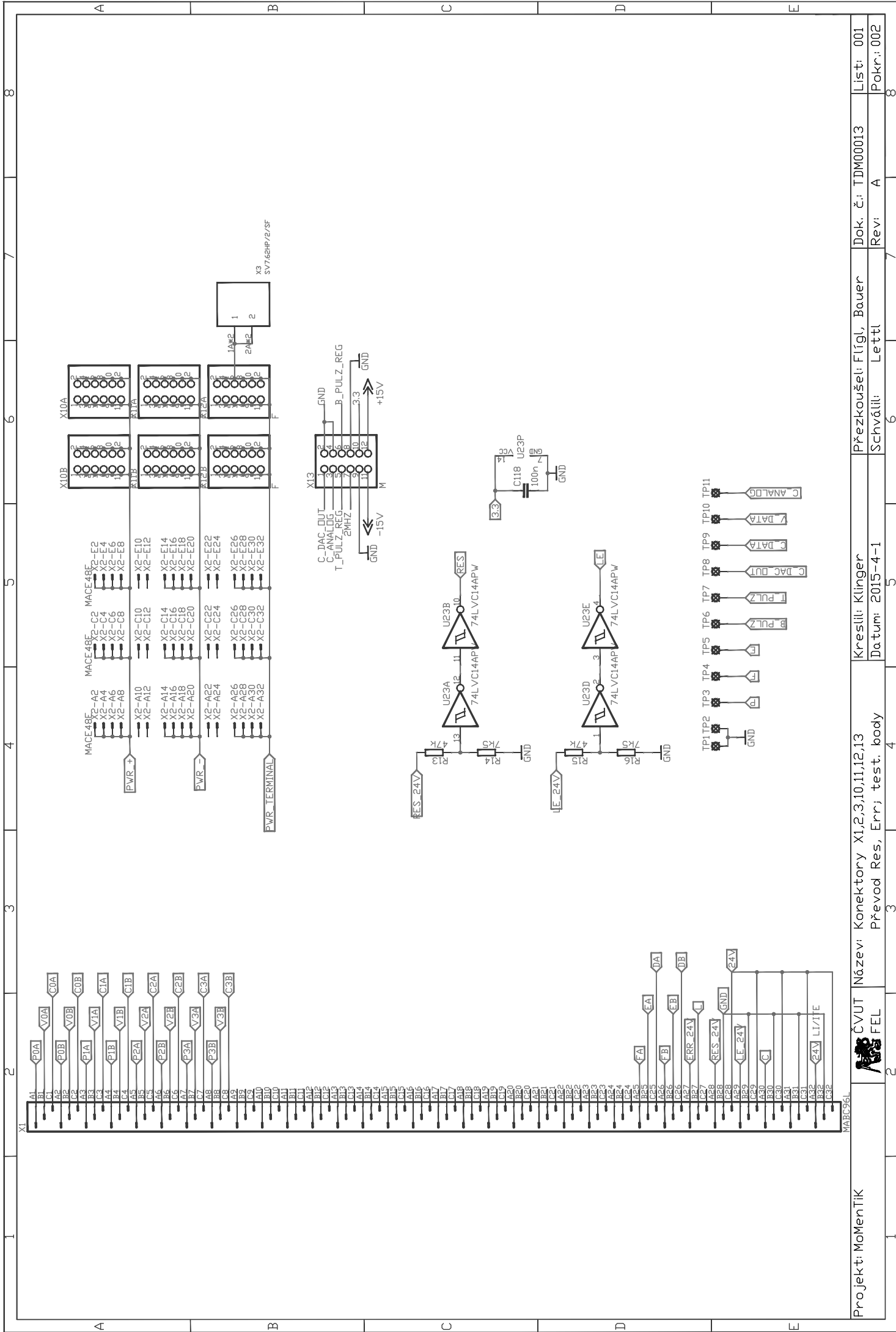
- [1] ERNI ELECTRONICS GMBH & CO. *DIN 41612 / 60603-2 Connectors and completions. 2009.* Edition 2.
- [2] HARTING TECHNOLOGY GROUP. *HARTING Connectors DIN 41 612.* 2010. Version 03 10.
- [3] IEEE 1101. *Standard for Mechanical Core Specifications for Microcomputers Using IEC 60603-2 Connectors.* New York: IEEE, 1998.
- [4] ČSN EN 60297-3. *ČSN EN 60297-3 Mechanické konstrukce pro elektronická zařízení - Rozměry mechanických konstrukcí řady 482,6 mm (19 palců).* Praha: Úřad pro technickou normalizaci, metrologii a zkušebnictví, 2009.
- [5] KLINGER, Jakub a Tomáš LNĚNIČKA. *Koncept experimentálního pracoviště s AM.* Praha, 2014. Projekt v týmu. FEL ČVUT. Vedoucí práce Stanislav Flígl.
- [6] LNĚNIČKA, Tomáš. *Návrh a realizace řídicí a silové sběrnice modulárního měniče.* Praha, 2015. Diplomová práce. FEL ČVUT. Vedoucí práce Stanislav Flígl.
- [7] KOMAN, Martin. *Testovací přípravek základní desky zásuvného modulu tranzistorového půlmůstku pro univerzální měnič MoMenTiK* FEL ČVUT. Vedoucí práce Stanislav Flígl.

Software

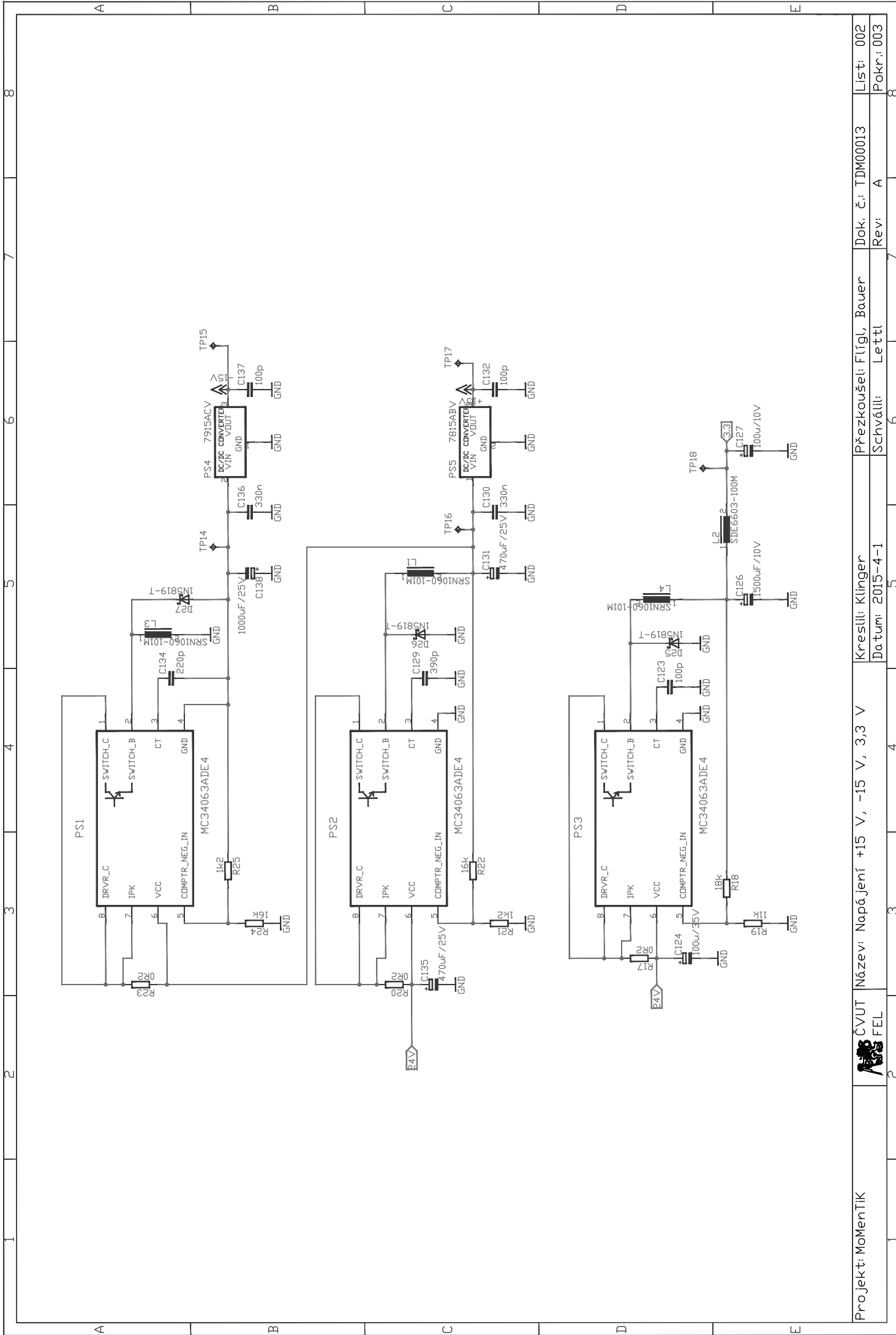
1. EAGLE, CadSoft, ver. 6.5.0 for Mac OS X
2. PLECS, PLEXIM, ver. 3.5.2 Blockset
3. MATLAB/Simulink, MathWorks, ver. R2013b
4. 3D Gerber Viewer, Mayhew Labs, [online] mayhewlabs.com/webGerber
5. Gerbv, gEDA Project, ver. 2.6.1
6. T_EXmaker, ver. 4.3

Příloha A

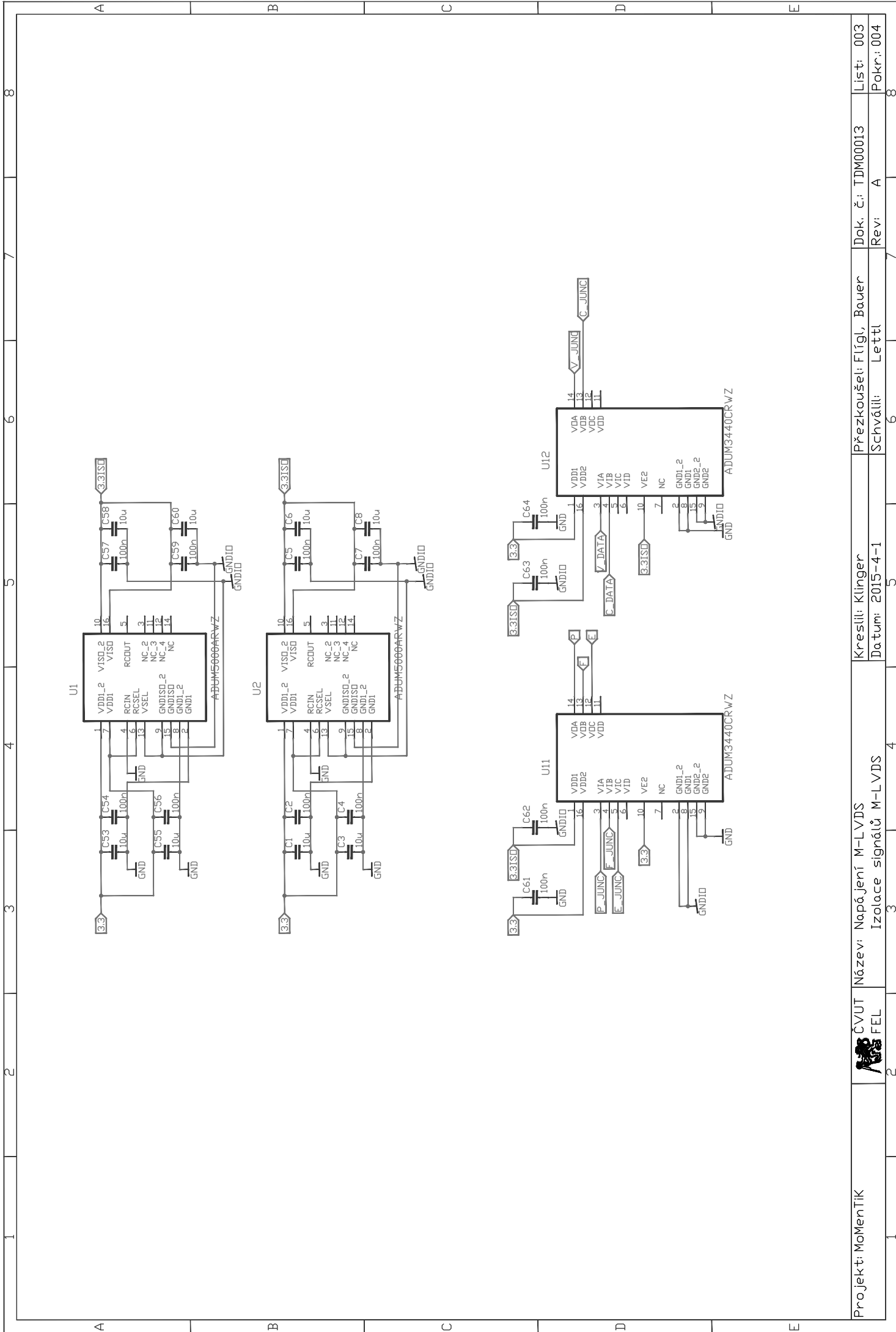
Obvodové schéma



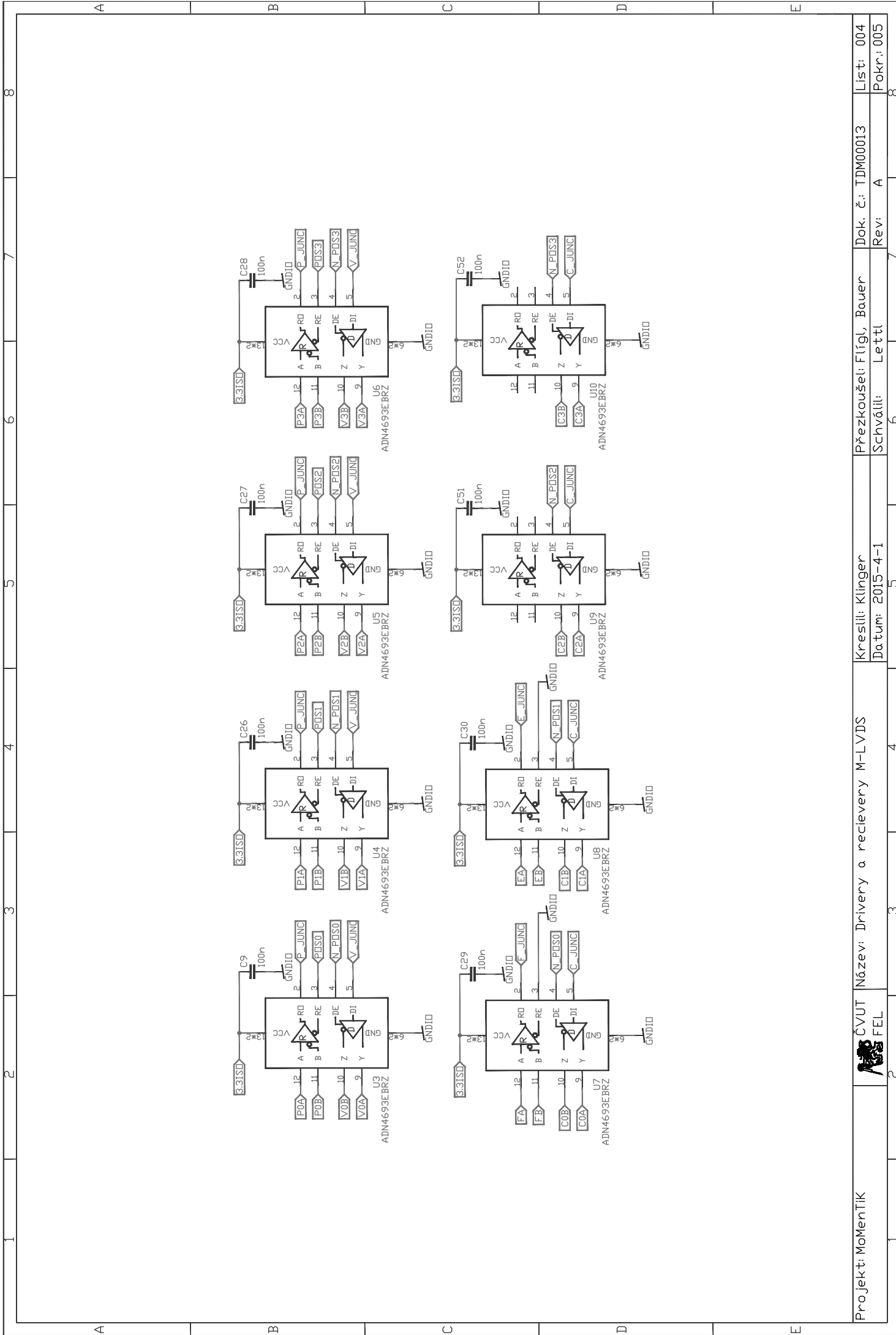
Projekt: MoMenTiK	ČVUT FEL	Název: Konektory X1,2,3,10,11,12,13 Převod Res, Err; test. body	Kreslí: Klinger	Datum: 2015-4-1	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 001
					Schválil: Lettl	Rev: A	Pokr.: 002



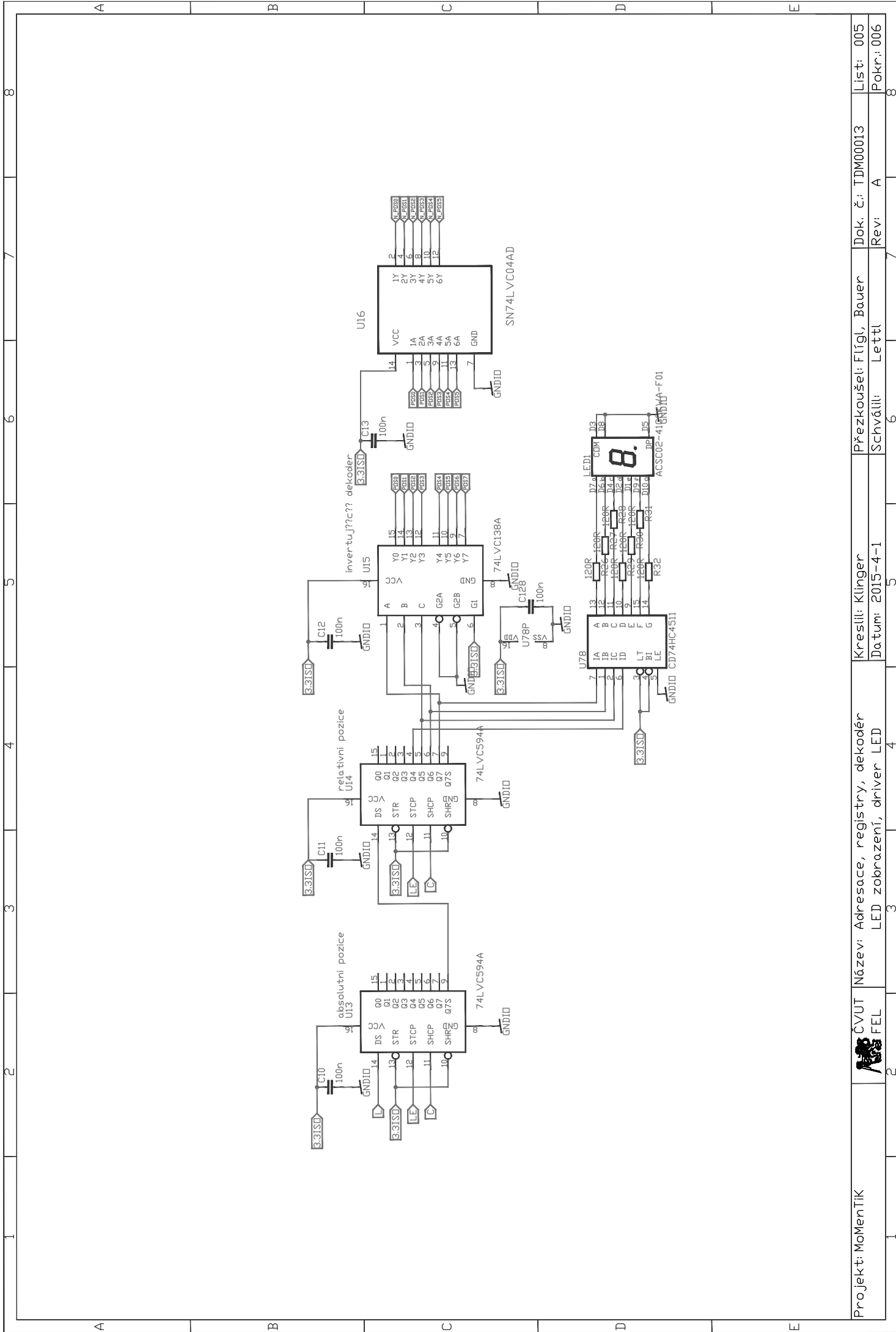
Projekt: MoMenTiK	ČVUT FEL	Název: Napájení +15 V, -15 V, 3.3 V	Kreslí: Klinger	Přezkoušel: Fúgl, Bauer	Dok. č.: TDM00013	List: 002
			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 003



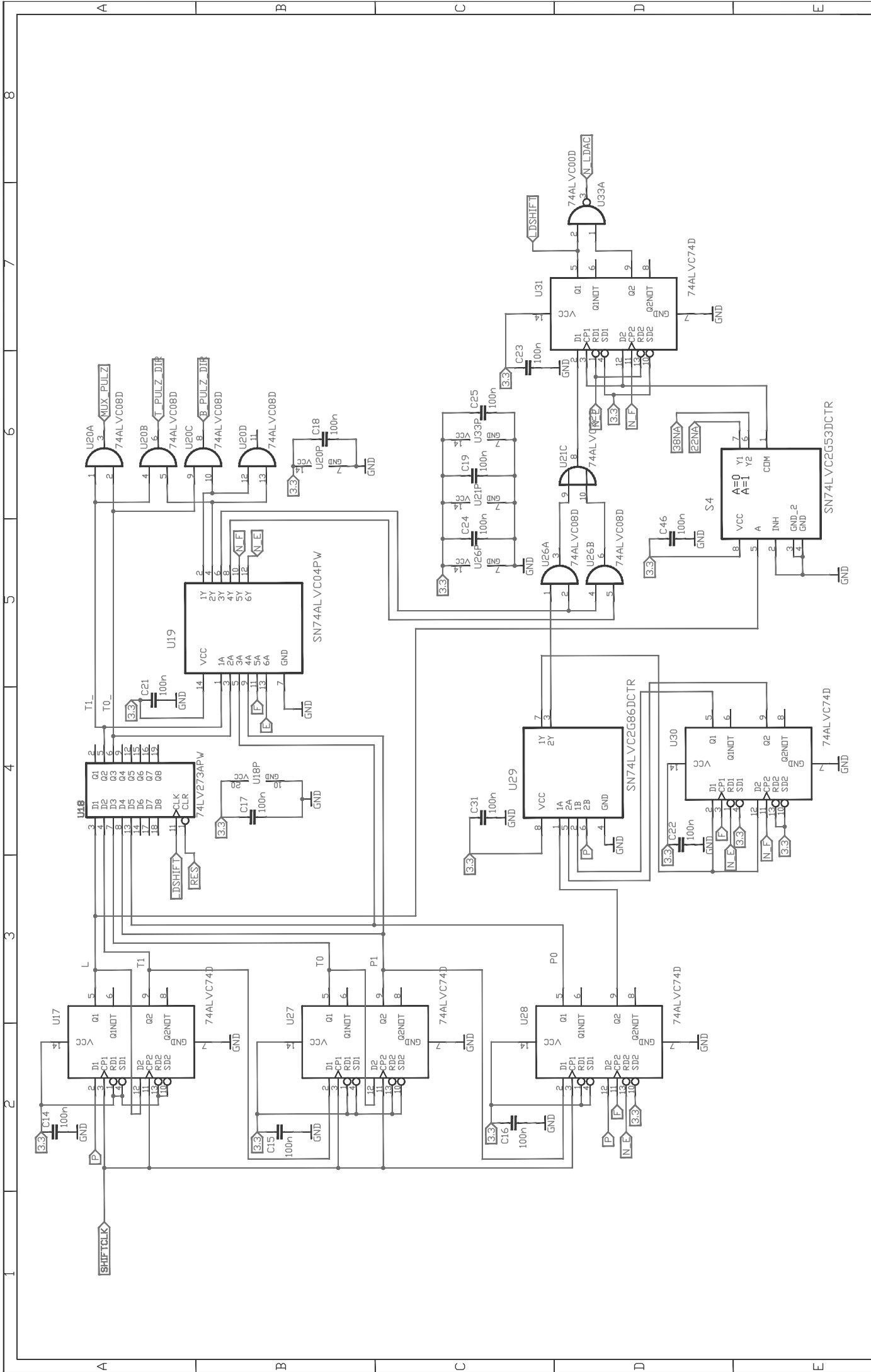
Projekt: MoMenTik	ČVUT FEL	Název: Napájení M-LVDS Izolace signálů M-LVDS	Kreslí: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 003
			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 004



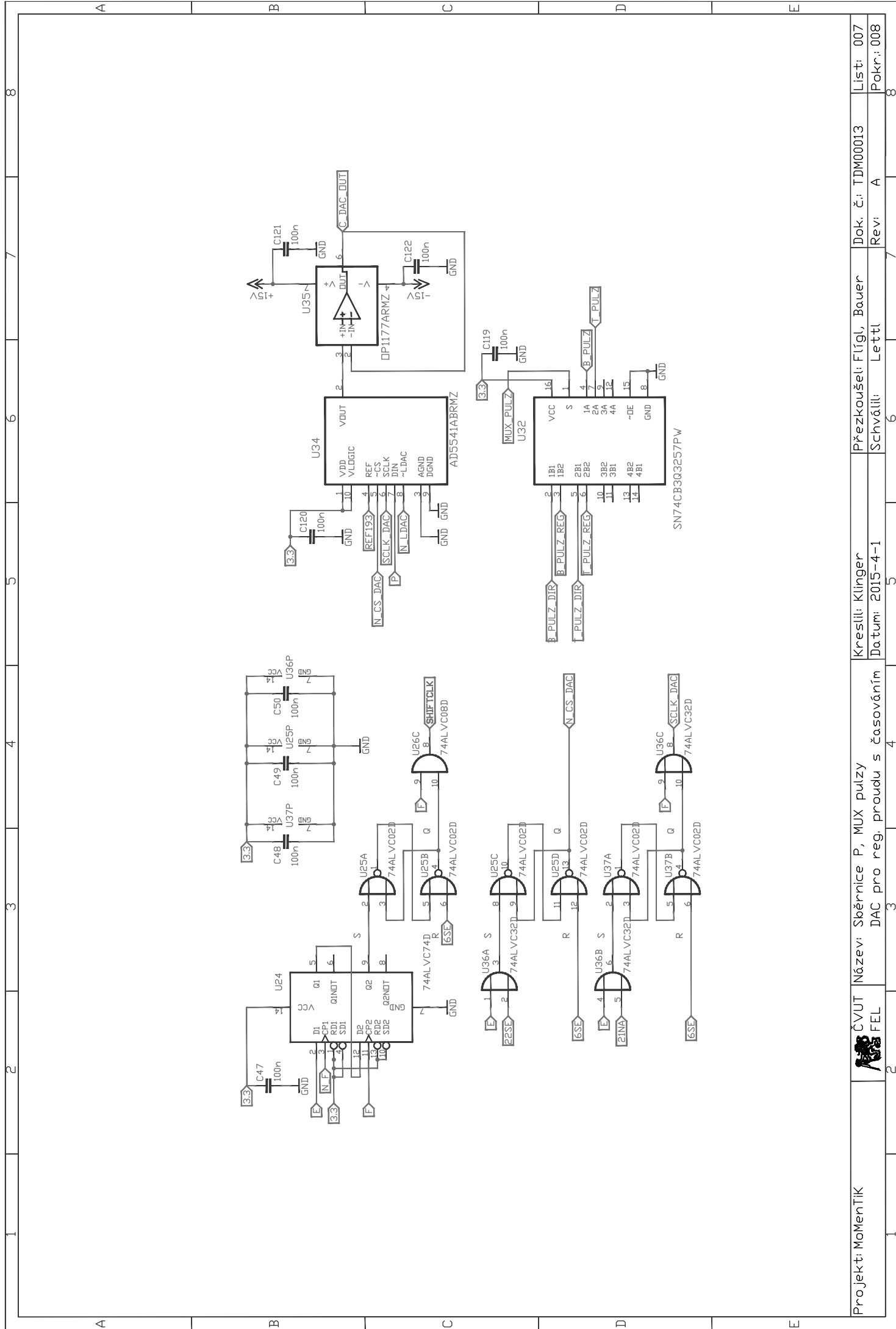
Projekt: MoMenTiK	ČVUT FEL	Název: Drivery a recievery M-LVDS	Kreslí: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 004
			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 005



Projekt: MoMenTik	ČVUT FEL	Název: Adresace, registry, dekodér LED zobrazení, driver LED	Kreslí: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 005
			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 006
						8



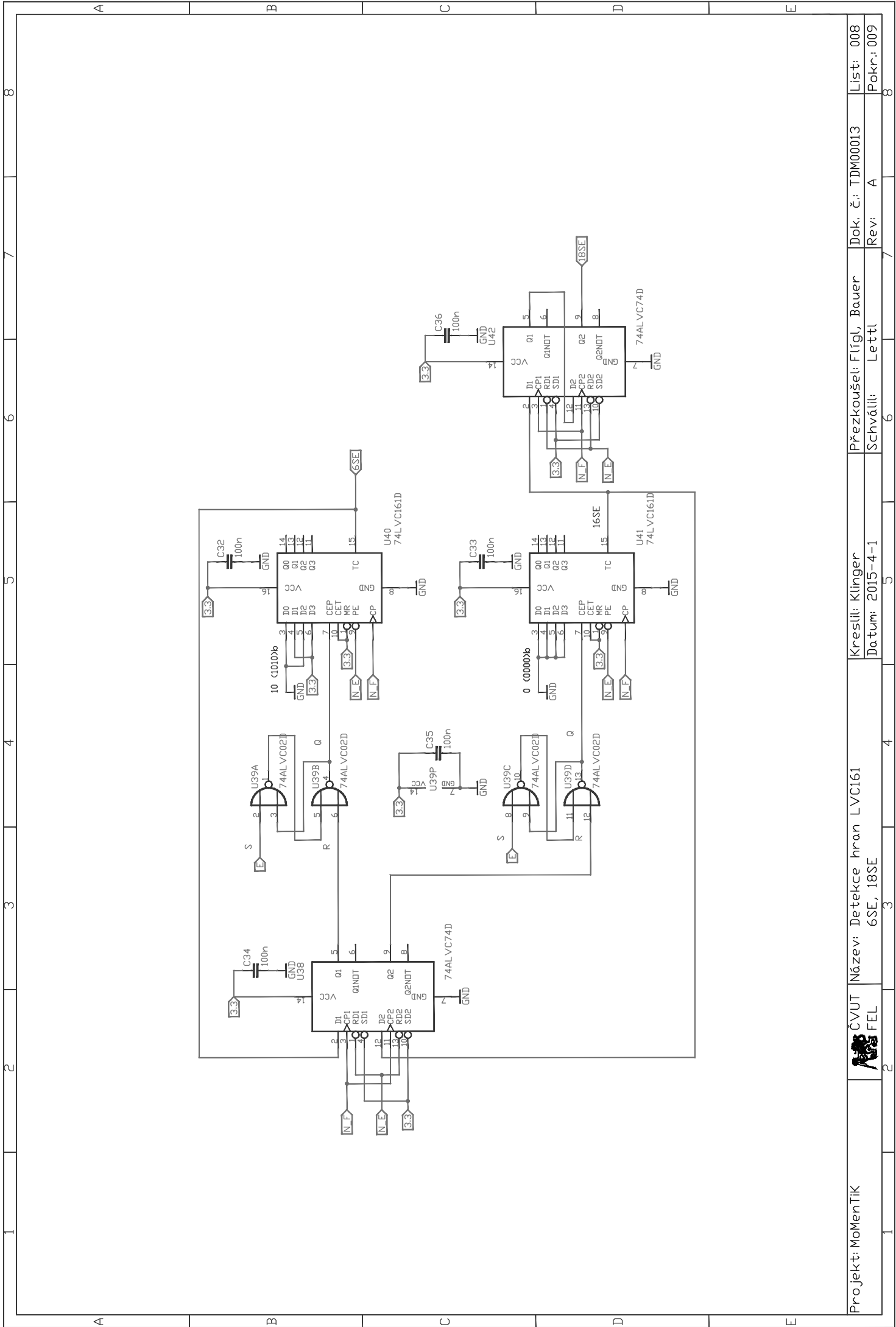
Projekt: MoMenTik	ČVUT	Název: Sběrnice P, registry kontrola parity, řídicí pulzy	Kreslil: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 006
FEL			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 007



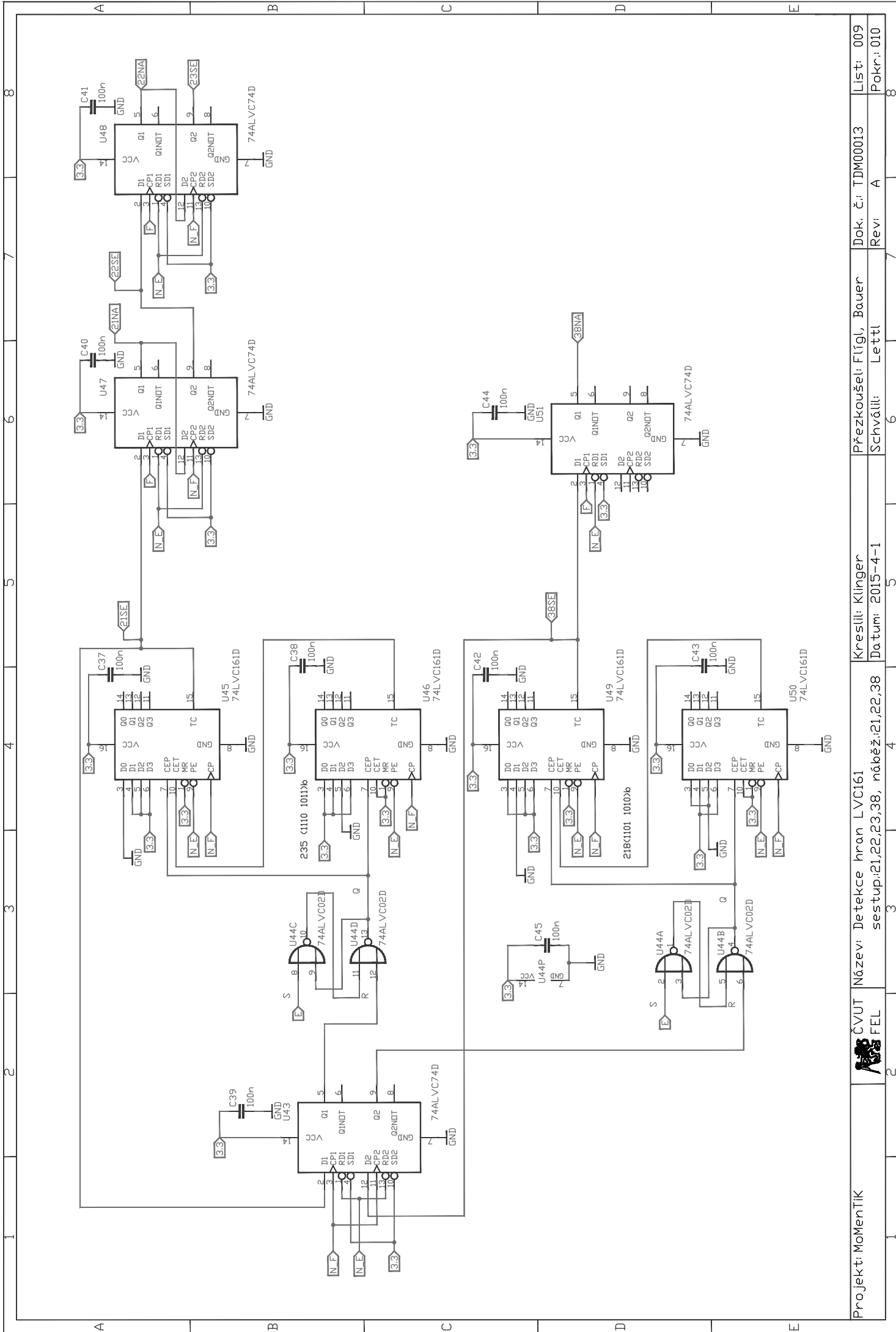
1 2 3 4 5 6 7 8

A B C D E

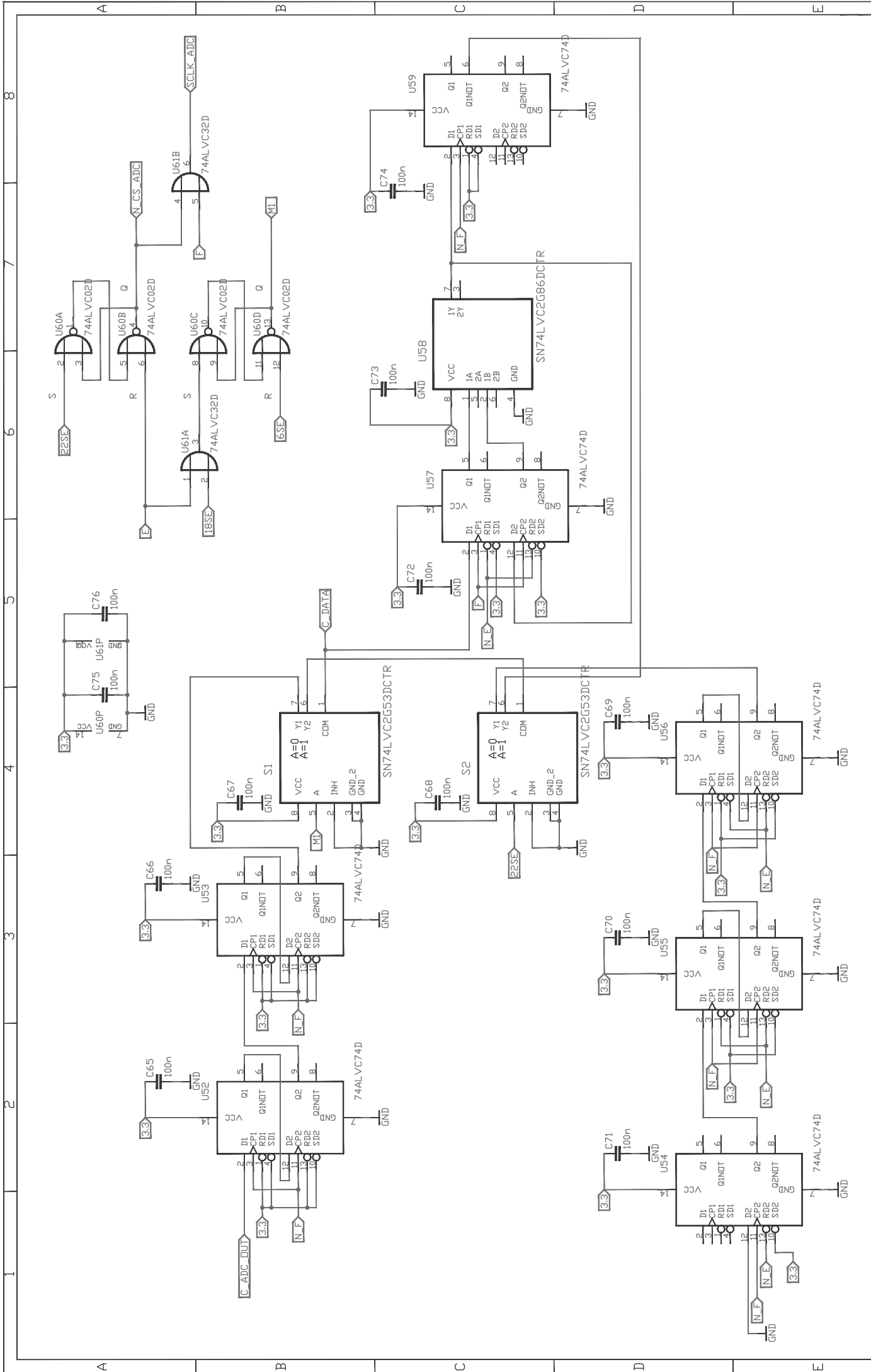
Projekt: MoMenTik	ČVUT FEL	Název: Sběrnice P, MUX pulzy DAC pro reg. proudy s časováním	Kreslí: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 007
			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 008
						8



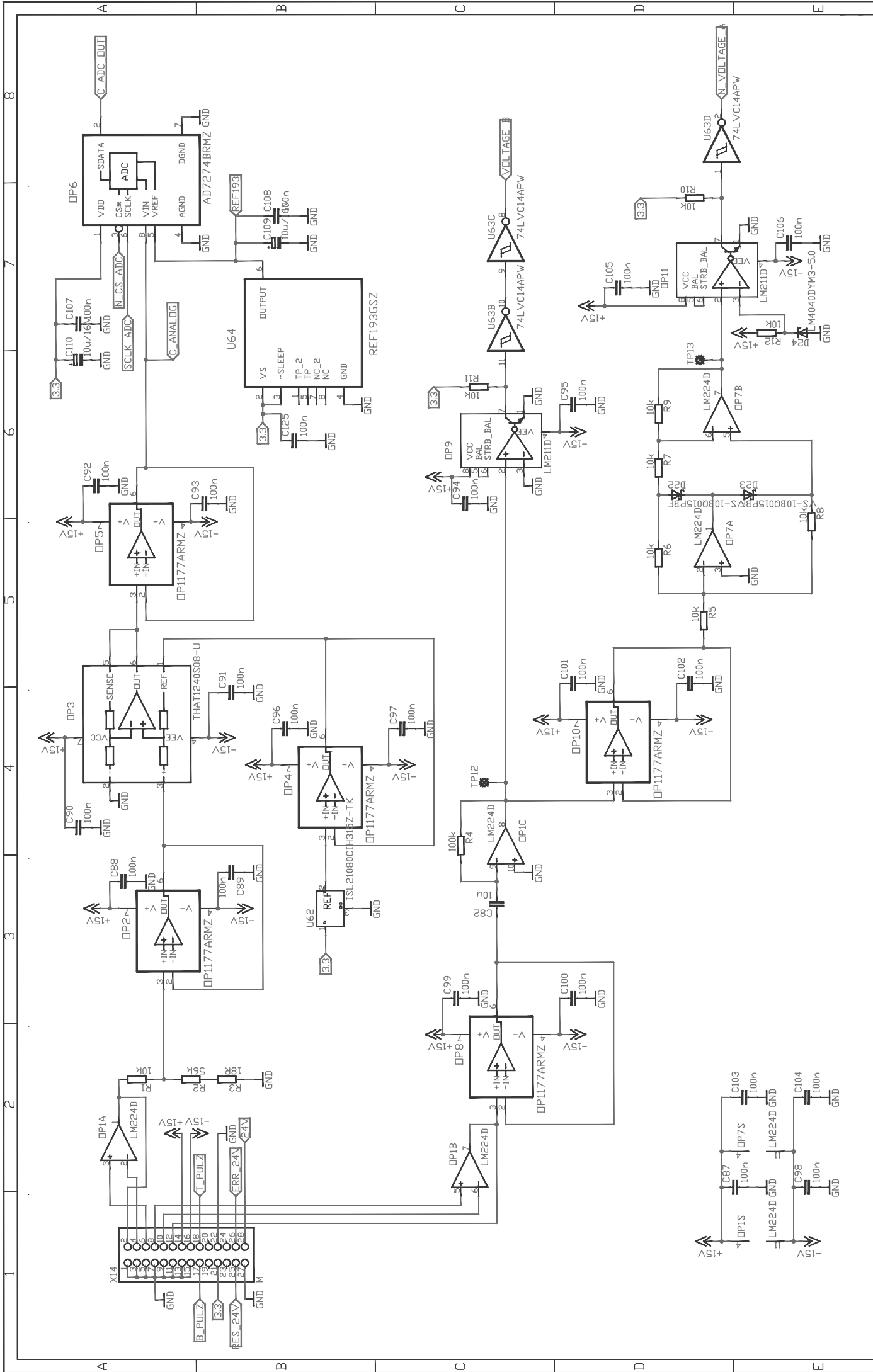
Projekt: MoMenTik	ČVUT FEL	Název: Detekce hran LVC161	Kreslí: Klinger	Přezkoušel: Fígl, Bauer	Dok. č.: TDM00013	List: 008
		6SE, 18SE	Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 009



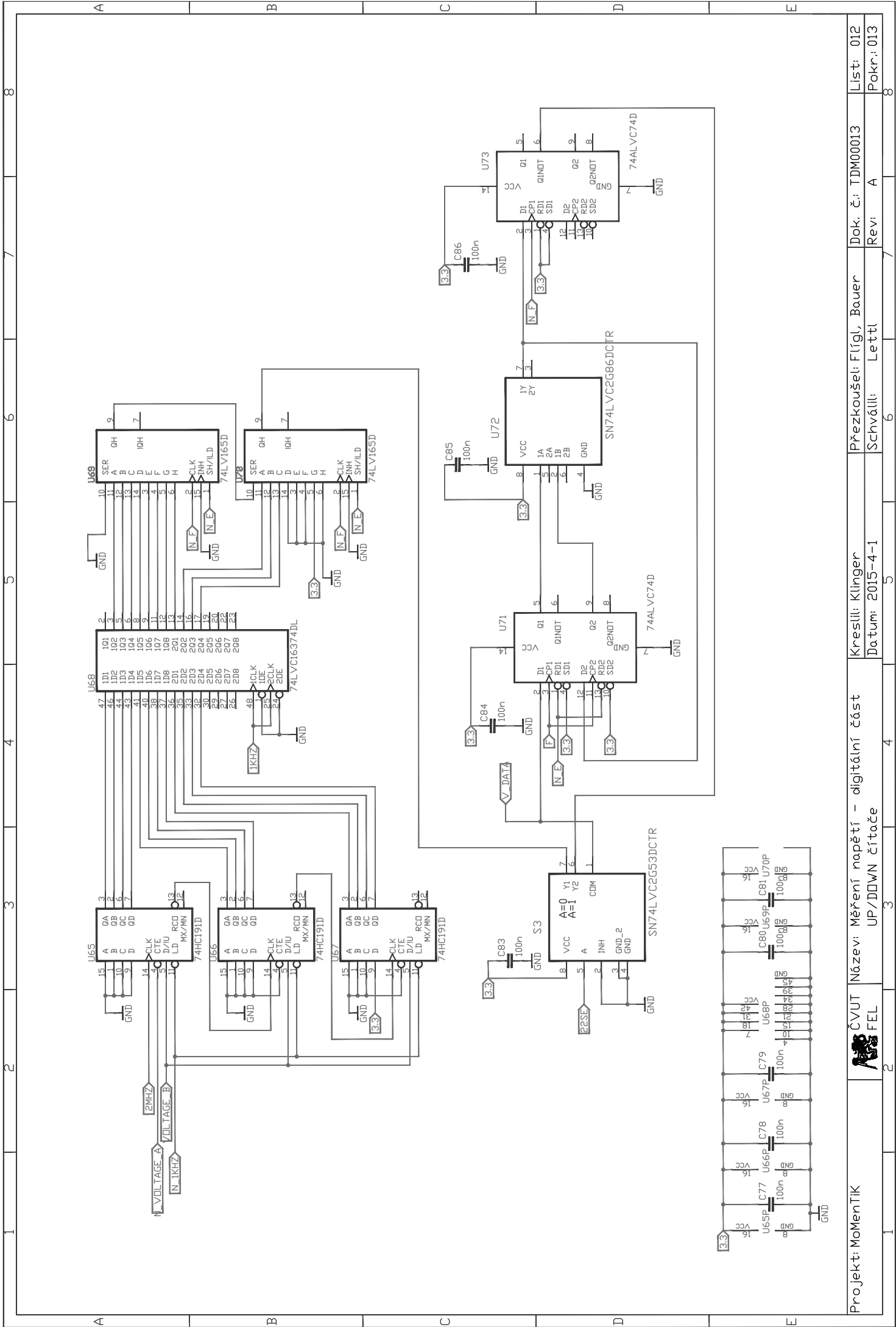
Projekt: MoMenTiK	ČVUT FEL	Název: Detekce hran LVC161 sestup:21,22,23,38, náběž:21,22,38	Kreslí: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 009
				Schválil: Lettl	Rev: A	Pokr.: 010



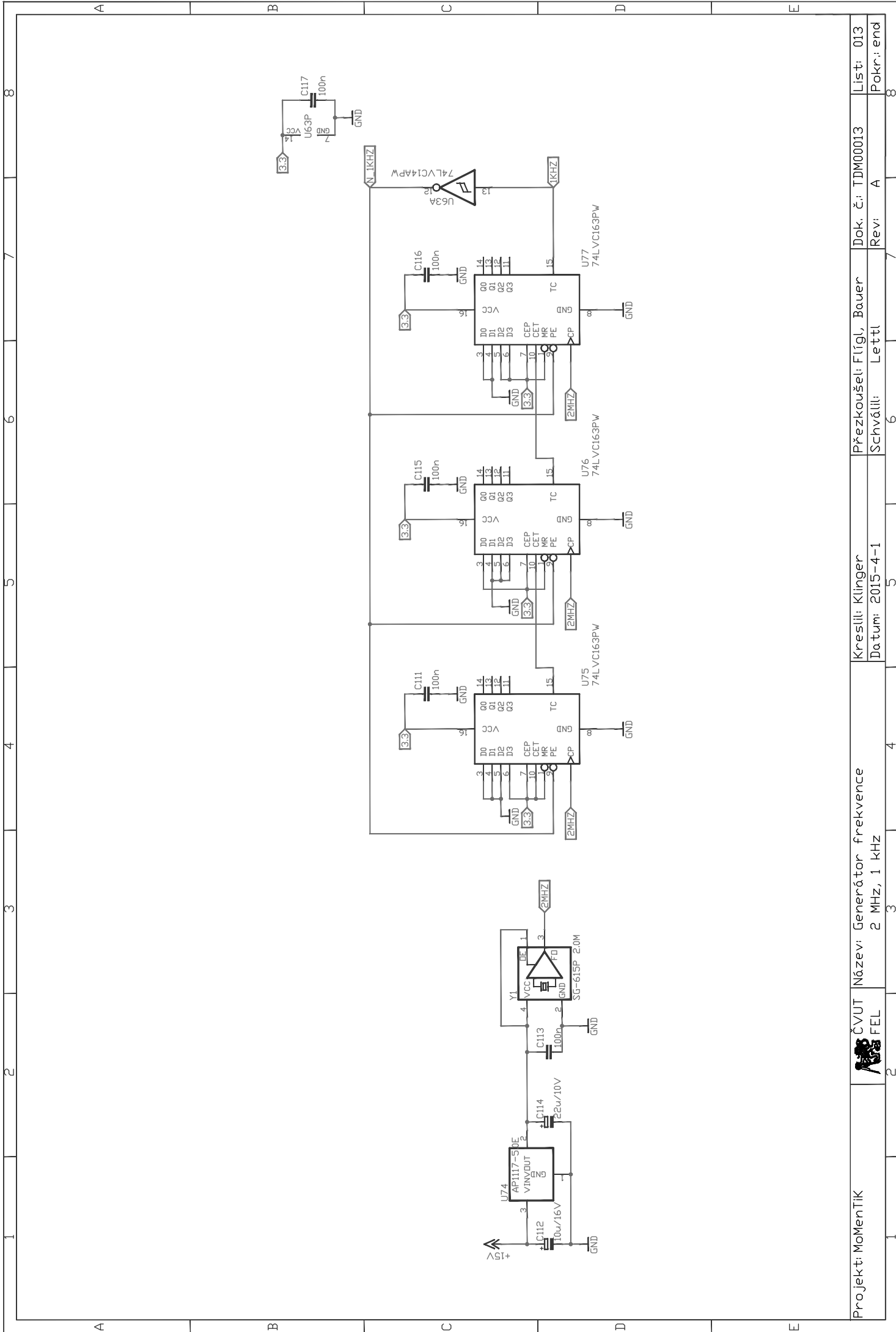
Projekt: MoMenTiK	ČVUT FEL	Název: Škěrnice C, odesíláný proudů časování pro ADC	Kreslí: Klinger	Přezkoušel: Fígl, Bauer	Dok. č.: TDM00013	List: 010
			Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 011



Projekt: MoMen TIK	ČVUT FEL	Název: Měření proudu - analog. část, ADC	Kreslí: Klinger	Přezkoušel: Flígl, Bauer	Dok. č.: TDM00013	List: 011
		Měření napětí - analogová část	Datum: 2015-4-1	Schválil: Lettl	Rev: A	Pokr.: 012



Projekt: MoMenTik	ČVUT FEL	Název: Měření napětí - digitální část UP/DDVN čítače	Kreslí: Klinger Datum: 2015-4-1	Přezkoušel: Fúgl, Bauer SCHválil: Lettl	Dok. č.: TDM00013 Rev: A	List: 012 Pokr.: 013
-------------------	----------	---	------------------------------------	--	-----------------------------	-------------------------



Projekt: MoMenTik	ČVUT FEL	Název: Generátor frekvence 2 MHz, 1 kHz	Kreslí: Klinger	Přezkoušeli: Flígl, Bauer	Dok. č.: TDM00013	List: 013
			Data: 2015-4-1	Schválili: Lettl	Rev: A	Pokr.: end
						8

Příloha B

Kusovník



T0001M1.0 - Kusovník

Dok. č.	TDM00003	Připravil	Klinger
Rev	D	Přezkoušel	Flígl, Bauer
Datum	2015-04-22	Schválil	Lettl

Mouser obj. č.	Pouzdro	Typ	Popis	Ks	Pozice	Změna
621-1N5819	DO41-7.6	1N5819-T		3	D25, D26, D27	
584-AD7274BRMZ	MSOP-8	AD7274BRMZ		1	OP6	
595-SN74LVC16374DLR	SSOP48	74LVC16374DL		1	U68	
ADUM5000ARWZ	SO16PW	ADUM5000ARWZ		2	U1, U2	
595-SN74CB3Q3257PW	TSSOP16	SN74CB3Q3257PW		1	U32	
771-74ALVC74D	SO14	74ALVC74D		21	U17, U24, U27, U28, U30, U31, U38, U42, U43, U47, U48, U51, U52, U53, U54, U55, U56, U57, U59, U71, U73	
771-LVC161D112	SO16	74LVC161D		6	U40, U41, U45, U46, U49, U50	
771-LVC163PW112	SO16PW	74LVC163PW		3	U75, U76, U77	
771-LV165D118	SO16	74LV165D		2	U69, U70	
621-AP1117E50G-13	SOT223	AP1117E50G-13		1	U74	
595-CD74HC4511M	SO16	CD74HC4511		1	U78	
584-OP1177ARMZ	MSOP8	OP1177ARMZ		6	OP2, OP4, OP5, OP8, OP10, U35	
	C0805	Kondenzátor keramický	100n, 10 %, X7R, 50 V	111	C2, C4, C5, C7, C9, C10, C11, C12, C13, C14, C15, C16, C17, C18, C19, C20, C21, C22, C23, C24, C25, C26, C27, C28, C29, C30, C31, C32, C33, C34, C35, C36, C37, C38, C39, C40, C41, C42, C43, C44, C45, C46, C47, C48, C49, C50, C51, C52, C54, C56, C57, C59, C61, C62, C63, C64, C65, C66, C67, C68, C69, C70, C71, C72, C73, C74, C75, C76, C77, C78, C79, C80, C81, C83, C84, C85, C86, C87, C88, C89, C90, C91, C92, C93, C94, C95, C96, C97, C98, C99, C100, C101, C102, C103, C104, C105, C106, C107, C108, C111, C113, C115, C116, C117, C118, C119, C120, C121, C122, C125, C128	C

Mouser obj. č.	Pouzdro	Typ	Popis	Ks	Pozice	Změna
	C0805	Kondenzátor keramický	100p, 10 %, X7R, 50 V	3	C123, C132, C137	C
	C0805	Kondenzátor keramický	10u, 10 %, X7R, 10 V	9	C1, C3, C6, C8, C53, C55, C58, C60, C82	C, D
	C0805	Kondenzátor keramický	220p, 10 %, X7R, 50 V	1	C134	C
	C0805	Kondenzátor keramický	330n, 10 %, X7R, 50 V	2	C130, C136	C
	C0805	Kondenzátor keramický	390p, 10 %, X7R, 50 V	1	C129	C
617-09-03-196-2921	MABC96L	MABC96L		1	X1	
617-09051482921	MACE48E	MACE48E		1	X2	
584-AD5541ABRMZ	MSOP10	AD5541ABRMZ		1	U34	
771-74LVC138APW-T	TSSOP16	74LVC138A		1	U15	
595-SN74LVC2G86DCTR	SSOP8	SN74LVC2G86DCTR		3	U29, U58, U72	
595-SN74LVC04AD	SOIC14	SN74LVC04AD		1	U16	
595-SN74LVC14APWR	TSSOP14	74LVC14APW		2	U23, U63	
968-ISL21080CIH315ZT	SOT23	ISL21080CIH315Z-TK		1	U62	
1930490000 Weidmüller Or. No.		SV7.62HP/2/SF		1	X3	
511-L7815ABV	TO220	7815ABV		1	PS5	
511-L7915ACV	TO220	7915ACV		1	PS4	
511-LM211D	SO8	LM211D		2	OP9, OP11	
863-LM224DTBR2G	TSSOP14	LM224D		2	OP1, OP7	
998-LM4040DYM3-5.0TR	SOT23	LM4040DYM3-5.0		1	D24	
584-ADN4693EBRZ	SOIC14	ADN4693EBRZ		8	U3, U4, U5, U6, U7, U8, U9, U10	
SN74LV273APW	TSSOP14	74LV273PW		1	U18	
	2X14	Konektor 2,54	MALE	1	X14	
	2X06	Konektor 2,54	MALE	1	X13	
649-87606-406LE	2X06	Konektor 2,54	FEMALE	6	X10A, X10B, X11A, X11B, X12A, X12B	
667-EEU-FR1E102	TAP5-80	Polarized Capacitor	1000uF/25V	1	C138	C
667-EEU-FR1A101	E2-5	Polarized Capacitor	100u/10V	1	C127	
667-EEU-FC1V101	E3,5-8	Polarized Capacitor	100u/35V	1	C124	
667-EEE-FK1C100R	PANASONIC_B	Polarized Capacitor	10u/16V	3	C109, C110, C112	
667-EEU-FR1A152	E5-10,5	Polarized Capacitor	1500uF/10V	1	C126	
667-EEE-FK1A220R	PANASONIC_B	Polarized Capacitor	22u/10V	1	C114	
667-EEU-FR1E471	E5-10,5	Polarized Capacitor	470uF/25V	2	C131, C135	
584-REF193GSZ	SOIC8	REF193GSZ		1	U64	
595-SN74ALVC08DR	SO14	74ALVC08D		2	U20, U26	B

Mouser obj. č.	Pouzdro	Typ	Popis	Ks	Pozice	Změna
595-SN74ALVC00DR	SO14	74ALVC00D		1	U33	
771-ALVC02D118	SO14	74ALVC02D		5	U25, U37, U39, U44, U60	
595-SN74ALVC32DR	SO14	74ALVC32D		3	U21, U36, U61	
ADUM3440CRWZ	SOIC16	ADUM3440CRWZ		2	U11, U12	
595-SN74ALVC04PWR	TSSOP14	SN74ALVC04PW		1	U19	
595-MC34063ADE4	SOIC8	MC34063ADE4		3	PS1, PS2, PS3	
	R0805	Resistor	0R2, 1 %	3	R17, R20, R23	C
	R0805	Resistor	100k, 0,1 %	1	R4	C
	R0805	Resistor	10k, 0,1 %	9	R1, R5, R6, R7, R8, R9, R10, R11, R12	C
	R0805	Resistor	11k, 1 %	1	R19	C
	R0805	Resistor	120R, 1 %	7	R26, R27, R28, R29, R30, R31, R32	C
	R0805	Resistor	16k, 1 %	2	R22, R24	C
	R0805	Resistor	18R, 1 %	1	R3	C
	R0805	Resistor	18k, 1 %	1	R18	C
	R0805	Resistor	1k2, 1 %	2	R21, R25	C
	R0805	Resistor	47k, 1 %	2	R13, R15	C
	R0805	Resistor	56k, 1 %	1	R2	C
	R0805	Resistor	7k5, 1 %	2	R14, R16	C
652-SDE6603-100M	SDE6603	SDE6603-100M		1	L2	
771-LVC594APW118	TSSOP16	74LVC594A		2	U13, U14	
595-SN74LVC2G53DCTR	SSOP8	SN74LVC2G53DCTR		4	S1, S2, S3, S4	
732-SG615P2.0MC3RS	SG-615	SG-615P		1	Y1	
534-5001	LSP10	LSP10		13	TP1, TP2, TP3, TP4, TP5, TP6, TP7, TP8, TP9, TP10, TP11, TP12, TP13	
652-SRN1060-101M	SRN1060	SRN1060-101M		3	L1, L3, L4	
604-ACSC02-41CGKWA	ACSC02-41CGKWA-F01	ACSC02-41CGKWA-F01		1	LED1	
595-SN74HC191DR	SOIC16	74HC191D		3	U65, U66, U67	
	TP20R	TPTP20R		5	TP14, TP15, TP16, TP17, TP18	
887-1240S08-U	SO8	THAT1240S08-U		1	OP3	
844-10BQ015PBF	SMB(DO-214AA)	VS-10BQ015PBF		2	D22, D23	

Historie revizí

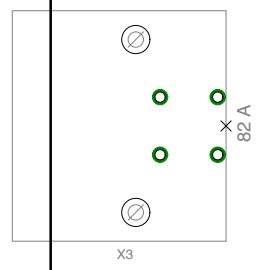
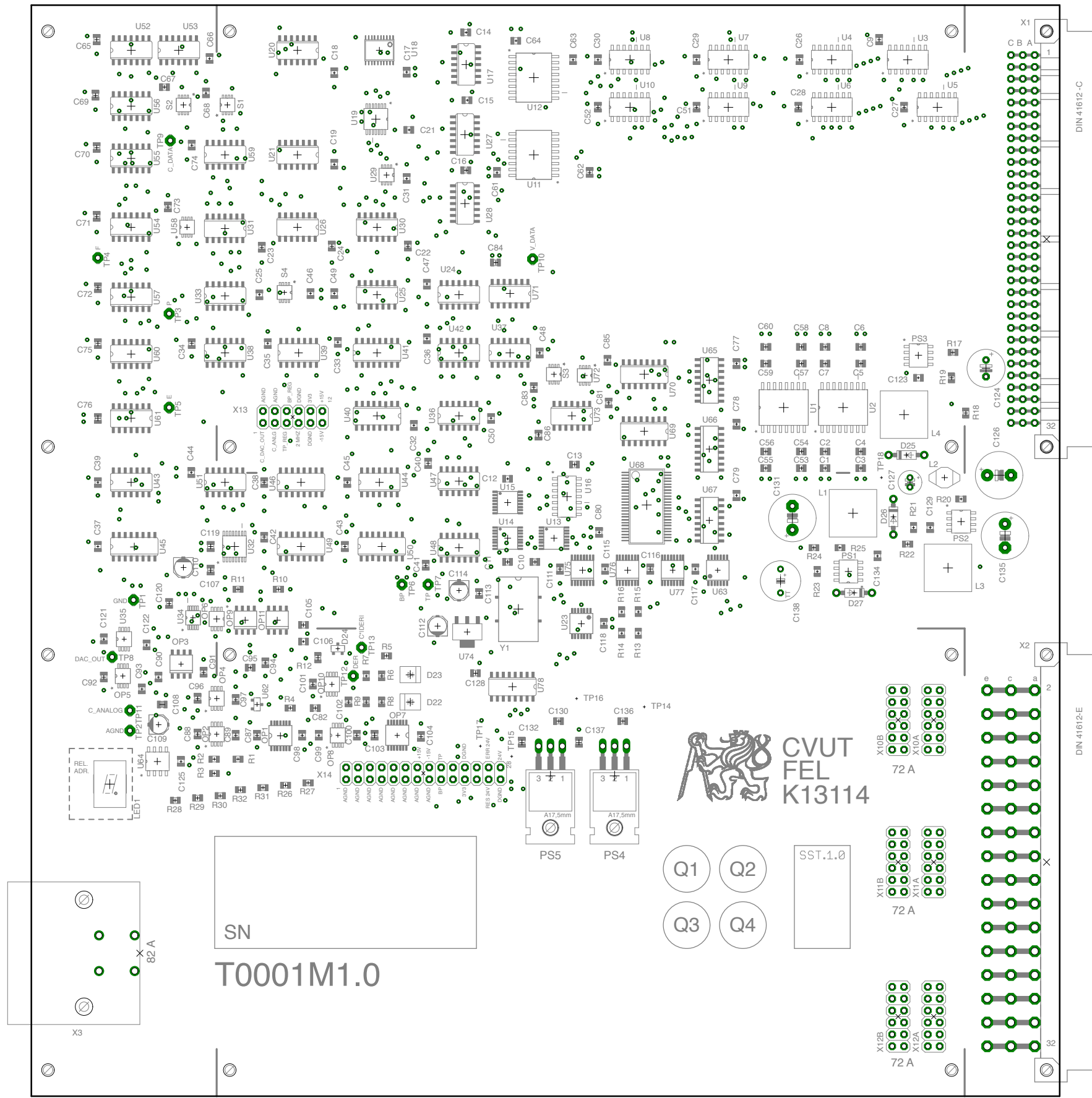
B 2014-04-01: 74ALVC08 -1 ks

C 2015-04-21: doplněny tolerance keramických kondenzátorů a rezistorů, C138 změna na 25 V, C130, C136 330n

D 2015-04-22: C1, C3, C6, C8, C53, C55, C58, C60, C82, změna na 10 V

Příloha C

Pohledy osazené DPS



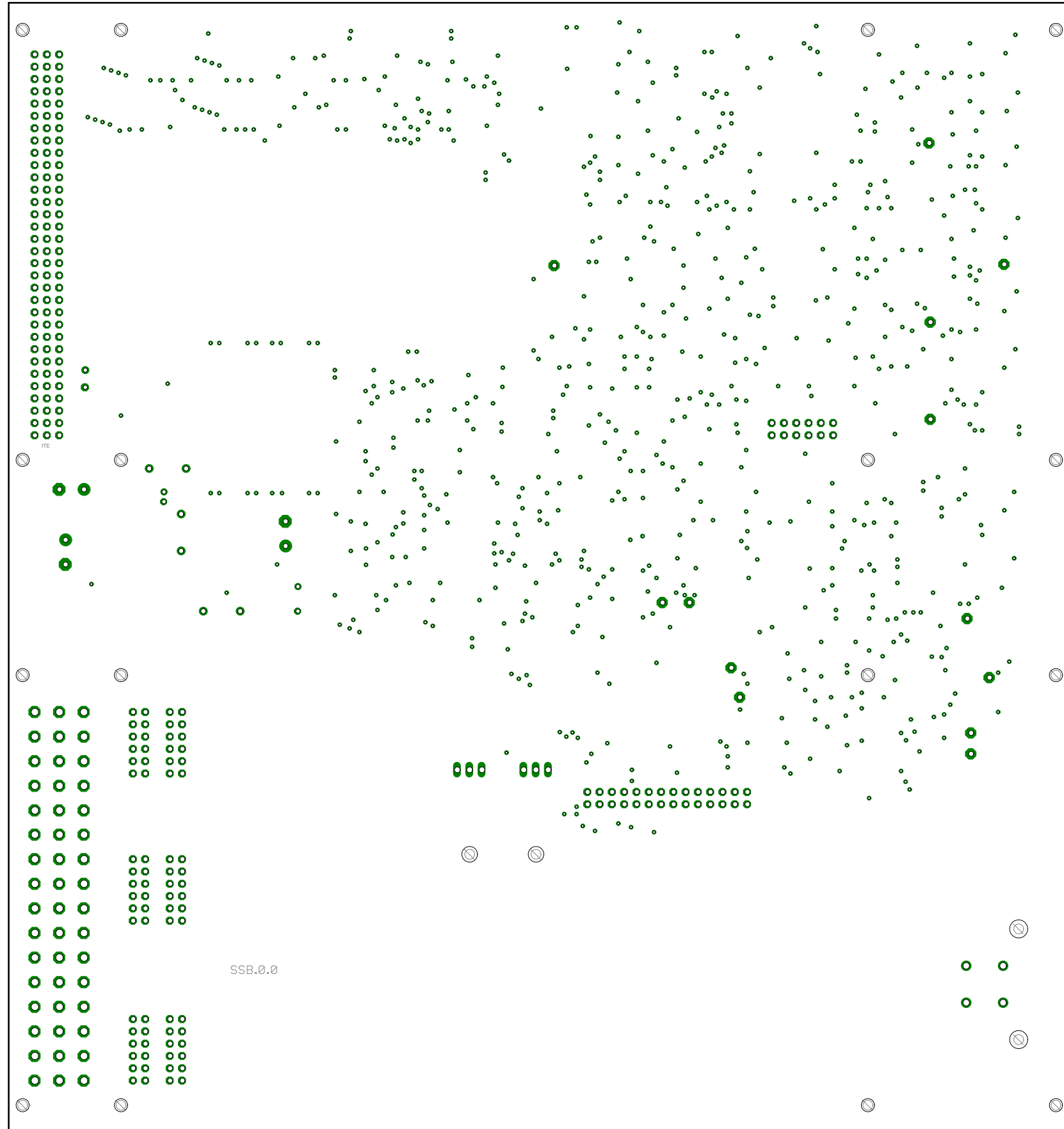
SN
T0001M1.0

CVUT
FEL
K13114

Q1 Q2
Q3 Q4

SST.1.0

Kreslil:	Klinger	2015-3-31
Prezkoušel:	Fligl, Bauer	2015-3-31
Schválil:	Lettl	2015-3-31
Název:	Pohled TOP	
Dokument č.:	TDM00011	Rev: A
Datum:	2015-3-31	



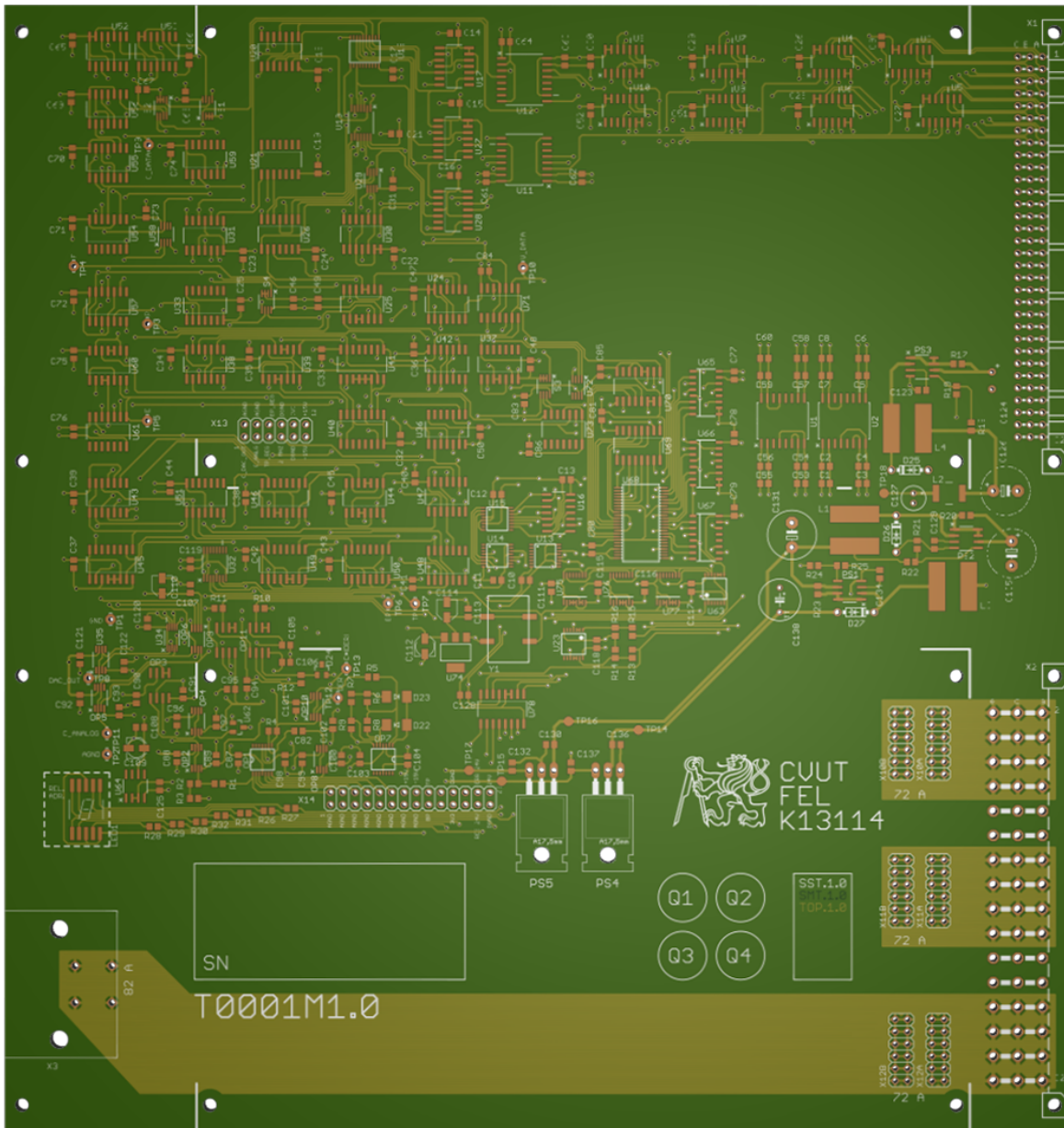
Kreslil:	Klinger	2015-3-31
Prezkoušel:	Flígl, Bauer	2015-3-31
Schválil:	Lettl	2015-3-31
Název:	Pohled BOT	
Dokument č.:	TDM00012	Rev: A
Datum:	2015-3-31	

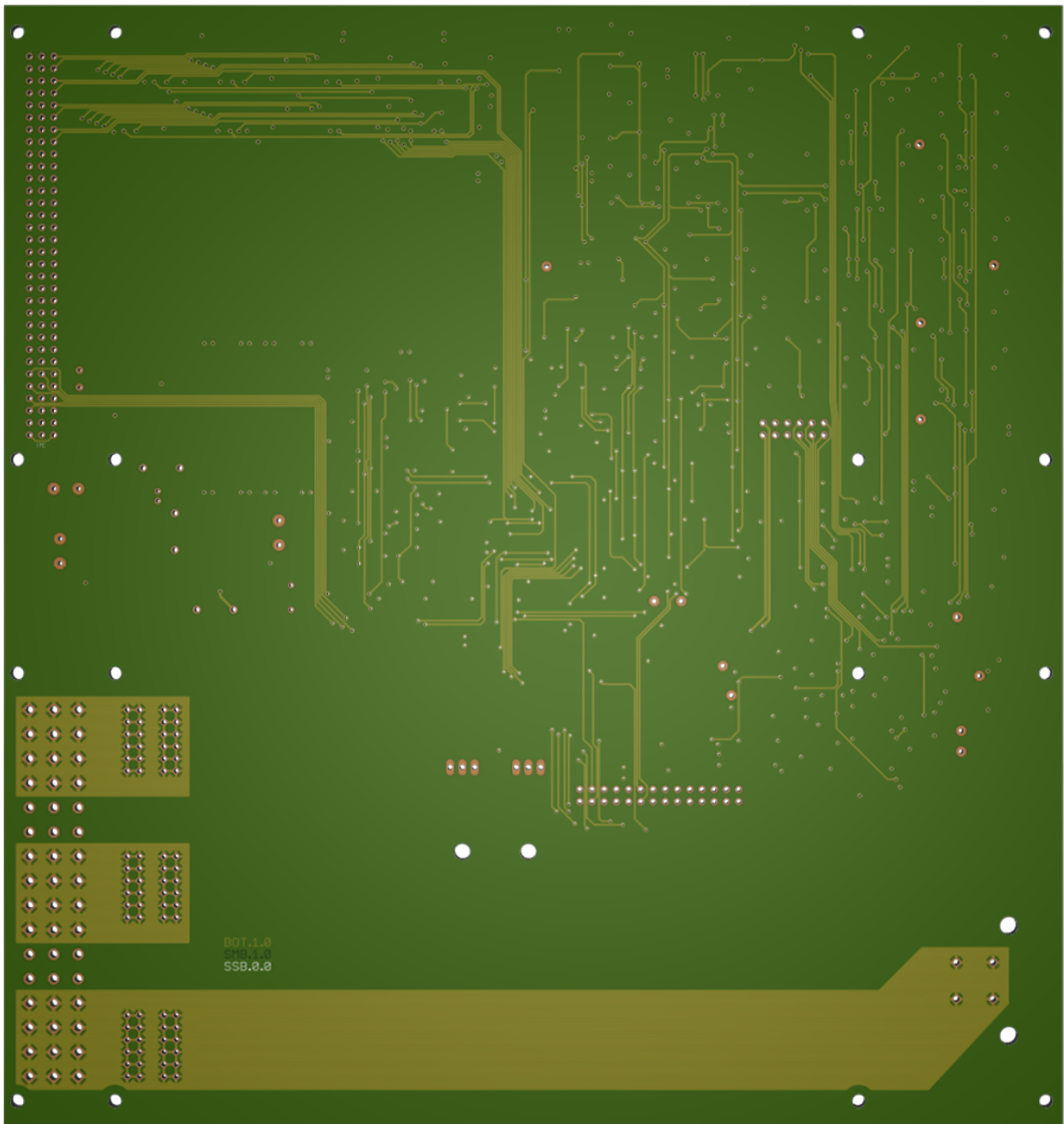
Příloha D

Rozložení DPS

Příloha E

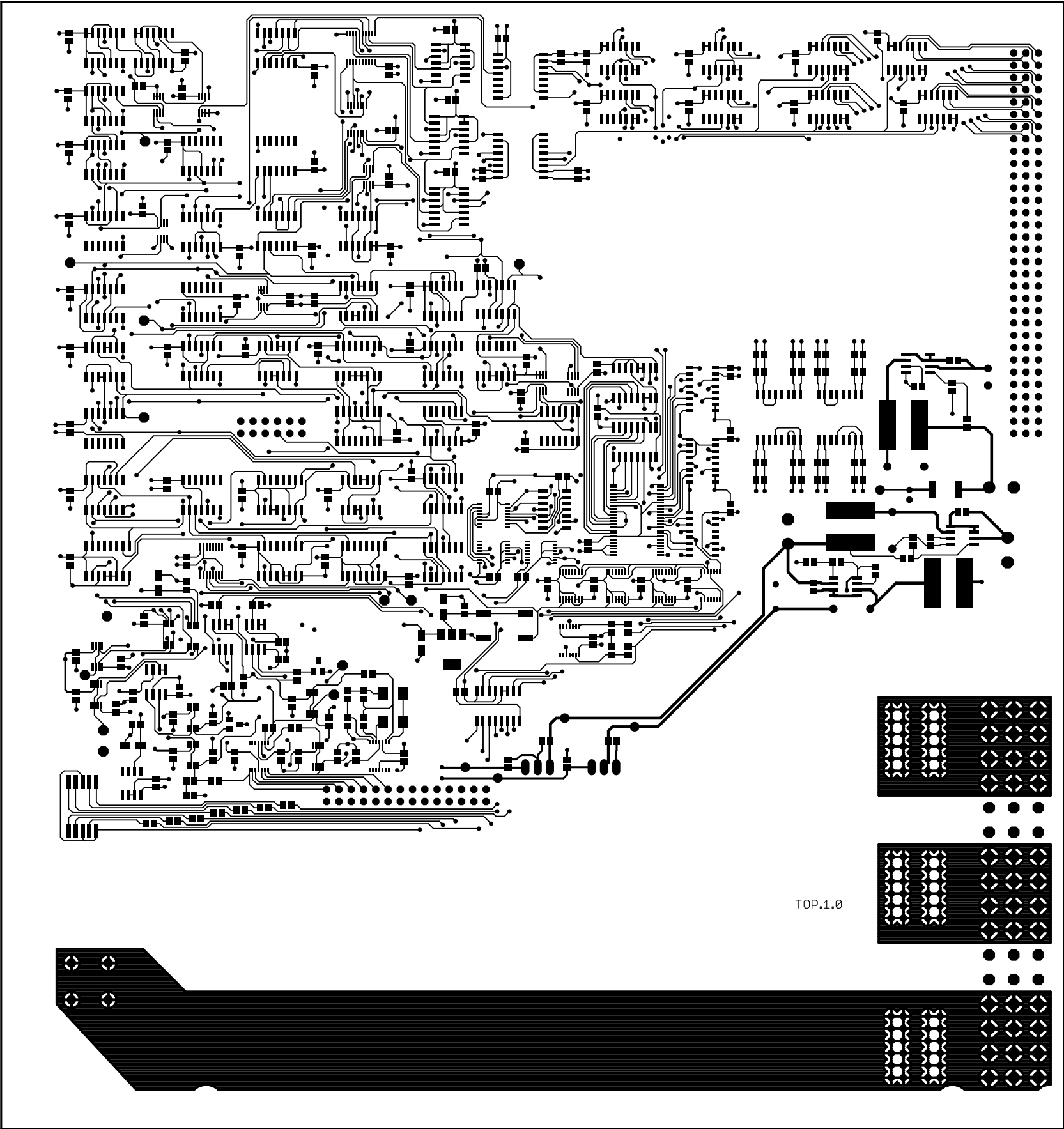
**Vizualizace DPS v software 3D
Gerber Viewer**



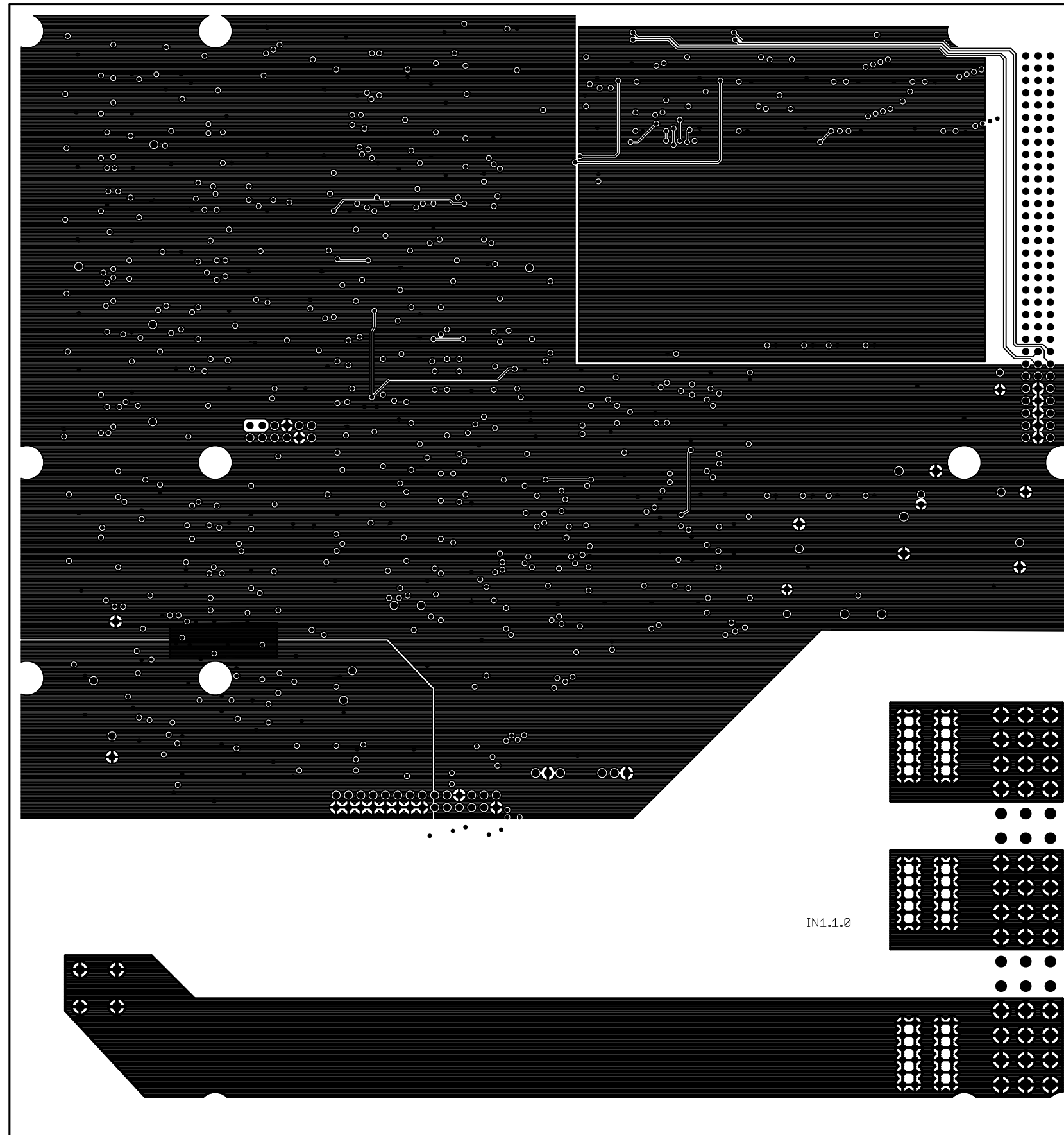


Příloha F

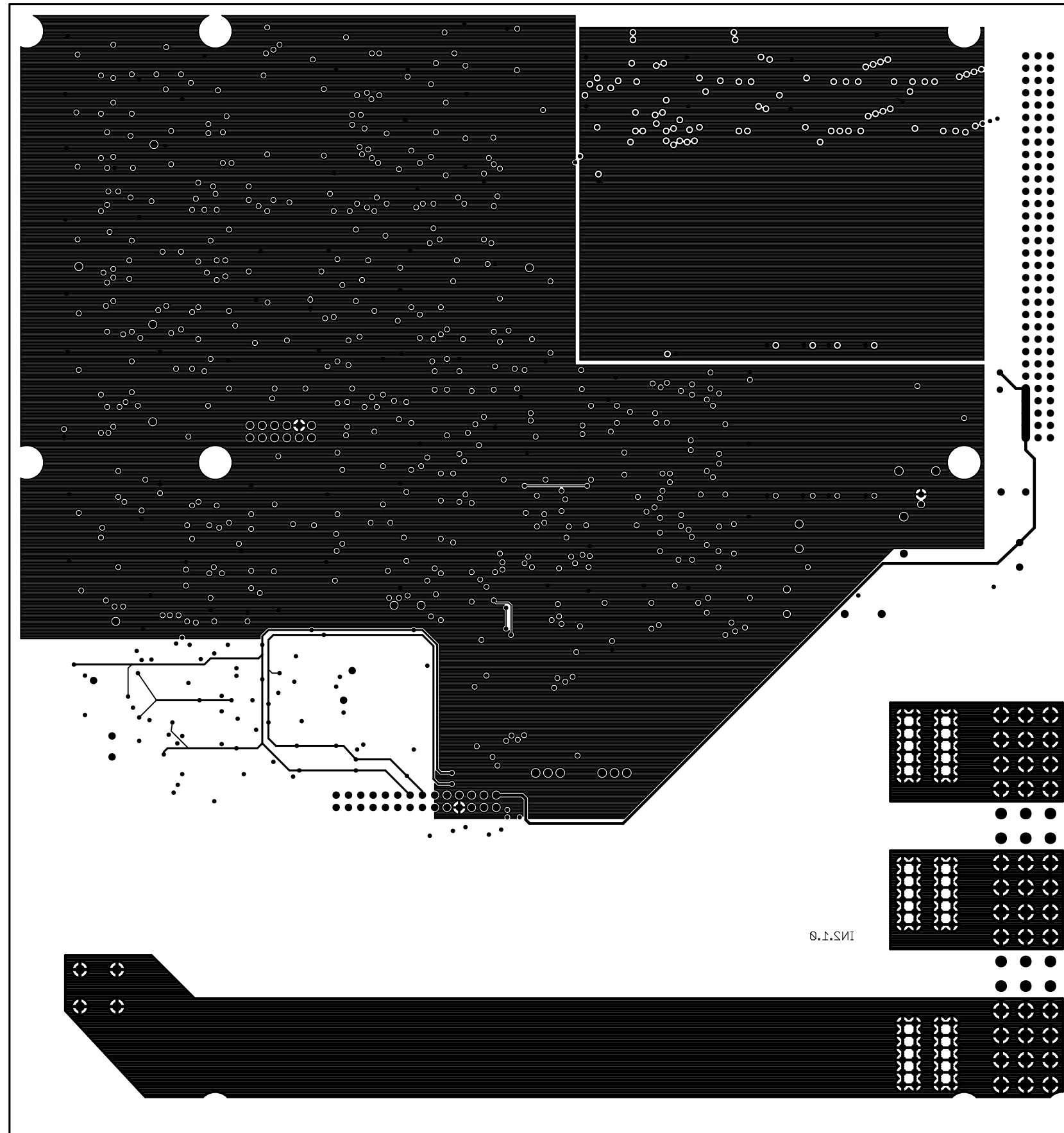
Náhledy vrstev DPS



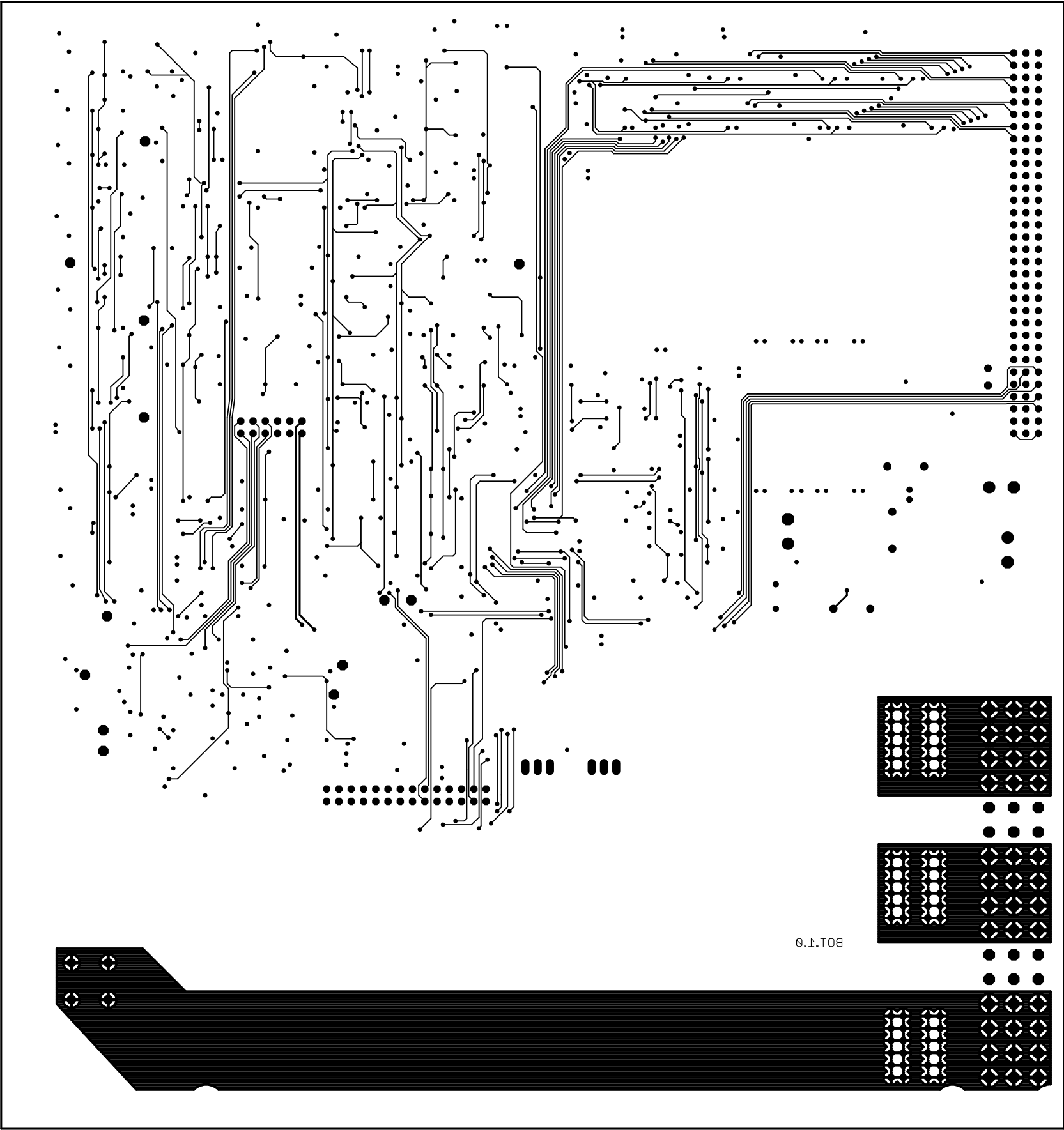
TOP1.0, měřítko 1:1



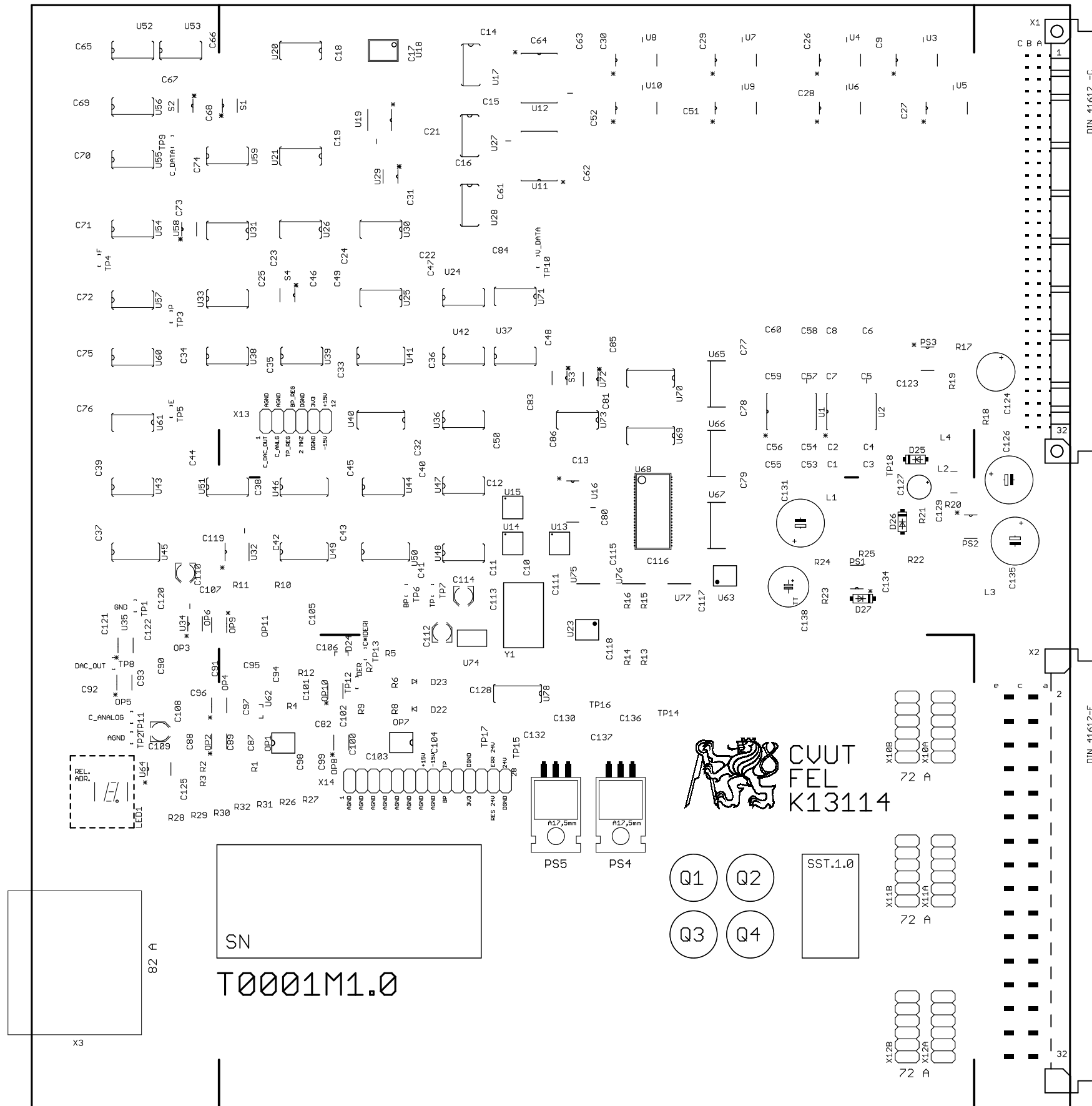
IN1.1.0, měřítko 1:1



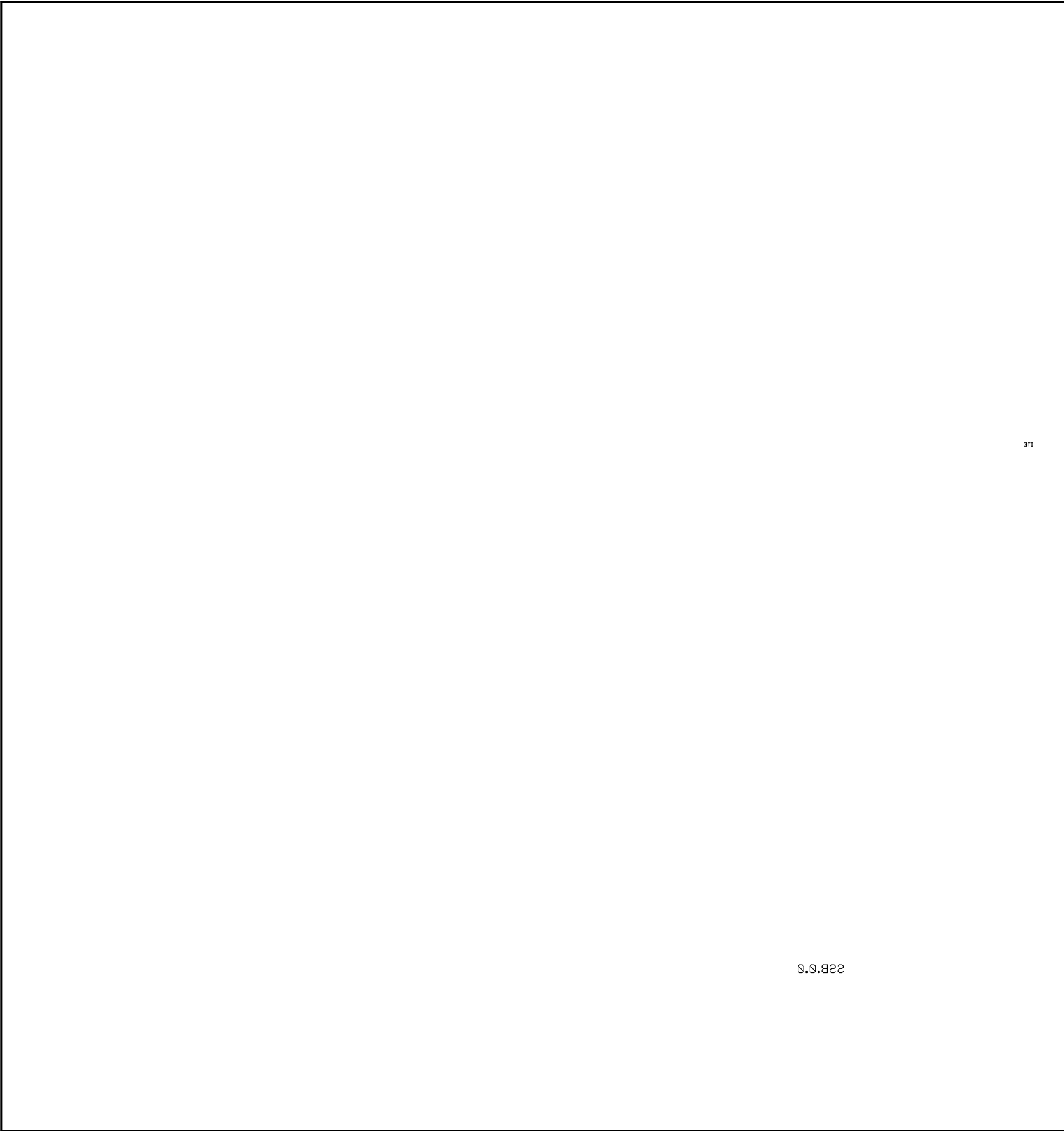
IN2.1.0, měřítko 1:1



BOT.1.0, měřítko 1:1

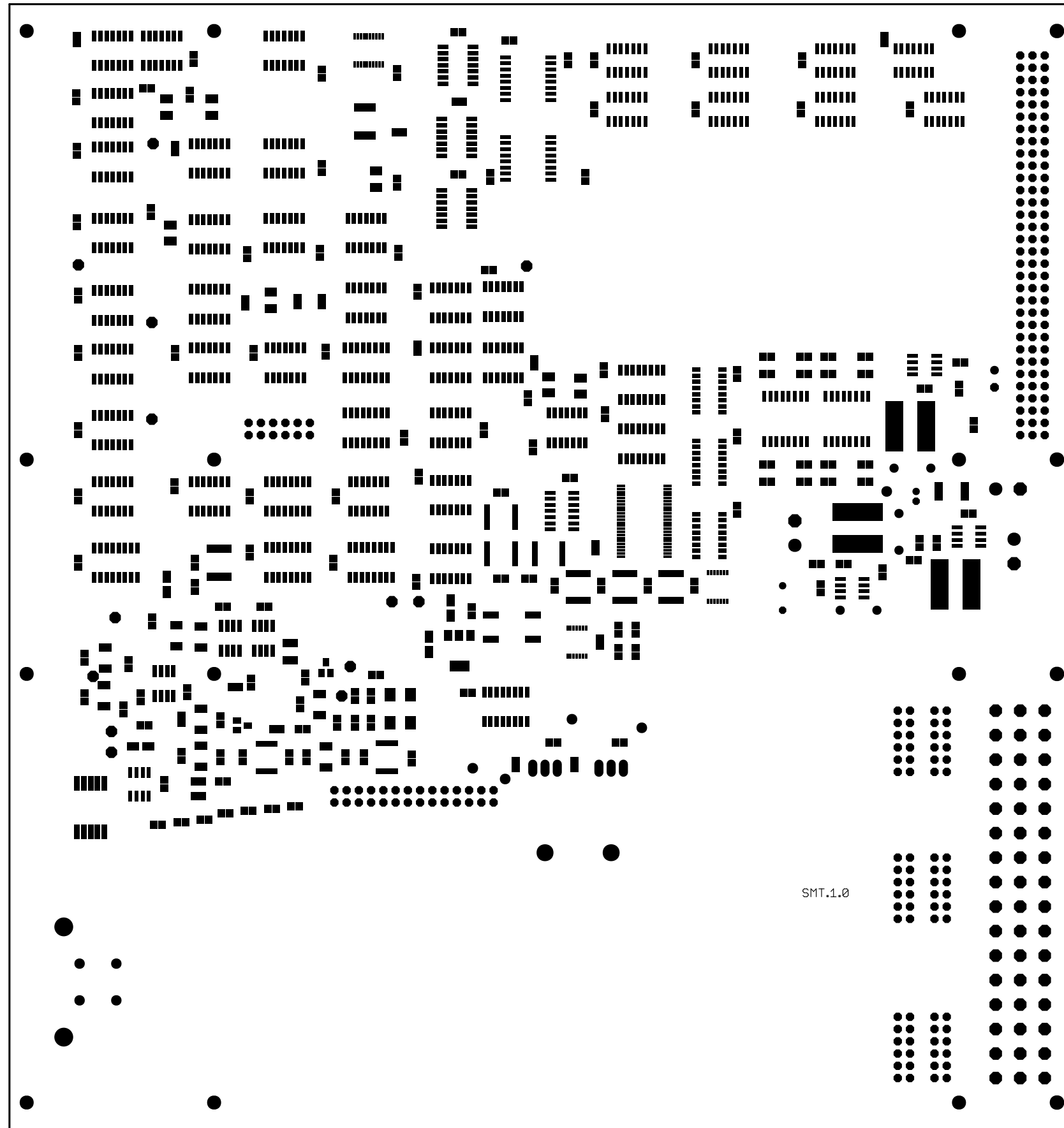


SST.1.0, měřítko 1:1



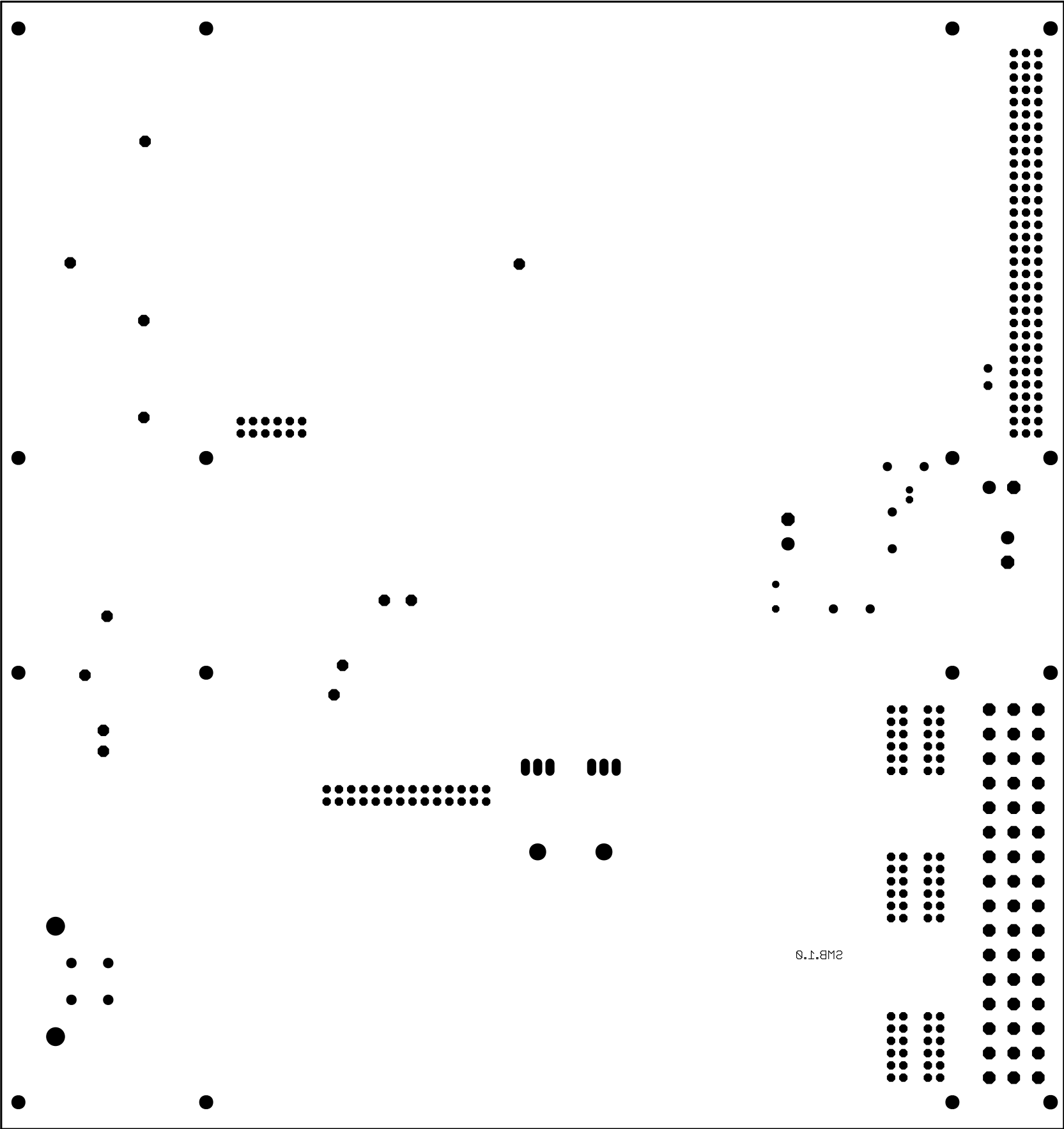
111

0.0.822



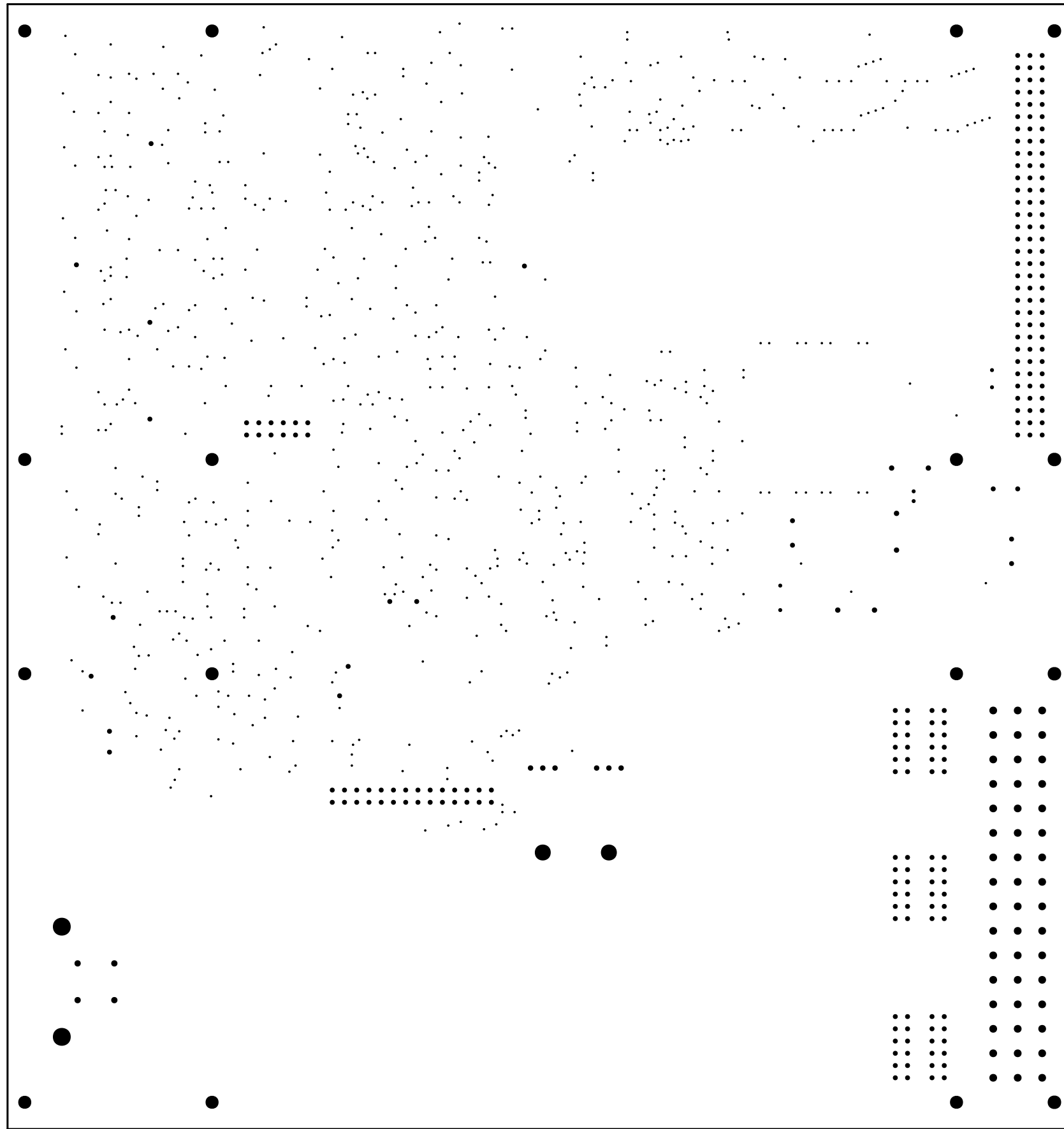
SMT.1.0

SMT.1.0, měřítko 1:1



SMB.1.0

SMB.1.0, měřítko 1:1



vrtání, měřítko 1:1