

Oponentský posudek diplomové práce

Název diplomové práce: **Řízení pohonů na FPGA v síti Profinet**

Autor práce: **Bc. Tomáš Ryčl**

Úkolem práce je implementace protokolového stacku Profinet a ProfiDrive na vývojové desce s Altera FPGA. Zadání práce je rozděleno do čtyř navazujících cílů. Prvním cílem je realizace stacku Profinet IO IRT na FPGA s využitím produktu fy Softing; tato část byla úspěšně splněna. Druhým cílem je portace knihovny řízení motorů PXMC na FPGA; i toto bylo splněno. Třetím cílem je realizace nadstavby stacku ProfiDrive nad Profinet. Tato úloha splněna nebyla z důvodu chyb v použitém stacku Profinet fy Softing. Čtvrtým cílem je příprava demonstrační sestavy řízení dvou motorů přes Profinet/ProfiDrive. Ani tato úloha nebyla splněna z důvodu návaznosti na úlohu třetí.

Jako oponent jsem měl možnost se seznámit se stavem řešení v prosinci 2014. Autor prezentoval, že z důvodu chyb ve stacku fy Softing nemůže realizovat řízení přes ProfiDrive. Navrhl jsem řídit motor pomocí signálů z virtuálního modulu digitálních výstupů realizovaném nad fungujícím Profinet. Tím by bylo možno obejít problematický ProfiDrive a realizovat čtvrtý cíl diplomové práce alespoň alternativním způsobem. K tomuto nebylo přihlédnuto, ani jiné řešení problému není v práci navrženo.

Z práce není úplně zřejmé, které verze software fy Softing byly vyzkoušeny. V březnu 2015 byla firmou vydána aktualizovaná verze; byla tato otestována? Dále není zřejmé, odkud se vzala elektronika buzení motorů – chybí citace, schema, parametry. Autor se ani nepokusil o jakoukoliv charakterizaci své implementace – např. časové odezvy, využití zdroje (LUT) na FPGA, atd.

Diplomová práce je napsána v anglickém jazyce; jazyková úroveň je dobrá. Grafická a typografická úprava je bohužel nedbalá. V textu se objevují fragmenty značek z LaTeXu, některé odkazované obrázky chybí, jiné jsou uvedeny dvakrát po sobě. Obrázky často vytékají ze stránky.

Na obranu studenta je nutno uznat, že bylo třeba nastudovat rozsáhlou dokumentaci a zvládnout práci ve vzájemně vzdálených oborech FPGA/VHDL, Embedded-C a PLC/GSDML. Na druhou stranu diplomovou práci bylo možno zpracovat výrazně lépe i přes případné objektivní implementační překážky.

Návrh na klasifikaci: **D - uspokojivě**

Oponent: **Ing. Jaroslav Sýkora, Ph.D.**
22. května 2015

