

České vysoké učení technické v Praze

Fakulta elektrotechnická

Katedra měření



**Univerzální excitační jednotka
pro vývoj fluxgate senzorů**

**Universal Excitation Unit
for Fluxgate Sensors Development**

Bakalářská práce

Studijní program: Kybernetika a robotika

Studijní obor: Senzory a přístrojová technika

Vypracoval: Jakub Nepožitek

Vedoucí práce: Ing. Vojtěch Petrucha, Ph.D.

Praha

2014



ZADÁNÍ BAKALÁŘSKÉ PRÁCE

Student: **Jakub Nepožitek**

Studijní program: **Kybernetika a robotika**
Obor: **Senzory a přístrojová technika**

Název tématu česky: **Univerzální excitační jednotka pro vývoj fluxgate senzorů**

Název tématu anglicky: **Universal Excitation Unit for Fluxgate Sensors Development**

Pokyny pro vypracování:

Seznamte se s problematikou fluxgate senzorů (excitace a zpracování signálu) [1,2].

Navrhněte koncepci univerzální excitační jednotky jako samostatného stolního přístroje s možností nastavení hlavních parametrů excitace a jejich zobrazení na grafickém LCD displeji, včetně informace o aktuálním příkonu výstupního obvodu.


Navrhněte elektrické zapojení zařízení, realizujte jej a oživte. Naprogramujte firmware pro řídicí mikroprocesor přístroje i pomocné FPGA [3].

Přístroj sestavte a proveďte ověření funkčnosti.

Seznam odborné literatury:

- [1] P. Ripka; Magnetic Sensors and Magnetometers; Artech House Remote Sensing Library, ISBN-13: 978-1580530576
- [2] J. Piil-Henriksen, J.M.G. Merayo, O.V. Nielsen, H. Petersen, J. Raagaard Petersen, F. Primdahl; Digital detection and feedback fluxgate magnetometer; Meas. Scien. Technol. 7, 897-903, 1996
- [3] D. L. Perry; VHDL Programming by Example, McGraw-Hill

Vedoucí bakalářské práce: Ing. Vojtěch Petrucha, Ph.D.
Datum zadání bakalářské práce: 25. listopadu 2013
Platnost zadání do¹: 30. ledna 2015


Prof. Ing. Vladimír Haasz, CSc.
vedoucí katedry




Prof. Ing. Pavel Ripka, CSc.
děkan

V Praze dne 25. 11. 2013;

¹ Platnost zadání je omezena na dobu dvou následujících semestrů.

Prohlášení

Prohlašuji, že jsem svou bakalářskou práci vypracoval samostatně a použil jsem pouze podklady (literaturu, projekty, SW atd.) uvedené v příloženém seznamu.

Nemám závažný důvod proti užití tohoto školního díla ve smyslu § 60 Zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon).

V praze dne:

.....

Podpis

Abstrakt

Tato bakalářská práce se zabývá návrhem laboratorního přístroje generujícího budící signál pro fluxgate senzory. Vlastnosti budícího signálu budou nastavitelné s pomocí ovládacích prvků uživatelského rozhraní. Budící jednotka bude schopná měřit a zobrazovat příkon připojeného senzoru.

Abstract

This bachelor thesis deals with design of desktop device used for driving fluxgate sensors. Attributes of the generated excitation signal will be adjustable through usage of user interface. The device will be capable of measurement and display of connected sensor's power consumption.

Poděkování

Na tomto místě bych chtěl poděkovat všem, kteří mi s bakalářskou prací pomohli. Zejména potom vedoucímu této práce panu Ing. Vojtěchu Petruchovi za jeho odborné vedení a trpělivost. Velký dík také patří mé rodině za jejich podporu.

Obsah

1 Úvod.....	8
2 Teoretický rozbor.....	9
2.1 Fluxgate magnetometr.....	9
2.1.1 Princip funkce.....	9
2.1.2 Zpracování výstupního signálu a buzení.....	12
3 Návrh.....	15
3.1 Celková koncepce.....	15
3.3 Řídící deska.....	17
3.3.1 Procesor.....	17
3.3.2 Oscilátor.....	18
3.3.3 FPGA.....	19
3.3.4 Napájení FPGA.....	20
3.3.5 Synchronizační výstupy.....	21
3.3.6 Můstek MOS-FET.....	22
3.4 Analogová deska.....	24
3.5 Napájení přístroje.....	25
3.6 Firmware.....	25
3.6.1 Procesor (MCU).....	25
3.6.2 FPGA.....	26
4 Testování, oživení.....	30
5 Závěr.....	31
6 Použité zdroje.....	32
Přílohy.....	33
Příloha A – Schéma řídicí desky.....	33
Příloha B – Návrh DPS řídicí desky.....	35
Příloha C – Návrh desky s enkodéry.....	36
Příloha D – Jádro VHDL kódu pro FPGA.....	37
Příloha E – Schéma desky s AD/DA převodníky.....	39
Příloha F – Schéma desky s AD/DA převodníky.....	40

Seznam obrázků

Obr. 2.1	Princip fluxgate magnetometru	10
Obr. 2.2	Průběh měření fluxgate magnetometrem	11
Obr. 2.3	Typy jader u fluxgate magnetometrů	11
Obr. 2.4	Obecné zapojení fluxgate magnetometru	12
Obr. 2.5	Příklad budícího obvodu č.1	13
Obr. 2.6	Příklad budícího obvodu č.2	14
Obr. 2.7	Schéma excitace fluxgate magnetometru	14
Obr. 3.1	Obecné blokové schéma přístroje	15
Obr. 3.2	Čelní panel přístroje	16
Obr. 3.3	Blokové schéma procesoru ATmega2560	17
Obr. 3.4	Ochrana procesoru před nízkým napájecím napětím	18
Obr. 3.5	Schéma zapojení společného oscilátoru	19
Obr. 3.6	Schéma zapojení stabilizátoru napětí 1V5	21
Obr. 3.7	Schéma zapojení synchronizačních výstupů	22
Obr. 3.8	Schéma zapojení můstkového spínače	23
Obr. 3.9	Komunikace s DAC8881	24
Obr. 3.10	Komunikace s ADS1225	25
Obr. 3.11	Blokové schéma programu FPGA	27
Obr. 3.12	Průběhy výstupních signálů FPGA	28
Obr. 3.13	Frekvence generované programem FPGA	29

1 Úvod

Se zvyšujícími se nároky společnosti na schopnosti technologie, která nás obklopuje, roste potřeba vyvíjet vysoce citlivé senzory.

V oblasti měření magnetického pole je nejcitlivějším typem senzoru pracujícího při pokojové teplotě fluxgate magnetometr. Jedná se o technologii často používanou tam, kde běžné (jiné typy) magnetometry nejsou schopné poskytnout spolehlivá nebo dostatečně přesná data. Odvětvími, která dokáží z vlastností fluxgate senzorů těžit je například letecká navigace nebo automobilový průmysl.

Vývoj právě těchto senzorů by měl být usnadněn přístrojem, o jehož návrhu pojednává tato práce. Univerzální excitační jednotka pro fluxgate senzory bude schopná flexibilně měnit parametry budících signálů a umožňovat tak pohodlné testování vlastností vyvíjeného senzoru bez nutnosti provádět náročné změny v jeho zapojení.

2 Teoretický rozbor

Senzory magnetických veličin se dají, dle informací které snímají, rozdělit do dvou hlavních skupin. První skupinou jsou skalární magnetometry (užívané např. při vyhledávání ložisek surovin v zemi) druhou představují magnetometry vektorové.

Existuje více druhů vektorových magnetometrů. Uvedl bych například velice rozšířené senzory využívající princip Hallova jevu (tedy generování napětí na vodiči kterým prochází magnetické pole) nebo v elektrických kompasech (např. pro mobilní telefony) užívané AMR senzory (Anizotropní MagnetoRezistor).

Fluxgate magnetometr je dalším typem vektorového senzoru magnetického pole.

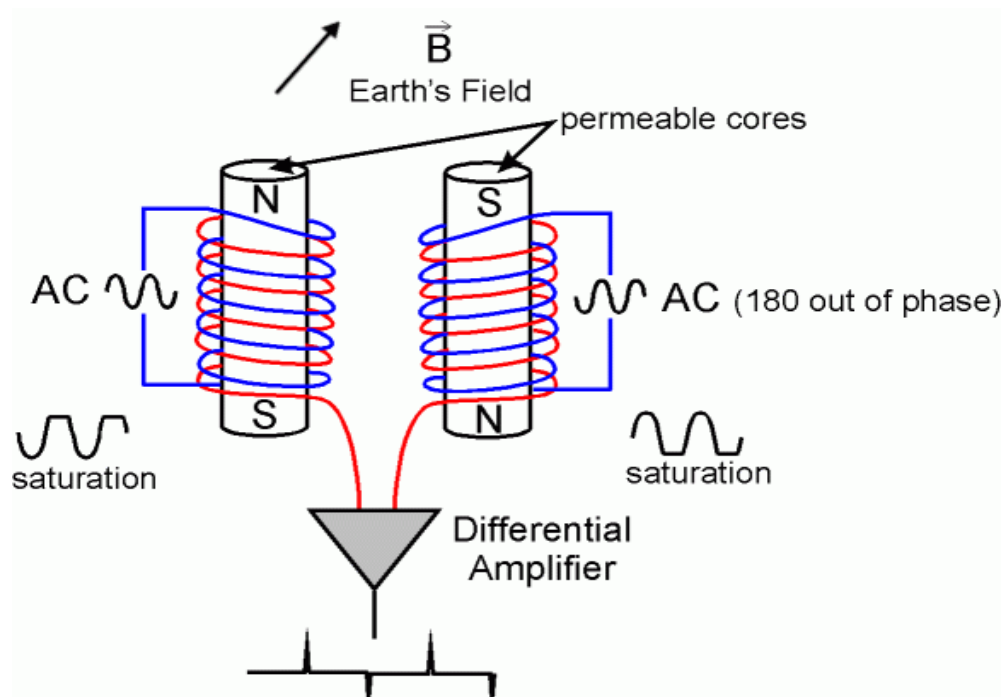
2.1 Fluxgate magnetometr

Jedná se o typ magnetometru s výjimečnou citlivostí, který nemá příliš velkou spotřebu. Jeho další přednosti jsou nízká cena a odolnost vůči prostředí. Nevýhoda senzoru spočívá v nutnosti generovat budící signál a v náročnosti interpretace výstupního signálu.

Hlavními oblastmi využití jsou aplikace, kde je kladen důraz na spolehlivost, při potřebě zachování vysoké citlivosti. Senzory tohoto typu jsou tedy využívány například ve vesmírné technologii (mapování magnetického pole Země), leteckých kompasech, vojenských aplikacích (např. pro hledání výbušnin).

2.1.1 Princip funkce

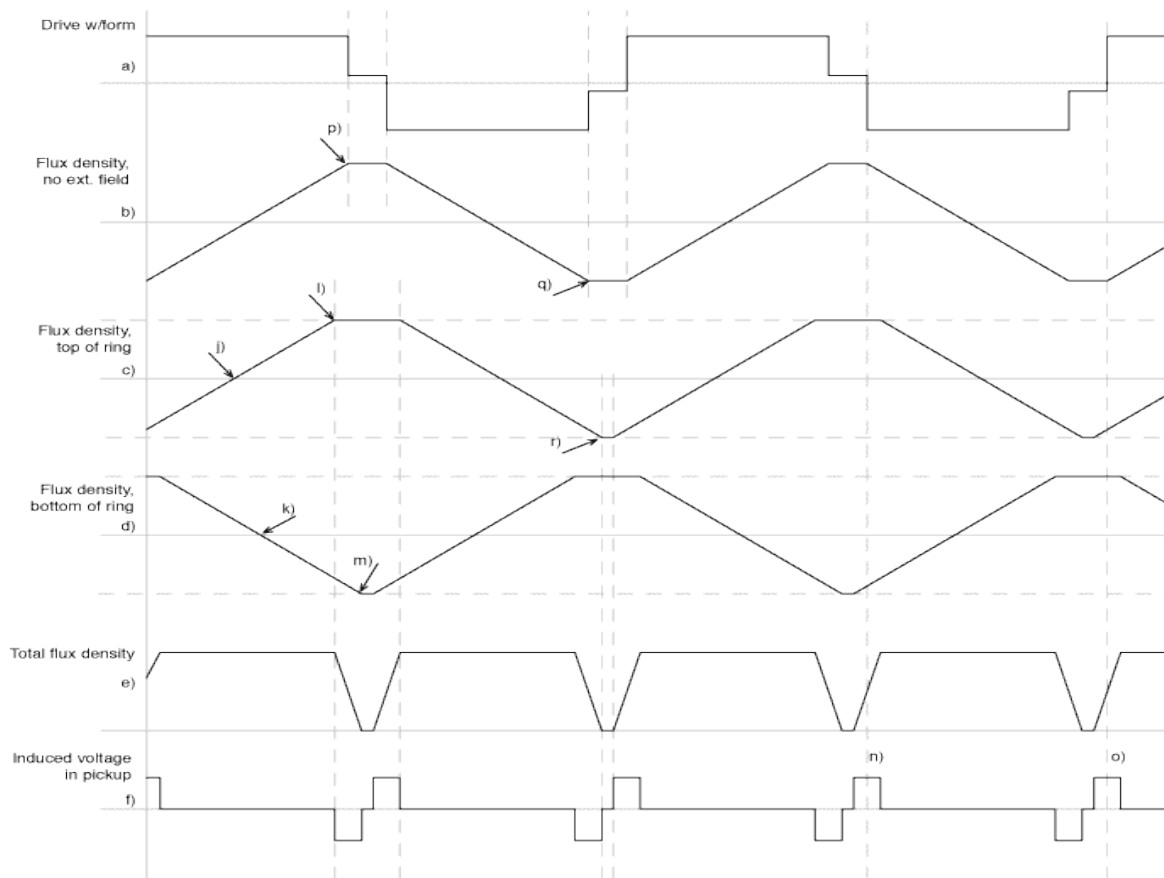
Jakým způsobem fluxgate senzor funguje vysvětlím na příkladu. Mějme dvě rovnoběžně orientovaná identická jádra z materiálu z vysokou permeabilitou. Na obě jádra navineme budící vinutí (sériově zapojené) tak, že indukované magnetické pole má opačnou orientaci. Přes obě jádra umístíme snímací vinutí. Vše je znázorněno na obrázku 2.1.



Obr. 2.1 Princip fluxgate magnetometru [1]

Pokud se tato konfigurace nachází v prostředí bez vnějších vlivů, nezávisle na proudu v budícím vinutí je jeho efekt mezi částmi na jednotlivých jádrech vyrušen a na snímacím vinutí se neobjeví žádný signál.

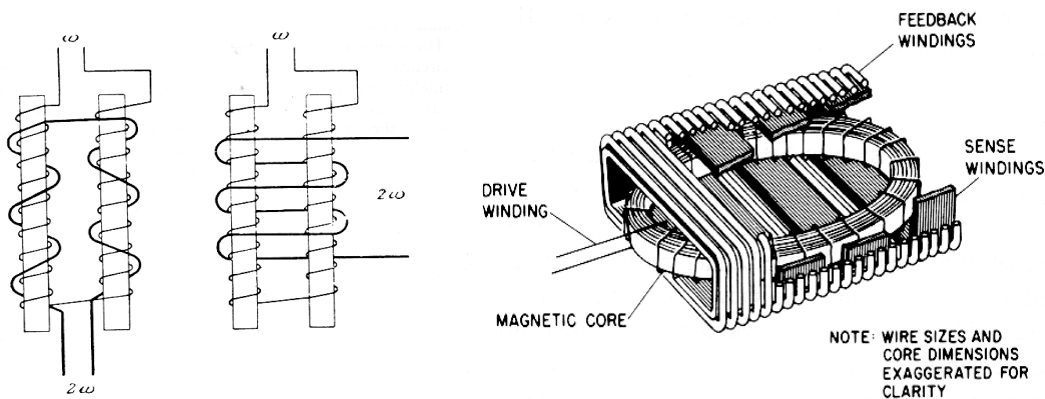
Nyní umístíme vše do prostředí s magnetickým polem rovnoběžným s jádrem. Pokud budícím vinutím teče proud, obě jádra po čase dosáhnou saturace. Při nulovém magnetickém poli v okolí senzoru by obě jádra dosáhla saturace zároveň a jejich efekt by se vyrušil, ale v našem případě je tento proces ovlivněn externím magnetickým polem, které nasycení jednoho z jader napomáhá a druhé zpomaluje. Ve chvíli, kdy jádro dosáhne saturace, jeho permeabilita rázem klesne na hodnotu blízkou permeabilitě vakua, tím je rovnováha ze situace v předchozím odstavci narušena a na snímací cívce je generován pulz, dokud nedosáhne saturace i druhé jádro. Průběhy veličin uvnitř magnetometru jsou znázorněny na obrázku 2.2.



Obr. 2.2 Průběh měření fluxgate magnetometrem [2]

Polarita budícího signálu je následně obrácena, což vede k depolarizaci obou jader, tím je generován opačný pulz. Tento proces se neustále opakuje, přičemž jsou jádra střídavě polarizována až do saturace oběma směry. Budící signál je obvykle obdélníkového nebo sinusového charakteru.

Obdobným způsobem s drobnými rozdíly pracují další typy fluxgate senzorů, které se zpravidla odlišují tvarem jádra, častou variantou je například jádro kruhové. (viz obr. 2.3)

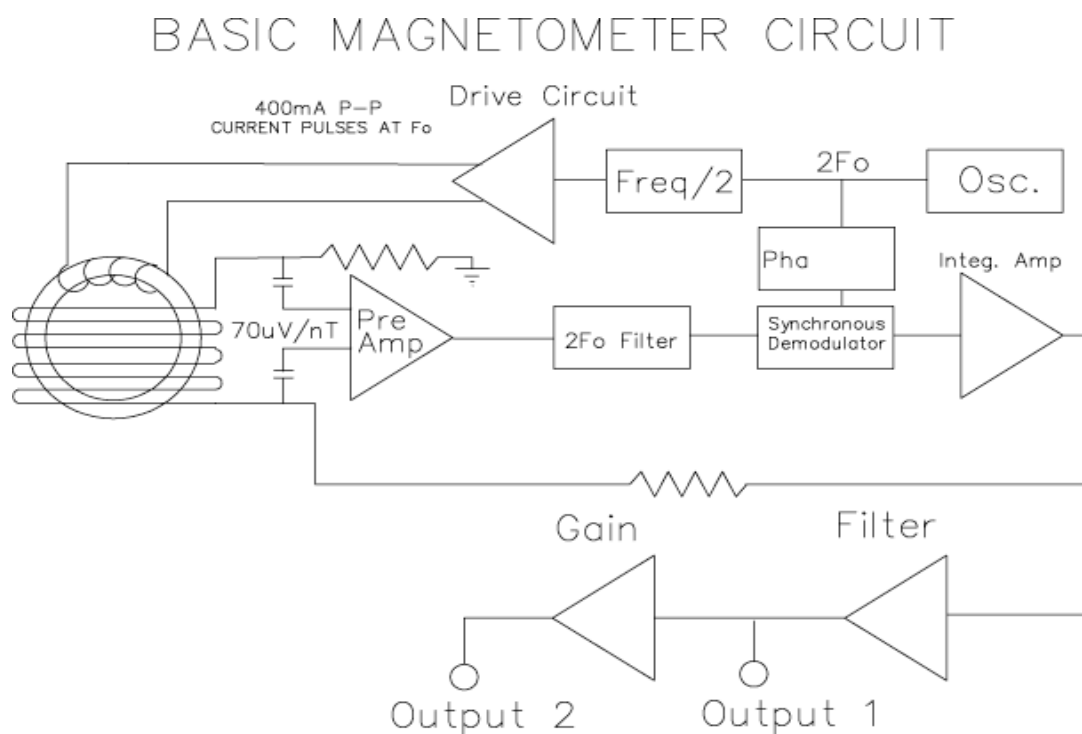


Obr. 2.3 Typy jader u fluxgate magnetometrů [3]

2.1.2 Zpracování výstupního signálu a buzení

Z principu výše popsaného je patrné, že signál na snímacím vinutí senzoru je generován pokaždé, když jádra dosáhnou saturace vlivem momentální hodnoty budícího signálu. Pokud máme periodický symetrický, například obdélníkový budící signál, probíhá tato změna dvakrát za každou periodu. Abychom mohli velikost signálu lépe měřit, bývá zpravidla aplikován filtr propouštějící pouze druhou harmonickou složku výstupního signálu. Pro tyto účely je obvyklé generovat kromě signálu budícího ještě signál určený pro synchronizaci, který má dvojnásobnou frekvenci. (viz Obr. 2.4) Správný posun fáze tohoto signálu a úprava jeho střídavosti (zaostření filtru na krátký časový úsek, ve kterém se objevuje signál na výstupu senzoru) mohou podstatně vylepšit měřicí schopnosti magnetometru.

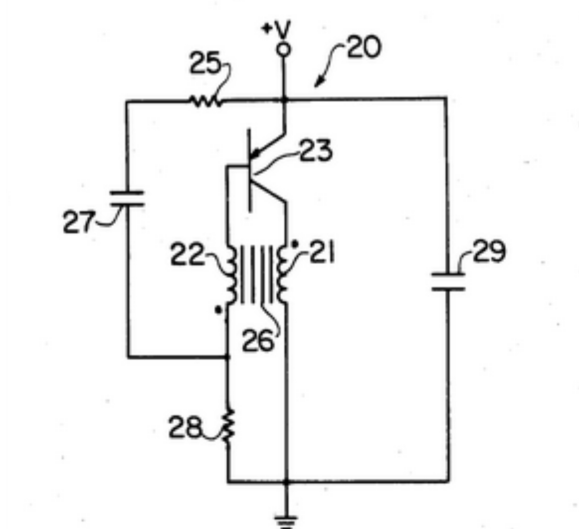
Jak bylo zmíněno výše, jako budící signál bývá obvykle využíván signál obdélníkový případně sinusový. Parametry signálu, jeho frekvence a velikost napětí, závisí na typu fluxgate magnetometru a parametrech samotného senzoru. Obecně můžeme říct, že frekvence budících signálů pro fluxgate magnetometry se nacházejí v rozsahu 1kHz až 20kHz, kde například magnetometry s kruhovým jádrem obvykle pracují lépe na vyšších frekvencích v rámci uvedeného rozsahu.



Obr. 2.4 Obecné zapojení fluxgate magnetometru [4]

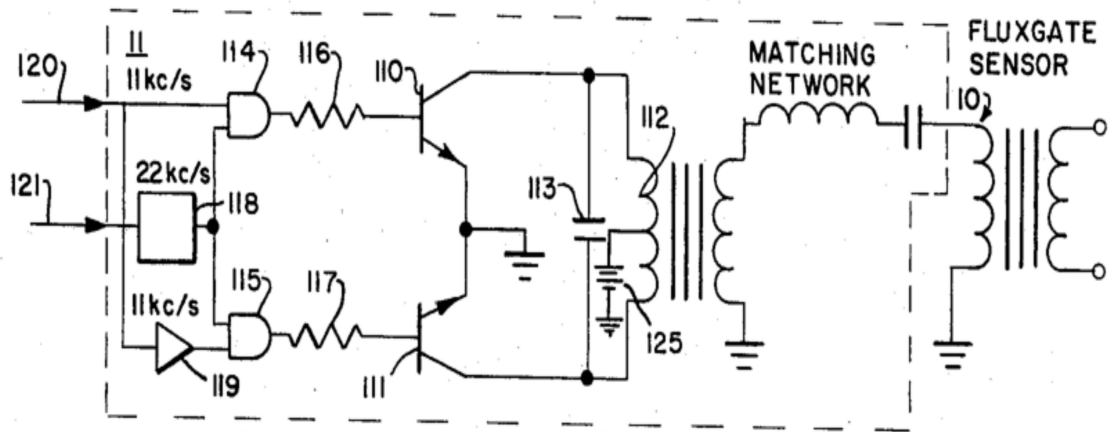
Cílem této práce bylo vytvořit návrh budící jednotky. Pro zapojení samotného budícího obvodu byla prostudována následující zapojení.

Budící obvod na obrázku 2.5 pochází z patentu [5]. Tento patent popisuje energeticky úsporné zapojení fluxgate magnetometru. Právě proto, že se zapojení snaží dosáhnout minimální spotřeby, je předurčeno pro spolupráci s magnetometry, které byly navrženy s touto prioritou. Zapojení je z tohoto důvodu nevhodné pro zařízení, jehož hlavní charakteristikou je flexibilita.



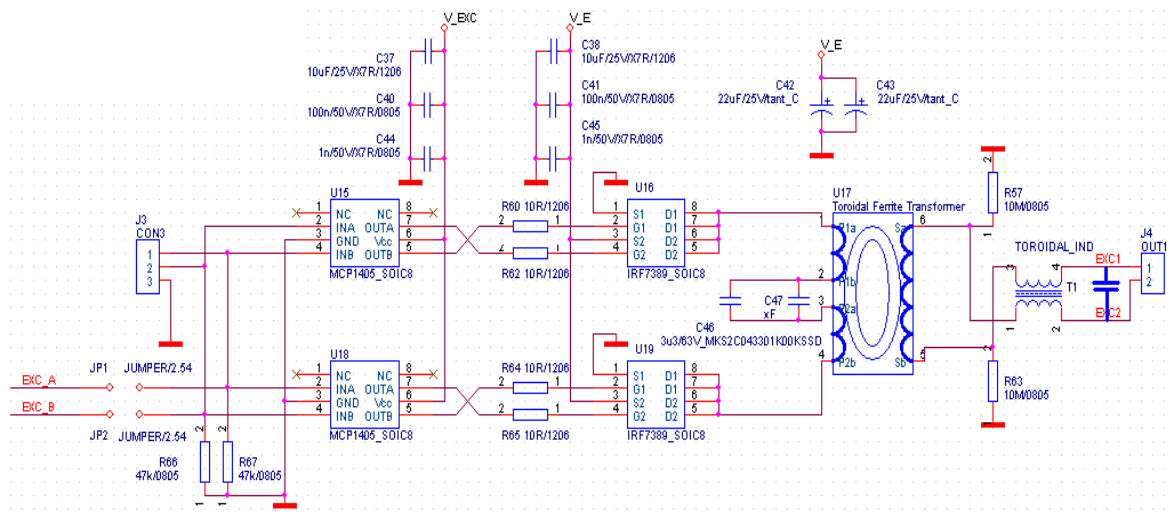
Obr. 2.5 Příklad budícího obvodu č.1 [5]

Další příklad zapojení budícího obvodu je znázorněn na obrázku 2.6. Zapojení používá klopné obvody pro oddělení budícího signálu od signálu oscilátoru, který může být následně využitý pro synchronizační účely. Obvod byl navržen pro generování budícího signálu o frekvenci 11 kHz. Jako výkonové prvky v komplementárním zapojení jsou využity bipolární tranzistory. Nevýhodou takového řešení jsou výkonové ztráty způsobené vysokým výstupním odporem polovodičového spínače.



Obr. 2.6 Příklad budícího obvodu č.2 [6]

Na následujícím obrázku 2.7 je uvedeno zapojení, které bylo využito v návrhu našeho přístroje. Zapojení navrhl vedoucí práce na základě zkušeností s vývojem fluxgate magnetometrů.



Obr. 2.7 Schéma excitace fluxgate magnetometru

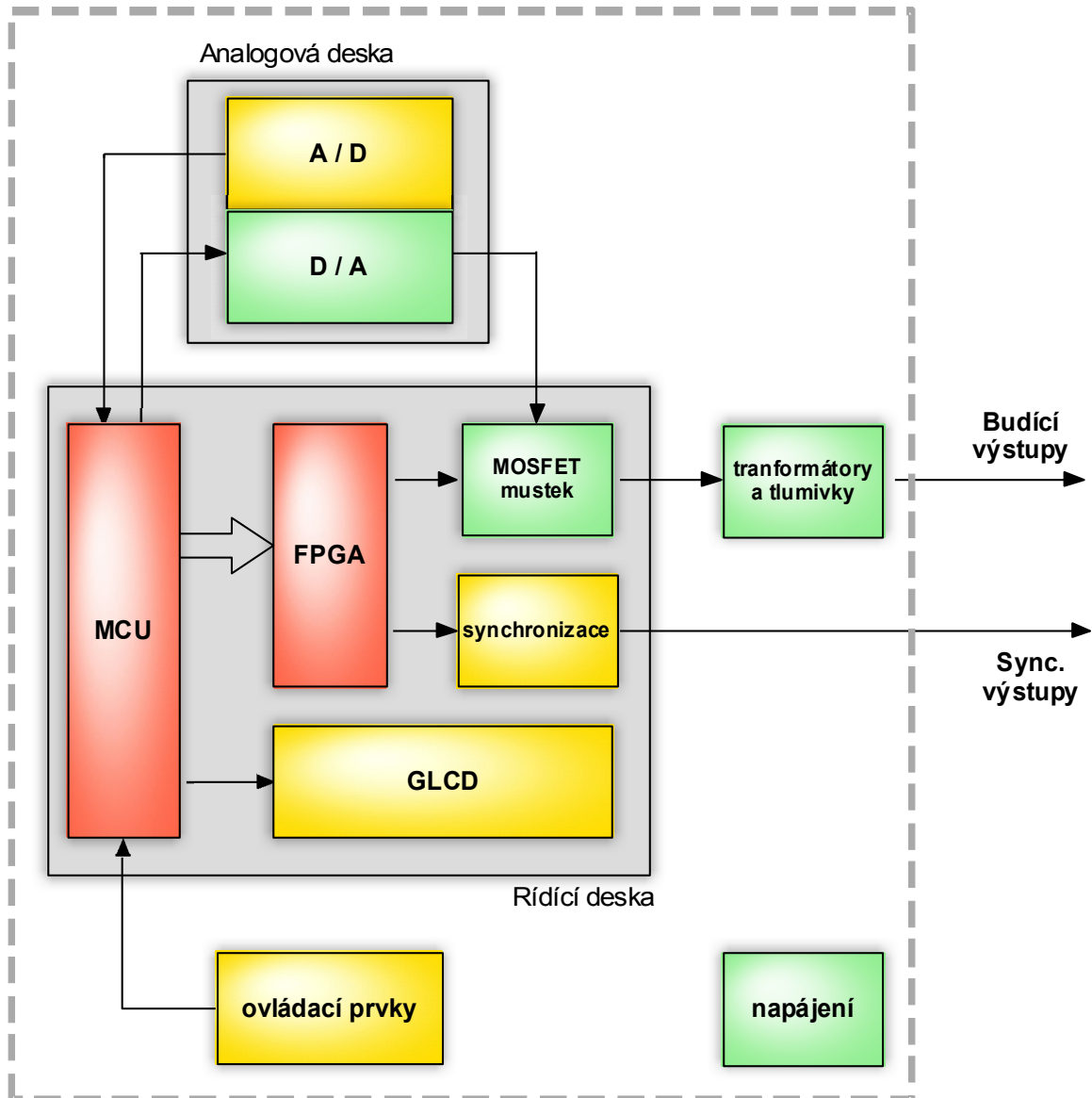
Schéma na obr. 2.7 navrhl vedoucí práce Ing. Vojtěch Petrucha, Ph.D.

Zapojení používá pro spínání můstkové zapojení z unipolárních tranzistorů. Výhodou takového řešení je minimální ztrátové napětí na sepnutých tranzistorech, ale je třeba volit obezřetně způsob spínání těchto tranzistorů. Pokud je na řídicí vstupy obvodu přiveden nevhodný signál, může dojít k poškození tranzistorů. Této problematice se ještě budeme v tomto textu věnovat.

3 Návrh

3.1 Celková koncepce

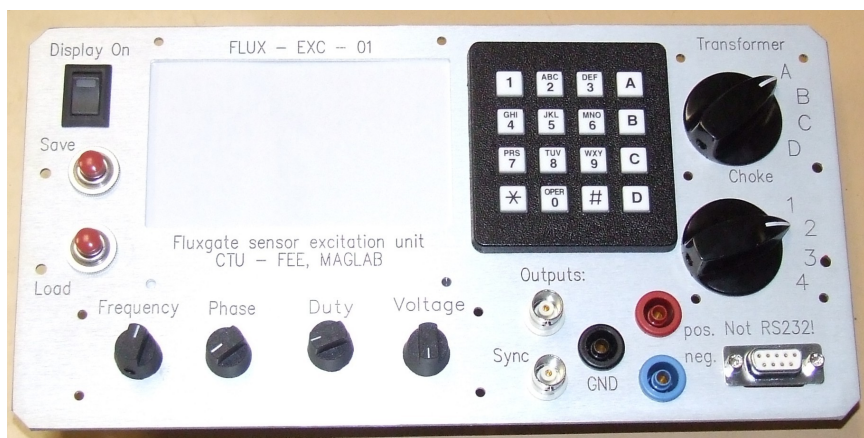
V následujícím textu se budu věnovat popisu celkové koncepce návrhu budící jednotky. Dle obrázku je přístroj možno rozdělit na následující funkční bloky.



Obr. 3.1 Obecné blokové schéma přístroje

Budící jednotka je navrhována jako laboratorní stolní přístroj; nejsou tedy kladeny výrazné

nároky na úsporu místa. Vnější konstrukce přístroje byla volena s ohledem na pohodlné ovládání a budoucí rozšiřitelnost. Jako ukázka konstrukčního řešení slouží obrázek 3.2, na kterém jsou vyobrazeny ovládací prvky a rozvržení čelního panelu přístroje. Neboť žádná z komponent neobsahuje výkonové prvky, chlazení je řešeno pouze pasivním způsobem.



Obr. 3.2 Čelní panel přístroje

Vzhled čelního panelu na obr. 3.2 navrhl vedoucí práce Ing. Vojtěch Petrucha, Ph.D.

Jádrum budící jednotky je mikroprocesor ATmega2560, který koordinuje funkce přístroje a zajišťuje komunikaci s uživatelem. Neboť se jedná o stolní laboratorní zařízení, byly jako ovládací prvky voleny klávesnice a rotační enkodéry pro snadné nastavení požadovaných parametrů výstupního budícího signálu. Pro zpětnou vazbu uživateli potom slouží dostatečně veliký černobílý grafický displej s rozlišením 240x128.

Úroveň výstupního budícího signálu přístroje je nastavena DA převodníkem. O dostatečnou přesnost časování výstupu se stará FPGA od firmy Actel, které poskytuje synchronizační pulzy a ovládá MOS-FETový můstek, který generuje výstup pro analogovou část zapojení.

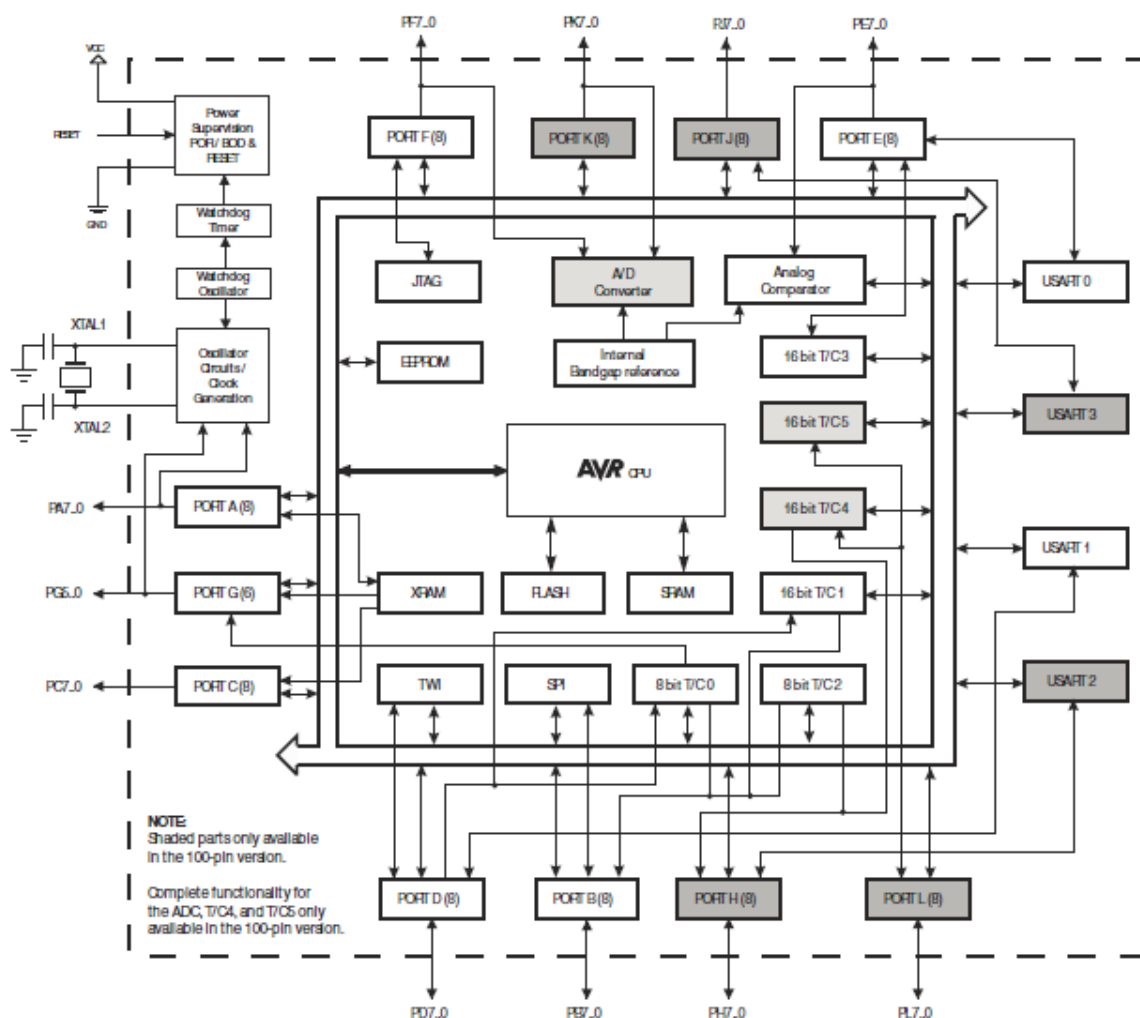
Vzhledem k vnitřnímu rozložení přístroje byla zapojení plnicí jednotlivé funkce rozložena do 5 plošných spojů. Deska nesoucí elektroniku týkající se napájení, deska zapojení pro enkodéry a deska s transformátory a tlumivkami představující analogovou část budícího zapojení. Zbývající komponenty budící jednotky jsou deska nesoucí AD převodníky a řídicí deska. Na řídicí desce jsou umístěny obvody procesoru i FPGA. Podrobněji se jejímu obsahu a zapojení budu věnovat v následujících kapitolách.

3.3 Řídící deska

Řídící deska je nejdůležitější částí přístroje. Závisí na ní všechny funkce zařízení, od zprostředkování uživatelského rozhraní až po generování synchronizačních signálů a ovládání budících výstupů.

3.3.1 Procesor

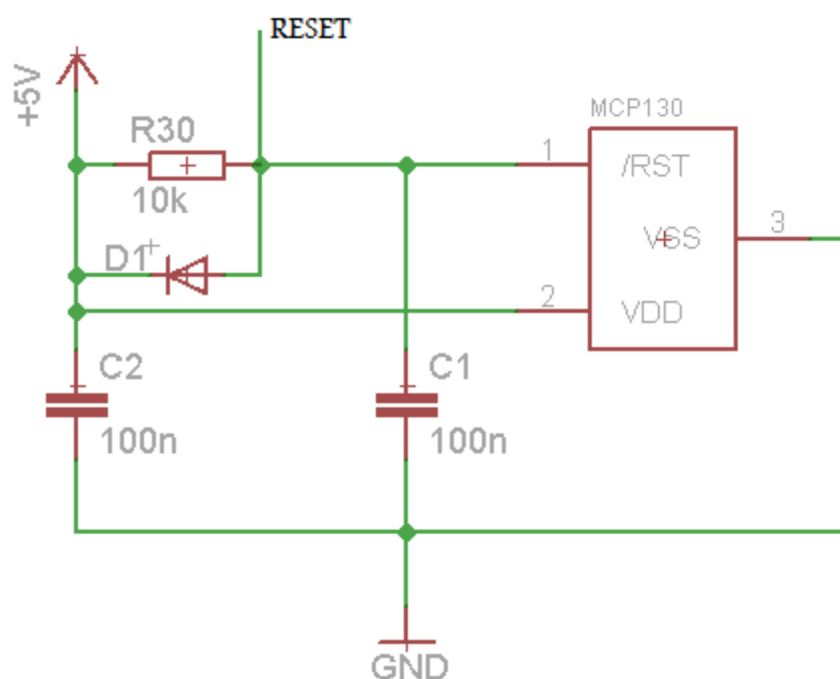
Jako procesor pro tento přístroj byl použit ATMega2560. Jedná se o 8bitový mikroprocesor řady AVR od firmy Atmel. Čip disponuje efektivní sadou instrukcí, které mu v kombinaci s technologií RISC a maximální frekvencí 16MHz dávají dostatečný výkon pro řízení i většího grafického displeje.



Obr. 3.3 Blokové schéma procesoru ATMega2560 [7]

Z hlediska našeho návrhu spočívá veliká síla tohoto mikroprocesoru zejména v množství hardwarových periférií, jako jsou sériová rozhraní, a přerušení, což v kombinaci s použitým pouzdem (TQPF100) umožňuje rychlý a snadný přístup k dostatečnému množství ovládaných zařízení. Procesor pracuje s napájecím napětím 5V. Toto napětí je potřeba při komunikaci s jinými komponenty, které pracují při napájení 3V3 převádět přes napěťové děliče. Výhodou je, že procesor pracuje s úrovní, která je kompatibilní s TTL a tedy praktičtější s ohledem na možná rozšíření. Kompletní schéma zapojení procesoru a všech jeho periférií je uvedeno v přílohách.

Procesor je chráněn pomocí resetovacího obvodu MCP130, který zabraňuje činnosti procesoru při nedostatečném napájecím napětí. Jeho zapojení je na obrázku 3.4.

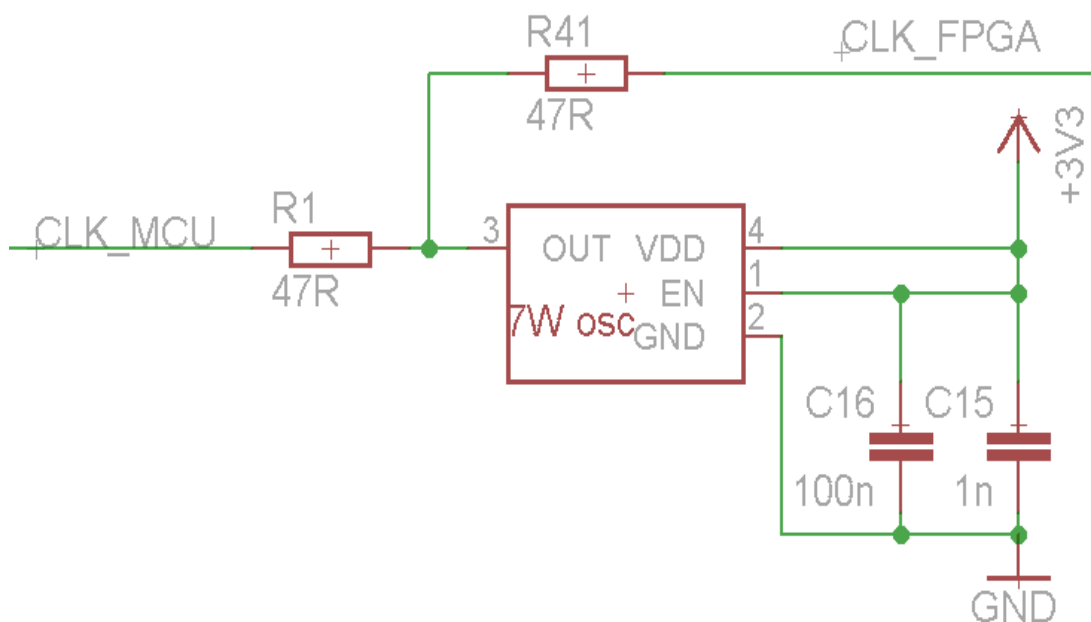


Obr. 3.4 Ochrana procesoru před nízkým napájecím napětím

3.3.2 Oscilátor

Z důvodů finanční úspory a zjednodušení obvodu sdílí procesor a FPGA hodinový signál ze společného oscilátoru. Protože použité FPGA (viz níže) používá napájecí napětí 3V3, je s výhodou použitý oscilátor, který pracuje při stejném napájecím napětí (3V3).

Z porovnání příslušných hodnot v dokumentaci výrobků vyplývá, že logické úrovně produkované výstupem našeho oscilátoru jsou jednoznačně interpretovány výše zmíněným procesorem. Ze zde uvedených důvodů je v návrhu využitý oscilátor z řady 7W od výrobce TXC o výstupní frekvenci 14.7456MHz. Pro případ, že by v budoucnu byla potřeba pro jeden z čipů použít jiný oscilátor, jsou na desce umístěny oddělovací odpory. Ty je možné odstranit a tak odpojit stávající zdroj hodinového signálu. Zapojení oscilátoru je znázorněno na obrázku 3.5.



Obr. 3.5 Schéma zapojení společného oscilátoru

3.3.3 FPGA

Existuje několik variant elektrického zapojení, kterým se dá dosáhnout generování potřebných signálů, pro spínání tranzistorů MOSFET, které byly zvoleny pro excitaci magnetometrů.

Nejjednodušší možnou variantou by bylo použít časovače, které jsou vestavěné do procesoru. Potom by ale bylo problematické řešit zabezpečení kritického stavu, kdy při přepínání můstku z tranzistorů MOSFET může dojít na okamžik ke zkratu. Další nevýhodou uvedeného řešení je nízká frekvence, na které dokáží tyto časovače operovat, která je příliš malá na to, aby bylo možné generovat synchronizační pulzy s nastavitelnými parametry.

Pro správnou funkci navrhovaného laboratorního přístroje je nutné, aby byl výstupní budicí signál přesně časovaný, a nezaváděl tak zbytečné chyby do měření senzorů, k jejichž buzení má být použitý. Z těchto důvodů bylo rozhodnuto pro časování použít FPGA (Field Programmable Gate Array), tedy programovatelné hradlové pole. To nám umožňuje vytvořit takovou logickou strukturu, která zajistí generování všech potřebných signálů, jejichž parametry budou záviset na okamžitých hodnotách vstupů FPGA. Hradlové pole dokáže operovat na řádově vyšších frekvencích než námi použitý mikroprocesor. Řešení také nese velkou výhodu ohledně rozšiřitelnosti nebo změny funkcí od přístroje požadovaných.

Jako vhodná součástka zde byl zvolen čip od firmy Actel z řady ProAsic3 Nano: A3PN125.

Obvod A3PN125 je schopen pracovat na frekvencích až do 350MHz, je možné ho přímo programovat prostřednictvím rozhraní JTAG (dle standardu IEEE-1532; více informací k nalezení v dokumentaci výrobce). Čip disponuje 125 000 hradel; 1024 logickými buňkami a dává tak prostor i pro složitější aplikace. Velkou výhodou je také integrovaná PLL(Phase-Locked Loop), což nám umožňuje zvýšit frekvenci, která je přiváděna na některý ze vstupů hradlového pole.

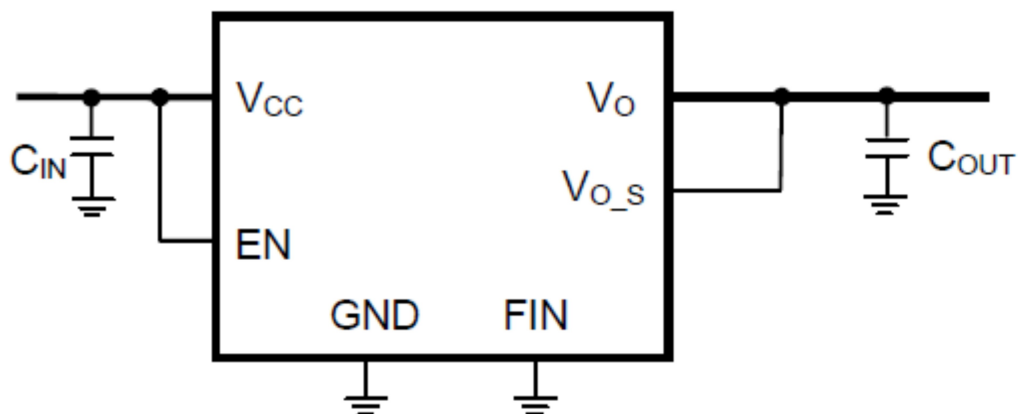
Kompletní schéma zapojení FPGA a všech jeho periférií je uvedeno v přílohách.

3.3.4 Napájení FPGA

Při náhledu do zapojení FPGA v přílohách je patrné, že součástka používá dvě různá napájecí napětí, z nichž větší (3V3) zprostředkovává napájení vstupně-výstupních bran a menší (1V5) slouží jako interní napájení čipu. To umožňuje práci součástky na vysokých frekvencích, dosažením změn logické úrovně za kratší čas při stejné strmosti hran.

FPGA je jediná součástka v obvodu využívající napětí 1V5, a proto je stabilizátor poskytující toto napětí osazen na stejnou desku. Jako vhodné řešení byl zvolen obvod BD15GA3WEFJ-E2 od výrobce ROHM. Jedná se o regulátor s neměnnou hodnotou výstupního napětí 1.5V. Vyžaduje napájecí napětí alespoň 4.5V, což v našem případě není problém poskytnout, neboť je tímto napětím napájeno více součástek na tomto plošném spoji.

V návrhu bylo použito zapojení doporučené výrobcem. Schéma je na obrázku 3.6.

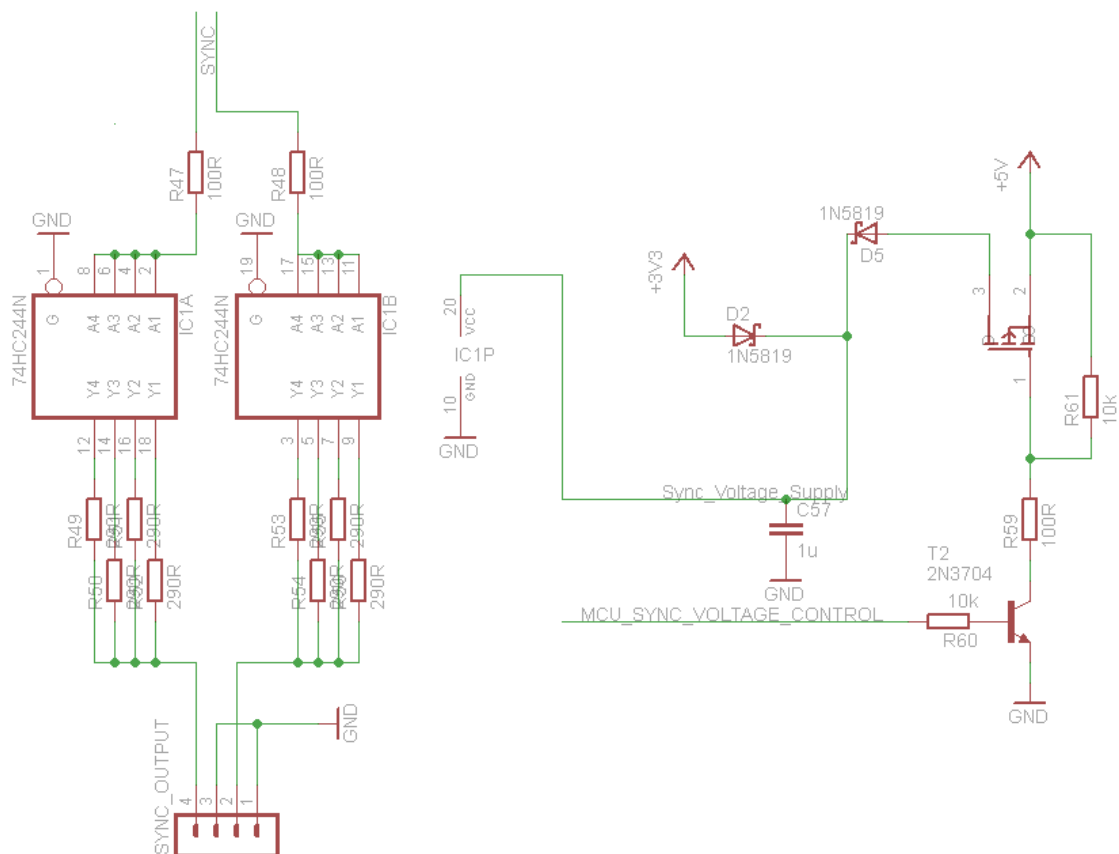


Obr. 3.6 Schéma zapojení stabilizátoru napětí 1V5 [8]

3.3.5 Synchronizační výstupy

Výstupní piny synchronizačních signálů FPGA jsou chráněné budícím obvodem 74HC244. Ten je uchycen v patici pro snadnou výměnu v případě přepětí výstupů synchronizačních signálů. Zároveň s ohledem na různé požadavky laboratorního vybavení je napájení 74HC244 vybaveno procesorem řízeným obvodem, který přepíná výstupní úroveň synchronizačních signálů mezi 3V3 a 5V.

Toho je dosaženo s pomocí zapojení na obrázku. Spínací tranzistor MOSFET byl zvolen BSH203 jehož parametry zajišťují spolehlivé otevření i při nízkých napětích a tedy i minimální ztrátový výkon. Aby výstupní pin procesoru řídicí logickou úroveň synchronizačních výstupů přístroje nebyl ohrožen proudovými špičkami při otevření BSH203, je oddělen bipolárním tranzistorem 2N3704.

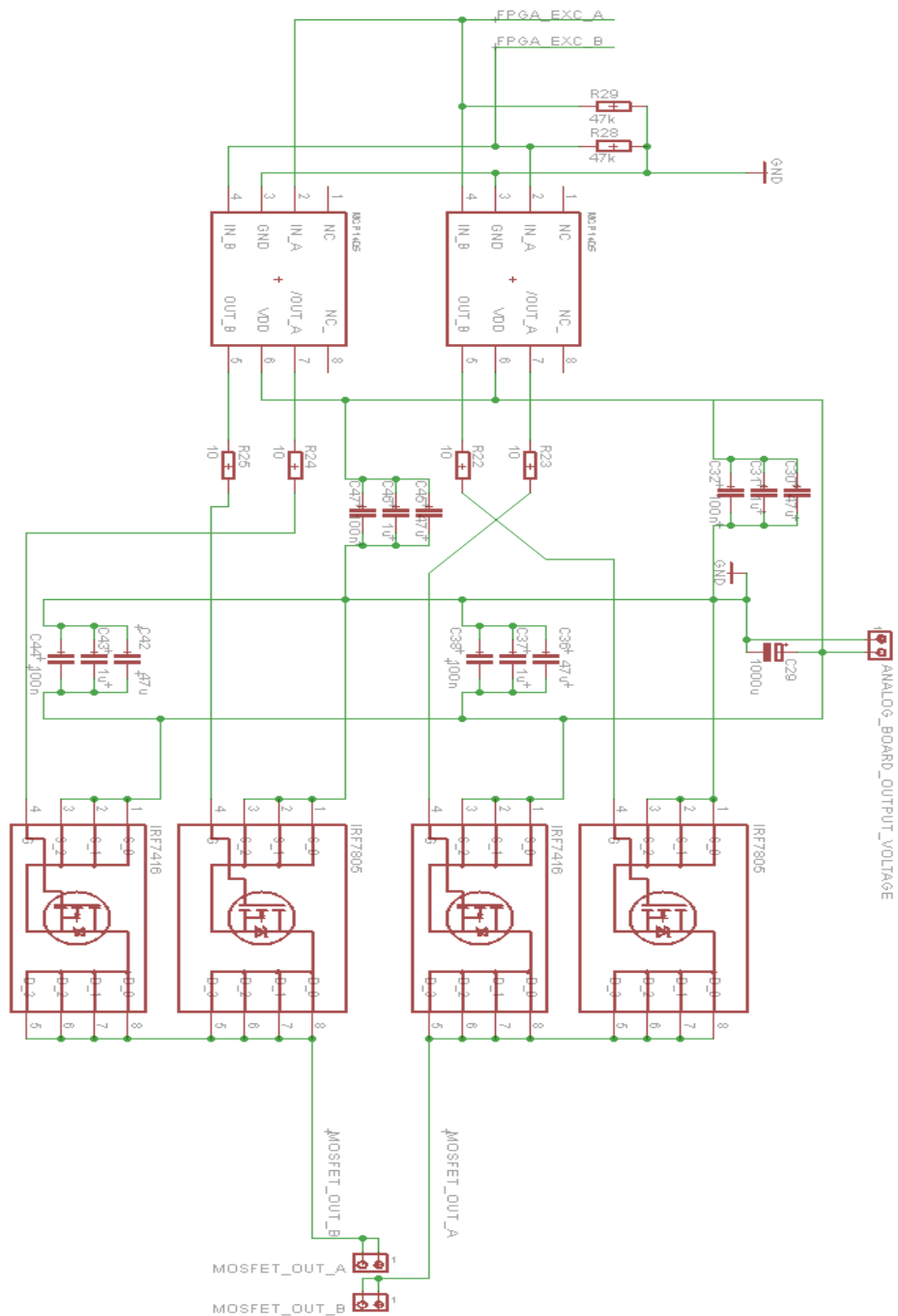


Obr. 3.7 Schéma zapojení synchronizačních výstupů

3.3.6 Můstek MOS-FET

Zapojením, které poskytuje dostatečný proud analogové části přístroje, je výstupy z FPGA řízený můstek ze čtyř unipolárních tranzistorů a jejich budičů.

Analogová část přístroje potřebuje pro svoji funkci dostatečný proud. Ten nejsou schopny poskytnout výstupy FPGA. Výstupy jsou posíleny dvěma dvojitými budiči, které spínají čtyři unipolární tranzistory MOSFET v můstkovém zapojení (viz Obr. 3.7). Tak jsou pro analogovou část přístroje zajištěny proudově napěťové pulzy dostatečné intenzity.



Obr. 3.8 Schéma zapojení můstkového spínače

Na obrázku 3.8 je schéma zapojení můstku. Vstupní signály dodávané z FPGA řídí budící obvod pro tranzistory. Byl zde zvolen MCP1405. Jedná se o součástku uloženou v osmipinovém pouzdře pro povrchovou montáž. MCP1405 dokáže efektivně řídit spínání dvou MOSFET tranzistorů; kde jeden výstup je negovaný. Může pracovat s výstupním

napětím až 18V. Součástka je použita dvakrát a každá řídí polovinu můstku.

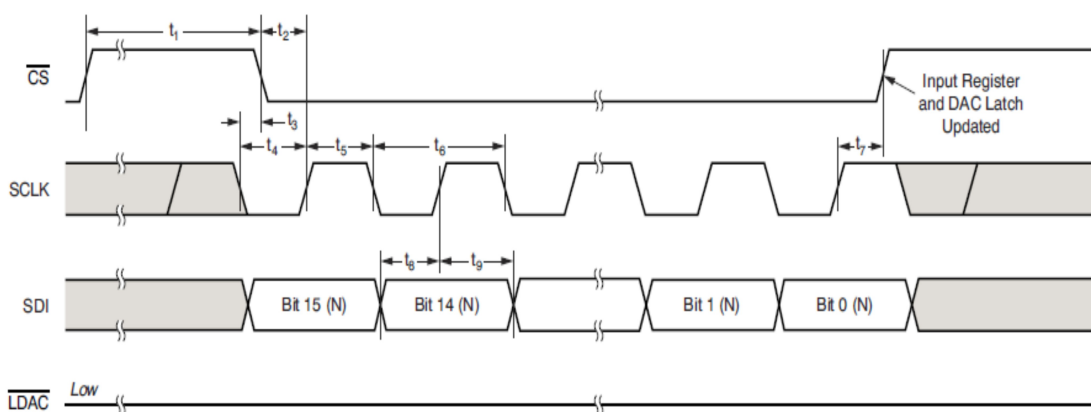
Ten se skládá ze dvou unipolárních tranzistorů MOSFET typu N a ze dvou typu P. Jako vhodný MOSFET typu N byl vybrán AUIRF7805Q od firmy International Rectifier jako tranzistory typu P jsou použity AUIRF7416Q od téhož výrobce. Bližší informace k oběma součástkám jsou k dispozici v dokumentaci od jejich výrobce.

3.4 Analogová deska

Analogová deska je plošný spoj s AD a DA převodníky. Nejdůležitějšími komponenty této desky jsou DAC8881 a ADS1225.

Obvod ve kterém je zapojen DA převodník DAC8881 představuje procesorem řízený zdroj napětí, ze kterého je napájen MOSFET můstek na řídicí desce.

Procesor komunikuje s tímto 16-bitovým DA převodníkem prostřednictvím rozhraní SPI. Způsob komunikace je znázorněn na obrázku 3.9.



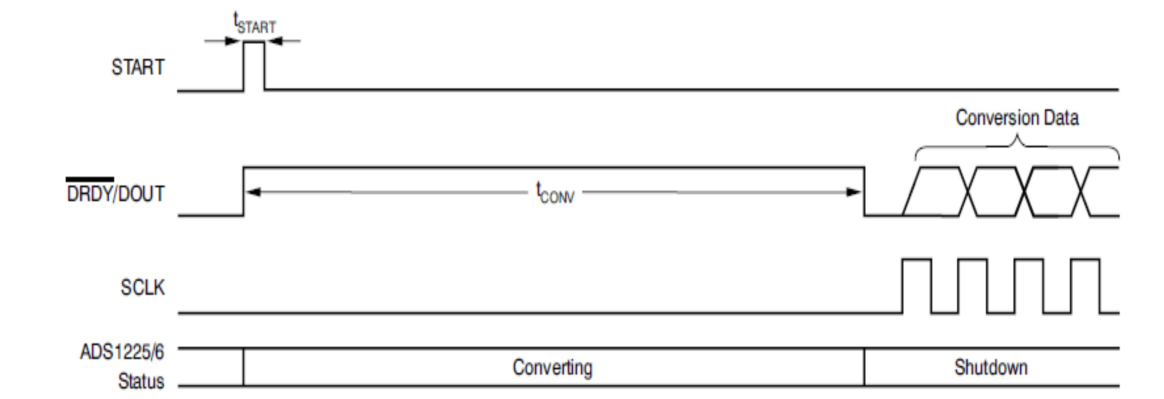
Obr. 3.9 Komunikace s DAC8881 [9]

ADS1225 je 24-bitový AD převodník typu sigma-delta. V přístroji je používán k měření proudu poskytovaného zapojením s DA převodníkem. Z této informace může program následně vypočítat příkon buzeného fluxgate senzoru.

Komunikace s procesorem je zajištěna pomocí jednoho ze sériových rozhraní procesoru. V

průběhu testování se ukázalo, že součástka je mimořádně náchylná na správnou sekvenci napájení při spuštění.

Způsob komunikace s ADS1225 je znázorněn na obrázku 3.10.



Obr. 3.10 Komunikace s ADS1225 [10]

Tuto desku navrhl a realizoval vedoucí této práce Ing V. Pertucha. Originální schéma je obsaženo v příloze.

3.5 Napájení přístroje

Přístroj je napájen ze sítě prostřednictvím transformátoru. Usměrněné napětí je následně stabilizováno na potřebné úrovni.

Detailní schéma navržené vedoucím práce Ing V. Pertuchou je uvedeno v příloze.

3.6 Firmware

3.6.1 Procesor (MCU)

Uživatelský program používá systém přerušení vestavěný v procesoru pro přepínání mezi podprogramy, které reprezentují funkční cykly stavů přístroje. Z knihoven pro komunikace s perifériemi procesoru bych zmínil spolupráci s grafickým displejem.

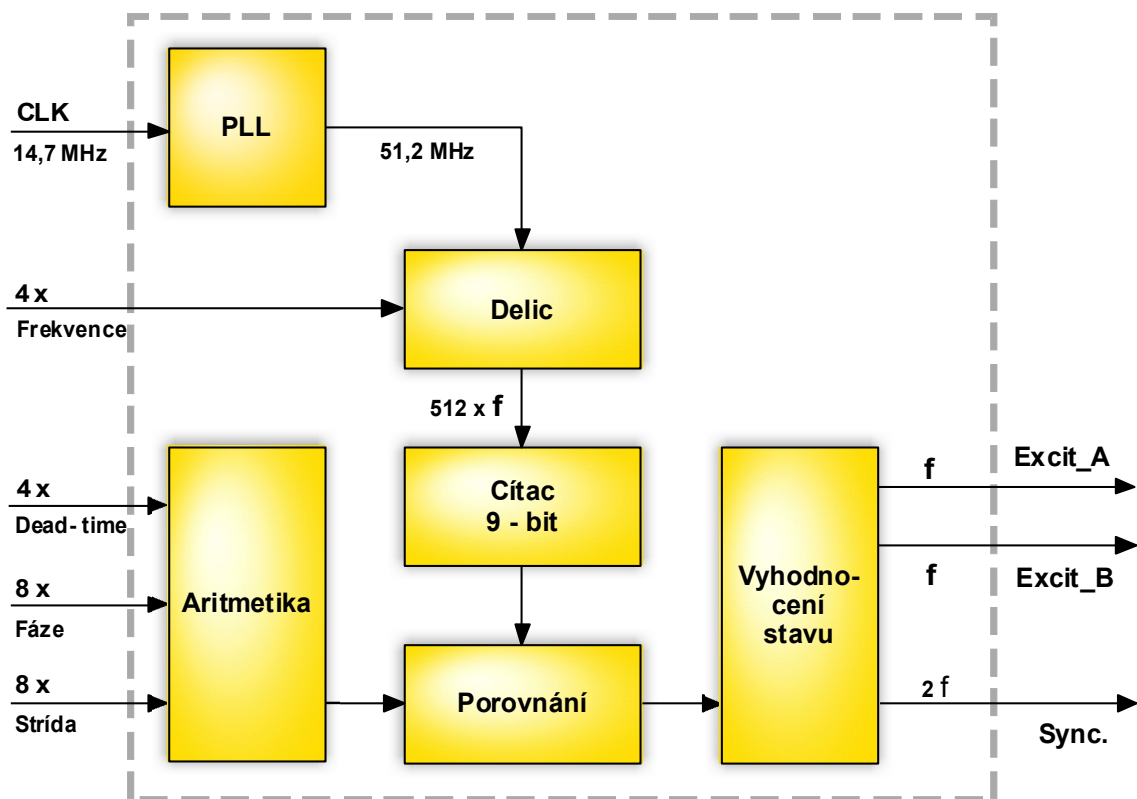
Displej je řízen kontrolérem UC1608. V průběhu vývoje softwaru pro MCU se ukázalo, že knihovny pro ovládání tohoto displeje nejsou ve volné formě dostupné; proto bylo nutné je napsat. Pro tuto aplikaci byla volena sériová komunikace, protože zjednodušuje zapojení

zobrazovací jednotky a překreslování i celého displeje zůstává při této velikosti okem nepostřehnutelné. Tato sériová komunikace sebou bohužel nese i jisté nevýhody. Při komunikaci s UC1608 prostřednictvím SPI lze do paměti kontroléru pouze zapisovat, ale ne z ní už číst, což omezuje flexibilitu displeje s ohledem na jeho grafické možnosti, neboť je třeba vždy přepsat celý Byte zobrazovací paměti; je tedy nutné pracovat s grafikou displeje v řádcích o výši 8 pixelů. Tvorbu knihoven pro komunikaci se zobrazovací jednotkou komplikoval fakt, že vnitřní uspořádání UC1608 je neobvyklé, a nebylo tak možné adaptovat pro naše použití již existující knihovnu pro jiný čip.

3.6.2 FPGA

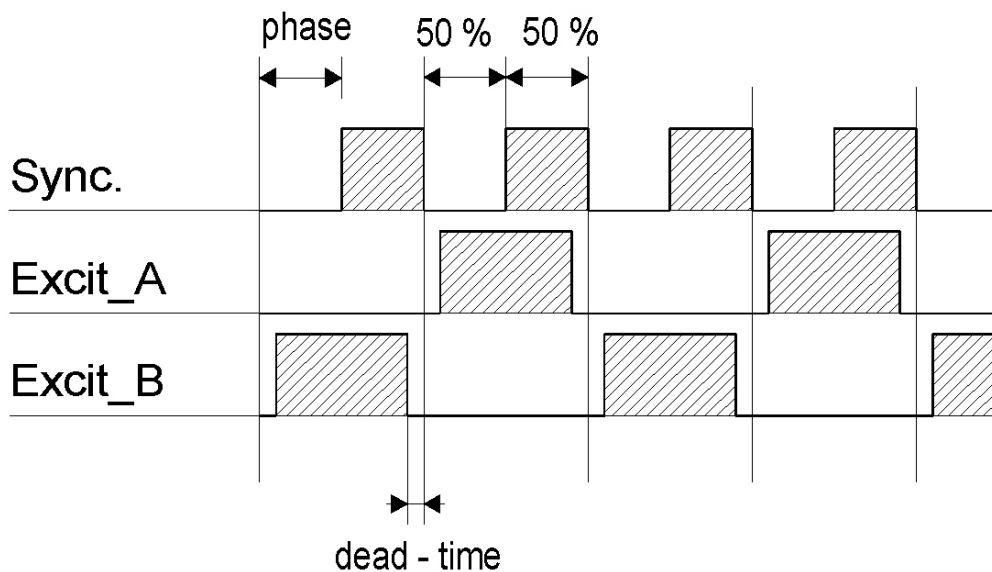
Pro časování budících a synchronizačních signálů bylo použito hradlové pole, jehož volba je popsána a odůvodněna v kapitole o návrhu řídicí desky. V našem zapojení používá FPGA 24 vstupních datových pinů, na základě jejichž hodnot je generován výstupní signál, a hodiny jako vstupy. Jako výstup slouží 2 piny, na kterých je generován řídicí signál pro buzení, a 2 piny, na kterých je generován synchronizační signál (ten je ovšem momentálně generován pouze na jednom z nich, druhý slouží jako základ pro možná budoucí rozšíření).

Způsob jakým je signál generován je popsán níže. Jako doplnění je zahrnuto i blokové schéma (Obr. 3.11). Neboť je firmware pro FPGA psán v jazyce VHDL, který je behaviorální (popisuje jak má zařízení fungovat z vnějšího pohledu), nemusí nutně blokové schéma reprezentovat přesnou konfiguraci logických obvodů při reálném naprogramování, jako spíše myšlenku, protože strojový program je generován překladačem jazyka.



Obr. 3.11 Blokové schéma programu FPGA

Abychom mohli generovat signál, jehož parametry jsou proměnné, zavedli jsme čítač o velikosti 9 bitů. Porovnáváním hodnoty uložené v tomto hlavním čítači s dopočítanými hodnotami dle vstupních parametrů je při každé změně hodnoty čítače vyhodnoceno, jaké mají být momentálně úrovně na výstupních pinech. Plná hodnota čítače představuje jednu periodu výstupního signálu. Hlavní čítač následně přeteče a vše se opakuje od začátku. Časování výstupních signálů je znázorněno na obrázku. Použitá aritmetika zahrnuje pouze sčítání a násobení, jedná se tedy o hardwarově aplikovatelné operace. Tento způsob obstará s pomocí jednoho čítače správné načasování fázového posunu a střídání synchronizačního signálu i mrtvou dobu, zabezpečující můstkové zapojení MOSFET před zkratem v průběhu přechodového jevu.



Obr. 3.12 Průběhy výstupních signálů FPGA

Zbývající parametr který je potřeba nastavit je tedy frekvence. Neboť je frekvence nastavována poměrně hrubě (4 vodiče, tedy pouze 16 hodnot), bylo využito velmi jednoduché řešení. Hodinový signál je příslušně vydělen. Abychom se při nastavování signálu nedostávali do velmi nelineární části hyperboly, kterou je vydělená frekvence určena, je frekvence vstupních hodin vyšší a jmenovatel příslušného děliče frekvence má minimální hodnotu větší než 1. Frekvenci získanou PLL dopočítáme tak, aby vyhovovala po rozdělení požadovanému intervalu (viz obr.3.13).

Výstupní frekvence budícího signálu je dána vztahem: $f_{exc} = f_{PLL} / (A + Freq) / 512$

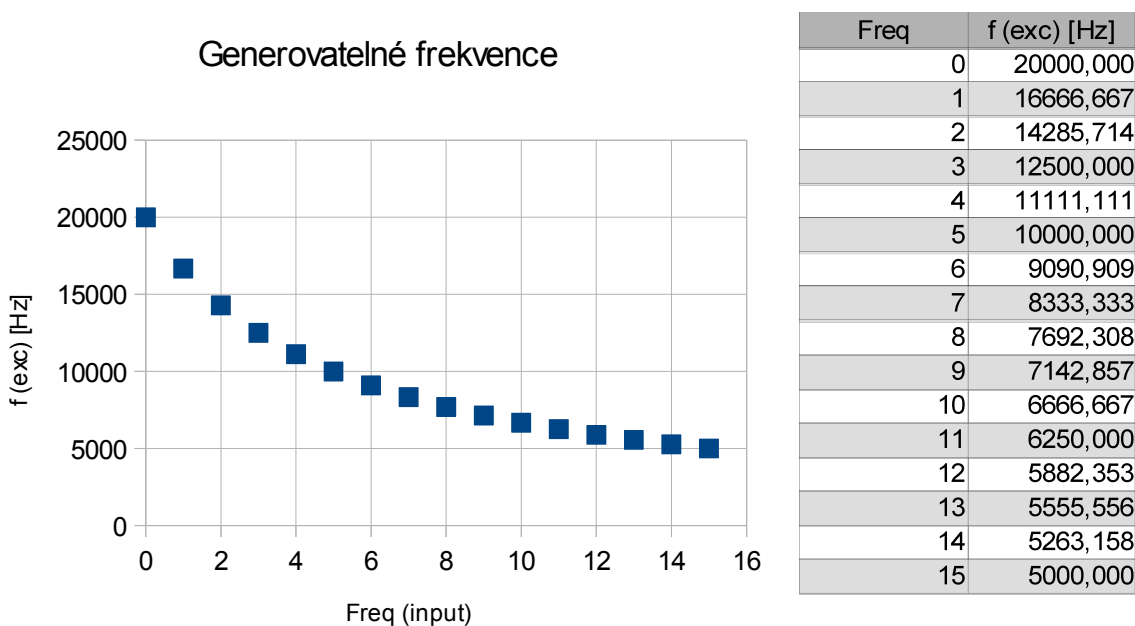
- Kde: f_{exc} značí výstupní frekvenci budícího signálu
 f_{PLL} značí frekvenci generovanou PLL
A značí minimální hodnotu dělicího jmenovatele
Freq značí hodnotu přijímanou vstupními piny pro nastavení frekvence
512 je maximální hodnotou hlavního čítače

A to tak, že při dosažení limitních požadovaných frekvencí do výše uvedeného vztahu dostáváme soustavu dvou rovnic o dvou neznámých.

$$20\,000 = f_{PLL} / 512A$$

$$5000 = f_{PLL} / [512(A + 15)]$$

Z jejího řešení vyplyne že: $A = 5$; $f_{PLL} = 51,2$ MHz



Obr. 3.13 Frekvence generované programem FPGA

Jádro kódu ve VHDL je obsaženo v příloze.

4 Testování, oživení

Ke dni odevzdání práce je kompletně hotový návrh přístroje. Deska dekodérů je připravená k použití. Řídící deska je osazená s výjimkou displeje a několika rozpojovacích odporů, které oddělují FPGA od zbytku obvodu.

Komunikace s procesorem prostřednictvím JTAG je funkční a ověřená. Z důvodů neosazeného displeje nebyl zatím připravený software v plné míře testován. Funkčnost celého softwaru je z doby vývoje ověřená testováním na přípravku Arduino se stejným procesorem. Na přípravku Arduino byla v době testování plně funkční aplikace využívající AD i DA převodník najednou. Jeden enkodér který byl do přípravku zapojený ovládal v reálném čase výstupní hodnotu DA převodníku, přitom byla průběžně na displeji zobrazená dekadicky převedená hodnota, kterou měřil ADS1225. Displej dokázal zobrazovat jednoduché tabulky a měl k dispozici 4 různé velikosti písma.

Neboť byl kód psaný v jazyce C, měl by být bez významných zásahů aplikovatelný na stávající desku.

5 Závěr

Cílem této bakalářské práce bylo vymyslet, navrhnout a realizovat univerzální laboratorní řídicí jednotku pro fluxgate senzory. Smyslem takového přístroje je zjednodušení testování vyvíjených magnetometrů a tedy usnadnění jejich vývoje.

V průběhu vypracování bakalářské práce byly postupně řešeny jednotlivé funkční bloky. Podle předpokládaného vnitřního vybavení přístroje byla zvolena velikost i konstrukce přístrojové skříně a byl navržen čelní panel.

Po výběru řídicího procesoru byl sestaven jednoduchý testovací přípravek, který umožňoval seznámit se s architekturou a způsobem programování použitého procesoru.

Dalším krokem byl vývoj knihoven, s pomocí kterých by procesor mohl ovládat potřebné periferie. Časově náročný byl vývoj nástrojů pro komunikaci zejména s grafickým displejem a použitým AD převodníkem. Potíž při využití displeje spočívala v nedostupnosti nástrojů, kterými by mohl být displej ovládán. Řídicí čip displeje používal atypickou komunikaci. Všechny potřebné periferie byly nakonec zprovozněny vývojem vlastního softwaru.

Po ověření funkčních celků spolupracujících se softwarem procesoru byl proveden vývoj firmwaru pro FPGA a bylo přikročeno k realizaci hardwarové části přístroje.

Návrh plošných spojů probíhal v několika krocích. Celkově si tato část návrhu přístroje vyžádala nečekaně velké množství času a práce.

Po osazení plošných spojů je přístroj připraven k testování.

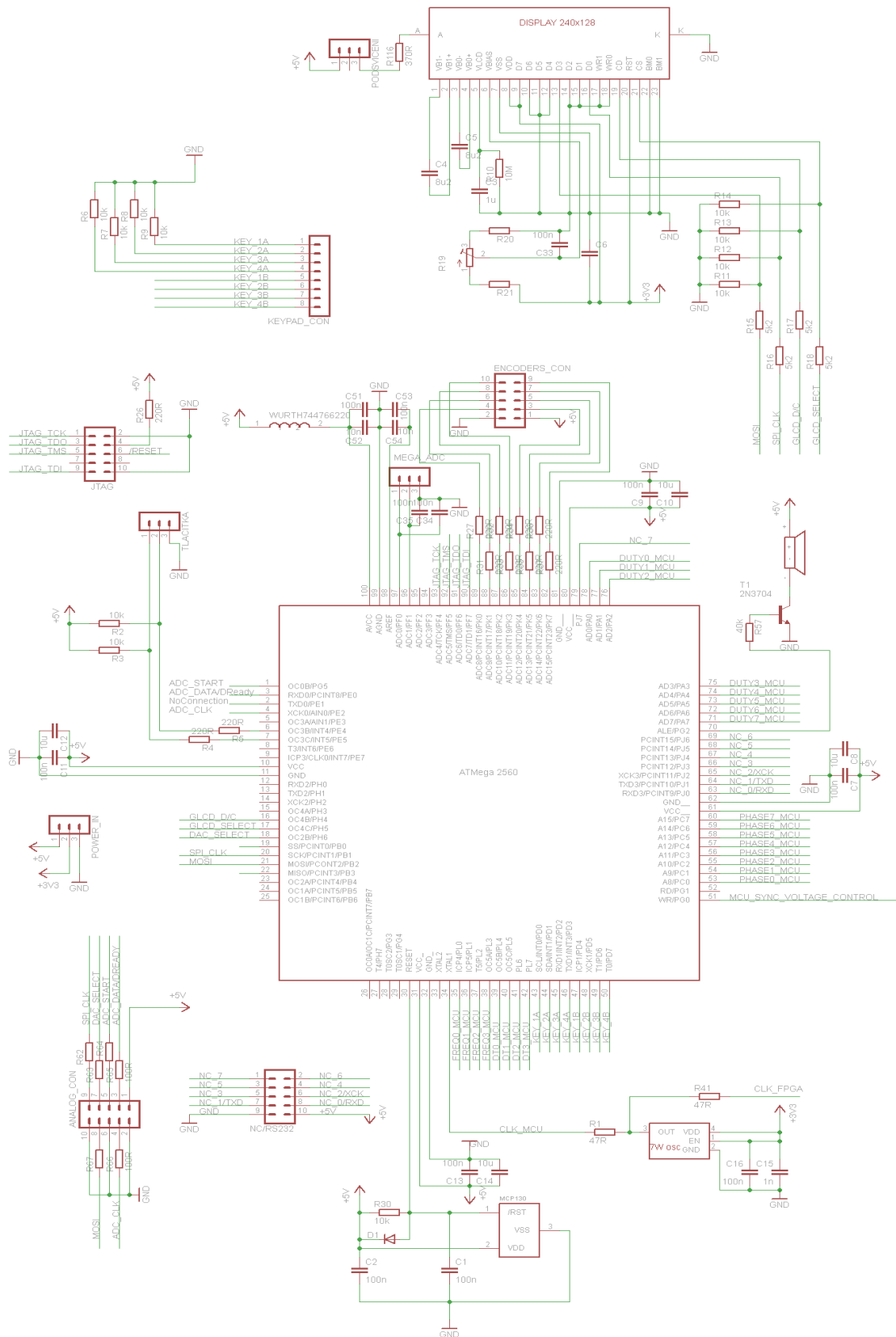
Práce pro mě byla velmi přínosná, protože jsem se poprvé setkal s praktickou stránkou vývoje elektrického zařízení.

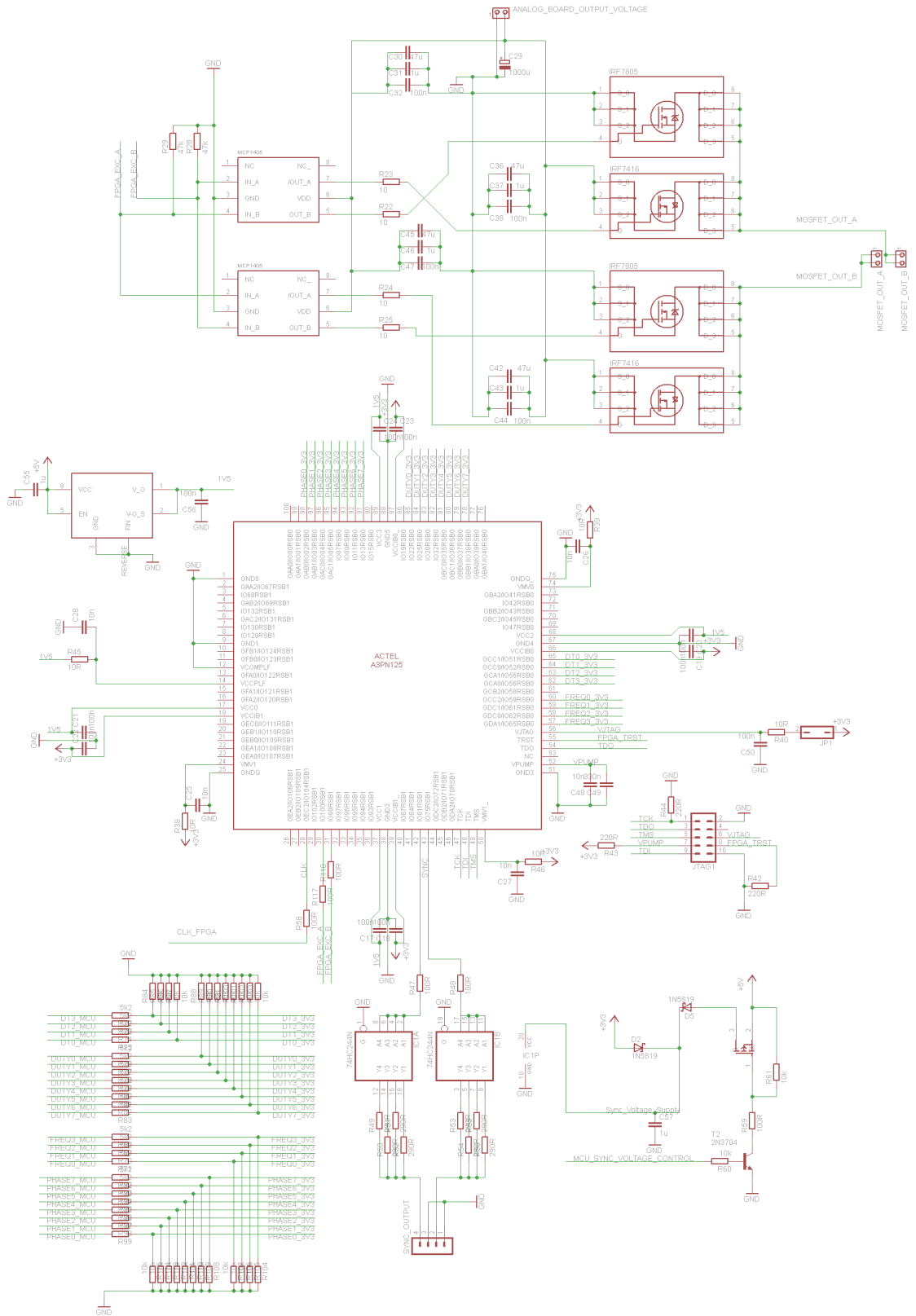
6 Použité zdroje

- [1] *http://gravmag.ou.edu/mag_measure/magnetic_measure.html*
- [2] *<http://clarcana.info/proj/magnetometer/>*
- [3] *<http://www-ssc.igpp.ucla.edu/personnel/russell/ESS265/History.html>*
- [4] *<http://www-ssc.igpp.ucla.edu/personnel/russell/papers/ggs-polar/>*
- [5] *<http://www.google.com.br/patents/US4384254>*
- [6] *<http://www.google.com/patents/US3509424>*
- [7] *katalogový list Atmel ATmega2560*
- [8] *katalogový list BD15GA3WEFJ-E2*
- [9] *katalogový list DAC8881*
- [10] *katalogový list ADS1225*

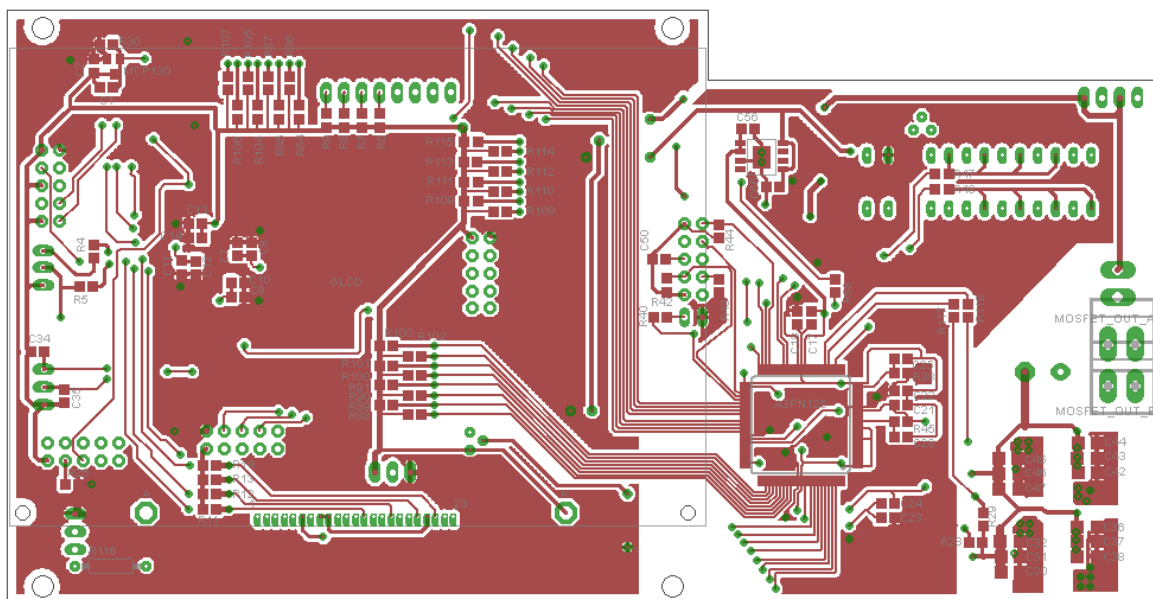
Přílohy

Příloha A – Schéma řídicí desky

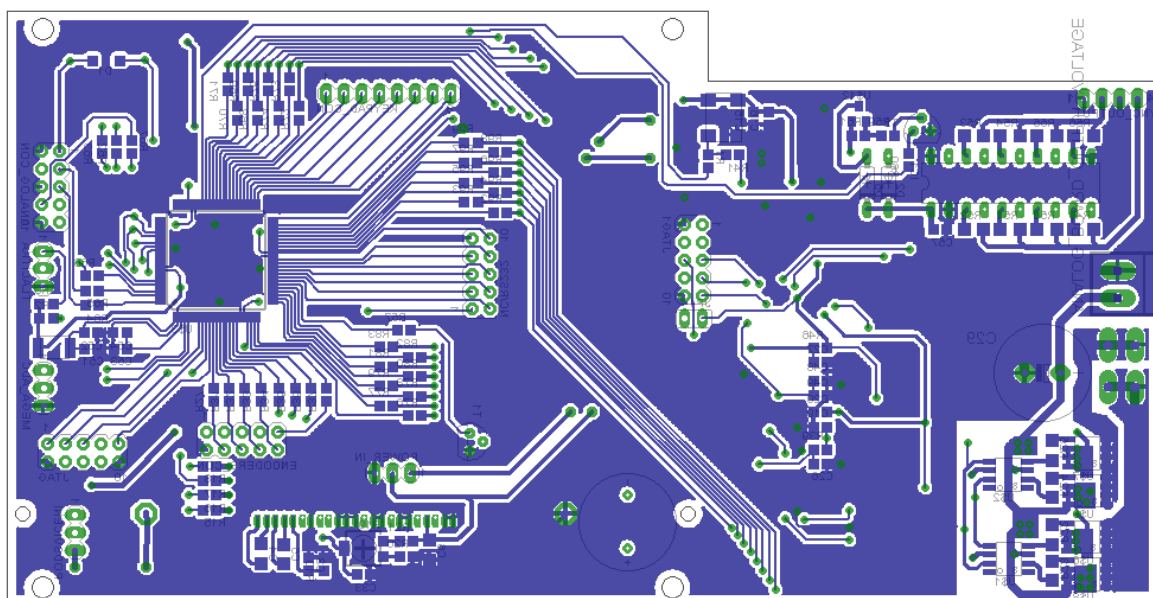




Příloha B – Návrh DPS řídicí desky

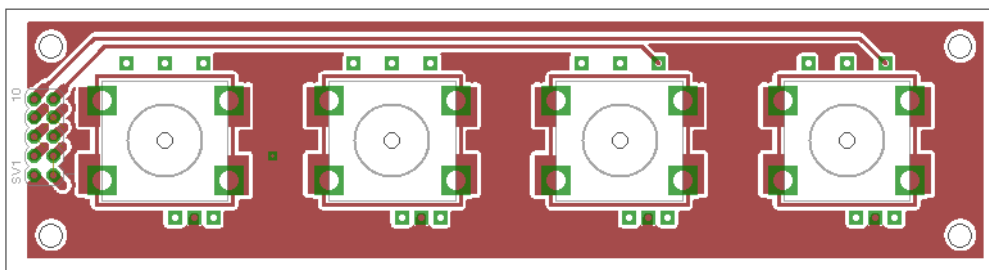
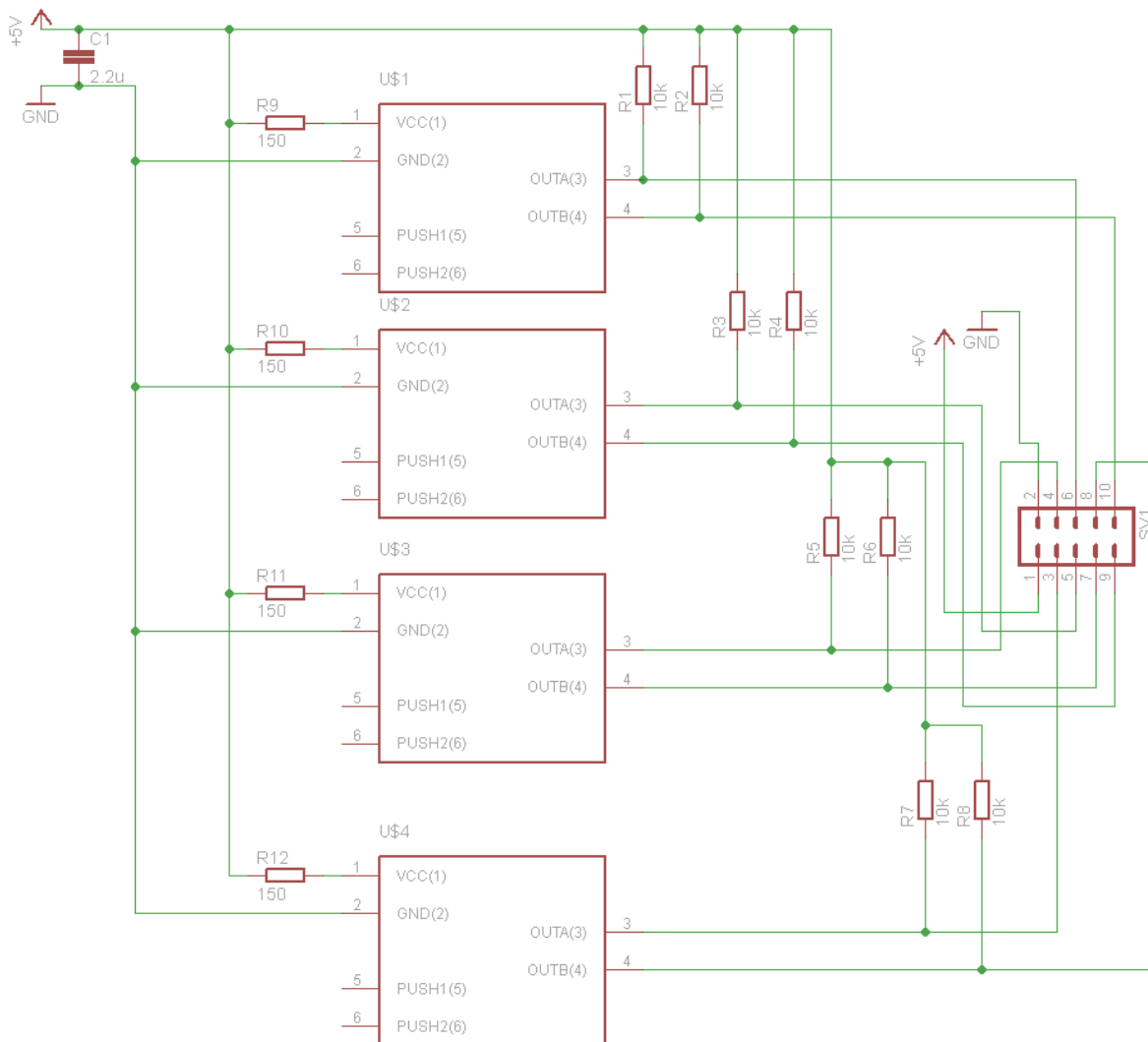


Vrchní strana

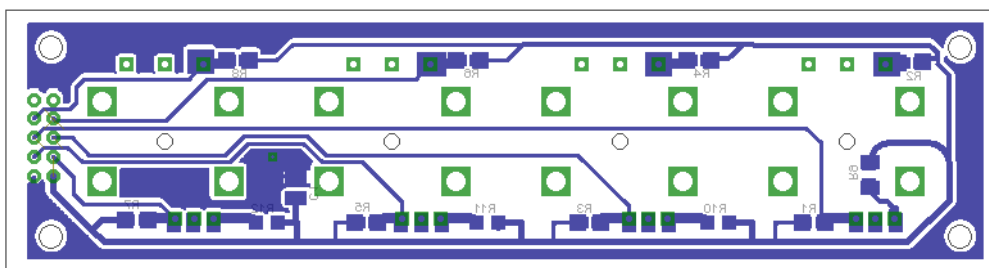


Spodní strana

Příloha C – Návrh desky s enkodéry



Vrchní strana



Spodní strana

Příloha D – Jádru VHDL kódu pro FPGA

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.all;

entity excGen is
    port(
        clk      : in std_logic;
        deadTime  : in std_logic_vector(8 downto 0); -- 3 downto 0 are valid
        frequency : in std_logic_vector(8 downto 0); -- 3 downto 0 are valid
        duty      : in std_logic_vector(8 downto 0); -- 7 downto 0 are valid
        phase     : in std_logic_vector(8 downto 0); -- 6 downto 0 are valid
        exct_out  : out std_logic_vector(1 downto 0) := "00";
        sync_out  : out std_logic := '0'
    );
end excGen;

architecture behav of excGen is
    --**a signifies rising edge triggers within the main counter; **b signifies falling edges
    signal s1a, s1b, s2a, s2b :std_logic_vector(8 downto 0);--sync generation trigger signals
    signal p1n2a, p1n2b, p2n1a, p2n1b :std_logic_vector(8 downto 0);--excitation generation triggers
    signal mainCounter,freqCounter :std_logic_vector(8 downto 0):="000000000";
    signal clkDivider :std_logic_vector(8 downto 0);
    signal slowCLK :std_logic := '0';

begin
    --sync timing
    s1a <= phase;
    s1b <= std_logic_vector(unsigned(phase) + unsigned(duty));
    s2a <= std_logic_vector(256 + unsigned(phase));--constant represents half the maximum counter
    capacity
    s2b <= std_logic_vector(unsigned(s2a) + unsigned(duty));
    --exct timing
    p1n2a <= std_logic_vector(0 - unsigned(deadTime));
    p1n2b <= std_logic_vector(256 + unsigned(deadTime));
    p2n1a <= std_logic_vector(0 + unsigned(deadTime));
    p2n1b <= std_logic_vector(256 - unsigned(deadTime));
    --counter reset timing
    clkDivider <= std_logic_vector(5 + unsigned(frequency)); --constant moves the freq range

    --clock dividing
    divideCLK: process (clk)
    begin
        if rising_edge(clk) then
            freqCounter <= std_logic_vector(unsigned(freqCounter) + 1);
        end if;
        if (freqCounter > clkDivider) then
            freqCounter <= (others => '0');--reset
            slowCLK <= not slowCLK; --frequency setting - dependent clk generation
        end if;
    end process;

    --main counter running
    runMainCounter: process (slowCLK, deadTime, duty, phase)
    begin
        if rising_edge(slowCLK) then --can be hastened 2x if esponds to falling edge too
            mainCounter <= std_logic_vector(unsigned(mainCounter)+1);
            --sync and output generation
        end if;
    end process;
end architecture behav;
```

```

        if mainCounter=s1a then sync_out <= '1';
        end if;
        if mainCounter=s2a then sync_out <= '0';
        end if;
        if mainCounter=s1b then sync_out <= '1';
        end if;
        if mainCounter=s2b then sync_out <= '0';
        end if;
        if mainCounter=p1n2a then exct_out <= "10";
        end if;
        if mainCounter=p2n1a then exct_out <= "00";
        end if;
        if mainCounter=p1n2b then exct_out <= "01";
        end if;
        if mainCounter=p2n1b then exct_out <= "00";
        end if;
    end if;
    --anti-skip-checkpoint-safeguard ... reset on input change...
    if (not(rising_edge(slowCLK))) then
        if (not(falling_edge(slowCLK))) then
            exct_out <= "00"; -- close all mosfet
            mainCounter <= (others => '0'); -- main counter reset
        end if;
    end if;
end process;
end architecture behav;

```


Příloha F – Schéma desky s AD/DA převodníky

