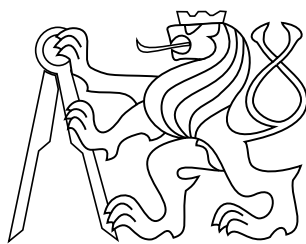


Diplomová práce

# **Merač kapacity a stratového činiteľa VN strojov**

*Bc. Ondrej Tereň*



Máj 2014

Vedúci práce: Ing. Radek Sedláček, PhD.

České vysoké učení technické v Praze  
Fakulta elektrotechnická, Katedra měření



## PodĎakovanie

Týmto by som chcel podakovať vedúcemu práce pánovi Ing. Radkovi Sedláčkovi, PhD. a doc. Ing. Josefovi Vedralovi, CSc. za možnosť pracovať na zaujímavom projekte, čím som mohol získať bohaté skúsenosti z daného odboru.

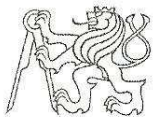
## Prehlásenie

Prehlasujem, že som svoju diplomovú prácu vypracoval samostatne a použil len podklady uvedené v literatúre. Nemám závažný dôvod proti použitiu tohoto diela v zmysle § 60 Zákona č.121/200 Sb., o právu autorskom, o právach souvisejících s právem autorským a o změně některých zákonů (autorský zákon).

V Prahe dňa . . . . .

.....  
podpis autora





## ZADÁNÍ DIPLOMOVÉ PRÁCE

Student: **Bc. Ondrej Tereň**

Studijní program: **Kybernetika a robotika**  
Obor: **Senzory a přístrojová technika**

Název tématu česky: **Měřič kapacity a ztrátového činitele VN strojů**

Název tématu anglicky: **Capacitance and Dissipation Factor Meter for HV Machine**

### Pokyny pro vypracování:

Navrhněte a realizujte měřič kapacity a ztrátového činitele izolačního systému vysokonapětových elektrických strojů v rozsahu kapacit 1 nF až 2  $\mu$ F s minimální rozlišitelností 1 % a v rozsahu ztrátového činitele 0.001 až 1 při síťovém kmitočtu 50 Hz. Měřič bude využívat externí nastavitelný VN zdroj s max. výstupním napětím 12 kV a externí normálový VN kapacitor 100 pF, případně 1 nF. Ovládání přístroje realizujte prostřednictvím komunikačního rozhraní Ethernet. Přístroj bude napájen ze sítě.

### Seznam odborné literatury:

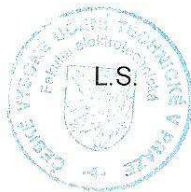
- [1] Operation manual - Fully Automatic Capacitance and Loss Factor  $\tan \delta$  Precision Measuring Bridge Type 2816 / Type 2816a. 2002
- [2] Boháček, J.: Metrologie elektrických veličin (Metrology of Electrical Quantities). Vydavatelství ČVUT, Praha 1994
- [3] Draxler, K., Kašpar, P., Ripka, P.: Magnetické prvky a měření. Skripta ČVUT, Praha 2008

Vedoucí diplomové práce: Ing. Radek Sedláček, Ph.D.

Datum zadání diplomové práce: 25. listopadu 2013

Platnost zadání do<sup>1</sup>: 31. srpna 2015

  
Prof. Ing. Vladimír Haasz, CSc.  
vedoucí katedry



  
Prof. Ing. Pavel Ripka, CSc.  
děkan

V Praze dne 25. 11. 2013

<sup>1</sup> Platnost zadání je omezena na dobu tří následujících semestrů.



## **Abstrakt**

Táto diplomová práca pojednáva o vývoji merača kapacity a stratového činiteľa vysokonapäťových strojov. Merače tohoto typu sú používané pri diagnostike a posudzovaní kvality izolácie týchto strojov. V práci je popísaná problematika merania elektrickej impedancie a taktiež sú prejednané niekoľké bežne používané meracie metódy. Následne je popisovaná hardvérová a softvérová časť návrhu meracieho prístroja. V závere práce je zdokumentované overenie činnosti prístroja formou série verifikačných meraní.

## **Klíčová slova**

elektrická impedancia; elektrická kapacita; meranie impedancie; diagnostika VN strojov

## **Abstract**

This diploma thesis discusses the development of capacitance and dissipation factor meter for high voltage machines. This type of meter is used in the diagnosis and assessment of the machines insulation quality. The paper describes the issues of measuring electrical impedance and there are also discussed several commonly used methods of impedance measurement. Consequently, the hardware and the software part of the measuring instrument design is discussed. In conclusion, a series of verification measurements is documented.

## **Keywords**

electrical impedance; electrical capacitance; impedance measurement; HV machines diagnostic



# Obsah

<b>1. Úvod</b>	<b>1</b>
<b>2. Elektrická impedancia</b>	<b>2</b>
2.1. Základné pojmy . . . . .	2
2.2. Náhradné schémy . . . . .	3
2.3. Meracie metódy . . . . .	4
2.3.1. Mostíková metóda . . . . .	4
2.3.2. Rezonančná metóda . . . . .	6
2.3.3. Metóda I-U . . . . .	6
2.3.4. Pomerová metóda I-U . . . . .	6
<b>3. Hardvérová časť prístroja</b>	<b>8</b>
3.1. Požiadavky na hardvér . . . . .	8
3.2. Meracie režimy . . . . .	9
3.3. Konceptia prístroja . . . . .	10
3.4. Prepínače rozsahov a meracie transformátory . . . . .	10
3.5. Spracovanie signálu . . . . .	15
3.5.1. Prevodník prúd na napätie . . . . .	16
3.5.2. Spínačový detektor . . . . .	16
3.5.3. Analógovo digitálny prevodník . . . . .	18
3.5.4. Prevodník RMS hodnoty . . . . .	19
3.5.5. Výpočet kapacity a stratového činiteľa . . . . .	19
3.6. Obvod merania frekvencie . . . . .	21
3.7. Komunikačné prvky . . . . .	21
3.8. Zobrazovacie prvky . . . . .	23
3.9. Riadiaca jednotka . . . . .	24
3.10. Hlavná DPS merača . . . . .	25
3.11. DPS napájacieho zdroja . . . . .	27
<b>4. Softvérové vybavenie prístroja</b>	<b>29</b>
4.1. Možnosti FPGA dizajnu . . . . .	29
4.2. Podporné softvérové bloky . . . . .	30
4.2.1. Generátor referenčných signálov . . . . .	30
4.2.2. Bloky pre komunikáciu s AD prevodníkmi . . . . .	32
4.3. Vstavaný procesor NIOS II . . . . .	34
4.3.1. Zdroj hodinového signálu . . . . .	34
4.3.2. Procesor . . . . .	34
4.3.3. Pamäťové periférie . . . . .	35
4.3.4. Časovacie periférie . . . . .	36
4.3.5. Komunikačné periférie . . . . .	36
4.3.6. Vstupno výstupné porty . . . . .	37
4.4. Program procesora NIOS II . . . . .	39
4.4.1. Inicializácia . . . . .	39
4.4.2. Vychítanie AD prevodníkov . . . . .	39
4.4.3. Výpočty meraných veličín . . . . .	40
4.4.4. Obsluha displeja . . . . .	41
4.4.5. Obsluha komunikácie . . . . .	41

4.5. Softvér mikroprocesora na DPS prepínača rozsahov . . . . .	42
4.5.1. Využitie objektov . . . . .	42
4.5.2. Celková funkcia . . . . .	45
<b>5. Overenie činnosti prístroja</b>	<b>46</b>
5.1. Overenie bloku merania frekvencie . . . . .	46
5.2. Overenie činnosti meracích kanálov . . . . .	48
5.3. Overenie merania kapacity a stratového činiteľa . . . . .	48
<b>6. Záver</b>	<b>57</b>
<b>Literatúra</b>	<b>58</b>
<b>Prílohy</b>	
<b>A. Komunikačný protokol prístroja</b>	<b>60</b>
<b>B. Fotografie prístroja</b>	<b>61</b>

## Skratky

AD	analógovo digitálny
ADC	angl. Analog-to-Digital converter, analógovo digitálny prevodník
bps	angl. bit per seconds, bitov za sekundu, jednotka prenosovej rýchlosti
DPS	doska plošných spojov
FPGA	angl. Field-programmable gate array, programovateľné hradlové pole
GST	angl. Grounded Specimen test, skúška neuzemneného objektu
GSTg	angl. Grounded Specimen test with guarding, skúška neuzemneného objektu s tienením
NIOS II	architektúra 32 bitových vstavaných procesorov určená pre obvody FPGA výrobcu Altera
PLL	angl. Phase-locked loop, fázový záves
RMS	angl. Root mean square, efektívna hodnota (napätia, prúdu apod. )
UST	angl. Ungrounded Specimen Test, skúška neuzemneného objektu
VN	Vysoké napätie, skratka združuje interval napätí od 1 do 52 kV

## Symboly

$C$	Elektrická kapacita.
$C_s$	Kapacita kondenzátora v sériovej náhradnej schéme.
$C_p$	Kapacita kondenzátora v paralelnej náhradnej schéme.
$D$	Stratový činiteľ.
$L$	Elektrická indukčnosť.
$L_s$	Indukčnosť cievky v sériovej náhradnej schéme.
$L_p$	Indukčnosť cievky v paralelnej náhradnej schéme.
$Q$	Kvalitatívny činiteľ.
$R$	Elektrický odpor.
$R_s$	Odpor rezistoru v sériovej náhradnej schéme.
$R_p$	Odpor rezistoru v paralelnej náhradnej schéme.
$X$	Reaktancia.
$X_C$	Kapacitná reaktancia.
$X_L$	Induktívna reaktancia.
$\mathbf{Z}$	Vektor elektrickej impedancie.
$Z$	Veľkosť vektoru elektrickej impedancie.



# 1. Úvod

V energetike je využívaných množstvo výkonových vysokonapäťových (ďalej VN) strojov, ktorých životnosť sa očakáva na rádovo desiatky rokov. Ako príklad slúžia výkonové transformátory a generátory využívané priamo pri výrobe elektrickej energie. Aby bola daná životnosť dosiahnuteľná je nutné plánovať pravidelné diagnostické prehliadky týchto strojov, čím sa prevádzkovateľ stroja vyhne nečakanej odstávke stroja, prípadne celého systému [1].

Vinutia VN strojov sú vystavované kombinácii tepelného, elektrického, mechanického namáhania a namáhania vplyvom okolitého prostredia [1]. Všetky tieto faktory majú vplyv na stav izolácie vinutia stroja. Práve stav izolácie vinutia je jedným zo skúmaných parametrov VN strojov, ktorý môže odhaliť blížiacu sa poruchu stroja.

Existuje niekoľko meracích metód používaných pre posúdenie stavu izolácie stroja. Menovite sa jedná o

- meranie elektrického odporu izolácie jednosmerným prúdom,
- meranie elektrickej kapacity a stratového činiteľa pri frekvencii 50 Hz,
- meranie čiastočných výbojov v izolácii [2].

Každá z týchto metód ponúka pohľad na aktuálny stav stroja. Táto práca sa však bude ďalej zaoberať len meraním kapacity a stratového činiteľa izolácie VN strojov. Jedná sa o metódu využívajúcu merací prúd s frekvenciou 50 Hz avšak pri napätiach v rozsahu 0 až 12 kV. Pri týchto napätiach nie je možné použiť štandardné meracie prístroje a metódy. Na trhu existuje len niekoľko produktov spĺňajúcich podmienky pre takéto meranie. Cena týchto prístrojov je vo veľa prípadoch značne vysoká a prístroje využívajú zastaralé metódy nepodporujúce plne digitálne spracovanie nameraných dát. Z tohoto dôvodu bol v spolupráci so súkromným sektorom vypísaný projekt, cieľom ktorého bolo vyvinúť meracie zariadenie schopné stanoviť kapacitu a stratový činiteľ izolácie VN stroja pri požadovaných meracích napätiach.

Pri vývoji merača bola uzavretá spolupráca so súkromným akreditovaným skúšobným laboratóriom pre meranie vysokých napätí, zaoberajúcim sa okrem iného diagnostikou VN strojov prevádzkovaných na území Českej republiky. Z tejto spolupráce vzišli konkrétne požiadavky na vyvíjané meracie zariadenie.

Ako bolo uvedené vyššie cieľom tejto diplomovej práce je teda navrhnuť a zostrojiť merač kapacity a stratového činiteľa pre meracie napätia do 12 kV. V práci budú vysvetlené základné pojmy z oblasti elektrickej impedancie a jej merania. Ďalej budú vyslovené základné elektrické a mechanické požiadavky na meracie zariadenie. Následne bude prejednávaný návrh elektrických častí merača a to jednak návrh elektrických schém a návrh dosiek s plošnými spojmi. V ďalších kapitolách bude priblížené oživenie merača a overenie jeho funkčnosti a presnosti určenia meraných veličín.

## 2. Elektrická impedancia

V tejto kapitole bude čitateľ zoznámený so základnými pojmami z oblasti elektrickej impedancie. Popisované budú základné veličiny spojené s touto problematikou a náhradné schémy elektrických obvodov reprezentujúce danú elektrickú impedanciu. V závere kapitoly budú popísané niektoré všeobecné meracie metódy používané pre meranie impedancie a ich možné využitie pre merania pri vysokom napätí.

### 2.1. Základné pojmy

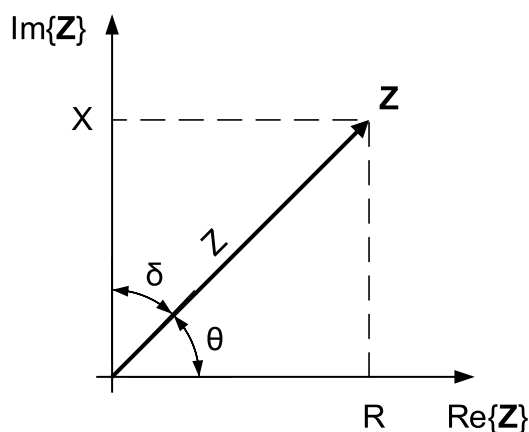
Elektrická impedancia je fyzikálna veličina používaná pre charakterizovanie elektrických obvodov, súčiastok a materiálov používaných pre výrobu elektrických súčiastok [3]. Jednotkou impedancie je ohm ( $\Omega$ ). Impedancia  $\mathbf{Z}$  je komplexná veličina, ktorá charakterizuje elektrický odpor zariadenia alebo súčiastky kladúci priechodu striedavého prúdu pri danej frekvencii. Vektor impedancie pozostáva z reálnej časti  $R$  (elektrického odporu) a imaginárnej časti  $X$  (reaktancie), pozri obr. 1. Vektor impedancie teda môžeme vyjadriť v zložkovom tvare ako

$$\mathbf{Z} = R + jX, \quad (1)$$

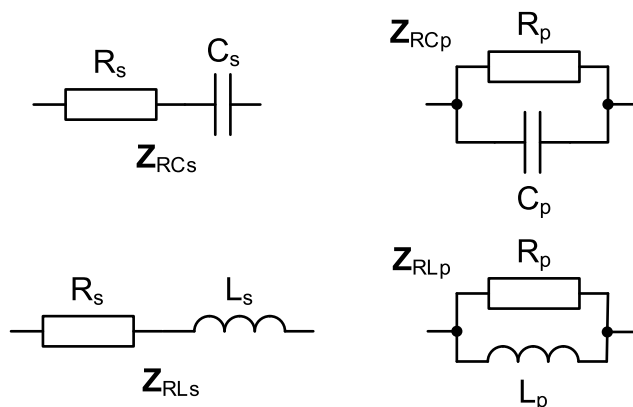
kde  $j$  je imaginárna jednotka, alebo v goniometrickom tvare

$$\mathbf{Z} = Z \cdot e^{j\theta}, \quad (2)$$

kde  $\theta$  reprezentuje uhol zvierajúci vektor impedancie s reálnou osou.



**Obr. 1.** Vektor impedancie



Obr. 2. Náhradné schémy impedancie

Reaktancia môže nadobúdať dve formy a to kapacitnú  $X_C$  pre  $X < 0$  a induktívnu  $X_L$  pre  $X > 0$ . Z definície vyplýva

$$X_C = \frac{1}{2\pi f C} = \frac{1}{\omega C}, \quad (3)$$

$$X_L = 2\pi f L = \omega L, \quad (4)$$

kde  $C$  je elektrická kapacita,  $L$  je elektrická indukčnosť,  $f$  je frekvencia a  $\omega$  je uhlová frekvencia. Výsledná reaktancia je potom daná vzťahom

$$X = X_L - X_C. \quad (5)$$

Ďalšou dôležitou veličinou je kvalitatívny činiteľ  $Q$ , vyjadrujúci do akej miery je impedancia tvorená čisto reaktančnou zložkou. Z definície plynie vzťah

$$Q = \frac{X}{R}. \quad (6)$$

Na obr. 1 je vidieť, že vzťah (6) môžeme interpretovať ako

$$Q = \tan \theta. \quad (7)$$

Prevrátená hodnota kvalitatívneho činiteľa je definovaná ako stratový činiteľ  $D$ , teda

$$D = \frac{1}{Q} = \tan \delta. \quad (8)$$

## 2.2. Náhradné schémy

Akákolvek hodnota impedancie môže byť reprezentovaná sériovým alebo paralelným zapojením ideálneho rezistora a buď ideálneho kondenzátora alebo ideálnej cievky. Na obr. 2 sú zobrazené všetky štyri možnosti zapojení.

Celkové impedancie jednotlivých zapojení môžeme vyjadriť ako

$$\mathbf{Z}_{RCs} = R_s - jX_C = R_s + \frac{1}{j\omega C_s} \quad (9)$$

$$\mathbf{Z}_{\mathbf{RCp}} = \frac{1}{\frac{1}{R_p} + j\omega C_p} = \frac{R_p}{j\omega C_p R_p + 1} \quad (10)$$

$$\mathbf{Z}_{\mathbf{RLs}} = R_s + jX_{L_s} = R_s + j\omega L_s \quad (11)$$

$$\mathbf{Z}_{\mathbf{RLp}} = \frac{1}{\frac{1}{R_p} + \frac{1}{jX_{L_p}}} = \frac{j\omega R_p L_p}{R_p + j\omega L_p} \quad (12)$$

Porovnaním vzťahov (9), (10), (11) a (12) dostaneme prevodné vzťahy medzi paralelnou a sériovou náhradnou schémou

$$R_s = \frac{R_p D^2}{1 + D^2}, \quad (13)$$

$$C_s = C_p (1 + D^2), \quad (14)$$

$$L_s = \frac{L_p}{1 + D^2}, \quad (15)$$

kde

$$D = \omega C_s R_s = \frac{1}{\omega C_p R_p} = \frac{R_s}{\omega L_s} = \frac{\omega L_p}{R_p}. \quad (16)$$

## 2.3. Meracie metódy

Existuje niekoľko meracích metód určených pre meranie impedancie v rôznych frekvenčných pásmach popísaných v [3]. Každá z nich má isté výhody, nevýhody a obmedzenia. V nasledujúcom texte bude popísané tieto metódy s prihliadnutím na využitie v oblasti VN.

### 2.3.1. Mostíková metóda

Zapojenie meracieho obvodu je zobrazené na obr. 3. Obvod pozostáva zo zdroja striedavého napätia, troch známych impedancií  $\mathbf{Z}_1$ ,  $\mathbf{Z}_2$ ,  $\mathbf{Z}_3$ , neznámej impedancie  $\mathbf{Z}_x$  a ampérmetra  $\mathbf{I}_1$ . Neznáma impedancia je daná vzťahom

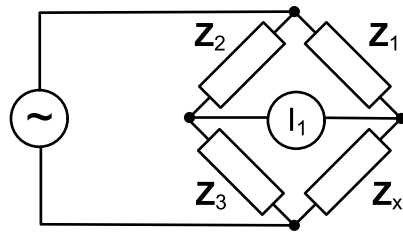
$$\mathbf{Z}_x = \frac{\mathbf{Z}_1}{\mathbf{Z}_2} \mathbf{Z}_3 \quad (17)$$

za predpokladu, že  $I_1 = 0$ , čo sa dosiahne postupným ladením impedancie  $\mathbf{Z}_2$  alebo  $\mathbf{Z}_3$ .

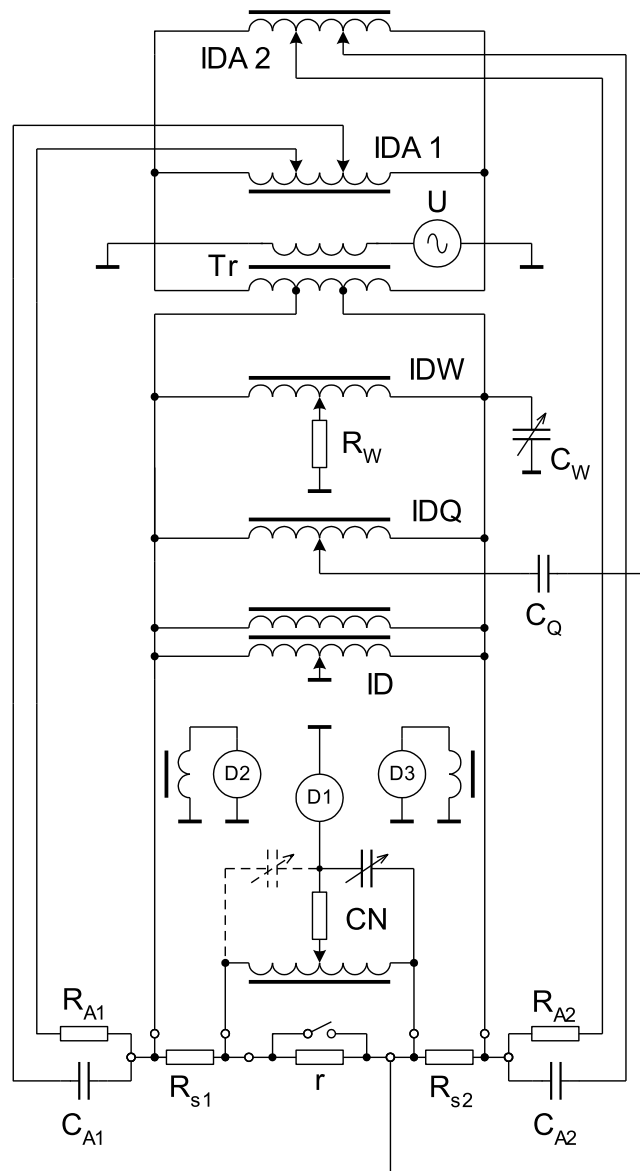
Táto metóda je odporúčaná ako najvýhodnejšie riešenie pre potreby merania impedancie vo frekvenčnej oblasti do 110 MHz [3]. Pre oblasti VN je však nepoužiteľná, pretože by bolo nutné zabezpečiť premenlivé referenčné impedancie schopné záťaže VN. Takéto riešenie by bolo nielenže veľmi nákladné, ale aj mechanicky náročné.

Na obr. 4 je zobrazené zapojenie meracieho mostíka určeného pre porovnávanie dvoch impedancií [4], [5]. Mostík umožňuje eliminovať vplyv zvodových impedancií meraného objektu a tiež impedanciu prívodov. Tento mostík využíva na svoje vyváženie indukčné deliče. Ich nevýhodou je, že nie je možné skonštruovať indukčný delič pracujúci v rozsahoch VN.

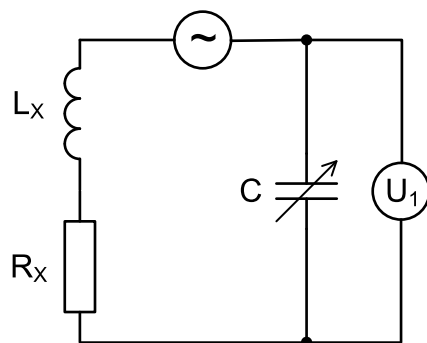




Obr. 3. Zapojenie meracieho obvodu mostíkovej metódy



Obr. 4. Zapojenie komplexnejšieho meracieho obvodu mostíkovej metódy, prevzaté z [5]



Obr. 5. Zapojenie meracieho obvodu rezonančnej metódy

### 2.3.2. Rezonančná metóda

Rezonančná metóda využíva jav rezonancie v RLC obvode. Celý merací obvod je zobrazený na obr. 5. Obvod pozostáva zo zdroja striedavého napätia  $U_1$ , premenlivého kondenzátora  $C$ , voltmetra  $U_1$ , neznámej indukčnosti  $L_X$  a neznámeho odporu  $R_X$ . Princípom metódy je, že nastavovaním premenlivého kondenzátora sa merací obvod dostane do rezonancie, čo sa kontroluje voltmetrom  $U_1$ , a z nastavených hodnôt a známej frekvencie sa dopočítajú parametre  $R_X$  a  $L_X$ .

Pri tejto metóde je opäť potrebné zabezpečiť prvok s premenlivými parametrami, schopný pracovať v oblasti VN. Z tohoto dôvodu sa ani táto metóda nejaví ako vhodná pre použitie v tejto oblasti.

### 2.3.3. Metóda I-U

Táto metóda je založená na meraní napätia a prúdu prechádzajúcim neznámou impedanciou. Schéma zapojenia meracieho obvodu je zobrazená na obr. 6. Obvod pozostáva zo zdroja striedavého napätia, voltmetra  $U_1$ , snímacieho odporu  $R$ , voltmetra  $U_2$  a neznámej impedancie  $Z_X$ . Voltmetrom  $U_2$  je meraný úbytok napätia na snímacom odpore  $R$  so známou hodnotou, týmto spôsobom je meraný v obvode prúd  $I$ . Neznáma impedancia je potom daná vzťahom

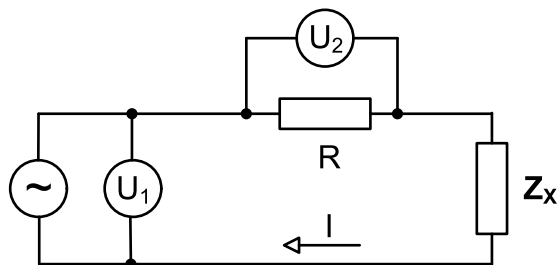
$$Z_X = R \left( \frac{U_1}{U_2} - 1 \right). \quad (18)$$

Meranie prúdu snímacím rezistorom  $R$  môže byť nahradené meraním pomocou prúdového transformátora. V tomto prípade, ale merací transformátor zdola ohraničí frekvenčný rozsah merania.

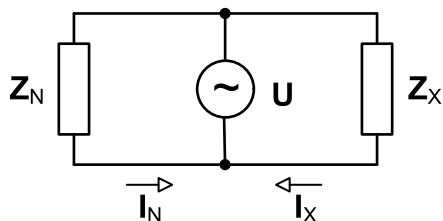
Výhodou tejto metódy je, že nepotrebuje k činnosti žiadne nastaviteľné prvky schopné práce pri VN. Metóda si ale vyžaduje jednak meranie vektoru napätia  $U_1$  a taktiež vektoru prúdu  $I$ . Pre potreby VN meraní sa dostávame do situácie kedy je potrebné merať napätie v rozsahu do 12 kV. Z tohoto dôvodu sa táto metóda taktiež nejaví ako vhodná pre účely merania pri VN.

### 2.3.4. Pomerová metóda I-U

Schéma zapojenia meracieho obvodu je na obr. 7. Obvod pozostáva zo zdroja striedavého napätia, známej normálovej impedancie  $Z_N$  a neznámej impedancie  $Z_X$ . Meranie



Obr. 6. Zapojenie meracieho obvodu I-U metódy



Obr. 7. Zapojenie meracieho obvodu pomerovej metódy

prúdov  $\mathbf{I}_1$  a  $\mathbf{I}_2$  môže byť zabezpečené buď ako v predchádzajúcej metóde snímacími rezistormi alebo výhodnejšie v prípade striedavých prúdov použitím prúdových transformátorov. Z rovnice pre napätie v obvode

$$\mathbf{U} = \mathbf{Z}_N \mathbf{I}_N = \mathbf{Z}_X \mathbf{I}_X \quad (19)$$

plynie

$$\mathbf{Z}_X = \mathbf{Z}_N \frac{\mathbf{I}_N}{\mathbf{I}_X}. \quad (20)$$

V praxi to znamená, že na stanovenie neznámej impedancie  $\mathbf{Z}_X$  postačí poznať vektory prúdov tečúcich obidvoma impedanciami a vektor normálovej impedancie  $\mathbf{Z}_N$ . Výhodou tejto metódy je, že nevyžaduje merať napätie  $\mathbf{U}$ . Táto metóda bola zvolená ako najvhodnejšie riešenie pre potreby návrhu merača kapacity a stratového činiteľa. Ďalší text tejto práce bude venovaný práve tejto metóde.

### 3. Hardvérová časť prístroja

V kapitole 2.3 boli prejednané rôzne metódy merania impedancie. Spomenuté boli štyri meracie metódy a jedna z nich bola vyhodnotená ako vhodná metóda pre meranie pri VN. V tejto kapitole budú zhrnuté požiadavky na hardvérovú časť merača vyplývajúce z použitej meracej metódy a zo zadaných meracích rozsahov.

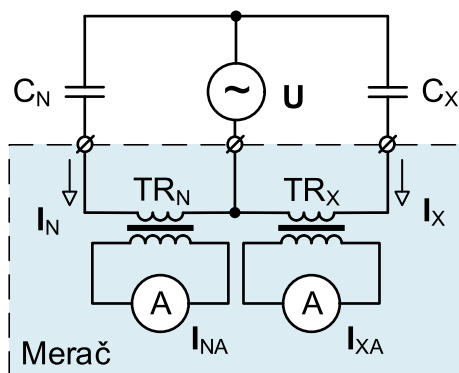
#### 3.1. Požiadavky na hardvér

Ako bolo uvedené v kapitole 2.3.4, pomerová I-U metóda bola zvolená ako vhodná meracia metóda pre merač kapacity a stratového činiteľa. Metóda si vyžaduje použitie známej normálovej impedancie. Pre tento účel bol zvolený normálový vzduchový vysokonapäťový kondenzátor so známou kapacitou a stratovým činiteľom. Na obr. 8 je zobrazená principiálna schéma merača vychádzajúca zo zapojenia z obr. 7. Z princípu tohoto merania plynie, že merač primárne vyhodnocuje vektory prúdov tečúcich meracími transformátormi. Pre výpočet samotnej kapacity a stratového činiteľa je ďalej nutné vypočítať vektor neznámej impedancie a použiť prevodné vzťahy uvedené v sekcii 2.2.

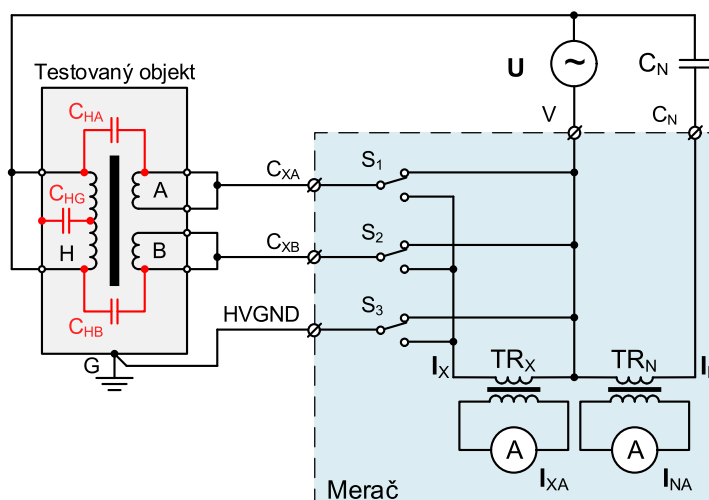
Na obr. 8 je čiarkovanou čiarou naznačené, ktoré časti budú realizované v merači a časti, ktoré budú pripojené externe pomocou svoriek na panely merača. V prípade externých častí meracieho obvodu sa jedná o VN zdroj  $U$ , normálový kondenzátor  $C_N$  a meraná kapacita  $C_X$ . Meranie fázorov prúdov  $I_N$  a  $I_X$  bude realizované pomocou dvoch meracích prúdových transformátorov, čo zabezpečí galvanické oddelenie merača od VN obvodu.

Zo zadania vyplýva, že merač musí byť schopný merať pri maximálnom meracom napätí  $U_{max} = 12 \text{ kV}$  maximálnu kapacitu  $C_{Nmax} = 2 \text{ }\mu\text{F}$ . to vedie na maximálnu veľkosť meracieho prúdu

$$I_{Nmax} = 2\pi f U_{max} C_{Nmax} = 15,08 \text{ A}, \tag{21}$$



Obr. 8. Principiálna schéma merača



Obr. 9. Zapojenie merača do meracieho obvodu, podobný obrázok v [6]

kde  $f = 50 \text{ Hz}$  je frekvencia meracieho napätia (táto hodnota je len teoretická, nakoľko pre vybudenie meracieho obvodu pri takýchto podmienkach by bol potrebný zdroj VN s výkonom približne 180 kW, i napriek tomu bolo zo strany zadávateľa tento rozsah nutné implementovať). Pre vyhodnotenie kapacity a aj stratového činiteľa je nutné poznať nielen pomer amplitúd prúdov  $I_N$  a  $I_X$ , ale aj rozdiel ich fáz. Z tohoto dôvodu je potrebné vyhodnocovať pri prúdoch  $I_{NA}$  a  $I_{XA}$  jednak ich veľkosť aj fázu.

### 3.2. Meracie režimy

Ako bolo povedané v úvode, v oblasti energetiky sa na diagnostiku izolácie VN strojov používa okrem iných metód aj meranie kapacity a stratového činiteľa. Pri diagnostike VN strojov sa objavujú isté špecifické požiadavky na merač impedancie resp. kapacity a stratového činiteľa.

Na obr. 9 je znázornené zapojenie meracieho obvodu s reálnym testovacím objektom a meračom. Testovaný objekt môže predstavovať VN transformátor s jedným primárnym  $H$  a dvomi sekundárnymi vinutiami  $A$  a  $B$ . Na obrázku sú červenou farbou vyznačené skúmané parazitné kapacity. Jedná sa o parazitnú kapacitu  $C_{HG}$  medzi primárnym vinutím a uzemnenou kostrou stroja, kapacitu  $C_{HA}$  medzi primárnym a sekundárnym vinutím  $A$  a kapacitu  $C_{HB}$  medzi primárnym a sekundárnym vinutím  $B$ .

VN zdroj  $U$  nemôže byť spustený naraz, ale jeho výstupné napätie musí byť zvyšované postupne až na želanú hodnotu. Preto je v merači implementovaná sada prepínačov  $S_1$  až  $S_3$ , ktoré umožnia zmeniť konfiguráciu meracieho obvodu a tým zvoliť merania požadovanej parazitnej kapacity. Týmto sa obsluha merača vyhne zdĺhavému vypínaniu a opätovnému spúšťaniu VN zdroja.

Tabuľka 1 dokumentuje všetky režimy, ktorými by mal merač disponovať. Tabuľka udáva prepojenie vstupných svoriek  $C_{XA}$ ,  $C_{XB}$  a  $HVGND$  buď na merací transformátor  $TR_X$  alebo na spoločný vodič  $V$  oboch transformátorov. Toto prepojenie závisí od zvoleného režimu a je realizované prepínačmi  $S_1$  až  $S_3$ .

Tabuľka 1. Meracie režimy merača

Merací režim	Pripojenie $C_{XA}$	Pripojenie $C_{XB}$	Pripojenie $HVGND$	Meraná kapacita
UST A	$TR_X$	$V$	$V$	$C_{HA}$
UST B	$V$	$TR_X$	$V$	$C_{HB}$
UST A + B	$TR_X$	$TR_X$	$V$	$C_{HA} + C_{HB}$
GST A + B	$TR_X$	$TR_X$	$TR_X$	$C_{HA} + C_{HB} + C_{HG}$
GSTg A	$V$	$TR_X$	$TR_X$	$C_{HB} + C_{HG}$
GSTg B	$TR_X$	$V$	$TR_X$	$C_{HA} + C_{HG}$
GSTg A + B	$V$	$V$	$TR_X$	$C_{HG}$

### 3.3. Konceptia prístroja

Na základe požiadaviek vyslovených v predchádzajúcej sekcii bola zostavená bloková schéma merača, ktorá je zobrazená na obr. 10. Bloková schéma pozostáva z rôznych typov prvkov, ktoré môžeme rozdeliť na prvky merania prúdu (červené podfarbenie), prvky merania frekvencie a fáze meracieho napätia (modré podfarbenie), zobrazovacie a komunikačné prvky (žlté podfarbenie) a riadiaci prvok (zelené podfarbenie).

Prvky merania prúdu tvoria dva meracie kanály  $C_N$  a  $C_X$ . Merací prúd je cez prepínač rozsahov **1** (pozri obr. 10) privádzaný na merací prúdový transformátor **2**. Transformovaný prúd je prevodníkom **3** prevádzaný na napätie, ktoré je filtrované dolnou priepustou **4**. Tento signál je privádzaný na vstup spínačového detektoru **5**, ktorý zo signálu vyčlení reálnu a imaginárnu zložku. Obidve zložky sú opäť filtrované dolnou priepustou a prevádzané na digitálny signál prevodníkmi **6**.

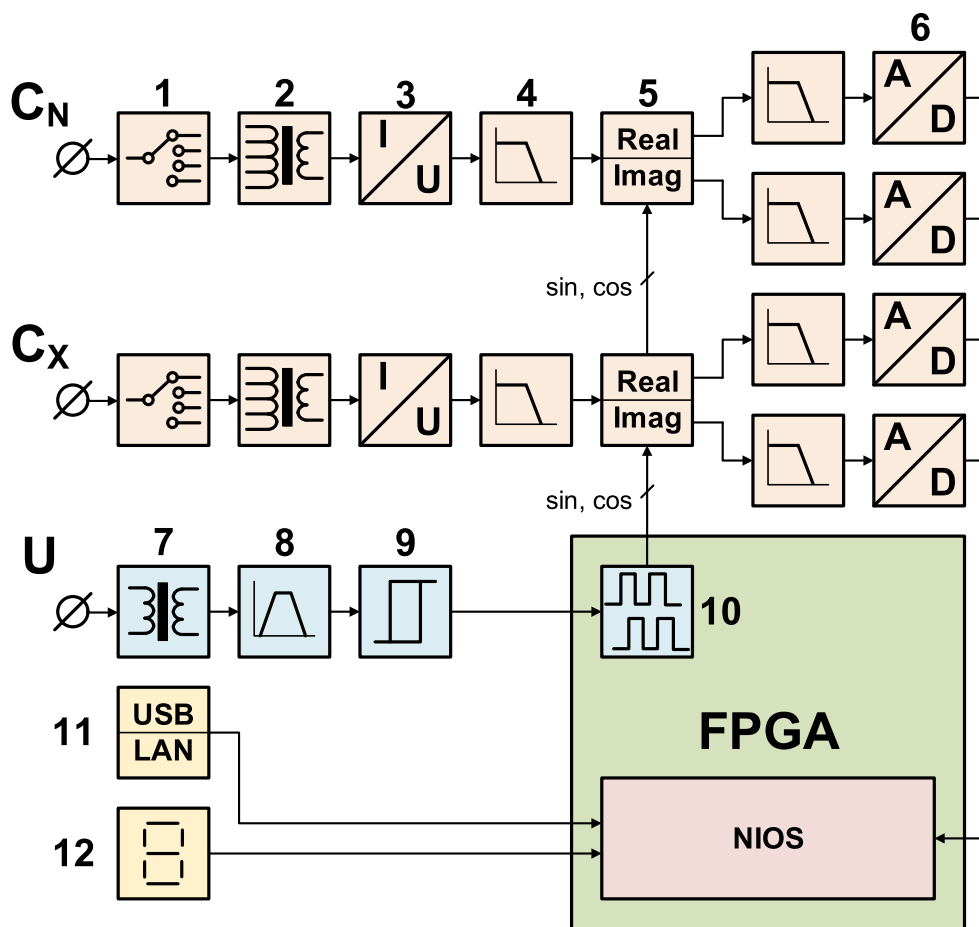
Prvky merania frekvencie a fáze meracieho napätia generujú referenčný signál pre spínačové detektory **5**. Pre meranie nie je použité priamo VN, ale fázové napätie siete 230 V, od ktorého je meracie VN priamo odvodené so zhodnou frekvenciou. Fázové napätie sa transformuje napäťovým transformátorom **7** a je filtrované pásmovou priepustou **8** s prenosovou frekvenciou 50 Hz. Vyfiltrovaný signál je privádzaný na komparátor s hysterézou **9** a je ďalej spracovaný v FPGA, kde sú generované dva hodinové signály s rovnakou frekvenciou ako meracie VN a sp vzájomným fázovým posunom 90 stupňov.

Komunikačné **11** a zobrazovacie **12** prvky umožňujú ovládanie prístroja a zobrazovanie nameraných dát a prevádzkových veličín. Prístroj je ovládaný výlučne prostredníctvom rozhrania TCP/IP protokolu na fyzickej vrstve Ethernet. USB komunikačné rozhranie slúži len na ladiace účely. Úlohu zobrazovacieho prvku zastáva grafický monochromatický displej s integrovaným radičom.

Ako riadiaci prvok bol zvolený priemyselne vyrábaný vývojový kit DE0-nano s hradlovým poľom z rodiny Cyclone IV od spoločnosti Altera. Riadiaci prvok v merači zabezpečuje jednak generovanie referenčných signálov pre spínačové detektory, jednak spracovanie nameraných dát a taktiež obsluhuje komunikáciu a zobrazovaciu jednotku. Jednotlivé softvérové bloky budú podrobnejšie prejednané v kapitole 4. V nasledujúcich podkapitolách bude opísaná funkcia jednotlivých prvkov z obr. 10.

### 3.4. Prepínače rozsahov a meracie transformátory

Prepínače rozsahov a meracie transformátory sú súčasťou merača, kde dochádza k styku merača s meracím prúdom. Prepínače sú realizované sústavou niekoľkých relé, ktoré si situované na zvlášť doske s plošnými spojmi. Okrem relé sa na doske nachádza



Obr. 10. Bloková schéma merača

mikroprocesor pre ovládanie relé a galvanický izolátor pre UART komunikačný kanál. Bloková schéma prepínača je zobrazená na obr. 11.

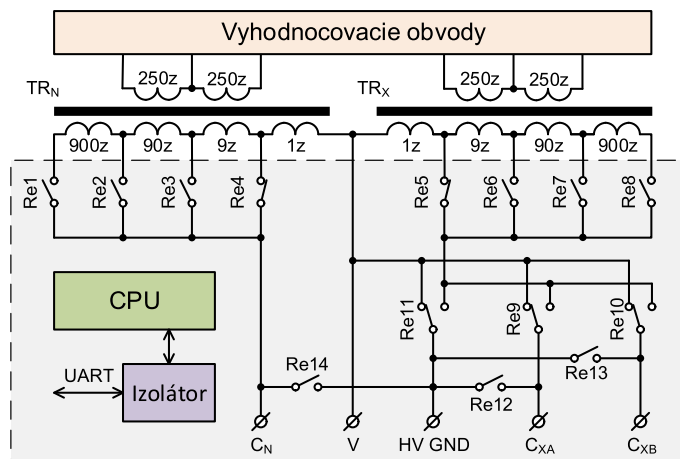
Ako meracie transformátory sú použité dva prúdové transformátory s dvojicou sekundárnych vinutí s počtom 250 závitov. Na primárnej strane sa nachádza štvorica vinutí s počtami 1, 9, 90 a 900 závitov. Maximálne prúdové zataženia jednotlivých vinutí sú uvedené v tabuľke 2. Relé 1 až 8 slúžia na prepínanie štyroch meracích rozsahov pre každý kanál, pozri obr. 11.

Tabuľka 2. Dovoľené prúdové zataženia vinutí meracieho transformátoru

Vinutie	Priemer drôtu [mm]	Maximálny prúd [A]
1 závit	2,5	15
9 závitov	1	0,04
90 závitov	0,5	0,004
900 závitov	0,5	0,004

Merací obvod je potrebné v každom okamihu udržať uzavretý. V opačnom prípade by sa na svorkách  $C_N$ ,  $C_{XA}$  a  $C_{XB}$  objavilo nebezpečné vysoké napätie. Z tohoto dôvodu relé 4 a relé 5 majú rozpínací kontakt, aby bol aj pri odpojenom napájaní meracieho

### 3. Hardvérová časť prístroja



**Obr. 11.** Bloková schéma prepínačov rozsahu a meracích transformátorov

prístroja zabezpečený uzavretý merací obvod a to cestou vinutia s najvyšším možným prúdovým zaťažením.

Taktiež v prípade prepínania rozsahu počas merania hrozí, že ak by sa príslušné relé jednotlivých rozsahov prepínali v jednom čase, mohlo by dôjsť na veľmi krátky časový úsek k spomínanému rozpojeniu meracieho obvodu. Z tohoto dôvodu sú v riadiacom mikroprocesore implementované tzv. prepínacie sekvencie. Keď mikroprocesor prostredníctvom UART rozhrania obdrží príkaz na prepnutie rozsahu, najprv uvoľní relé 4 alebo relé 5, čím sa uzavrie obvod maximálneho meracieho prúdu. Potom zopne relé požadovaného rozsahu a nakoniec zopne aj relé 4 alebo 5. Všetky tri kroky sa dejú s časovým oneskorením cca 250 ms. Stav relé pri jednotlivých meracích rozsahoch dokumentuje tabuľka 3. Číslo 0 znamená, že cievka relé nie je napájaná, číslo 1 znamená, že cievka relé je napájaná. Písmeno X označuje že relé nemá vplyv na daný rozsah.

**Tabuľka 3.** Meracie rozsahy - stavy relé

Rozsah	Re1	Re2	Re3	Re4	Re8	Re7	Re6	Re5
Cn 1:500	0	0	0	0	X	X	X	X
Cn 10:500	0	0	1	1	X	X	X	X
Cn 100:500	0	1	0	1	X	X	X	X
Cn 1000:500	1	0	0	1	X	X	X	X
Cx 1:500	X	X	X	X	0	0	0	0
Cx 10:500	X	X	X	X	0	0	1	1
Cx 100:500	X	X	X	X	0	1	0	1
Cx 1000:500	X	X	X	X	1	0	0	1

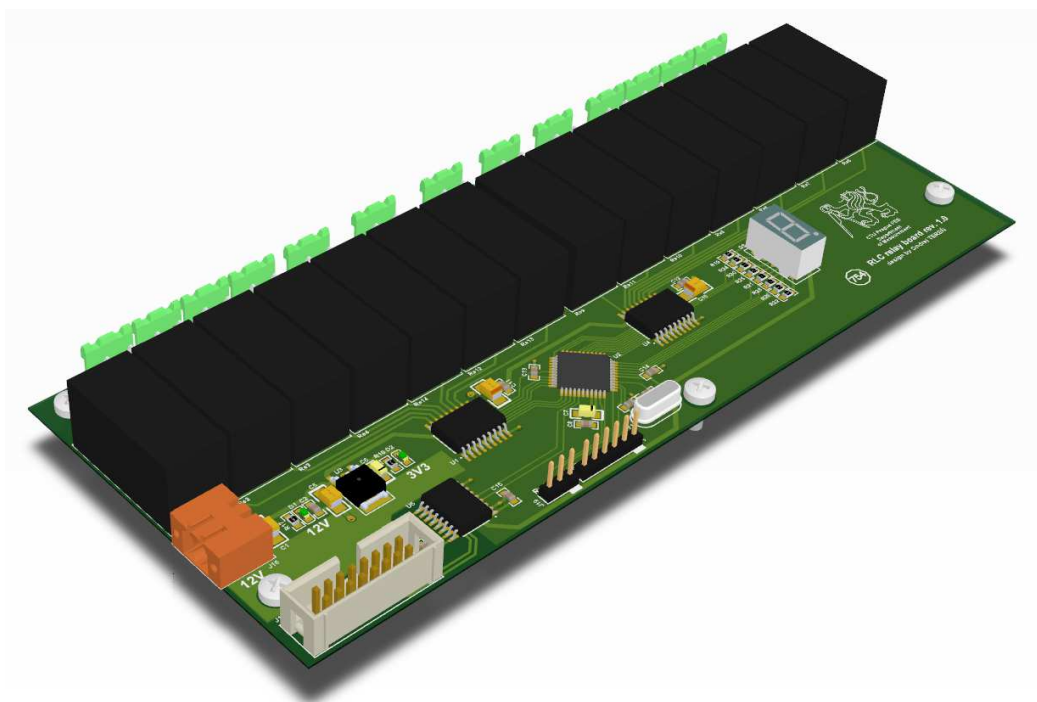
Tabuľka 4 uvádza maximálne merateľné hodnoty kapacít pre dané meracie rozsahy. Pri výpočte týchto hodnôt bol uvažovaný jednak maximálny prúd primárneho vinutia transformátora a maximálny prúd vyhodnocovacieho obvodu.

Ďalšou úlohou dosky s prepínačmi rozsahov je aj prepínanie meracích režimov definovaných v tabuľke 1. Úlohu prepínačov  $S_1$  až  $S_3$  z obr. 9 zabezpečujú relé 9 až 11. Aby aj v tomto prípade nedochádzalo k rozpojeniu meracieho obvodu počas prepínania je každá zo svoriek  $C_N$ ,  $C_{XA}$  a  $C_{XB}$  pomocou relé 12 až relé 14 dodatočne skratovaná na svorku  $HVGND$ . Stav relé pre jednotlivé meracie režimy dokumentuje tabuľka 5.



**Tabuľka 4.** Maximálne merateľné kapacity pre jednotlivé rozsahy

Rozsah	$I_{XAmax}[A]$	$I_{Xmax}[A]$	$C_{Xmax}[\mu F]$
1:500	0,05	16	4,2
10:500	0,05	0,04	0,01
100:500	0,05	0,04	0,01
1000:500	0,05	0,004	0,001

**Obr. 12.** Pohľad na 3D model DPS prepínačov rozsahov a meracích režimov

Pohľad na 3D model realizácie dosky prepínačov rozsahov je zobrazený na obr. 12. Doska je napájaná napätím 12 V, ktoré slúži jednak na napájanie relé a jednak na napájanie lineárneho stabilizátora na 3,3 V pre činnosť mikroprocesora. Doska ďalej disponuje konektormi pre pripojenie primárnych vinutí meracích transformátorov, komunikačný konektor galvanicky izolovaného UART rozhrania a sedem segmentový displej určený pre servisnú indikáciu aktuálnych nastavených rozsahov a meracieho režimu.

**Tabuľka 5.** Meracie režimy - stavy relé

Merací režim	Re9	Re10	Re11
UST A	1	0	0
UST B	0	1	0
UST A + B	1	1	0
GST A + B	1	1	1
GSTg A	0	1	1
GSTg B	1	0	1
GSTg A + B	0	0	1

**Tabuľka 6.** Parametre použitých jadier prúdových transformátorov

Veličina	Označenie	Hodnota
Vnútorý priemer		130 mm
Vonkajší priemer		160 mm
Výška		25 mm
Stratový uhol materiálu jadra	$\delta$	0,05 rad
Počiatočná permeabilita	$\mu_r$	50000
Prierez	$S_{FE}$	2,74 cm <sup>2</sup>
Dĺžka str. siločiar	$l_{Fe}$	455,5 mm
Šírka	$\check{s}$	20 mm
Výška	$v$	30 mm

**Tabuľka 7.** Parametre primárneho vinutia použitých transformátorov

Veličina	Označenie	Hodnota
Počet závitov	N1	1 závit
Priemer drôtu	$\phi D1$	2,5 mm
Primárny prúd	$I_{1ef}$	15 A
Prúdová hustota	$J1$	3,06 A/mm <sup>2</sup>
Prierez drôtu	$S_{Cu1}$	4,91 mm <sup>2</sup>
Dĺžka závitov	$l$	100 mm
DC odpor vinutia	$R_{prim}$	3,443.10 <sup>-4</sup> $\Omega$
Rezistivita	$r$	1,69.10 <sup>-8</sup> $\Omega m$

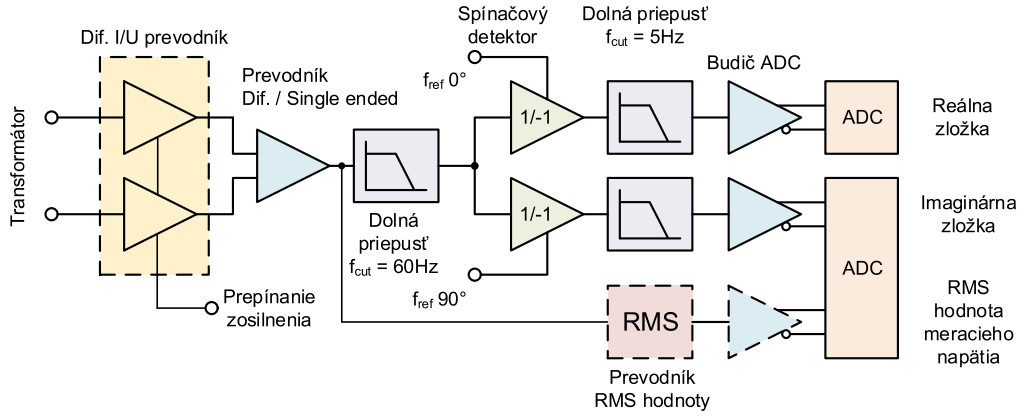
**Tabuľka 8.** Parametre sekundárneho vinutia použitých transformátorov

Veličina	Označenie	Hodnota
Počet závitov	N2	500 závit
Priemer drôtu	$\phi D2$	0,6 mm
Primárny prúd	$I_{2ef}$	30 mA
Prúdová hustota	$J2$	0,11 A/mm <sup>2</sup>
Prierez drôtu	$S_{Cu2}$	0,28 mm <sup>2</sup>
Dĺžka závitov	$l$	100 mm
DC odpor vinutia	$R_{sec}$	3,989 $\Omega$
Rezistivita	$r$	1,69.10 <sup>-8</sup> $\Omega m$

Parametre použitých meracích transformátorov dokumentujú tabuľky 6 až 8. Tieto hodnoty boli použité pre výpočet chýb meracích transformátorov. Tabuľka 7 dokumentuje len parametre primárneho vinutia s jedným závitom. Je to z dôvodu, že práve vinutie s jedným závitom bude zaťažené najväčšou chybou, preto boli chyby skúmané práve z týchto hodnôt. Podľa [7] je amplitúdová chyba transformátora rovná vzťahu

$$\varepsilon_I = -\frac{kU_{2ef} \sin(\delta + \psi_2)}{N_1 I_{1ef} f \mu_{zd}}, \quad (22)$$

kde  $U_{2ef}$  je napätie na záťaži,  $\delta$  je stratový uhol materiálu jadra,  $\psi_2$  je fázový uhol záťaže,  $N_1$  je počet závitov primárneho vinutia,  $I_{1ef}$  je efektívna hodnota primárneho



Obr. 13. Bloková schéma analógového obvodu spracovania signálu

prúdu,  $f$  je frekvencia prúdu,  $\mu_{zd}$  je zdanlivá permeabilita a

$$k = \frac{l_{Fe}}{\sqrt{2} \cdot 4,44 \mu_0 S_{Fe} N_2}, \quad (23)$$

kde  $l_{Fe}$  je dĺžka strednej siločiar,  $\mu_0$  je magnetická konštanta  $4\pi 10^{-7} H/m$ ,  $S_{Fe}$  je prierez jadra a  $N_2$  je počet závitov sekundárneho vinutia.

Fázová chyba prúdového transformátora je rovná vzťahu [7]

$$\delta_I = \frac{k U_{2ef} \cos(\delta + \psi_2)}{N_1 I_{1ef} f \mu_{zd}}, \quad (24)$$

kde všetky premenné boli vysvetlené vyššie.

Pomocou týchto vzťahov boli stanovené maximálne chyby použitých transformátorov na

$$\varepsilon_I = 0,0067\%, \quad (25)$$

$$\delta_I = 0,0769^\circ. \quad (26)$$

### 3.5. Spracovanie signálu

Merač disponuje dvomi kanálmi spracovania signálu, jeden prislúcha meraciemu transformátoru  $TR_X$  a druhý transformátoru  $TR_N$ , pozri obr. 11. Úlohou meracích kanálov je spracovať signál z prúdových transformátorov, vyčleniť z neho reálnu a imaginárnu zložku meraného prúdu a túto hodnotu previesť do digitálnej formy. Obvod spracovania signálu pozostáva z prevodníka prúdu na napätie, dolnej priepuste, spínačového detektora, dvoch dolných priepustí a analógovo digitálneho prevodníka (pozri obr. 10). Podrobnejšia bloková schéma jedného meracieho kanálu sa nachádza na obr. 13. Na tejto schéme je čiarkovanými čiarami naznačený RMS prevodník s vlastným budičom AD prevodníka, ktorý je implementovaný len v meracom kanály prislúchajúcom transformátoru  $TR_N$ . Úlohou tohoto prevodníka je indikovať RMS hodnotu meracieho VN za predpokladu uzavretého obvodu cez normálovú kapacitu  $C_N$ .

### 3.5.1. Prevodník prúd na napätie

Transformovaný prúd z meracích transformátorov  $TR_X$  a  $TR_N$  vstupuje do meracieho kanálu, pozri obr. 13. Jedná sa o diferenciálny signál, stred sekundárneho vinutia je pripojený na nulový potenciál meracieho kanálu. Prvým členom meracieho reťazca spracovania signálu je diferenciálny prevodník prúdu na napätie. Skladá sa z dvoch operačných zosilňovačov, každý pre jeden koniec sekundárneho vinutia transformátora. Zapojenie zosilňovačov vychádza zo štandardného zapojenia I/U prevodníka uvedeného napríklad v [8]. Prevodník ďalej umožňuje pomocou relé prepnutie dvoch rôznych zosilnení prepínaním dvoch rezistorov v spätnej väzbe operačného zosilňovača. Pre tieto účely bol vybraný operačný zosilňovač AD8622 s veľmi nízkym offsetom  $125 \mu V$ , nízkym teplotným driftom  $1,2 \mu V/C$  a nízkym napäťovým šumom  $11 nV/\sqrt{Hz}$  [9].

Za prevodníkom prúdu na napätie je ďalej zapojený prevodník diferenciálneho signálu na signál typu single ended. Single ended je signál definovaný voči nulovému potenciálu narozdiel od diferenciálneho, ktorý je definovaný ako rozdiel potenciálov medzi dvoma vodičmi. Tento prevod je uskutočňovaný kvôli jednoduchšej implementácii spínačového detektora. Prevodník je implementovaný pomocou operačného zosilňovača AD8271 určeného pre tieto potreby s integrovanými spätnoväzobnými odpormi [10].

### 3.5.2. Spínačový detektor

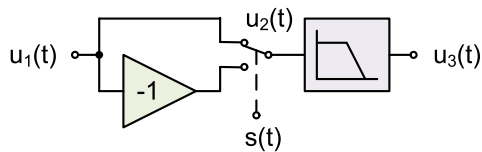
Spínačový detektor je druh riadeného usmerňovača, ktorý pre svoju činnosť využíva násobenie vstupného signálu obdĺžnikovým signálom namiesto harmonickým. Bloková schéma spínačového detektora je zobrazená na obr. 14. Skladá sa z invertujúceho zosilňovača, prepínača a dolnej priepuste. Prepínač je ovládaný obdĺžnikovým signálom  $s(t)$ . V prípade, že signál  $s(t)$  nadobúda kladné hodnoty, vstupný signál je privádzaný priamo za prepínač. V opačnom prípade je signál násobený hodnotou  $-1$ . Napätie za prepínačom je potom dané vzťahom [8]

$$u_2(t) = \text{sgn}s(t) u_1(t). \quad (27)$$

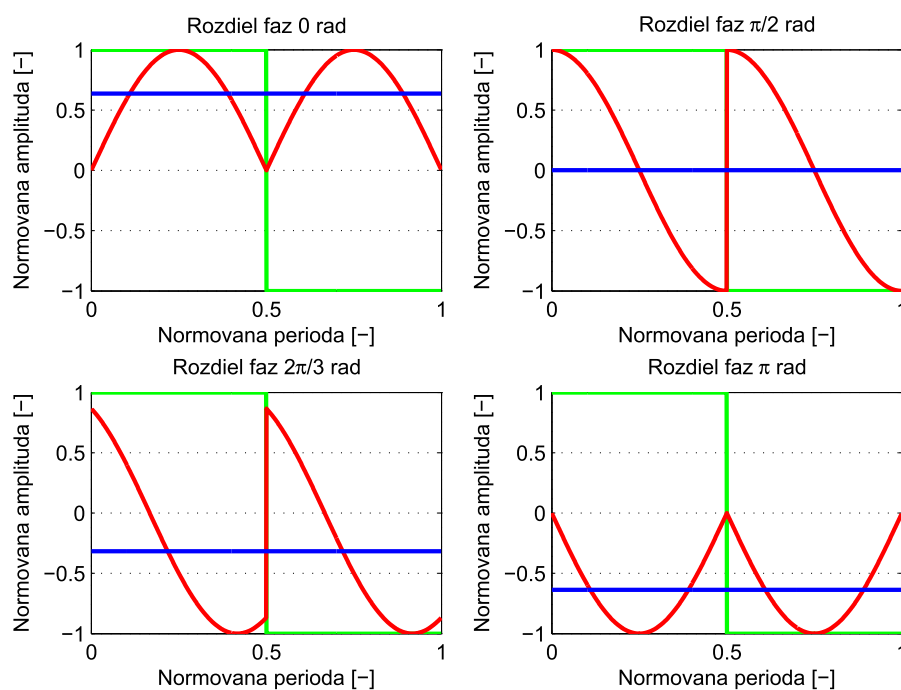
Tento signál je ďalej filtrovaný dolnou priepustou, pretože merenosnou veličinou spínačového detektora je stredná hodnota signálu  $u_2(t)$ . Zlomová frekvencia dolnej priepuste za spínačom musí byť nastavená tak, aby potlačila významné frekvencie vstupného signálu. Na obr. 15 sú zobrazené štyri priebehy pre rôzne prípady fázových posunov vstupného signálu spínačového detektora a riadiaceho signálu. Zelenou farbou je označený riadiaci signál  $s(t)$ , červenou farbou je označený signál za prepínačom  $u_2(t)$  a modrou farbou je označený signál na výstupe spínačového detektora po vyfiltrovaní. Z obrázku je zrejmé, že výstup spínačového detektora nadobúda maximálne hodnoty keď sú aj vstupný aj riadiaci signál vo fáze, t.j. ich fázový posun je rovný nule. Naopak minimálne hodnoty nadobúda v prípade že vstupný a riadiaci signál sú v protifáze, t.j. ich vzájomný fázový posun je rovný  $\pi$ . Ďalším zaujímavým prípadom je fázový posun  $\pi/2$ . V tomto prípade je výstup spínačového detektora nulový.

Tieto vlastnosti spínačového detektora sa využívajú pre zostavenie meracieho obvodu vyhodnocujúceho reálnu a imaginárnu zložku meraného signálu, tzv. vektorvoltmetra. V tomto prípade je ale nutné použiť dva spínačové detektory so spoločným vstupným signálom, ale s riadiacimi signálmi so vzájomným fázovým posunom  $\pi \text{ rad}$ , pozri obr. 13.

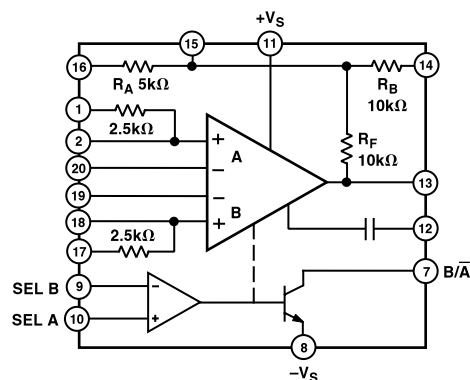
Spínačové detektory sú v merači realizované pomocou obvodov AD630. Jedná sa o obvod, ktorý v sebe realizuje komparátorom ovládaný prepínač výstupov dvoch nezávislých operačných zosilňovačov. Obvod taktiež obsahuje interné rezistory pre uzavretie spätnej väzby, ktoré sú voliteľne použiteľné. Jeho bloková schéma je zobrazená na obr. 16.



**Obr. 14.** Bloková schéma spínačového detektora, prevzaté z [8]

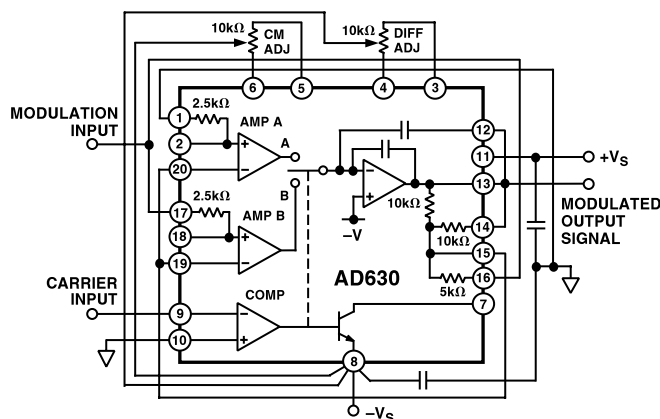


**Obr. 15.** Výstup spínačového detektora

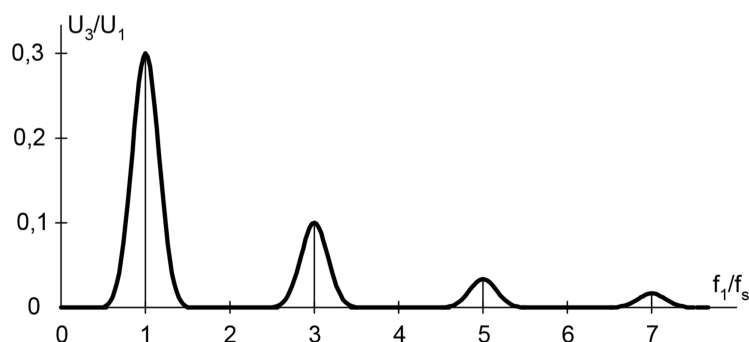


**Obr. 16.** Bloková schéma obvodu AD630, prevzaté z [11]

### 3. Hardvérová časť prístroja



Obr. 17. Zapojenie spínačového detektora s obvodom AD630, prevzaté z [11]



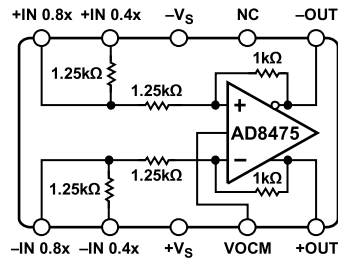
Obr. 18. Frekvenčná charakteristika spínačového detektora, prevzaté z [8]

Pre potreby implementácie spínačového detektora s pomocou obvodu AD630 sa využíva katalógové zapojenie, ktorého schéma je zobrazená na obr. 17. Referenčný hodinový signál je privádzaný na vstup *CARRIER INPUT* komparátora *COMP*, ktorý ovláda prepínanie dvoch zosilňovačov *AMP A* a *AMP B*. Zosilňovač *AMP A* v tomto zapojení zastáva úlohu invertujúceho zosilňovača so zosilnením  $-1$  a zosilňovač *AMP B* úlohu neinvertujúceho zosilňovača so zosilnením  $1$ . Vstupný signál je privádzaný na svorku *MODULATION INPUT* a výstupný signál je odoberaný zo svorky *MODULATED OUTPUT SIGNAL*.

Nevýhodou spínačového detektora s obdĺžnikovým referenčným signálom oproti verzii s použitím harmonického signálu je, že vo frekvenčnej charakteristike výstupného signálu sa objavujú nepárne harmonické frekvencie, pozri obr. 18. Z tohoto dôvodu bola pred samotné spínačové detektory v merači zaradená dolná priepust druhého rádu so zlomovou frekvenciou  $60\text{ Hz}$ , pozri obr. 13. Tento filter zabezpečí potlačenie nežiadúcich harmonických frekvencií už na vstupe spínačového detektora, preto sa ich amplitúda neodrazí na strednej hodnote signálu vystupujúceho zo spínačového detektora.

#### 3.5.3. Analógovo digitálny prevodník

Signály zo spínačových detektorov je potrebné už len previesť do digitálnej formy. Jedná sa o signály s relatívne pomalou dynamikou a podľa toho bol vybraný aj vhodný AD prevodník. Na tento účel bol vybratý 24 bitový AD prevodník AD7190 postavený na architektúre Sigma-Delta. Výstupná frekvencia dát je nastaviteľná v rozsahu od  $4,7\text{ Hz}$



**Obr. 19.** Bloková schéma budiča AD8475, prevzaté z [13]

do 4,8 kHz a výrobca deklaruje 22,5 nezašumených bitov pri vnútornom zosilnení 1 [12]. Prevodník disponuje dvomi diferenciálnymi vstupmi, vnútorným hodinovým signálom a sériovým komunikačným rozhraním.

Pred samotným AD prevodníkom je zaradený budič diferenciálneho vstupu AD prevodníka, pozri obr. 13. Pre túto funkciu bol vybraný presný plne diferenciálny zosilňovač s integrovanou odporovou sieťou s možnosťou zvolenia zosilnenia AD8475 [13]. Bloková schéma obvodu je zobrazená na obr. 19.

### 3.5.4. Prevodník RMS hodnoty

Ako bolo uvedené vyššie, RMS prevodník je implementovaný len v meracom kanály prúdového transformátora  $TR_N$ . Jeho vstup je pripojený na merací signál priamo za prevodníkom prúdu na napätie po prevode na single ended signál, pozri obr. 13. Úlohou tohoto prevodníka je merať VN meracie napätie  $U$ , pozri obr. 9. V prípade prítomnosti napätia  $U$  prechádza obvodom známej kapacity  $C_N$  prúd  $I_N$ . Tento prúd sa transformátorom  $TR_N$  transformuje s prevodovým pomerom  $p_N$  na prúd  $I_{NA}$ , ktorý je ďalej prevádzaný na napätie s prevodovou konštantou  $k_{IU}$ . Toto napätie je potom merané AD prevodníkom a môžeme ho vyjadriť ako

$$\overline{U_{ef}} = j\omega C_N U_{ef} p_N k_{IU}, \quad (28)$$

kde  $\overline{U_{ef}}$  je napätie merané AD prevodníkom,  $\omega$  je uhlová frekvencia napätia  $U$  a  $U_{ef}$  je efektívna hodnota napätia  $U$ . Je nutné podotknúť, že prevodný pomer  $p_N$  je závislý na nastavenom meracom rozsahu prístroja, pozri obr. 11. Všetky meracie rozsahy dokumentuje tabuľka 3. Taktiež konštanta  $k_{IU}$  je závislá na nastavenom zosilnení prevodníka prúdu na napätie, pozri obr. 13. Z rovnice (28) môžeme potom vyjadriť efektívnu hodnotu meracieho napätia

$$U_{ef} = \frac{\overline{U_{ef}}}{j\omega C_N p_N k_{IU}}. \quad (29)$$

V meracom prístroji je prevodník efektívnej hodnoty realizovaný pomocou obvodu AD8436. Jedná sa obvod, ktorý meria reálnu efektívnu hodnotu vstupného napätia a túto hodnotu prevádza na jednosmerný analógový signál na jeho výstupe. Výrobca udáva presnosť prevodu  $\pm 10 \mu V$  [14]. Výstup RMS prevodníka je privádzaný na budič AD prevodníka, kde sa využíva nepoužitý merací kanál, pozri obr. 13.

### 3.5.5. Výpočet kapacity a stratového činiteľa

Meracie kanály popísané vyššie poskytujú digitalizáciu napätia úmerného reálnej a imaginárnej zložke prúdov  $I_N$  a  $I_X$ , pozri obr. 9. Označme namerané napätia AD pre-

### 3. Hardvérová časť prístroja

vodníkmi ako  $\text{Re} \{ \overline{\mathbf{I}_{\mathbf{N}\mathbf{A}}} \}$  a  $\text{Im} \{ \overline{\mathbf{I}_{\mathbf{N}\mathbf{A}}} \}$  pre hodnoty úmerné reálnej a imaginárnej zložke prúdu  $\mathbf{I}_{\mathbf{N}}$ , potom ich môžeme vyjadriť ako

$$\text{Re} \{ \overline{\mathbf{I}_{\mathbf{N}\mathbf{A}}} \} = \text{Re} \{ \mathbf{I}_{\mathbf{N}} \} p_N k_{IU}, \quad (30)$$

$$\text{Im} \{ \overline{\mathbf{I}_{\mathbf{N}\mathbf{A}}} \} = \text{Im} \{ \mathbf{I}_{\mathbf{N}} \} p_N k_{IU}. \quad (31)$$

Takým istým spôsobom môžeme vyjadriť hodnoty úmerné zložkám prúdu  $\mathbf{I}_{\mathbf{X}}$ . Označme ich ako  $\text{Re} \{ \overline{\mathbf{I}_{\mathbf{X}\mathbf{A}}} \}$  a  $\text{Im} \{ \overline{\mathbf{I}_{\mathbf{X}\mathbf{A}}} \}$ , potom

$$\text{Re} \{ \overline{\mathbf{I}_{\mathbf{X}\mathbf{A}}} \} = \text{Re} \{ \mathbf{I}_{\mathbf{X}} \} p_N k_{IU}, \quad (32)$$

$$\text{Im} \{ \overline{\mathbf{I}_{\mathbf{X}\mathbf{A}}} \} = \text{Im} \{ \mathbf{I}_{\mathbf{X}} \} p_N k_{IU}. \quad (33)$$

Vyjadrením zložiek prúdov  $\mathbf{I}_{\mathbf{N}}$  a  $\mathbf{I}_{\mathbf{X}}$  z rovníc (30) až (33) môžeme zložiť vektory obidvoch prúdov

$$\mathbf{I}_{\mathbf{N}} = \frac{\text{Re} \{ \overline{\mathbf{I}_{\mathbf{N}\mathbf{A}}} \}}{p_N k_{IU}} + j \frac{\text{Im} \{ \overline{\mathbf{I}_{\mathbf{N}\mathbf{A}}} \}}{p_N k_{IU}}, \quad (34)$$

$$\mathbf{I}_{\mathbf{X}} = \frac{\text{Re} \{ \overline{\mathbf{I}_{\mathbf{X}\mathbf{A}}} \}}{p_N k_{IU}} + j \frac{\text{Im} \{ \overline{\mathbf{I}_{\mathbf{X}\mathbf{A}}} \}}{p_N k_{IU}}. \quad (35)$$

So znalosťou obidvoch prúdov  $\mathbf{I}_{\mathbf{N}}$  a  $\mathbf{I}_{\mathbf{X}}$  môžeme použiť vzťah (20) uvedený v kapitole 2.3.4 pre výpočet neznámej impedancie meraného objektu. Impedancia  $\mathbf{Z}_{\mathbf{N}}$  v tomto vzťahu predstavuje impedanciu normálového kondenzátora. V praxi sa ale častejšie vyskytuje popis normálového kondenzátora pomocou jeho kapacity paralelného náhradného obvodu a stratového činiteľa. Preto je potrebné tieto hodnoty previesť na vektor impedancie. Z rovnice (16) vyjadríme odpor rezistoru paralelnej náhradnej schémy

$$R_{Np} = \frac{1}{\omega DC_{Np}}, \quad (36)$$

ktorý následne môžeme dosadiť do vzťahu (10).

Z vypočítaného vektoru impedancie  $\mathbf{Z}_{\mathbf{X}}$  a z rovníc (8) a (6) môžeme vypočítať stratový činiteľ meranej impedancie

$$D = \frac{\text{Re} \{ \mathbf{Z}_{\mathbf{X}} \}}{\text{Im} \{ \mathbf{Z}_{\mathbf{X}} \}}. \quad (37)$$

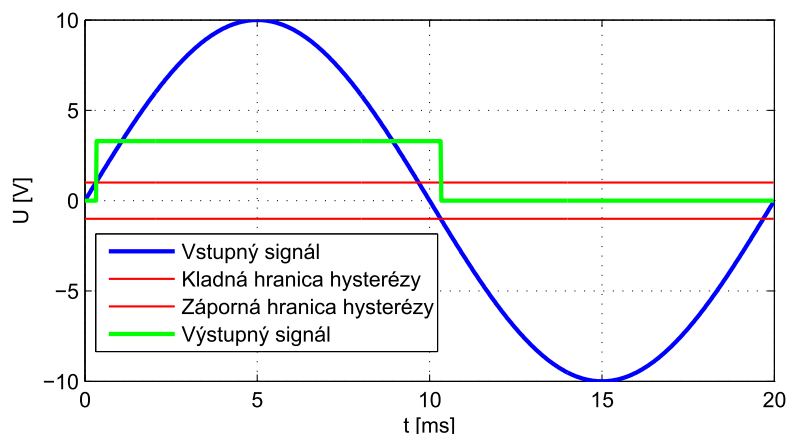
Z rovnice (9) môžeme ďalej výhodne vyjadriť parametre sériovej náhradnej schémy

$$R_{Xs} = \text{Re} \{ \mathbf{Z}_{\mathbf{X}} \}, \quad (38)$$

$$C_{Xs} = -\frac{1}{\omega \text{Im} \{ \mathbf{Z}_{\mathbf{X}} \}}. \quad (39)$$

Pre výpočet parametrov paralelnej náhradnej schémy použijeme prevodné vzťahy (13) a (14). Pomocou vzťahov odvodených v tejto kapitole môžeme na popísanom hardvérovom module vypočítať všetky potrebné parametre meraného objektu.





Obr. 20. Činnosť obvodu merania frekvencie

### 3.6. Obvod merania frekvencie

Úlohou obvodu merania frekvencie je spracovať signál napájacej siete 230 V tak, aby bolo možné merať jeho frekvenciu v obvode FPGA. Dôvodom merania tohoto parametru je, že frekvencia VN zdroja  $U$  je priamo odvodená od frekvencie napájacej siete. Preto nie je potrebné merať priamo frekvenciu VN zdroja. Nameraná frekvencia sa ďalej použije pre výpočet uhlovej frekvencie  $\omega$  použitej vo výpočtoch v kapitole 3.5.5.

Obvod merania frekvencie sa skladá z napätového transformátora, pásmovej priepuste a komparátora s hysterézou, pozri obr. 10. Sieťové napájacie napätie 230 V je privádzané priamo na napätový transformátor. Z dôvodu skreslenia signálu na transformátore, čo by malo nepriaznivý vplyv na výstupný signál komparátora, je za transformátorom zaradená pásmová priepusť štvrtého rádu nastavená na frekvenciu 50 Hz. Takto vyfiltrovaný signál je privádzaný na vstup komparátora s hysterézou. Komparátor disponuje výstupom s otvoreným kolektorom, ktorý je pripojený na napätie 3,3 V čím sa umožní priame pripojenie na obvod FPGA. Obvod merania frekvencie teda generuje obdĺžnikový signál s rozkmitom 0 až 3,3 V s frekvenciou rovnou frekvencii sieťového napájacieho napätia a teda aj frekvencii meracieho VN  $U$ .

Graf na obr. 20 približuje činnosť obvodu merania frekvencie. Kvôli prehľadnosti grafu je použitá amplitúda vstupného signálu transformátora (modrá čiara) 10 V namiesto 230 V. Červenou čiarou sú označené obidve hranice hysterézy a zelenou čiarou je vyznačený priebeh výstupného signálu obvodu merania frekvencie.

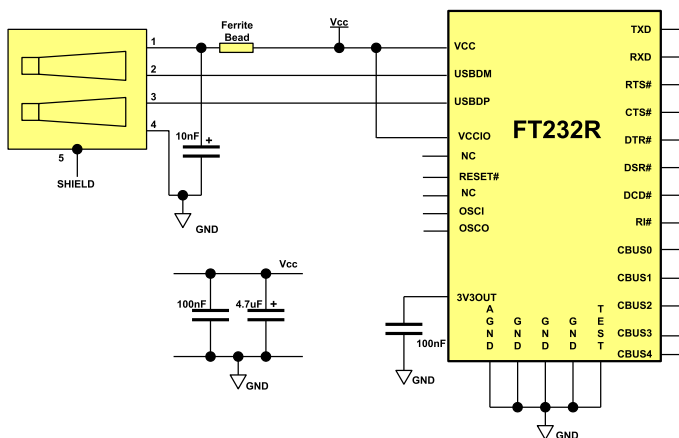
### 3.7. Komunikačné prvky

Komunikačné prvky (pozri obr. 10) poskytujú základné užívateľské rozhranie s prístrojom. Prostredníctvom nich sa nastavujú požadované meracie režimy a rozsahy, prípadne ďalšia konfigurácia prístroja. Komunikačné rozhranie taktiež poskytuje informácie o aktuálnych hodnotách meraných veličín.

Zo zadania vyplýva požiadavka aby merač disponoval rozhraním Ethernet s TCP/IP komunikačným protokolom. Na trhu existuje množstvo obvodov sprostredkujúcich fyzickú vrstvu Ethernet napríklad obvod DP83848 [15]. Tento typ obvodu však k činnosti potrebuje implementovať softvérový TCP/IP stack. Výhody takejto konfigurácie sú ocniteľné až pri väčších prenášaných dátových objemoch. V prípade merača sa ale jedná o malé dátové prenosy, kde je potrebné prenášať len niekoľko riadiacich príkazov.



Obr. 21. Pohľad na modul XPort, prevzaté z [16]



Obr. 22. Typické zapojenie obvodu FT232RL, prevzaté z [17]

Namerané dáta taktiež nie je potrebné prenášať kontinuálne. Z tohoto dôvodu bolo zvolené kompaktniejsie hardvérové riešenie TCP/IP rozhrania v podobe modulu XPort (pozri obr. 21). Jedná sa o Embedded Ethernet Device Server, ktorý disponuje fyzickou vrstvou štandardu Ethernet a zároveň implementuje TCP/IP stack a web server [16]. Na druhej strane modul disponuje sériovým UART rozhraním, ktoré umožní jednoduché pripojenie modulu k procesoru. Byty prijaté z procesora modul automaticky konvertuje na pakety a odosiela ich po TCP/IP protokole. Podobne opačným smerom modul dekóduje prichádzajúce pakety a po bytoch ich odosiela na sériovú linku. Komunikačná rýchlosť je prostredníctvom webového rozhrania nastaviteľná v rozmedzí 300 až 921 600 bps.

Okrem Ethernet rozhrania je v merači taktiež implementované rozhranie USB. Toto rozhranie slúži len na ladiace a testovacie účely a pre servisné výpisy. Neslúži na plnohodnotnú obsluhu prístroja. Nároky na dátovú priepustnosť sú rovnaké ako v prípade Ethernet rozhrania, preto bol pre tento účel zvolený obvod FT232RL. Jedná sa o prevodník USB na sériové UART rozhranie s prenosovou rýchlosťou 300 bps až 3 Mbps [17]. Základné zapojenie obvodu je zobrazené na obr. 22. Podobne ako v prípade XPort modulu aj pri tomto obvode stačí implementovať obsluhu UART rozhrania, čo zvláda väčšina procesorov na trhu. Výrobca k obvodu dodáva voľne dostupný ovládač pre všetky bežné operačné systémy.



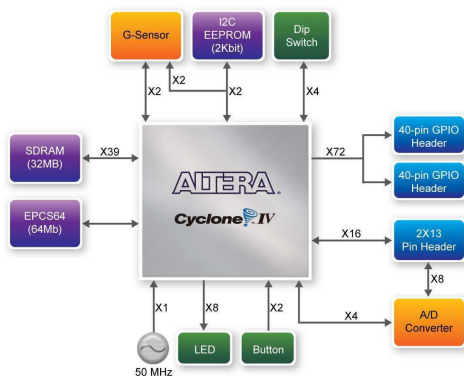
Obr. 23. Grafický monochromatický displej EAeDIP320-8, prevzaté z [19]

### 3.8. Zobrazovacie prvky

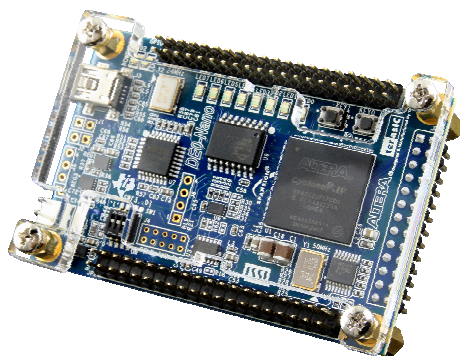
Úlohou zobrazovacích prvkov je poskytnúť užívateľovi základné informácie o stave prístroja a nameraných hodnotách, pozri obr. 10. V pôvodnom návrhu merača sa uvažovalo len s jedným alfanumerickým displejom na DPS, ktorý by slúžil len na vývojové a ladiace účely. Neskôr však bolo rozhodnuté, že merač bude ďalej doplnený grafickým displejom umiestneným na čelnom paneli prístroja.

Pre ladiace účely bol zvolený trojriadkový alfanumerický displej EADOGM163. Displej disponuje komunikačným rozhraním SPI a umožňuje zobrazit 3x16 znakov [18]. Ako bolo uvedené vyššie merač bol ešte dodatočne vybavený displejom na čelnom paneli prístroja. Úlohou tohoto displeja je zobrazovať hodnoty nameraných veličín, hodnoty normálovej impedancie, nastavený merací režim a nastavené meracie rozsahy. Vzhľadom na množstvo zobrazovaných údajov a možnosti väčšej variability pri vykresľovaní bol vybraný grafický displej EAeDIP320-8 s rozlíšením 320x240 bodov, pozri obr. 23. Displej disponuje integrovaným inteligentným radičom komunikujúcim prostredníctvom štandardu UART, SPI alebo I<sup>2</sup>C [19]. Radič umožňuje užívateľovi ovládanie displeja na vyššej abstrakčnej úrovni a priamo využívať príkazy na vykreslenie čiary, obdĺžnika alebo obrázka z internej pamäte radiča. Taktiež je možné využiť niekoľko preddefinovaných typov písma a funkcií pre tvorbu ponúk menu. Výrobca k displeju dodáva jednoduché vývojové prostredie pre tvorbu užívateľských typov písma a pre ukladanie obrázkov do internej pamäte radiča. Radič taktiež umožňuje vytvoriť užívateľské makrá, ktorými užívateľ môže nadefinovať aké príkazy sa majú vykonať pri danej udalosti. Táto funkcia umožní napríklad nastaviť úvodnú obrazovku displeja, ktorá sa zobrazí hneď po zapnutí napájania prístroja, čím sa zabezpečí, že displej nebude zhasnutý kým sa zavedie softvér v riadiacej jednotke.

### 3. Hardvérová časť prístroja



Obr. 24. Bloková schéma dosky DE0-Nano, prevzaté z [20]



Obr. 25. Pohľad na dosku DE0-Nano, prevzaté z [20]

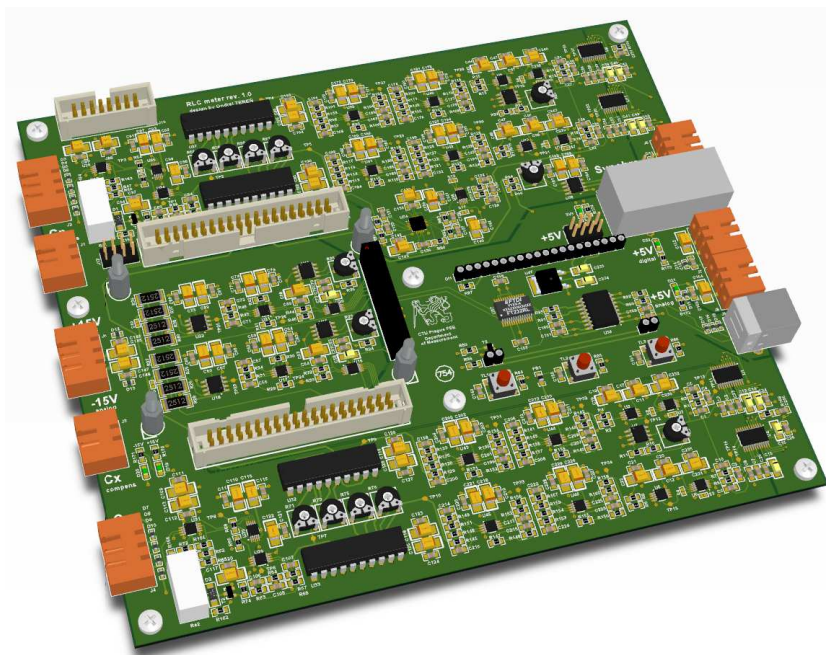
## 3.9. Riadiaca jednotka

Riadiaca jednotka má v prístroji úlohu ovládať všetky časti prístroja ako sú meracie kanály, generovanie referenčných signálov pre spínačové detektory, obsluha komunikačných kanálov a zobrazovanie údajov na displejoch, pozri obr. 10. Pri výbere vhodnej riadiacej jednotky sa na začiatku vývoja uvažovalo medzi procesorom architektúry ARM a hradlovým polom rodiny Altera Cyclone. Vzhľadom na potrebu generovania referenčných signálov pre spínačové detektory a väčšiu variabilitu dizajnu bolo rozhodnuté použiť hradlové pole. Výhodou tejto voľby je, že v hradlovom poli môže byť implementovaných niekoľko nezávislých funkčných blokov, ktoré pracujú v čase paralelne. Ako príklad môže slúžiť spomínaný generátor referenčných signálov, ktorý pracuje bez ovplyvňovania činnosti procesora NIOS syntetizovaného na tom istom hradlovom poli.

V prvej verzii DPS merača bol použitý vývojový kit DE0nano od spoločnosti Terasic. Kit je vybavený hradlovým polom EP4CE22F17C6N z rodiny Cyclone IV so 153 vstupno výstupnými pinmi. Doska ďalej obsahuje 32 MB SDRAM pamäť, EPCS pamäť, I<sup>2</sup>C EEPROM pamäť, 50 MHz oscilátor, osem LED diód a dve tlačidlá [20]. Nevyužitie piny hradlového poľa sú vyvedené na kolíkových lištách. Bloková schéma dosky je zobrazená na obr. 24 a celkový pohľad na dosku je zobrazený na obr. 25.

Vývojová doska DE0-Nano poskytuje výhodný štart pre vývoj zariadenia založeného na hradlovom poli z rodiny Cyclone IV. Na doske je taktiež integrovaný USB programátor, takže k vývoju nie sú potrebné ďalšie hardvérové programovacie nástroje. V druhej verzii DPS merača bola už ale doska DE0-Nano z merača vypustená a hradlové pole





Obr. 26. Pohľad na 3D model prvej verzie hlavnej dosky merača

rodiny Cyclone IV bolo osadené priamo na doske merača.

### 3.10. Hlavná DPS merača

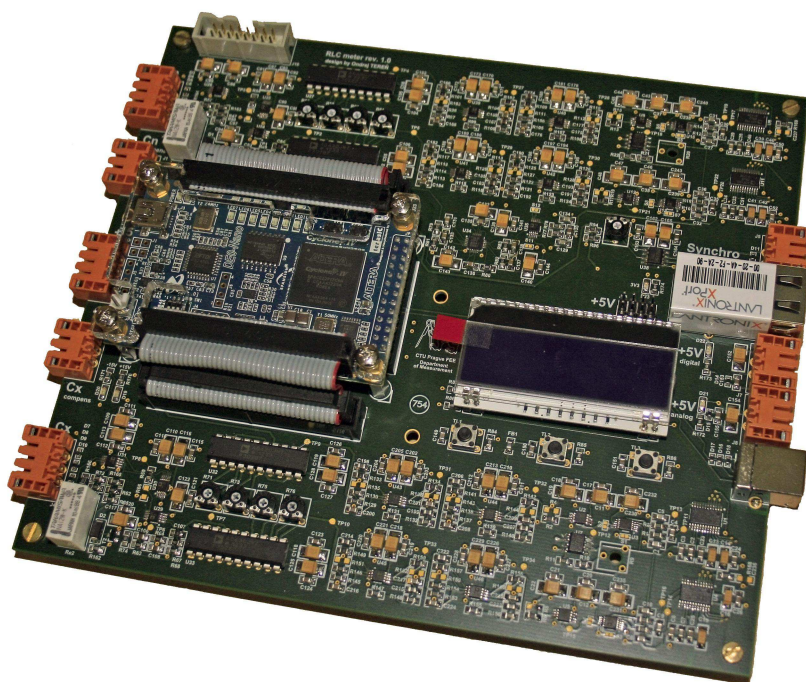
Hlavná doska merača implementuje všetky hardvérové bloky uvedené na blokovej schéme na obr. 10 okrem prúdových transformátorov, prepínačov rozsahov a napätového transformátora pre meranie frekvencie. Ako bolo spomenuté v predchádzajúcej kapitole, počas vývoja merača boli vyhotovené dve verzie hlavnej DPS merača.

Prvá verzia dosky, vyhotovená ako štvorvrstvová, využíva vývojový kit, ktorý je k doske pripojený pomocou dutinkových líšt a PFL konektorov. Tým sa návrh zjednodušil o umiestnenie hradlového poľa priamo na hlavnej doske merača. Pohľad na 3D model DPS je zobrazený na obr. 26 a fotografia reálnej dosky je zobrazená na obr. 27. Doska k svojej činnosti potrebuje externý zdroj napájania. Analógová časť dosky je napájaná symetrickým napájaním 15 V a nesymetrickým napájaním 5 V. Digitálna časť je napájaná napätím 5 V, ktoré je na doske stabilizované na úroveň 3,3 V.

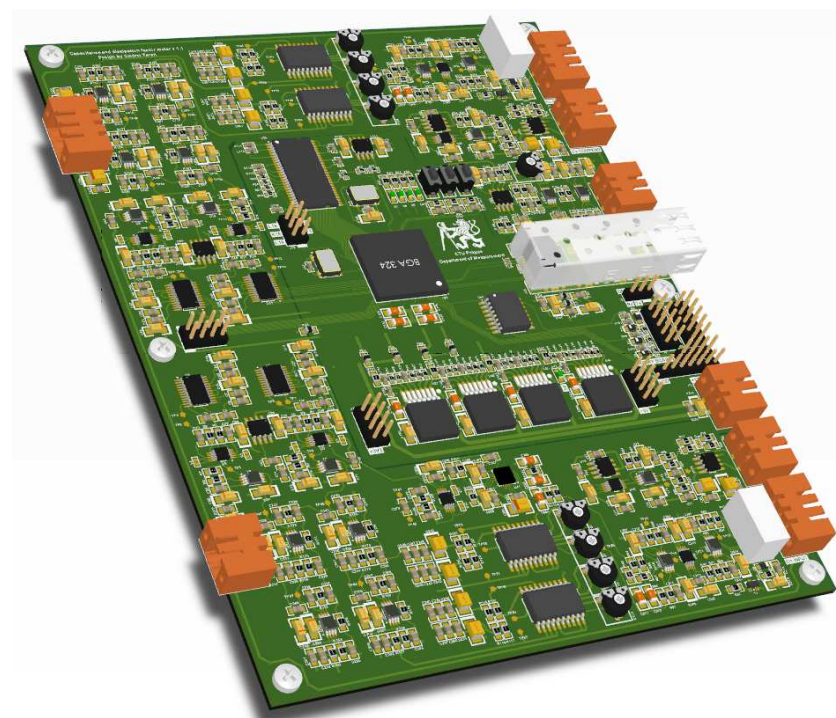
Na druhej verzii dosky je hradlové pole umiestnené priamo na doske merača, čo si vyžiadalo šesť vrstiev dosky. Funkcia analógovej časti oproti prvej verzii zostáva nezmenená. Ďalším rozdielom je použitie SFP puzdra pre fyzickú vrstvu Ethernetu. Toto riešenie poskytuje až 1 Gbit prenosovú rýchlosť prostredníctvom Ethernet rozhrania. Použitie tohoto riešenia bolo zvolené z dôvodu unifikácie merača kapacity s meračom čiastkových výbojov, ktorý vznikol v rámci toho istého projektu. Pohľad na 3D model DPS je zobrazený na obr. 28 a fotografia dosky na obr. 29. Posledným významným rozdielom oproti prvej verzii je, že digitálna časť je napájaná napätím 12 V. Všetky ďalšie potrebné napájania sú generované priamo na doske pomocou spínaných zdrojov.

V rámci tejto diplomovej práce boli navrhnuté obidve verzie DPS. Samotná výroba dosiek bola zabezpečená externou firmou. Osadzovanie súčiastok už ale bolo riešené v rámci tejto diplomovej práce okrem obvodu FPGA. K tomu účelu bolo požiadané o službu externej firmy.

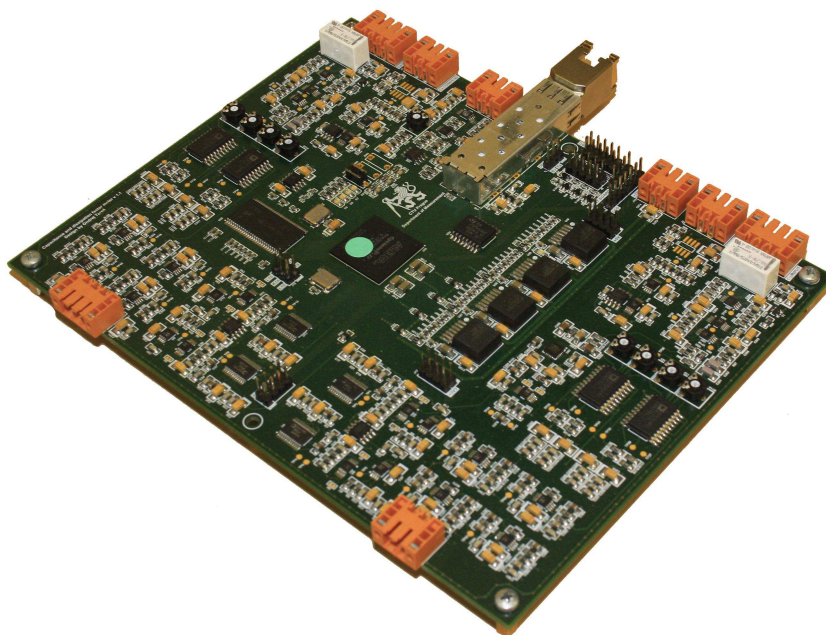
### 3. Hardvérová časť prístroja



**Obr. 27.** Fotografia prvej verzie hlavnej dosky merača



**Obr. 28.** Pohľad na 3D model druhej verzie hlavnej dosky merača



Obr. 29. Fotografia druhej verzie hlavnej dosky merača

### 3.11. DPS napájacieho zdroja

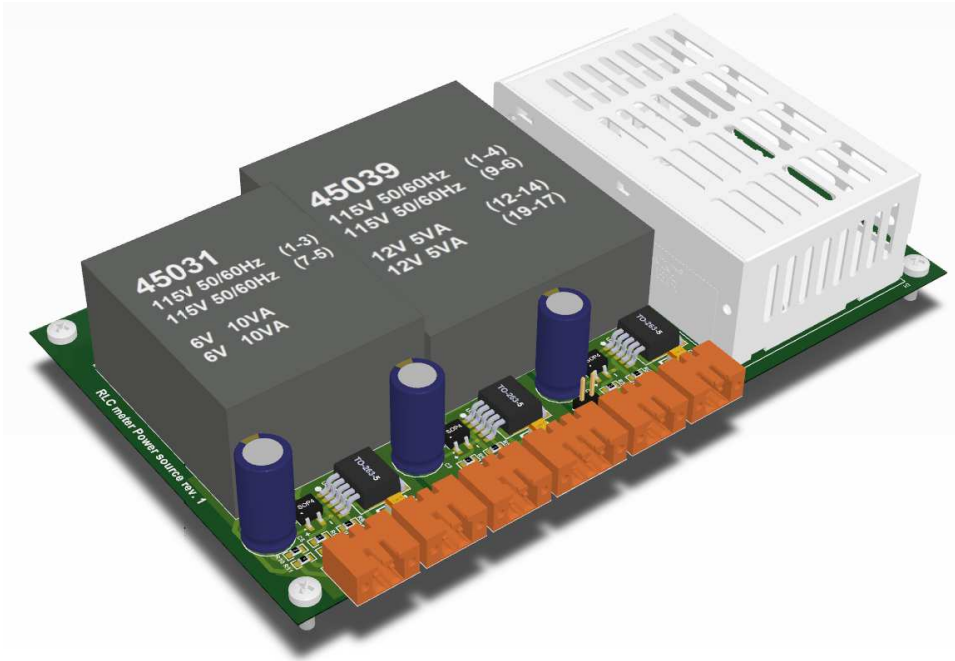
Kedže v zadaní práce je požadované, aby bol merač napájaný z elektrickej siete 230 V, preto bola navrhnutá doska s napájacím zdrojom. Pohľad na 3D model napájacieho zdroja je zobrazený na obr. 30. Doska disponuje spínaným zdrojom 230 V AC/12V DC s výkonom 25 W, ktorý je využívaný pre napájanie digitálnej časti hlavnej dosky a dosky prepínačov rozsahov. Pre napájanie analógovej časti hlavnej dosky je zdroj vybavený dvoma napájacími kanálmi 15 V, tvorenými transformátorom s dvoma sekundárnymi vinutiami, usmerňovačom, filtrom a lineárnym stabilizátorom. Týmto istým spôsobom je vytvorený aj napájací kanál pre 5 V. Poslednou časťou je výstup pre meranie frekvencie. Ten je tvorený jedným vinutím transformátora a napätovým deličom. Tabuľka 9 dokumentuje všetky napätové úrovne zdroja spolu s ich výkonmi a účelom využitia v merači. Na obr. 31 je zobrazená schéma prepojenia všetkých troch DPS merača.

**Tabuľka 9.** Napájacie úrovne zdroja merača

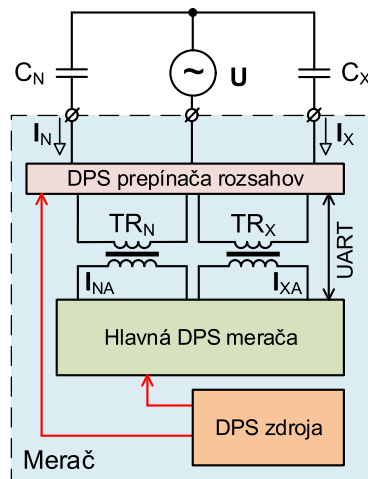
Napätie [V]	Výkon [W]	Účel
+12	25	Napájanie digitálnej časti
+15	5	Napájanie mer. retazca
-15	5	Napájanie mer. retazca
+5	5	Napájanie AD prevodníkov



### 3. Hardvérová časť prístroja



Obr. 30. Pohľad na 3D model DPS napájacieho zdroja merača.



Obr. 31. Zapojenie DPS v merači



## 4. Softvérové vybavenie prístroja

Táto kapitola pojednáva o softvérovom vybavení potrebnom pre činnosť merača. V nasledujúcom texte budú popísané výhody použitia FPGA obvodov a ich možností z hľadiska tvorby softvéru. Následne budú popísané všetky softvérové bloky prístroja.

### 4.1. Možnosti FPGA dizajnu

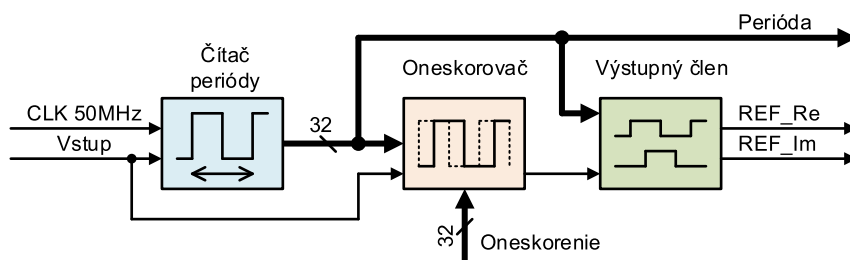
FPGA (field-programmable gate array) obvody sú špeciálne integrované obvody navrhnuté tak, aby ich funkcia bola užívateľsky programovateľná. Pre popis funkcie obvodu sa používa špeciálny HDL (hardware description language) jazyk. FPGA obvody sa skladajú z programovateľných logických blokov a z konfigurovateľnej hierarchie prepojení, ktoré umožňujú vzájomné spojenie jednotlivých blokov. Takáto štruktúra umožňuje vytvárať základné kombinačné logické funkcie akými sú AND, OR, XOR, ale aj sekvenčné obvody ako napr. čítače, klopné obvody, pamäťové bloky apod.

Na týchto základných funkciách sú potom stavané ďalšie komplexnejšie celky. Návrhár má možnosť vybrať si cestu grafického návrhu, kde svoj dizajn vytvára pomocou grafického prepojenia vyššie uvedených základných blokov alebo použije dizajn pomocou HDL jazyka. Pri návrhu merača kapacity a stratového činiteľa sa osvedčila kombinácia oboch prístupov. Jednotlivé čiastkové bloky boli napísané pomocou HDL jazyka, ale ich prepojenie do komplexného celku bolo riešené v grafickom editore. Tento prístup umožní udržať si v dizajne väčší prehľad ako v prípade použitia len jedného z prístupov.

Ďalšou z výhod FPGA obvodov je možnosť syntetizácie vstavaného procesora priamo v FPGA a možnosť vytvoriť tým užívateľský SoC (system on a chip). *System on a chip* je technológia, ktorá umožňuje vytvoriť kompletný elektronický systém pozostávajúci napr. z procesora, oscilátora, fázových závesov, externých periférií, AD alebo DA prevodníkov na jednom čipe. Výrobca FPGA poskytuje softvérové nástroje pre jednoduché vytvorenie takejto vlastnej štruktúry. Užívateľ si vyberie procesor, nastaví príslušný zdroj hodinového signálu, prípadne použije vstavaný fázový záves a zapojí k procesoru požadované periférie. Tými môžu byť vstupno výstupné porty, časovače, UART, SPI rozhrania, radiče SDRAM, FLASH pamätí, DMA radiče, prípadne USB alebo Ethernet radiče.

Výrobca dodáva k svojim vstavaným procesorom vývojové prostredie, umožňujúce programovanie procesora vo vyššom jazyku napr. C. Využitím vstavaného procesora sa vývojár nechudobňuje o možnosť písania klasického sekvenčného programu ako je zvykom pri mikrokontroléroch.

Nevýhodou tohoto riešenia je stále vysoká cena čipov samotných FPGA obvodov. Ale i napriek tomu je na trhu veľa rôznych variant čipov líšiacich sa cenou a výkonom. Užívateľ si preto môže vybrať zo širokej škály čipov podľa výkonnostnej náročnosti danej aplikácie. Ďalšou nevýhodou použitia FPGA obvodu je, že väčšina obvodov je vyrábaných v puzdrách typu BGA. Toto púzdro nie je možné osadiť na dosku metódou ručného osadzovania. Z tohoto dôvodu je potrebné pri návrhu systému s FPGA počítať s ďalšími nákladmi spojenými so špecializovaným osadzovaním obvodov tohoto typu.



Obr. 32. Bloková schéma generátora referenčných signálov

## 4.2. Podporné softvérové bloky

Medzi podporné softvérové bloky merača patrí blok generátora referenčných signálov pre spínačové detektory a bloky pre vyčítanie AD prevodníkov. Ich funkcia bude podrobne priblížená v nasledujúcich kapitolách.

### 4.2.1. Generátor referenčných signálov

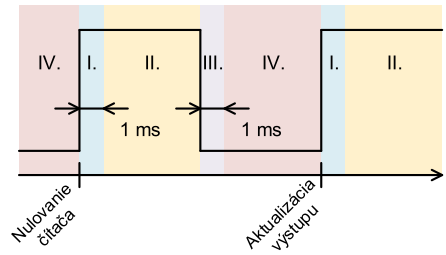
Ako bolo uvedené v kapitole 3.5.2, spínačové detektory potrebujú ku svojej činnosti dva referenčné obdĺžnikové signály so vzájomným fázovým posunom 90 stupňov. Frekvencia týchto signálov musí byť zhodná s frekvenciou meracieho VN, ale fáza referenčných signálov voči meraciemu VN nehrá úlohu. Tento fakt môžeme jednoducho dokázať. Uvažujme, že meranie prúdov  $I_N$  a  $I_X$  bude zaťažené fázovou chybou  $\varphi_e$  spôsobenou nenulovým fázovým posunom medzi referenčným signálom prislúchajúcim reálnej zložke meracieho prúdu a fázou meracieho VN  $U$ . Potom bude táto chyba figurovať v rovnici (17) ako

$$Z_X = Z_N \frac{I_N e^{j\varphi_e}}{I_X e^{j\varphi_e}}. \quad (40)$$

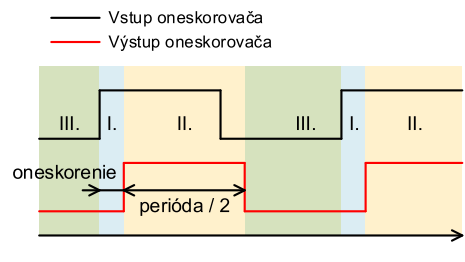
Z rovnice plyne, že člen  $e^{j\varphi_e}$  sa v zlomku skrúti a tým pádom sa fázová chyba  $\varphi_e$  vo výsledku neuplatní.

Samotná implementácia generátora sa skladá z troch blokov, čítača periódy, oneskorovača a výstupného člena, pozri obr. 32. Úlohou čítača periódy je zmerať periódu vstupného signálu. Vstup čítača periódy je budený výstupom obvodu merania frekvencie popísaného v kapitole 3.6. Zároveň do čítača periódy vstupuje taktovací hodinový signál s frekvenciou 50 MHz.

Čítač periódy je tvorený stavovým automatom so štyrmi stavmi. Na obr. 33 je znázornený graf jednotlivých stavov čítača. Stavý sú označené rímskymi číslicami I. až IV. Stavový automat čítača periódy prechádza do stavu I. ak sa pred tým nachádzal v stave IV a zároveň bola na vstupe čítača detekovaná nábežná hrana. Po prechode do stavu I. automat nuluje vnútorné počítadlo. V stave I. zotrúva po dobu 1 ms. V tomto čase je zabezpečená necitlivosť čítača na zmenu vstupného signálu, čím sa potlačí vplyv zakmitávania vstupného signálu. Po uplynutí daného času automat prechádza do stavu II. V tomto stave automat čaká na dobežnú hranu vstupného signálu a po jej detekcii prechádza do stavu III. V tomto stave opäť zotrúva po dobu 1 ms a prejde do stavu IV. V stave štyri čaká na nábežnú hranu vstupného signálu. Po jeho detekcii automat prechádza do stavu I. a aktualizuje výstup čítača periódy hodnotu z vnútorného počítadla, ktoré bolo počas celého procesu inkrementované taktovacím hodinovým signálom. Tým sa na výstupe čítača zobrazuje vždy aktuálna 32 bitová hodnota periódy signálu udaná v dvadsiatkach ns (prevrátená hodnota taktovacej frekvencie). Tu je nutné podotknúť,



Obr. 33. Graf stavov čítača periódy



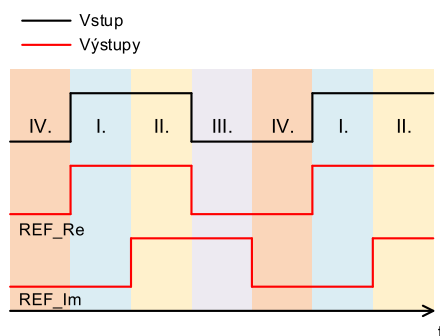
Obr. 34. Graf stavov oneskorovača

že pre meranie periódy signálov s frekvenciou vyššou ako 500 Hz je potrebné znížiť trvanie stavov I. a III.

Hodnota nameraná čítačom periódy je privádzaná spolu so vstupným signálom generátora do oneskorovača. Tento blok má za úlohu oneskoriť vstupný signál o čas nastavený na zbernici *Oneskorenie* v rozsahu 0 až 10 ms, pozri obr. 32. Táto funkcia výhodne umožňuje meniť fázový posun referenčných signálov voči fáze meracieho VN. Využitie tejto funkcie bude podrobnejšie popísané v kapitole 5.3.

Oneskorovač je implementovaný ako stavový automat s tromi stavmi. Na obr. 34 sú znázornené jednotlivé stavy automatu oneskorovača a sú označené rímskymi číslicami I. až III. S nábežnou hranou vstupu oneskorovača sa automat dostáva do stavu I. Vtedy sa spúšťa vnútorný časovač. Po uplynutí počtu taktov nastavených na zbernici *Oneskorenie* prechádza automat do stavu II., zároveň preklápa svoj výstup na hodnotu log. 1 a vnútorný časovač nastavuje na hodnotu pol periódy vstupného signálu získanú zo zbernice *Periódá*. Automat zotrúva v tomto stave do vynulovania časovača, potom prechádza do stavu III. a výstup preklápa na log. 0. V tomto stave čaká na nábežnú hranu signálu vstupu oneskorovača a celý cyklus sa opakuje. Výstupom oneskorovača je teda obdĺžnikový signál s periódou rovnou perióde nameranej čítačom periódy, ale časovo oneskorený o čas nastavený na zbernici *Oneskorenie*.

Signál z oneskorovača je privádzaný vstup výstupného člena. Jeho úlohou je vygenerovať dva obdĺžnikové signály so vzájomným fázovým posunom 90 stupňov a periódou danou hodnotu na zbernici *Periódá*. Výstupný člen je implementovaný ako štvorstavový automat so stavmi I. až IV., pozri obr. 35. Do stavu I. sa automat dostane s nábežnou hranou vstupného signálu, zároveň preklopí výstup *REF\_Re* do stavu log. 1 a nastaví vnútorný časovač na polovicu periódy. Táto hodnota je získaná z bloku čítača periódy zo zbernice *Periódá*. Po odpočítaní tohoto času automat prechádza do stavu II., výstup *REF\_Im* preklápa do log. 1 a opäť časuje polovicu periódy. Podobným spôsobom sú



Obr. 35. Graf stavov výstupného člena

časované aj stavy II. a III. Príslušné log. úrovne nastavované na dané výstupy sú zrejme z obr. 35. Stav IV. je na rozdiel od predchádzajúcich stavov ukončený nábežnou hranou vstupného signálu. Je to z dôvodu zabezpečenia časovej synchronizácie referenčných signálov so vstupom. V opačnom prípade by mohlo dôjsť k rozfázovaniu signálov čo by spôsobilo značnú chybu merania. Výstupom tohoto bloku sú teda referenčné signály priamo pripojiteľné na spínačové detektory popísané v kapitole 3.5.2. Signál na zbernici *Periódá* je navyše ďalej využívaný pri výpočtoch meraných veličín.

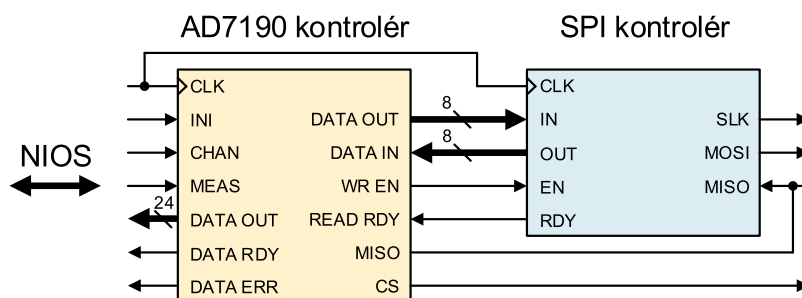
Z obr. 32 je zrejme, že generátor referenčných signálov je taktovaný hodinovým signálom s frekvenciou 50 MHz. Z tejto frekvencie vyplýva rozlíšiteľnosť merania periódy vstupného signálu ako prevrátená hodnota taktovacej frekvencie, tj. 20 ns. Teoretická chyba periódy generovaného signálu je teda 20 ns, čo pri generovaní signálu s frekvenciou 50 Hz (periódou 20 ms) spôsobí relatívnu chybu

$$\delta_T = \frac{20 \cdot 10^{-9}}{20 \cdot 10^{-3}} \cdot 100 = 0,0001\%. \quad (41)$$

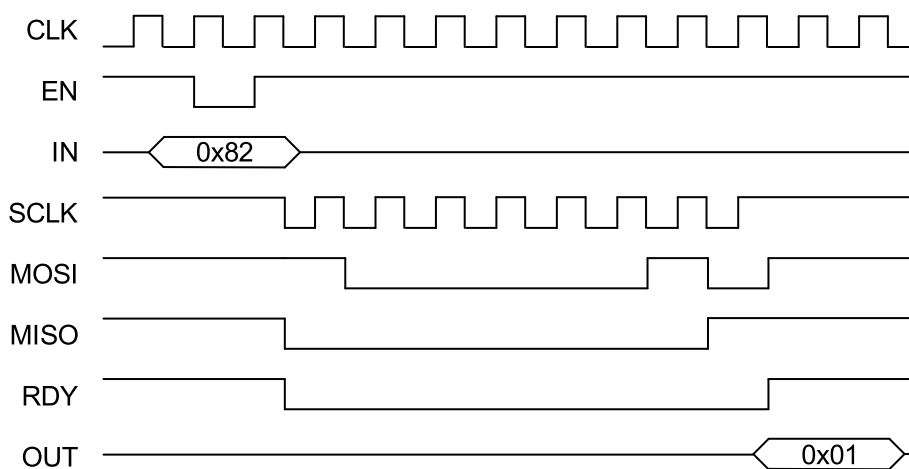
#### 4.2.2. Bloky pre komunikáciu s AD prevodníkmi

V kapitole 3.5.3 boli pre potreby merača zvolené AD prevodníky typu AD7190. Tieto prevodníky disponujú komunikačným rozhraním SPI [12]. Pre obsluhu tohoto rozhrania je určená periféria vstavaného procesora NIOS, ktorá v prípade merača ale nebola použitá. Nevýhodou periférie vstavaného procesora je, že v prípade viacerých SPI obvodov pripojených k procesoru, je nutné obsluhovať ich postupne. A to aj v prípade, že by boli v procesore implementované SPI periférie zvlášť pre každý pripojený obvod. Z tohoto dôvodu boli vyvinuté vlastné komunikačné bloky, ktoré umožňujú odoslať príkaz na začatie merania všetkým AD prevodníkom na doske naraz v jednom čase. Tým je dosiahnutá dosiahnutá synchronizácia všetkých štyroch AD prevodníkov a všetky hodnoty sú zmerané v jeden okamih.

Komunikačný blok sa skladá z dvoch častí, AD7190 kontroléra a SPI kontroléra, pozri blokovú schému na obr. 36. Blok AD7190 kontrolér má za úlohu generovať sledy SPI príkazov pre blok SPI kontroléra. AD7190 kontrolér reaguje na vstupy *INI*, *CHAN* a *MEAS*. V prípade detekcie dobežnej hrany na vstupe *INI* AD7190 kontrolér postupne generuje na výstupnej zbernici *DATA OUT* sled osem bitových príkazov nutných pre inicializáciu AD prevodníkov. V rámci inicializácie sú prevodníky nastavené do režimu konverzie na požiadanie, nastavuje sa interný zdroj hodinového signálu a doba konverzie na 20 ms. Po nastavení príkazu na výstupnú zbernicu sa vygeneruje impulz na výstupe *WR EN* a následne sa čaká na impulz na vstupe *READ RDY*. Po detekovaní tohoto



**Obr. 36.** Bloková schéma bloku komunikácie s AD prevodníkmi



**Obr. 37.** Časovanie signálov SPI kontroléra

impulzu AD7190 kontrolér generuje na výstupnej zbernici ďalší príkaz a celý proces sa opakuje až kým sa nevyšle celá sekvencia.

V prípade detekcie dobežnej hrany na vstupe *MEAS*, AD7190 kontrolér podobne ako v predchádzajúcom prípade vygeneruje na svojej výstupnej zbernici sled príkazov potrebných pre začatie merania AD prevodníka. Do úvahy sa berie aj vstup *CHAN*, ktorý vyberá merací kanál AD prevodníka. Po odvysielaní celej sekvencie AD7190 kontrolér čaká na impulz na vstupe *MISO*, ktorý hovorí o tom, že AD prevodník ukončil prevod a je pripravený na vyčítanie nameraných dát. AD7190 kontrolér vygeneruje ďalší sled príkazov, tentokrát pre vyčítanie nameraných dát. Po obdržaní signálu *READ RDY*, nastaví na svoju výstupnú zbernicu *DATA OUT* dáta zo vstupu *DATA IN*.

Úlohou SPI kontroléra je vysielanie príkazov bit po bite na zbernicu SPI. Po prijatí impulzu na vstupe *WR EN* SPI kontrolér generuje hodinové impulzy na výstupe *SCLK* a na výstupe *MOSI* generuje príslušné dátové bity slova zo vstupnej zbernice *IN*. Zároveň sú do interného registra postupne ukladané bity prijaté na vstupe *MISO* a po odvysielaní všetkých osem bitov, sú tieto dáta zoradené a nastavené na výstupnú zbernicu *OUT*. Stav pripravenosti dát na výstupnej zbernici je indikovaný impulzom na výstupe *RDY*. Detailný pohľad na časovanie jednotlivých signálov poskytuje diagram na obr. 37.

## 4. Softvérové vybavenie prístroja

Use	C...	Name	Description	Export	Clock	Base	End	IRQ
✓		clk_50	Clock Source		exported			
✓		pll_0	Avalon ALTPLL		clk_50	0x0000 9200	0x0000 920f	
✓		nios2	Nios II Processor		100MHz	0x0000 a000	0x0000 a7ff	
✓		onchip	On-Chip Memory (RAM or ROM)		100MHz	0x0000 4000	0x0000 7fff	
✓		jtag	JTAG UART		100MHz	0x0000 9210	0x0000 9217	
✓		sysid	System ID Peripheral		100MHz	0x0000 9218	0x0000 921f	
✓		pio_0	PIO (Parallel I/O)		100MHz	0x0000 9000	0x0000 901f	
✓		pio_1	PIO (Parallel I/O)		100MHz	0x0000 9020	0x0000 903f	
✓		spi_0	SPI (3 Wire Serial)		100MHz	0x0000 9040	0x0000 905f	
✓		uart_0	UART (RS-232 Serial Port)		100MHz	0x0000 9060	0x0000 907f	
✓		sdram_0	SDRAM Controller		100MHz	0x0400 0000	0x05ff ffff	
✓		clock_bridge_0	Clock Bridge		100MHz			
✓		pio_2	PIO (Parallel I/O)		100MHz	0x0000 9080	0x0000 909f	
✓		timer_0	Interval Timer		100MHz	0x0000 90a0	0x0000 90bf	
✓		pio_3	PIO (Parallel I/O)		100MHz	0x0000 90c0	0x0000 90df	
✓		pio_4	PIO (Parallel I/O)		100MHz	0x0000 90e0	0x0000 90ff	
✓		pio_5	PIO (Parallel I/O)		100MHz	0x0000 9100	0x0000 911f	
✓		pio_6	PIO (Parallel I/O)		100MHz	0x0000 9120	0x0000 913f	
✓		pio_7	PIO (Parallel I/O)		100MHz	0x0000 9140	0x0000 915f	
✓		pio_8	PIO (Parallel I/O)		100MHz	0x0000 9160	0x0000 917f	
✓		uart_1	UART (RS-232 Serial Port)		100MHz	0x0000 9180	0x0000 919f	
✓		uart_2	UART (RS-232 Serial Port)		100MHz	0x0000 91a0	0x0000 91bf	
✓		uart_3	UART (RS-232 Serial Port)		100MHz	0x0000 91c0	0x0000 91df	
✓		epcs_flash_controller_0	EPCS/EPCQx1 Serial Flash Contr...		100MHz	0x0000 9800	0x0000 9fff	
✓		pio_9	PIO (Parallel I/O)		100MHz	0x0000 0000	0x0000 001f	
✓		i2c_opencores_0	I2C Master (opencores.org)		100MHz	0x0000 91e0	0x0000 91ff	

Obr. 38. Pohľad na periférie SoC návrhu

V merači sú použité štyri AD prevodníky, preto sú aj v FPGA dizajne implementované dokopy štyri bloky komunikácie z obr. 36. Ich vstupné signály *INI*, *CHAN* a *MEAS* sú spojené paralelne a privedené na vstavaný procesor. Výstupné dátové zbernice *DATA OUT* sú na vstavaný procesor privádzané každá zvlášť. Po vydaní príkazu na inicializáciu je už dostupné meranie. Procesor vyberie merací kanál signálom *CHAN* a signálom *MEAS* vydá povel na začiatok konverzie. Komunikačné bloky vyšlú v jednom čase príkazy na konverziu všetkých štyroch prevodníkom. Potom procesor čaká na signál *DATA RDY* a po jeho obdržaní postupne vyčíta dáta z jednotlivých *DATA OUT* zberníc. Touto technológiou sa zabezpečí, že vzorky namerané jednotlivými AD prevodníkmi boli namerané v jeden čas.

### 4.3. Vstavaný procesor NIOS II

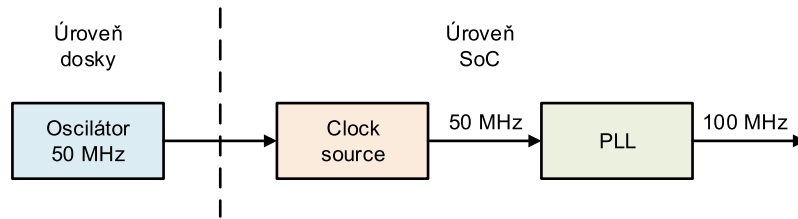
Ako bolo uvedené v kapitole 4.1 FPGA obvody umožňujú v rámci SoC dizajnu vytvoriť plnohodnotný procesor. Výrobca k obvodom dodáva vývojové prostredie, ktoré umožňuje nadefinovať všetky potrebné periférie procesora. Na obr. 38 je zobrazený prehľad periférií použitých v merači. V nasledujúcom texte budú bližšie prejednané všetky použité periférie.

#### 4.3.1. Zdroj hodinového signálu

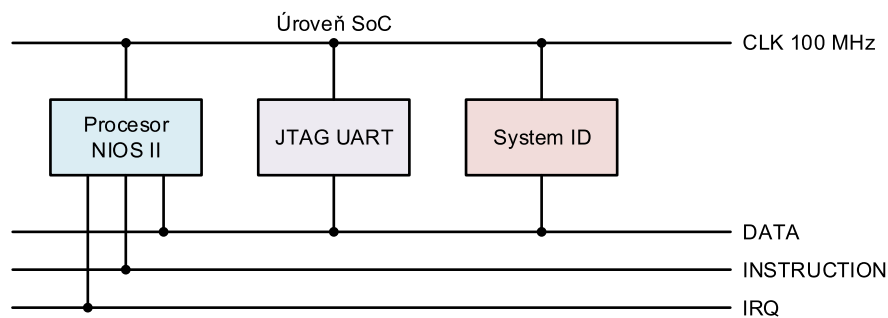
Ako zdroj hodinového signálu je na doske použitý oscilátor s frekvenciou výstupného signálu 50 MHz. Tento hodinový signál je privádzaný na vstup *Clock Source* bloku a ďalej na vstup bloku PLL, pozri obr. 39. Blok PLL násobí vstupný signál s frekvenciou 50 MHz faktorom dva. Vynásobený hodinový signál na úroveň 100 MHz je ďalej privádzaný na všetky periférie SoC návrhu.

#### 4.3.2. Procesor

Ako bolo uvedené v predchádzajúcich kapitolách NIOS II je 32 bitová architektúra vstavaných procesorov pre hradlové polia od spoločnosti ALTERA [21], [22]. Zapojenie blokov potrebných k činnosti procesora je zobrazené na obr. 40. Okrem bloku samotného procesora sa na schéme nachádzajú bloky *JTAG UART* a *System ID*. Všetky tri bloky sú taktované spoločným hodinovým signálom 100 MHz. Úlohou bloku *JTAG UART* je sprostredkovať ladiace výpisy z procesora do vývojového prostredia. Blok *System ID*



Obr. 39. Zdroj hodinového signálu



Obr. 40. Bloková schéma zapojenia procesora NIOS II

jednoznačne identifikuje procesor v rámci SoC návrhu. Tým sa umožní použitie viacerých procesorov v rámci jedného SoC návrhu. V prípade merača kapacity a stratového činiteľa bol ale použitý len jeden procesor NIOS II.

#### 4.3.3. Pamäťové periférie

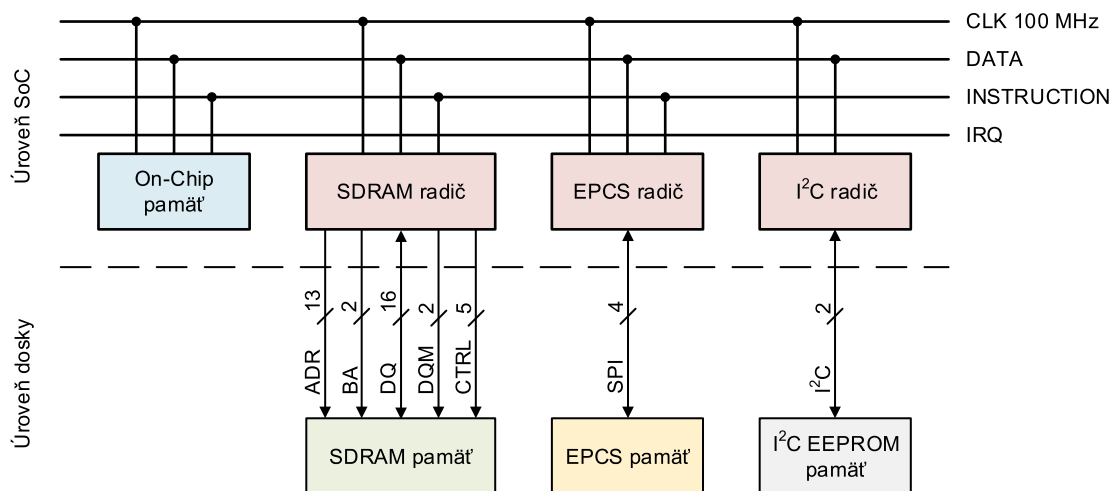
V SoC dizajne merača je použitých niekoľko typov pamäťových periférií. Každý druh pamäťovej periférie má svoje špecifické využitie. Na obr. 41 je zobrazená bloková schéma pamäťových periférií. Prvou z použitých pamätí je tzv. *On-Chip* pamäť. Jedná sa o pamäť typu RAM s veľkosťou 4096 bytov a je syntetizovaná priamo na čipe. Pamäť je volatilná, preto je potrebné po každom zapnutí napájacieho napätia systému vykonať jej inicializáciu. Z obr. 41 vyplýva, že *On-Chip* pamäť je pripojená jednak na dátovú *DATA*, ale aj na inštrukčnú *INSTRUCTION* zbernicu procesora. Z tohoto dôvodu môže byť táto pamäť využitá pre ukladanie dát aj programu procesora.

Nevýhodou *On-Chip* pamäte je jej malá kapacita, ktorá nepostačuje na rozsiahlejšie programy. Z tohoto dôvodu bol do SoC dizajnu doplnený radič SDRAM pamäte pripojený na externú SDRAM pamäť. Kapacita konkrétnej SDRAM pamäte použitej v merači je 32 MB, čo postačuje na uloženie dát aj programu procesora. Radič je opäť pripojený na dátovú aj inštrukčnú zbernicu procesora.

Rovnako *On-Chip* aj SDRAM pamäť je volatilná a je potrebné ju po štarte zariadenia inicializovať. Preto bol do dizajnu doplnený radič EPCS pamäte. EPCS pamäť je pamäť typu FLASH so sériovým komunikačným rozhraním dodávaná spoločnosťou ALTERA ako konfiguračná pamäť pre hradlové polia od rovnakej spoločnosti. Hlavnou úlohou tejto pamäte v dizajne systému je uloženie FPGA návrhu popísaného v kapitole 4.2 a jeho nahratie do FPGA po zapnutí napájania. Okrem tejto funkcie sa EPCS pamäť využíva



#### 4. Softvérové vybavenie prístroja



Obr. 41. Bloková schéma zapojenia pamäťových periférií

aj na uloženie programu procesora. V tomto prípade je do EPCS pamäte naprogramovaný kód FPGA dizajnu, za ktorým hneď nasleduje kód procesora. Po štarte napájania sa najprv zavedie FPGA dizajn a potom sa spustí vstavaný bootloader, ktorý je súčasťou EPCS radiča. Tento bootloader zabezpečí načítanie programu procesora z EPCS pamäte, jeho nakopírovanie do SDRAM pamäte a jeho spustenie.

Poslednou pamäťou v dizajne merača je externá I<sup>2</sup>C EEPROM pamäť. Jedná sa o nevolatilnú pamäť, preto sa v merači využíva na ukladanie rôznych kalibračných konštánt a nastavení prístroja. Pamäť je k procesoru pripojená pomocou I<sup>2</sup>C radiča, ktorý je pripojený len na dátovú zbernicu procesora. Keďže dodávateľ vývojového prostredia neposkytuje vstavaný I<sup>2</sup>C radič, bol použitý voľne dostupný radič z [23].

#### 4.3.4. Časovacie periférie

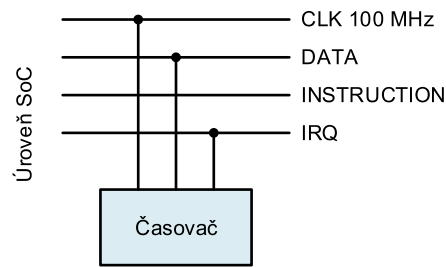
Pre potreby časovanie intervalov bol do dizajnu doplnený časovač s periodickým generovaním prerušenia. Zapojenie časovača k procesoru je zobrazené na obr. 42. Časovač je taktovaný hodinovým signálom s frekvenciou 100 MHz a je pripojený na dátovú a prerušovaciu *IRQ* zbernicu. Pretečenie časovača je nastavené na čas 1 ms, pričom sa generuje prerušenie. Tieto periodické prerušenia sa využívajú v programe procesora na časovanie rôznych systémových udalostí.

#### 4.3.5. Komunikačné periférie

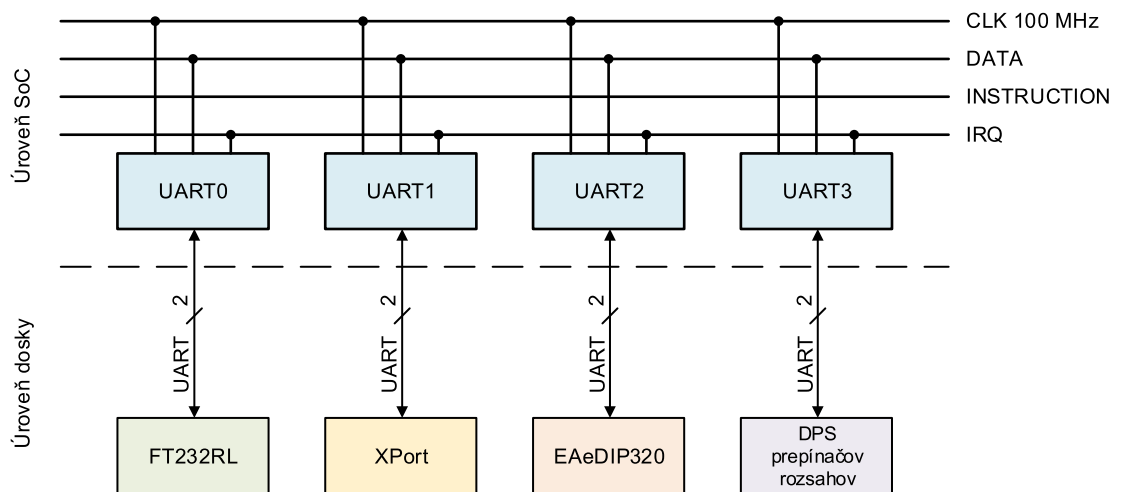
Komunikačné periférie sú v dizajne použité pre komunikáciu s ďalšími zariadeniami na doske. Bloková schéma zapojenia komunikačných periférií je zobrazená na obr. 43. V dizajne sú použité štyri radiče UART komunikačného rozhrania, každý z nich je taktovaný hodinovým signálom s frekvenciou 100 MHz a je pripojený na dátovú a prerušovaciu zbernicu procesora.

Radič *UART0* slúži na komunikáciu s prevodníkom FT232RL popísaným v kapitole 3.7. Prenosová rýchlosť je fixne nastavená na 19200 baudov. V poradí ďalší radič *UART1* je určený pre komunikáciu s XPort modulom, taktiež popísaným v kapitole 3.7. Jeho prenosová rýchlosť je tiež nastavená na 19200 baudov. Radič *UART2* je určený





Obr. 42. Bloková schéma zapojenia časovacých periférií



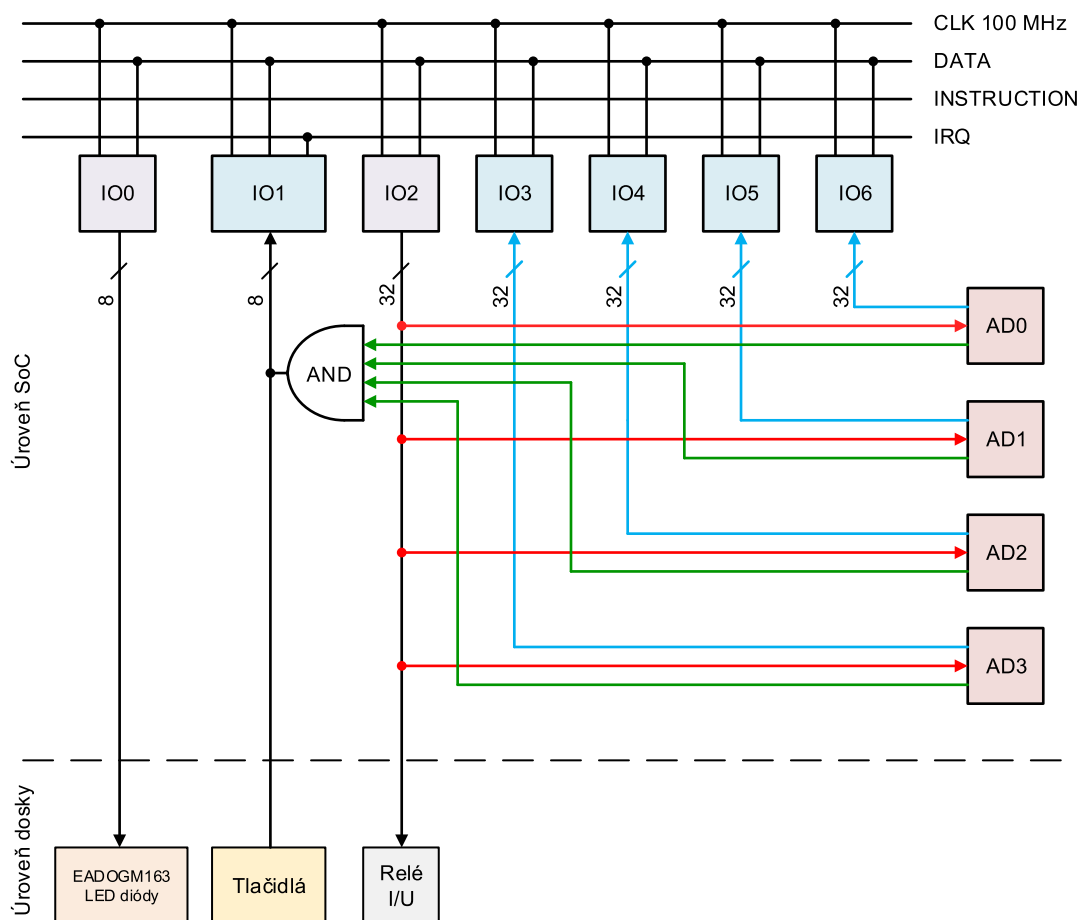
Obr. 43. Bloková schéma zapojenia komunikačných periférií

pre komunikáciu s inteligentným grafickým displejom EAeDIP230 popísaným v kapitole 3.8. Prenosová rýchlosť tohoto radiča je nastavená na 115 200 baudov. Posledný radič *UART3* sa používa pre komunikáciu s doskou prepínačov rozsahov, ktorá bola prejednávaná v kapitole 3.4. Prenosová rýchlosť tohoto radiča je nastavená na 9600 baudov. Ďalšie parametre UART komunikácie akými sú počet dátových bitov, parita a počet stop bitov sú pri všetkých radičoch nastavené na rovnakú hodnotu a to osem dátových bitov bez parity a jedným stop bitom.

#### 4.3.6. Vstupno výstupné porty

Vstupno výstupné (ďalej len IO) porty sú v merači použité pre ovládanie LED diód, displeja na doske, snímanie tlačidiel a v neposlednom rade na ovládanie a vyčítavanie dát z blokov komunikácie s AD prevodníkmi. Na obr. 44 sa nachádza prvá časť blokovej schémy zapojenia IO portov. Osem bitový port *IO0* je výstupný a slúži na ovládanie LED diód umiestnených na doske a displeja EAeDIP320 popísaného v kapitole 3.8. Osembitový vstupný port *IO1* je určený na snímanie stavov tlačidiel na doske. Tento IO port je pripojený aj na prerušovaciu zbernicu procesora, aby bolo možné obsluhovať tlačidlá v prerušovacích rutinách programu procesora.

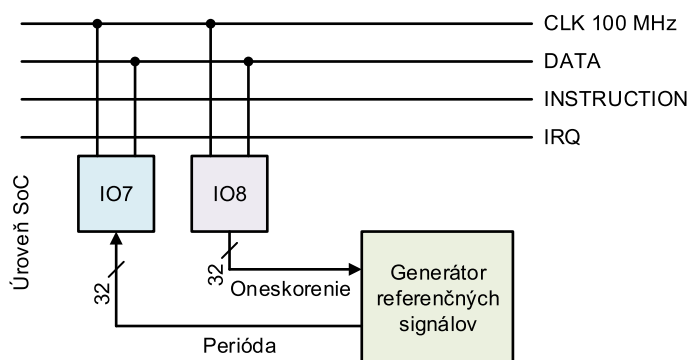
#### 4. Softvérové vybavenie prístroja



**Obr. 44.** Bloková schéma zapojenia IO portov, časť 1

Okrem snímania stavov tlačidiel je na port *IO1* pripojený výstup hradla *AND*, do ktorého vstupujú signály *DATA RDY* (označené zelenou farbou) komunikačných blokov *AD* prevodníkov *AD0* až *AD3* popísaných v kapitole 4.2.2. Do procesora je teda priradzaný spoločný signál, ktorý hovorí, že všetky bloky *AD* prevodníkov majú dáta dostupné na výstupnej zbernici. Výstupný 32-bitový port *IO2* slúži na riadenie relé I/U prevodníkov popísaných v kapitole 3.5.1. Na tento IO port sú taktiež pripojené riadiace signály *INI*, *CHAN* a *MES* (pozri obr. 36) blokov *AD0* až *AD3*. Vstupné 32-bitové porty *IO3* až *IO6* slúžia na pripojenie výstupných zberníc *DATA OUT* blokov *AD* prevodníkov a umožňujú tým vyčítanie nameraných hodnôt.

Na obr. 45 sa nachádza druhá časť blokovej schémy zapojenia IO portov. Porty *IO7* a *IO8* slúžia pre obsluhu generátora referenčných signálov popísaného v kapitole 4.2.1. Jeho výstupná 32-bitová zbernica *Periódá* je pripojená na vstupný 32-bitový port *IO7*. Vstupná zbernica *Oneskorenie* generátora referenčných signálov je budená 32-bitovým výstupným portom *IO8*. Týmto pripojením je zabezpečená plná kontrola generátora procesorom.



Obr. 45. Bloková schéma zapojenia IO portov, časť 2

## 4.4. Program procesora NIOS II

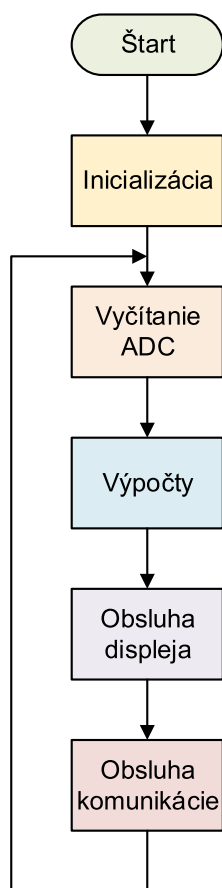
Program procesora NIOS II je napísaný v jazyku C v návrhovom prostredí Eclipse. Obsluhuje všetky hardvérové časti hlavnej DPS vrátane výpočtu meraných veličín. Vývojový diagram hlavnej slučky programu je zobrazený na obr. 46. Po zapnutí napájania a štarte programu sa vykonáva inicializácia všetkých potrebných periférií merača. Po jej vykonaní program vstupuje do nekonečnej slučky na začiatku ktorej sa vykonáva vyčítanie AD prevodníkov. Po získaní hodnôt z AD prevodníkov nasledujú výpočty meraných veličín a obsluha displeja. Posledným úkonom je obsluha komunikačných periférií merača. V nasledujúcom texte budú podrobnejšie prejednané jednotlivé procesy hlavnej slučky.

### 4.4.1. Inicializácia

Tento proces zabezpečuje inicializáciu jednak periférií procesora a taktiež externých periférií merača. V úvode procesu sú zaregistrované obslužné rutiny použitých prerušení. Jedná sa o prerušenia z tlačidiel umiestnených na hlavnej doske, prerušenie pretečenia časovača a prerušenia prijatia znaku na jednotlivých UART kanáloch. Ďalej sa pokračuje inicializáciou periférií procesora NIOS II akými sú vstupno výstupné porty, časovač, UART a I<sup>2</sup>C radič. Následne sa pokračuje spustením inicializačnej sekvencie obidvoch displejov a vynulovaním všetkých potrebných premenných. Posledným úkonom procesu je vyčítanie nastavení merača (kalibračných konštánt, parametrov normálovej impedancie, nastavení displeja apod.) z externej EEPROM pamäte, pozri obr. 41.

### 4.4.2. Vyčítanie AD prevodníkov

Pre vyčítanie AD prevodníkov sa používajú bloky SoC popísané v kapitole 4.2.2. Tieto bloky sú k procesoru pripojené pomocou vstupno výstupných portov, pozri obr. 44. Najprv sa vykoná meranie výstupu RMS prevodníka, pozri kapitolu 3.5.4. Procesor zvolí pomocou signálu *CHAN* (pozri obr. 36) merací kanál pripojený na výstup RMS prevodníka a impulzom na signále *INI* spustí inicializáciu prevodníka. Po jej vykonaní sa impulzom na signále *MEAS* spúšťa meranie. Procesor čaká na signál *DATA RDY*, po jeho obdržaní vyčítava dáta zo zbernice *DATA OUT* prislúchajúcej AD prevodníku pripojenému na RMS prevodník a namerané dáta sa ukladajú pre ďalšie spracovanie.



Obr. 46. Vývojový diagram hlavnej slučky programu

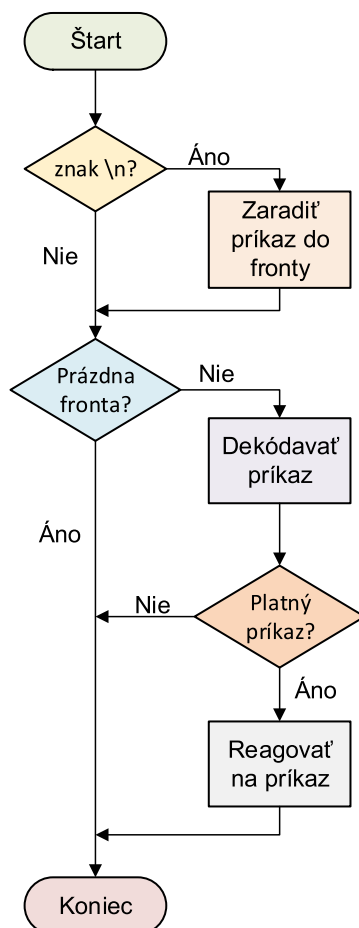
Obdobný proces sa deje pre meranie hodnôt zo spínačových detektorov. Proces sa odlišuje len v napätovej úrovni na signále *CHAN*. Procesor vydá pokyn na inicializáciu prevodníkov s meraním na kanáloch prislúchajúcim spínačovým detektorom a po jej vykonaní vygeneruje spúšťač impulz pre čítanie nameraných hodnôt. Tieto hodnoty sa ukladajú do internej pamäte a sú spracovávané v nasledujúcom procese.

#### 4.4.3. Výpočty meraných veličín

V kapitole 3.5.5 boli odvodené vzťahy pre výpočet všetkých veličín vyhodnocovaných v merači. Nakoľko sa jedná o vzťahy pracujúce s komplexnými číslami, bola v jazyku C napísaná softvérová knižnica pre prácu s komplexnými číslami. Komplexné číslo je reprezentované užívateľským dátovým typom tvoreným štruktúrou pozostávajúcou z dvoch premenných typu float. Jedna premenná slúži pre uchovanie reálnej zložky a druhá pre uchovanie imaginárnej zložky komplexného čísla. Knižnica obsahuje funkcie pre výpočet

- absolútnej hodnoty komplexného čísla,
- argumentu komplexné čísla,
- súčtu,
- rozdielu,
- súčinu,
- podielu dvoch komplexných čísel,
- odmocniny z komplexného čísla.

Pomocou týchto funkcií sú implementované všetky výpočty na úrovni komplexných čísel.



Obr. 47. Vývojový diagram spracovania dát od nadradeného systému

#### 4.4.4. Obsluha displeja

Vypočítané hodnoty sú zobrazované na displeji EAeDIP320-8 (pozri kapitolu 3.8) umiestnenom na čelnom paneli merača. Komunikácia s displejom prebieha po komunikačnom štandarde UART. Displej disponuje interným radičom podporujúcim príkazy pre vykresľovanie základných tvarov (čiara, obdĺžnik, výpis textu apod.). Pre obsluhu displeja bola vytvorená knižnica implementujúca všetky podporované príkazy. Merač podporuje dve rôzne zobrazenia nameraných dát, medzi ktorými je možné prepínať pomocou špeciálneho príkazu. V prvom režime sú zobrazované všetky vypočítané veličiny vrátane hodnôt náhradných schém a hodnoty normálovej impedancie. V druhom zobrazení sú zobrazované len hodnoty nameranej kapacity, stratového činiteľa a meracieho napätie. V oboch prípadoch sú ale na obrazovke indikované aktuálne nastavené meracie rozsahy a merací režim.

#### 4.4.5. Obsluha komunikácie

Proces obsluhy komunikácie pozostáva z dvoch častí: obsluhy komunikácie s nadradeným systémom prostredníctvom rozhrania Ethernet a obsluhy komunikácie s DPS prepínača rozsahov prostredníctvom UART rozhrania. V oboch prípadoch bol implementovaný jednoduchý protokol zložený z ASCII znakov. Jednotlivé príkazy sú oddeľované znakom  $\backslash n$ .

#### 4. Softvérové vybavenie prístroja

V obsluhu prerušenia prijímania znaku z modulu Xport je každý znak ukladaný do fronty prijatých znakov. V prípade, že je do fronty uložený znak  $\backslash n$ , signalizuje sa táto udalosť v globálnej premennej. V procese obsluhy komunikácie je táto premenná kontrolovaná a v prípade, že fronta obsahuje znak  $\backslash n$  pristúpi sa k zaradeniu príkazu do fronty príkazov, pozri vývojový diagram na obr. 47. Zaradenie spočíva v nájdení konca príkazu pomocou detekcie polohy znaku  $\backslash n$ . Proces ďalej pokračuje dekodovaním príkazu v prípade, že fronta príkazov nie je prázdna. V tejto fáze procesu sa interpretujú jednotlivé príkazy a v prípade platnosti príkazu sa vykoná príslušná reakcia. Reakciou sa rozumie odpoveď nadradenému systému na žiadané dáta, prípadné preposlanie požiadavky na zmenu rozsahu alebo meracieho režimu do DPS merača rozsahov. Zoznam podporovaných príkazov je uvedený v prílohe A.

Obsluha komunikácie s DPS prepínača rozsahov je riešená obdobne ako v predchádzajúcom prípade. Taktiež je implementovaný systém fronty prijatých znakov a príkazov. Prijaté znaky sú najprv v rámci procesu obsluhy komunikácie rozdeľované do fronty príkazov a následne sú vyhodnocované a interpretované.

Pre potreby ovládania prístroja bola nad rámec diplomovej práce (túto úlohu zastávala partnerská spoločnosť) vyvinutá aplikácia pre PC umožňujúca základné ovládanie prístroja. Aplikácia je napísaná v jazyku C++ a implementuje TCP/IP komunikáciu s prístrojom. Umožňuje ovládať jednotlivé meracie rozsahy, merací režim a nastaviť požadované parametre normálovej impedancie. Na obr. 48 sa nachádza ukážka hlavného okna ovládacej aplikácie merača.

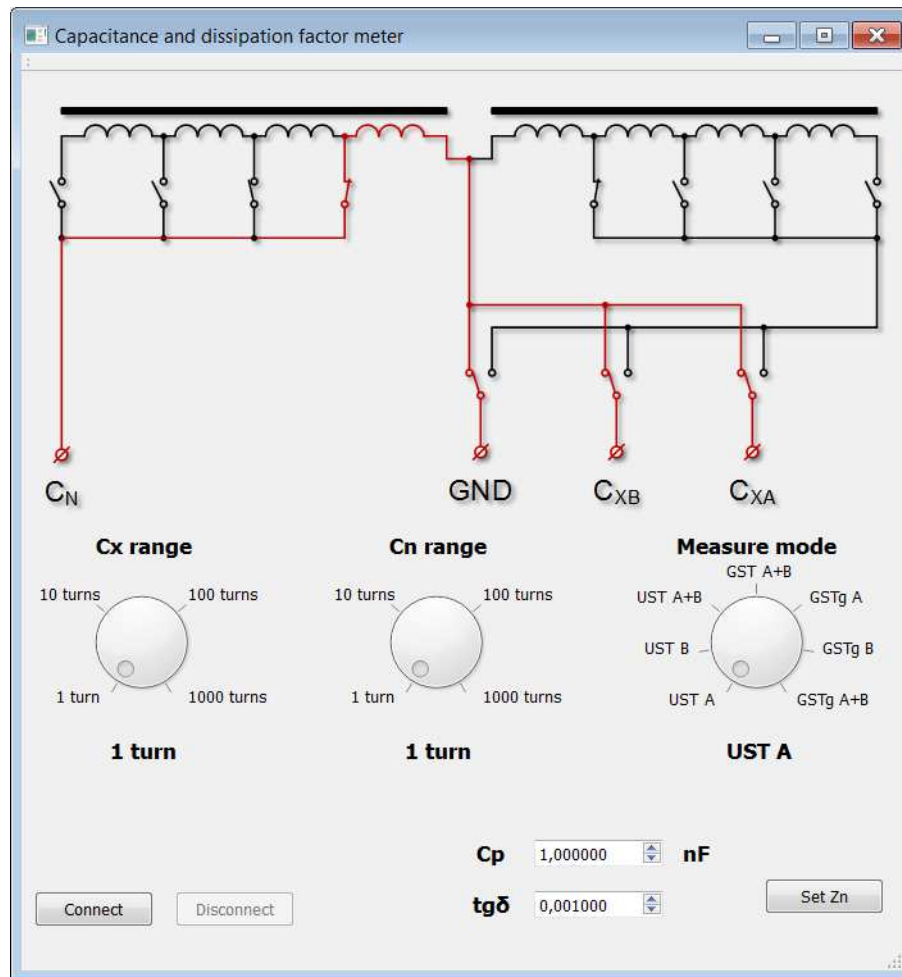
### 4.5. Softvér mikroprocesora na DPS prepínača rozsahov

Ako bolo uvedené v kapitole 3.4, DPS prepínača rozsahov je vybavená mikroprocesorom ATxmega32A4. Tento mikroprocesor má za úlohu dekodovať príkazy od hlavnej DPS cez rozhranie UART a na základe týchto príkazov nastaviť príslušný merací rozsah alebo režim. Všetky tieto funkcie implementuje softvér mikroprocesora. Softvér bol vyvíjaný v prostredí Atmel Studio, ktoré od poslednej verzie ponúka aj kompilátor jazyka C++. Z tohoto dôvodu bolo rozhodnuté, že pre vývoj softvéru mikroprocesora sa použije práve jazyk C++, čím sa otestujú jeho výhody v oblasti mikroprocesorovej techniky.

#### 4.5.1. Využitie objektov

Jazyk C++ podporuje prístup objektovo orientovaného programovania [24]. Prvou úlohou pri tvorbe softvéru bolo rozhodnúť sa ako správne využiť podporu objektov pri programovaní mikroprocesorov. Objekt v objektovo orientovanom programovaní je inštancia triedy. Trieda v jazyku C++ definuje dátovú štruktúru pre uloženie dát a funkcie pre prácu s nimi. Tu sa ponúka možnosť zaviesť zvlášť triedu pre každý typ periférie procesora (vstupno výstupný port, časovač, UART rozhranie apod.).

Preberme následne možnosť implementácie triedy určenej pre obsluhu jedného vstupno výstupného pinu (ďalej len IO pinu) procesora. Programová obsluha každej periférie procesora spravidla spočíva v zápise určitých dát do príslušných registrov periférie. Preto je vhodné, aby trieda IO pinu obsahovala premennú pre uloženie ukazovateľa na dátovú štruktúru reprezentujúcu registre portu, na ktorom sa fyzicky daný IO pin nachádza. Okrem toho je výhodné zaviesť ďalšiu celo číselnú premennú, ktorá špecifikuje, o ktorý konkrétny IO pin na danom porte sa jedná. Ako príklad definície triedy IO pinu môže slúžiť nasledujúci kód.



Obr. 48. Ukážka hlavného okna ovládacej aplikácie

```

class IOpin
{
private:
    PORT_t *PORT;    // ukazovateľ na registre portu
    int pin;        // číslo IO pinu

public:
    IOpin();        // konštruktor triedy
    IOpin(PORT_t * PORT_p, int pin_p);
    void Ini(PORT_t * PORT_p, int pin_p);
    void SetAsOutput(void);
    void SetAsInput(void);
    void SetVal(void);
    void ClrVal(void);
    void NegVal(void);
    bool GetVal(void);
    void SetOPC(OPC opc);
    void SetISC(ISC isc);
};

```

#### 4. Softvérové vybavenie prístroja

V neverejnej časti definície triedy sa nachádzajú dve spomínané premenné. Ukazovateľ na registre portu je typu `PORT_t`. Jedná sa o štruktúru, ktorá mapuje jednotlivé registre periférie portu. Definície týchto štruktúr sú dodávané s vývojovým prostredím, preto ich nie je potrebné reimplementovať. Vo verejnej časti definície sa nachádzajú prototypy konštruktorov triedy.

Aby bola definícia triedy kompletná je vhodné v triede implementovať funkcie pre prácu s IO pinom. Najčastejšou potrebou je nastavenie a vyčítanie logickej úrovne pinu prípadne negovanie a nastavenie logickej úrovne. Verejná časť definície triedy `IOpin` teda ešte obsahuje prototypy funkcií vykonávajúce tieto činnosti. Okrem spomínaných funkcií boli ešte implementované funkcie pre nastavenie pinu ako vstupného a výstupného a funkcia pre nastavenie parametrov generovania prerušenia. Príklad implementácie funkcie nastavujúcej na IO pin log. 1 uvádza nasledujúci kód.

```
void IOpin::SetVal(void)
{
    PORT->OUT |= (1 << pin);
}
```

Príklad deklarácie objektu triedy `IOpin` približuje nasledujúci kód.

```
IOpin Rele1 = IOpin(); // deklarácia objektu
Rele1.Ini(&PORTC, 7); // inicializácia na PORTC a pin 7
```

Zavedenie objektového prístupu umožňuje programátorovi upriamiť svoju pozornosť viac na výslednú aplikáciu. V predchádzajúcom výpise bol deklarován objekt typu `IOpin` s názvom `Rele1`. Pre zopnutie a rozopnutie daného relé nepotrebuje programátor vedieť implementovať priamu obsluhu IO pinu, ale stačí mu použiť členské funkcie triedy. Jedinú vec, ktorú potrebuje uviesť je číslo pinu a port na ktorý je dané relé pripojené.

Kód napísaný pomocou objektov sa stáva prehľadnejší vďaka možnosti zavedenia istej hierarchie. Na doske prepínača rozsahov je osadený sedem segmentový displej s jedným segmentom. Ovládaný je ôsmimi IO pinmi (sedem segmentov a desiatinná bodka). V tomto prípade sa otvára možnosť implementovať triedu popisujúcu jeden segment displeja, ktorá by využívala triedu `IOpin`. Definíciu triedy `Segment7` popisujúcu displej udáva nasledujúci kód.

```
class Segment7
{
private:
    IOpin *SegA, *SegB, *SegC, *SegD,
          *SegE, *SegF, *SegG, *SegH;
    char mode_type;
public:
    enum MODE { COMMON_ANODE = 0x00,
                COMMON_CATHODE = 0x01 };
    Segment7();
    void Ini(IOpin *SegA_p, IOpin *SegB_p, IOpin *SegC_p,
            IOpin *SegD_p, IOpin *SegE_p, IOpin *SegF_p,
            IOpin *SegG_p, IOpin *SegH_p, MODE mode);
    void Put_char(char c);
    void Dot_Set(void);
    void Dot_Clr(void);
    void Dot_Neg(void);
};
```



V neverejnej časti deklarácie triedy sa nachádza deklarácia ôsmich premenných typu ukazovateľ na IOpin. Jedná sa o ukazovatele na IO piny, ktoré sú použité pre ovládanie displeja. Okrem týchto premenných je ešte deklarovaná premenná `mode_type`, ktorá uchováva informáciu, či sa jedná o displej so spoločnou anódou alebo katódou.

Vo verejnej časti deklarácie sa nachádzajú konštruktor triedy a prototypy členských funkcií. Prvou členskou funkciou je funkcia `Ini()`, ktorá slúži pre úvodnú inicializáciu objektu a teda predanie všetkých potrebných premenných. Ďalšou funkciou je `Put_char()`, ktorá umožní zobrazit' na displeji ASCII znak predávaný v argumente funkcie. Zobraziteľné znaky sú limitované možnosťami siedmich segmentov displeja. Posledné tri funkcie slúžia len na priame ovládanie desatinnej bodky.

Programátorskou technikou uvedenou v tejto kapitole je možné vystavať hierarchiu objektov, ktoré slúžia ako abstrakcia reálnych hardvérových prvkov na doske. Cieľom tejto kapitoly bolo ukázať, že aj jazyk C++ je použiteľný pri vývoji softvérových aplikácií pre mikroprocesory.

##### 4.5.2. Celková funkcia

Hlavnou úlohou tohoto softvéru je prijímať príkazy od hlavnej dosky a pomocou relé umiestnených na doske prepínača nastaviť požadovaný merací rozsah a režim. Softvér mikroprocesora implementuje jednoduchý ASII protokol, v ktorom sú jednotlivé príkazy oddelené znakom ukončenia riadku `\n`. Ako bolo uvedené v kapitole 3.4, doska prepínača rozsahov musí zabezpečiť aby merací obvod VN bol v každom prípade uzavretý a meračom tiekli prúdy  $I_N$  a  $I_X$ . V opačnom prípade by sa na svorkách merača objavilo nebezpečné VN. Z tohoto dôvodu nie je možné pri prepínaní rozsahu prepnúť dve relé v jednom čase, pretože by nebolo možné vylúčiť, že počas prepínania kontaktov relé sa merací obvod nepreruší. Po obdržaní príkazu na prepnutie rozsahu od hlavnej dosky, softvér najprv zopne relé daného rozsahu a následne rozopne relé posledne nastaveného rozsahu.

Softvér mikroprocesora taktiež ovláda sedem segmentový displej umiestnený na doske prepínača. Tento displej slúži len pre ladiace a servisné účely a sú na ňom cyklicky zobrazované aktuálne nastavené meracie rozsahy a merací režim. Tieto hodnoty sú okrem toho vysielané aj na ďalší UART kanál, ktorý taktiež slúži len ladiace účely.

## 5. Overenie činnosti prístroja

Účelom tejto kapitoly je zhrnúť merania vykonané pre overenie činnosti meracieho prístroja. Najprv bola zvlášť skúmaná činnosť bloku merania frekvencie a následne aj činnosť merača ako celku. V nasledujúcich podkapitolách budú približené merania overujúce spomenuté vlastnosti a ich výsledky. Všetky merania boli vykonávané na prvej verzii hlavnej DPS merača, pretože druhá verzia dosky bola v čase vykonávanie týchto meraní vo fáze vývoja.

### 5.1. Overenie bloku merania frekvencie

Za účelom overenia bloku merania frekvencie bol zostavený merací obvod, ktorého schéma je zobrazená na obr. 49. Generátorom bol budený vstup merania frekvencie obdĺžnikovým signálom s amplitúdou 1 Vrms. Uvedený signál bol privedený na vstup komparátora **9**, pozri obr. 10. Frekvencia signálu bola meraná čítačom HP 53131A, ktorého hodnota bola použitá ako referenčná frekvencia  $f_{ref}$ . Na obr. 50 je zobrazená nameraná prevodová charakteristika merania frekvencie. Na vodorovnej osi je vynesená hodnota frekvencie nameraná meračom kapacity  $f_m$  a na zvislej osi je vynesená referenčná hodnota frekvencie nameraná čítačom  $f_{ref}$ . Priebeh prevodovej charakteristiky bol preložený priamkou s parametrami

$$f_{ref} = 0,99997 \cdot f_m + 0,00036304, \quad (42)$$

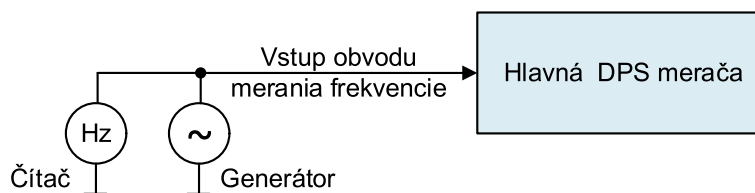
čo pri meraní signálu s frekvenciou 50 Hz spôsobí absolútnu chybu

$$\delta_a = 0,0011 Hz \quad (43)$$

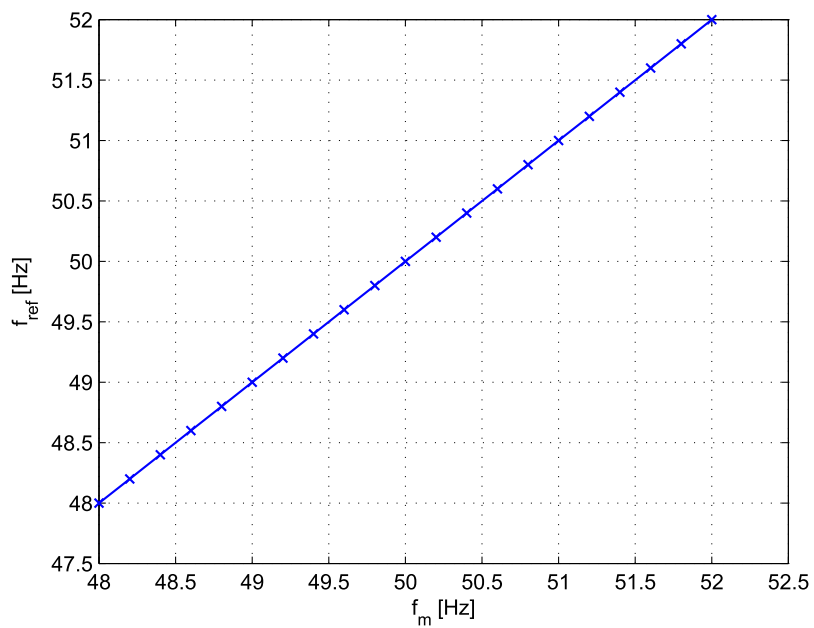
a relatívnu chybu

$$\delta_{rel} = 0,0022\%. \quad (44)$$

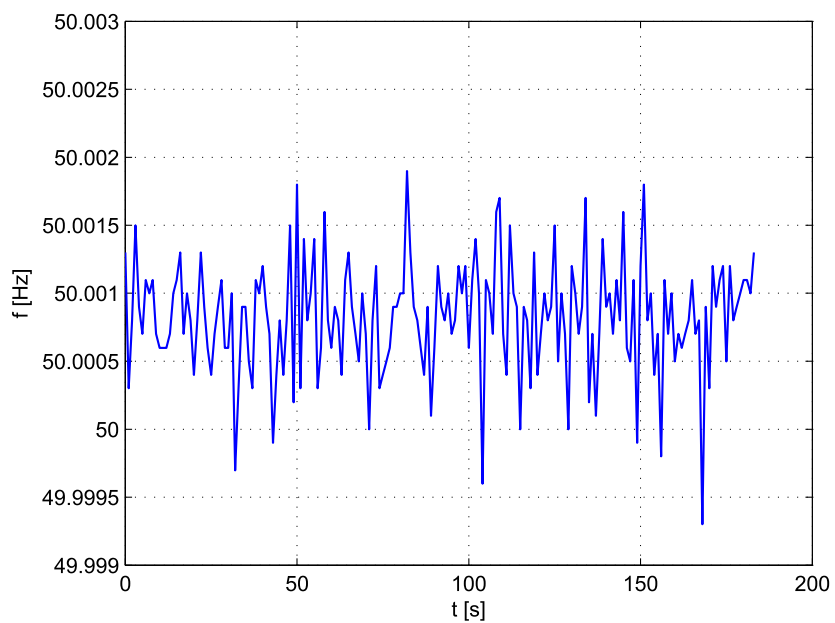
Pri ďalšom meraní bol na vstup obvodu merania frekvencie privedený sínusový signál s amplitúdou 1 Vrms a frekvenciou 49,99997 Hz podľa čítača HP 53131A. Namerané údaje boli postupne zbierané a ukladané do PC. Časový priebeh nameraných údajov je



**Obr. 49.** Schéma zapojenia meracieho obvodu frekvencie



Obr. 50. Prevodová charakteristika merania frekvencie



Obr. 51. Časová stabilita merania frekvencie

## 5. Overenie činnosti prístroja

zobrazený na obr. 51. Po vypočítaní priemeru zo všetkých nameraných hodnôt dostávame

$$f_{avg} = 50,0008231\text{Hz} \quad (45)$$

z čoho vyplýva absolútna chyba

$$\delta_a = 8,531 \cdot 10^{-4}\text{Hz} \quad (46)$$

a relatívna chyba merania

$$\delta_{rel} = 0,0017\%. \quad (47)$$

## 5.2. Overenie činnosti meracích kanálov

Hlavnou časťou obidvoch meracích kanálov je vektorvoltmeter vyhodnocujúci reálnu a imaginárnu zložku prúdu prevedeného na napätie. Pre overenie jeho činnosti bol zostavený merací obvod, kedy boli meracie transformátory odpojené od merača a meracia elektronika hlavnej DPS bola budená priamo z generátora. Postupne boli obidva kanály budené prúdom s rovnakou amplitúdou, ale fáza budiaceho prúdu oproti referenčnému signálu bola menená v rozsahu 0 až 360 stupňov.

Na obr. 52 a 53 sú zobrazené výsledky spomínaných meraní pre obidva kanály  $C_N$  a  $C_X$ . Červenou čiarou sú vykreslené teoretické ideálne kružnice na, ktorých by sa mali nachádzať namerané vektory napätia (vstupného prúdu prevedeného na napätie). Modrými krížikmi sú vyznačené namerané vektory napätí. Následne boli vyhodnotené relatívne chyby merania pre jednotlivé zložky. Ich priebehy v závislosti na fázovom posune vstupného prúdu voči referenčnému signálu sú zobrazené na obr. 54 a 55. Na týchto grafoch môžeme pozorovať špičky, ktoré sa objavujú pri fázových posunoch v oblastiach blízkych 90, 180 a 270 stupňov. Tento jav môže byť zapríčinený tým, že pri týchto fázových posunoch je vždy jedna zo zložiek meraných napätí blízka nule, čím výrazne klesá odstup signálu od šumu.

## 5.3. Overenie merania kapacity a stratového činiteľa

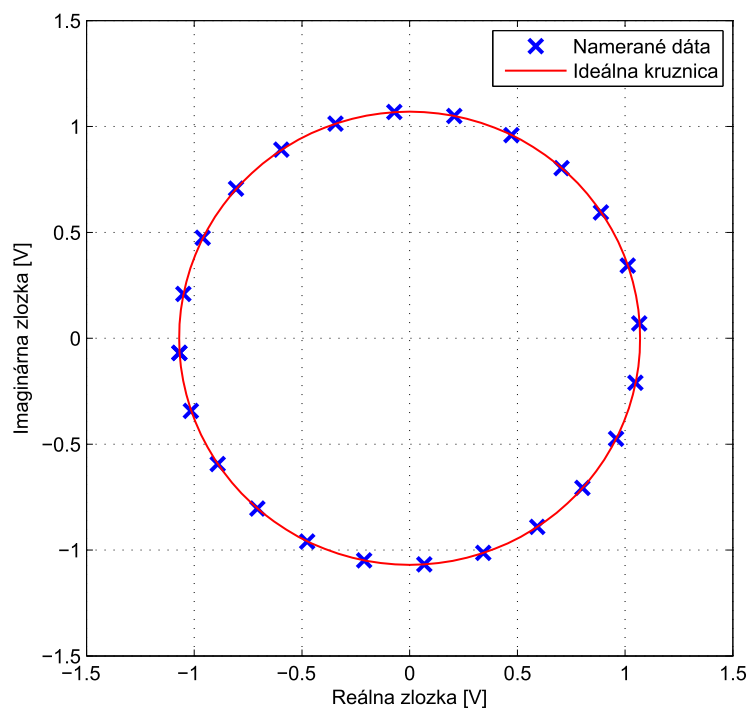
Pri overovaní činnosti merača je na mieste analyzovať možné zdroje chýb merania. Jedným z takýchto zdrojov je skutočnosť, že impedancia vinutí prúdových meracích transformátorov nie je nulová. Preto je potrebné rozšíriť schému zapojenia pomerovej meracej metódy z obr. 7 o impedancie jednotlivých vinutí. Výsledná schéma je zobrazená na obr. 56. Taktiež je potrebné upraviť vzťah (20) na tvar

$$\mathbf{Z}_X = \frac{\mathbf{I}_N}{\mathbf{I}_X} (\mathbf{Z}_N + \mathbf{Z}_{TRN}) - \mathbf{Z}_{TRX}, \quad (48)$$

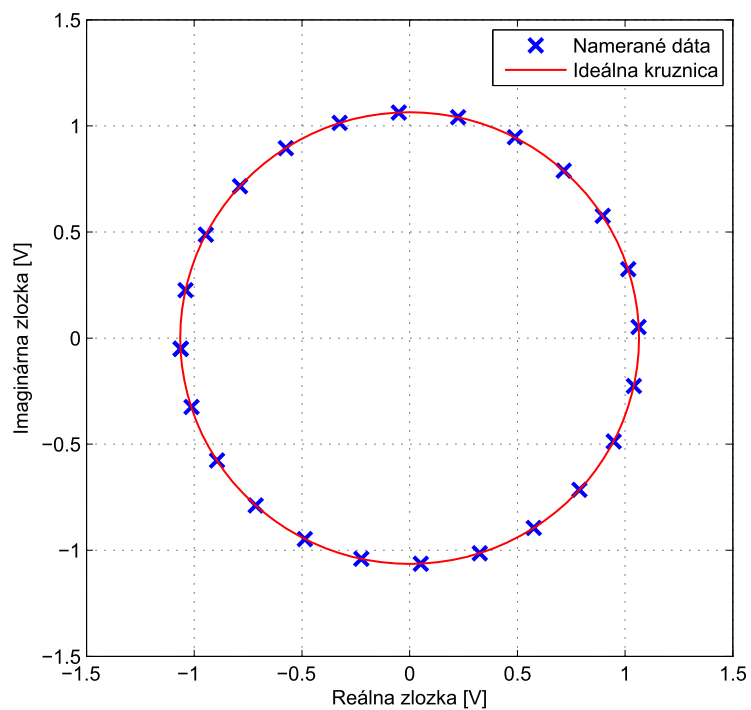
kde  $\mathbf{Z}_{TRN}$  je impedancia primárneho vinutia prúdového transformátora v meracom kanály  $C_X$  a  $\mathbf{Z}_{TRX}$  je impedancia primárneho vinutia prúdového transformátora v meracom kanály  $C_N$ . Tu je opäť nutné podotknúť, že spomínané impedancie vinutí sú rôzne pre každé zo štyroch primárnych vinutí použitých transformátorov. Hodnoty impedancií vinutí môžeme stanoviť meraním alebo v prípadoch keď

$$Z_N \gg Z_{TRN}, \quad (49)$$

$$Z_X \gg Z_{TRX} \quad (50)$$

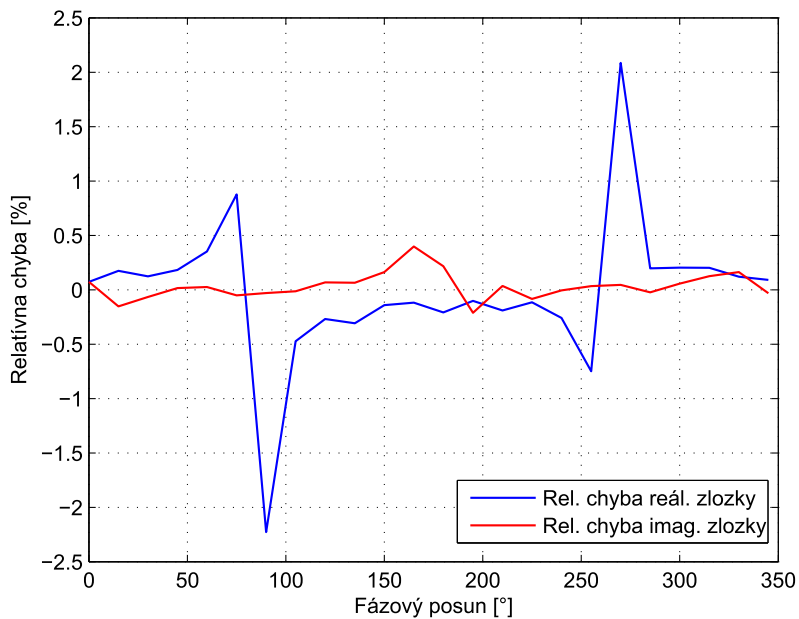


**Obr. 52.** Meranie vektoru prúdu kanálom  $C_N$

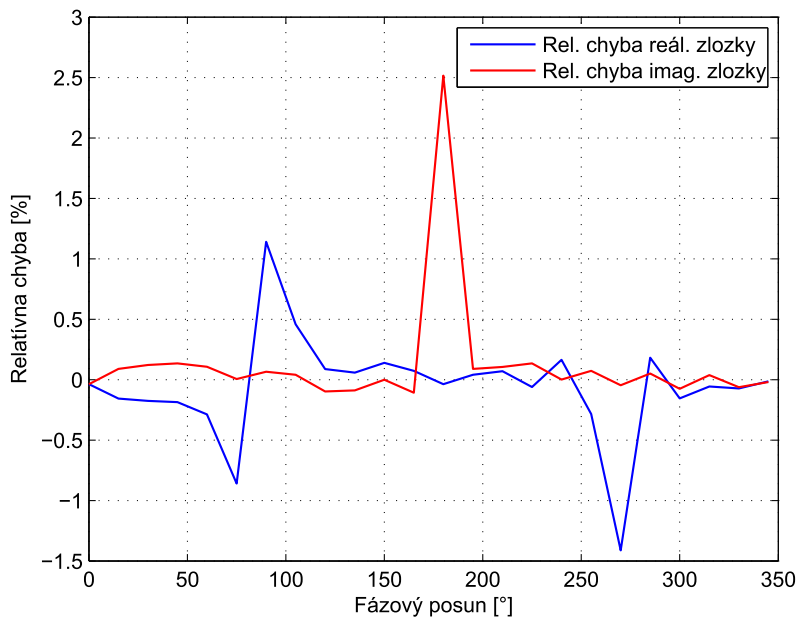


**Obr. 53.** Meranie vektoru prúdu kanálom  $C_X$

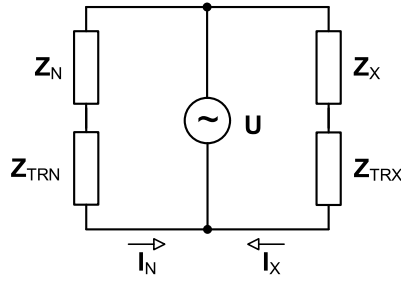
5. Overenie činnosti prístroja



Obr. 54. Relatívna chyba merania vektoru prúdu kanálom  $C_N$



Obr. 55. Relatívna chyba merania vektoru prúdu kanálom  $C_X$



**Obr. 56.** Schéma zapojenia pomerovej metódy s prihliadnutím na impedancie prúdových transformátorov

môžeme tieto hodnoty zanedbať. Pri meraniach popísaných v tejto kapitole boli použité kapacity, ktorých impedancia je minimálne o štyri rády vyššia ako impedancia vinutí transformátorov.

Ďalším zdrojom chýb merania je amplitúdová a fázová chyba merania prúdu samotnej elektroniky meracích kanálov vrátane meracích transformátorov. Označme teda tieto chyby komplexnými číslami  $\mathbf{A}_N$  pre chybu meracieho kanála  $C_N$  a  $\mathbf{A}_X$  pre chybu meracieho kanála  $C_X$ . Z tohoto dôvodu je nutné pri použití vzťahu (20) pre výpočet neznámej impedancie zahrnúť do výpočtu aj tieto chyby, čím sa daný vzťah rozšíri na

$$\mathbf{Z}_X = \mathbf{Z}_N \frac{\mathbf{I}_N \mathbf{A}_N}{\mathbf{I}_X \mathbf{A}_X}. \quad (51)$$

Chyby  $\mathbf{A}_N$  a  $\mathbf{A}_X$  môže ďalej vydeliť, čím sa vzťah zjednoduší na

$$\mathbf{Z}_X = \mathbf{Z}_N \frac{\mathbf{I}_N}{\mathbf{I}_X} \mathbf{A}, \quad (52)$$

kde komplexné číslo  $\mathbf{A}$  združuje amplitúdovú a fázovú chybu obidvoch meracích kanálov.

Pre určenie chyby  $\mathbf{A}$  bol zostavený merací obvod, ktorého schéma je zobrazená na obr. 57. Prúd  $\mathbf{I}$  generovaný zdrojom  $\mathbf{U}$  sa uzatvára cez obidva meracie transformátory  $TR_X$  a  $TR_N$  a taktiež cez záťažovú kapacitu  $C_N$ . Zmyslom tohoto zapojenia je vygenerovať na obidvoch meracích kanáloch prúd s rovnakou veľkosťou. Vplyvom daného obvodu je nutné podotknúť, že prúd  $I_{NA}$  bude mať opačnú fázu ako prúd  $I_{XA}$  a taktiež že nameraná hodnota týchto prúdov bude zatažená chybou  $\mathbf{A}$ . Potom môžeme písať

$$\frac{\mathbf{I}_{NA}}{\mathbf{I}_{XA}} \mathbf{A} = -1, \quad (53)$$

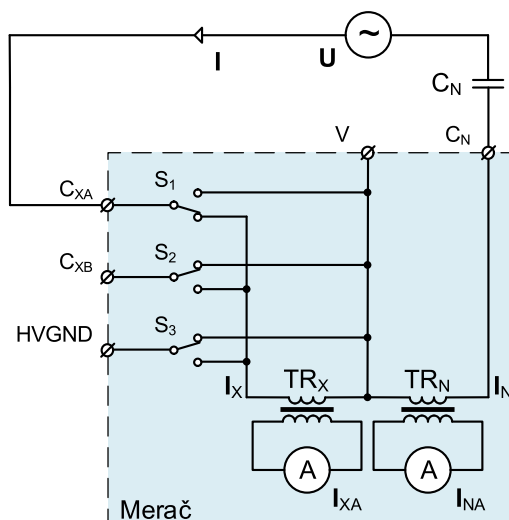
z čoho vyplýva

$$\mathbf{A} = -\frac{\mathbf{I}_{XA}}{\mathbf{I}_{NA}}. \quad (54)$$

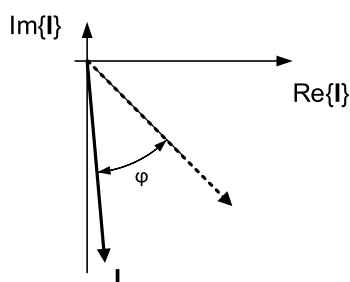
Keďže chyba  $\mathbf{A}$  združuje chybu meracej elektroniky aj chybu meracích transformátorov, je potrebné vykonať toto meranie pre všetky meracie rozsahy.

Merací obvod z obr. 57 predstavuje určitý druh extrému. V prípade, že do meracieho obvodu je zaradená normálová kapacita s veľmi nízkym stratovým činiteľom, meracie transformátory a teda aj meracie kanály detekujú veľmi nízke hodnoty reálnych zložiek meraných prúdov. Tento fakt môže mať za následok nízky odstup signálu od šumu na

## 5. Overenie činnosti prístroja



**Obr. 57.** Schéma zapojenia meracieho obvodu pre určenie fázovej a amplitúdovej chyby



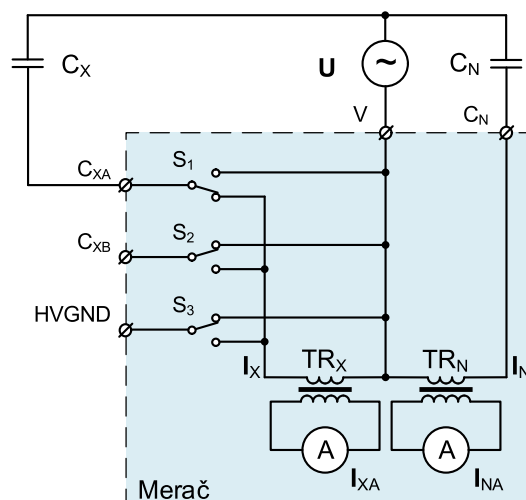
**Obr. 58.** Posun vektoru prúdu do oblasti rovnakých zložiek vektoru

AD prevodníkoch merajúcich reálne zložky meraného prúdu a tým aj zvýšenie celkovej chyby merania, pozri obr. 54 a 55.

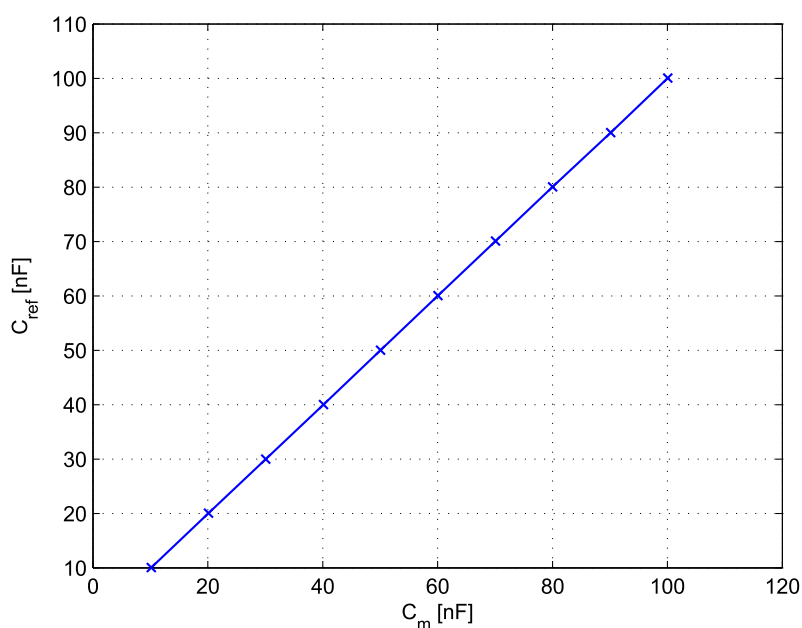
Riešením tohoto problému by bolo fázovo posunúť obidva vektory meraných prúdov  $I_X$  a  $I_N$  o uhol  $\varphi$  do oblasti, kde sú reálna a imaginárna zložka prúdov približne rovnaké, pozri obr. 58. Tým by sa docielilo rovnomerné vybudenie AD prevodníkov v obidvoch meracích kanáloch a taktiež zvýšenie odstupe signálu od šumu. Cestou k dosiahnutiu tohoto stavu je natočenie referencie synchronných detektorov o požadovaný uhol  $\varphi$ . Skutočnosť, že tento posun referencie neovplyvní výslednú meranú impedanciu dokazuje rovnica (40). Ako prostriedok pre posunutie referencie poslúži softvérový blok *Oneskorenovač* popísaný v kapitole 4.2.1, pozri obr. 32. Jeho zbernica *Oneskorenie*, ktorou sa riadi fázový posun referencie, je privedená na procesor NIOS II, čím je zabezpečená plná kontrola nad riadením fázového posunu referencie. Z tohoto dôvodu boli všetky merania v tejto kapitole, vrátane stanovenia chyby **A**, vykonávané v tomto režime.

Po určení fázových a amplitúdových chýb **A** sa mohlo pristúpiť k overeniu merania kapacity a stratového činiteľa. Pre tento účel bol zostavený merací obvod, ktorého schéma ja zobrazená na obr. 59. Úlohu VN zdroja **U** v tomto prípade zastúpil laboratórny regulovateľný zdroj striedavého napätia v rozsahu 0 až 245 V / 50 Hz s výstupným prúdom až 3,1 A. Ako kapacity  $C_N$  a  $C_X$  boli použité kapacitné dekády, ktorých hodnoty boli overené na RLC metri.





Obr. 59. Schéma zapojenia meracieho obvodu kapacity



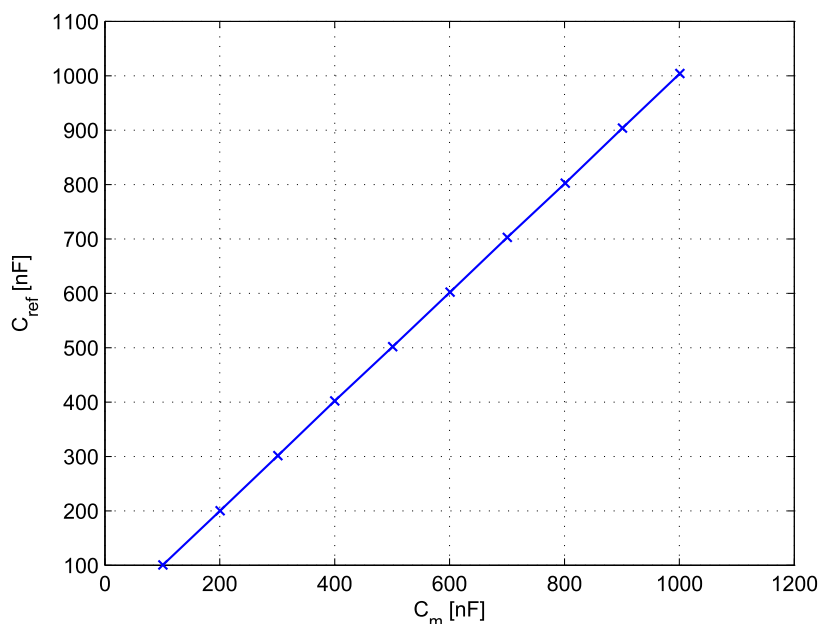
Obr. 60. Prevodová charakteristika merania kapacity pri rozsahu 1000:500 závitov

Prvé meranie bolo vykonávané na rozsahu 1000:500 závitov s normálovou kapacitou 50 nF a budiacim napätím 100 V. V tomto zapojení bolo odmeraných 10 rôznych kapacít v rozsahu od 10 do 100 nF. Ako referencia bol použitý RLC meter od spoločnosti Agilent. Nameraná charakteristika je zobrazená na obr. 60. Veličina  $C_m$  vynesená na vodorovnej osi grafu reprezentuje hodnotu kapacity nameranú meračom a veličina  $C_{ref}$  referenčnú hodnotu kapacity nameranú pomocou RLC metra.

Priebeh nameranej charakteristiky bol preložený priamkou s parametrami

$$C_{ref} = 1,0009 \cdot C_m - 0,10859, \quad (55)$$

## 5. Overenie činnosti prístroja



**Obr. 61.** Prevodová charakteristika merania kapacity pri rozsahu 100:500 závitov

čo pri meraní kapacity 50 nF spôsobí absolútnu chybu

$$\delta_a = 0,06 \text{ nF} \quad (56)$$

a relatívnu chybu

$$\delta_{rel} = 0,13\%. \quad (57)$$

Chyba nelinearity bola stanovená na

$$\delta_l = 0,10\%. \quad (58)$$

Obdobné meranie bolo vykonané aj na rozsahu 100:500 závitov. V tomto prípade bola ako normálová kapacita použitá hodnota 500 nF aby bolo možné pri napätí 100 V dostatočne vybudiť meracie transformátory. Pri tomto meracom rozsahu bolo zmeraných 10 rôznych kapacít v rozsahu 100 až 1000 nF. Nameraná charakteristika je zobrazená na obr. 61.

Nameraná charakteristika bola preložená priamkou s parametrami

$$C_{ref} = 1,0036 \cdot C_m - 0,74185, \quad (59)$$

čo pri meraní kapacity 500 nF spôsobí absolútnu chybu

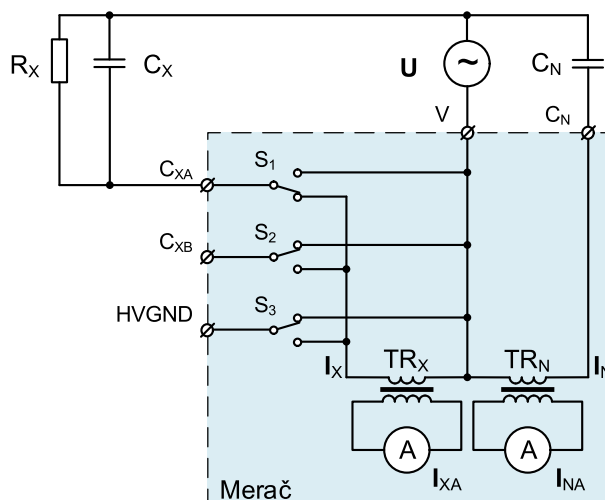
$$\delta_a = 1,05 \text{ nF} \quad (60)$$

a relatívnu chybu

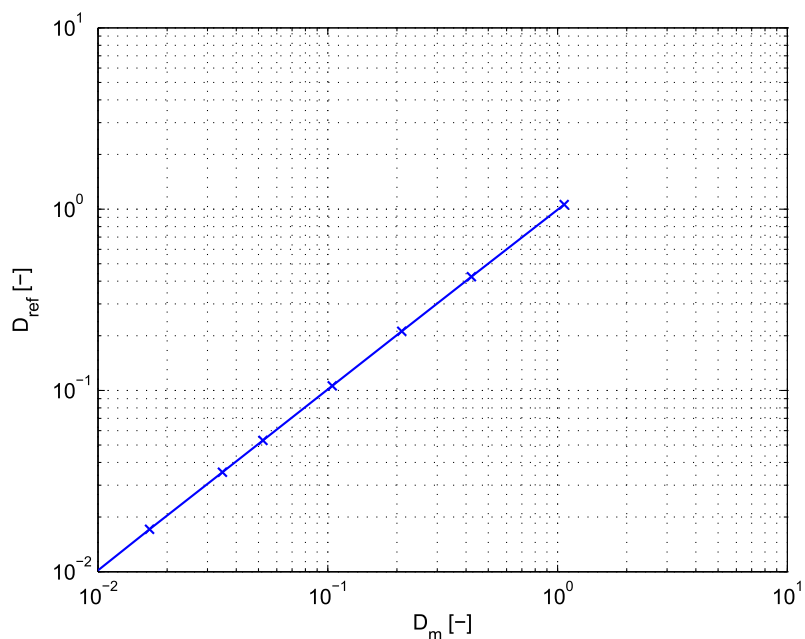
$$\delta_{rel} = 0,21\%. \quad (61)$$

Chyba nelinearity bola stanovená na

$$\delta_l = 0,29\%. \quad (62)$$



**Obr. 62.** Schéma zapojenia meracieho obvodu stratového činiteľa



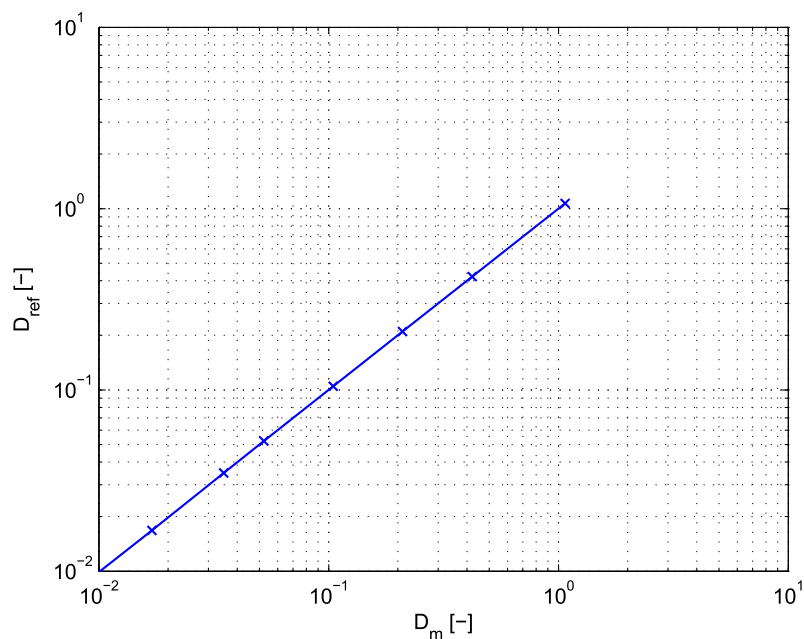
**Obr. 63.** Prevodová charakteristika merania stratového činiteľa pri rozsahu 1000:500 závitov

Aby bolo možné overiť aj meranie stratového činiteľa, bol do meracieho obvodu zaradený paralelný rezistor  $R_X$ , pozri obr. 62. Prvé meranie bolo vykonávané na rozsahu 1000:500 závitov s normálovou kapacitou  $C_N = 1 \mu F$ , meranou kapacitou  $C_X = 1 \mu F$  a rezistor  $R_X$  bol nastavovaný tak aby sa výsledný stratový činiteľ obvodu  $R_X$  a  $C_X$  pohyboval v rozmedzí od 0 do 1. Nameraná charakteristika je zobrazená na obr. 63. Veličina  $D_m$  reprezentuje stratový činiteľ nameraný meračom a  $D_{ref}$  reprezentuje referenčný stratový činiteľ overený pomocou RLC metra.

Uvedená charakteristika bola preložená priamkou s parametrami

$$D_{ref} = 0,99108D_m + 0,0018607, \quad (63)$$

## 5. Overenie činnosti prístroja



**Obr. 64.** Prevodová charakteristika merania stratového činiteľa pri rozsahu 100:500 závitov

čo pri meraní stratového činiteľa o hodnote 1 spôsobí absolútnu chybu

$$\delta_a = 0,064 \quad (64)$$

a relatívnu chybu

$$\delta_{rel} = 0,64\%. \quad (65)$$

Chyba nelinearity bola stanovená na

$$\delta_l = 0,17\%. \quad (66)$$

Podobné meranie bolo vykonané na meracom rozsahu 100:500 závitov s rovnakými parametrami impedancií ako v predchádzajúcom prípade. Nameraná charakteristika je zobrazená na obr. 64 a bola preložená priamkou

$$D_{ref} = 1,0008D_m + 0,00005, \quad (67)$$

čo pri meraní stratového činiteľa o hodnote 1 spôsobí absolútnu chybu

$$\delta_a = 0,0008 \quad (68)$$

a relatívnu chybu

$$\delta_{rel} = 0,08\%. \quad (69)$$

Chyba nelinearity bola stanovená na

$$\delta_l = 0,18\%. \quad (70)$$

## 6. Záver

Cielom tejto diplomovej práce bolo navrhnuť a realizovať merač kapacity a stratového činiteľa určený pre diagnostiku izolácií VN strojov pracujúci s meracím napätím až do 12 kV. V zmysle zadania práce mal merač využívať externý VN zdroj a normálový kondenzátor. Minimálna rozlíšiteľnosť prístroja by nemala prekročiť 1 %. Ovládanie merača malo byť riešené pomocou rozhrania Ethernet.

V úvode práce bol čitateľ zoznámený so základnými pojmami a veličinami z oblasti elektrickej impedancie. Následne bolo prejednaných niekoľko bežne používaných meracích metód a bola vybraná metóda, ktorá by spĺňala zadané požiadavky na navrhovaný merací prístroj, pozri kapitolu 2.

V ďalšom texte práce bol popísaný vývoj hardvérových častí merača. Vývoj spočíval v analýze potrebných dielčích hardvérových blokov, návrhu obvodového riešenia merača, návrhu a osadení DPS merača. Hardvér merača bol rozdelený na tri DPS, menovite hlavná doska prístroja, doska s prepínačmi rozsahov a doska napájacieho zdroja, pozri kapitolu 3. V rámci tejto práce boli navrhnuté a osadené všetky DPS merača, samotná výroba DPS bola zabezpečená externou firmou. S využitím skúseností z vývoja hlavnej DPS bola vzápätí navrhnutá druhá verzia hlavnej dosky, využívajúca obvod FPGA osadený priamo na doske. V prvej verzii bola použitá hotová doska doska s FPGA od externej spoločnosti a táto doska bola pripojená pomocou konektorov k hlavnej DPS merača. Druhá verzia dosky taktiež disponovala rozhraním Ethernet umožňujúcim komunikáciu na rýchlosti 1 Gbit.

Po vyrobení hardvérových častí merača sa pristúpilo k tvorbe softvéru. V tejto fáze vývoja bolo nutné vyvinúť softvér obsluhujúci DPS prepínača rozsahov ako aj softvér hlavnej DPS. Softvér hlavnej DPS sa skladal z FPGA dizajnu a softvéru pre vstavaný procesor NIOS II, pozri kapitolu 4.

Po vyvinutí všetkého spomenutého softvérového vybavenia bolo možné pristúpiť k overeniu meracích vlastností merača. Všetky merania boli vykonávané s prvou verziou hlavnej DPS merača, nakoľko softvér druhej verzie DPS bol v čase tvorby tejto práce v štádiu vývoja. V rámci tejto práce bolo vykonaných niekoľko meraní, ktoré dokumentuje kapitola 5. Výsledkom týchto meraní je, že sa podarilo realizovať prístroj, ktorého presnosť stanovenia meranej kapacity je lepšia ako 1 %, čo bolo požadované aj v zadaní práce. Výsledky uvedených meraní taktiež pomôžu určiť ďalšiu cestu pri vývoji merača v oblasti korigovania chýb merania.

Vývoj merača kapacity a stratového činiteľa bude pokračovať aj v čase po odovzdaní tejto diplomovej práce. Hlavným ťažiskom ďalšieho vývoja bude dokončenie softvérového vybavenia druhej verzie hlavnej DPS merača a podrobnejšia analýza a korekcia zdrojov chýb merania. Ďalšia pozornosť bude venovaná mechanickému usporiadaniu všetkých hardvérových častí v kryte zariadenia, najmä odrušovacím krytom meracích prúdových transformátorov.

## Literatúra

- [1] J.S. Simons. "Diagnostic testing of high-voltage machine insulation. A review of ten years' experience in the field". In: *Electric Power Applications, IEE Proceedings B* (May 1980).
- [2] M. Farahani. "A method for the evaluation of insulation systems for high voltage rotating machines". In: *Properties and Applications of Dielectric Materials* (June 2003).
- [3] Agilent. *Impedance Measurement Handbook*. Oct. 9, 2013. URL: <http://cp.literature.agilent.com/litweb/pdf/5950-3000.pdf>.
- [4] J. Boháček. *Metrologie elektrických veličin*. ČVUT, 1994.
- [5] J. Boháček. "AC QHE-Based Resistance and Capacitance Calibrations". In: *IEE Proc.-Sci. Meas. Technol.* (20 3, 2000).
- [6] Tettex Test AG. *Fully Automatic Capacitance and Loss Factor  $\tan \delta$  Precision Measuring Bridge*. Nov. 4, 2002.
- [7] Draxler K. - Kašpar P. - Ripka P. *Magnetické prvky a měření*. ČVUT, 1994. ISBN: 80-01-01080-5.
- [8] Fischer J. Vedral J. *Elektronické obvody pro měřicí techniku*. Vydanie 1. ČVUT, 2004. ISBN: 80-01-02966-2.
- [9] Inc. Analog Devices. *Low Power, Precision Rail-to-Rail Output Op Amp AD8622*. URL: [http://www.analog.com/static/imported-files/data\\_sheets/AD8622\\_8624.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8622_8624.pdf) (visited on 04/02/2014).
- [10] Inc. Analog Devices. *Programmable Gain Precision Difference Amplifier AD8271*. URL: [http://www.analog.com/static/imported-files/data\\_sheets/AD8271.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8271.pdf) (visited on 04/02/2014).
- [11] Inc. Analog Devices. *Balanced modulator/Demodulator AD630*. URL: [http://www.analog.com/static/imported-files/data\\_sheets/AD630.pdf](http://www.analog.com/static/imported-files/data_sheets/AD630.pdf) (visited on 04/01/2014).
- [12] Inc. Analog Devices. *4.8 kHz Ultralow Noise 24-Bit Sigma-Delta ADC with PGA AD7190*. URL: [http://www.analog.com/static/imported-files/data\\_sheets/AD7190.pdf](http://www.analog.com/static/imported-files/data_sheets/AD7190.pdf) (visited on 04/02/2014).
- [13] Inc. Analog Devices. *Precision, Selectable Gain, Fully Differential Funnel Amplifier AD8475*. URL: [http://www.analog.com/static/imported-files/data\\_sheets/AD8475.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8475.pdf) (visited on 04/02/2014).
- [14] Inc. Analog Devices. *Low Cost, Low Power, True RMS - to - DC Converter*. URL: [http://www.analog.com/static/imported-files/data\\_sheets/AD8436.pdf](http://www.analog.com/static/imported-files/data_sheets/AD8436.pdf) (visited on 04/02/2014).
- [15] National Semiconductor Corporation. *DP83848C PHYTER® - Commercial Temperature Single Port 10/100 Mb/s Ethernet Physical Layer Transceiver*. URL: <http://www.ti.com/lit/ds/symlink/dp83848c.pdf> (visited on 04/04/2014).

- [16] Inc. Lantronix. *Xport Embedded Device Server*. URL: [http://www.lantronix.com/pdf/XPort\\_PB-A4.pdf](http://www.lantronix.com/pdf/XPort_PB-A4.pdf) (visited on 04/04/2014).
- [17] Future Technology Devices International Ltd. *FT232R USB UART IC*. URL: [http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS\\_FT232R.pdf](http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT232R.pdf) (visited on 04/04/2014).
- [18] ELECTRONIC ASSEMBLY GmbH. *DOG Series 3.3V*. URL: <http://www.lcd-module.com/eng/pdf/doma/dog-me.pdf> (visited on 04/04/2014).
- [19] ELECTRONIC ASSEMBLY GmbH. *Control unit 320x240 with intelligence*. URL: <http://www.lcd-module.com/fileadmin/eng/pdf/grafik/edip320-8e.pdf> (visited on 04/04/2014).
- [20] Terasic Technologies Inc. *DE0-Nano User manual*. 2013.
- [21] Altera Corporation. *NIOS II Processor Reference Handbook*. 2014.
- [22] Altera Corporation. *Embedded Peripherals IP User Guide*. 2014.
- [23] *I2C controller core :: Overview*. URL: <http://opencores.org/project,i2c,overview> (visited on 04/14/2014).
- [24] Stephen PRATA. *Mistrovství v C++*. 2. aktualiz. vyd. Computer Press, 2004. ISBN: 9788025100981.