

České vysoké učení technické v Praze
Fakulta elektrotechnická
Katedra Teorie obvodů

Ing. Petr Struhovský

MODELOVÁNÍ A EVALUACE NÁVRHU A/D PŘEVODNÍKŮ

Doktorský studijní program: Elektrotechnika a informatika
Studijní obor: Teoretická elektrotechnika

Teze disertace k získání akademického titulu "doktor", ve zkratce "Ph.D."

Praha, Srpen 2012

Disertační práce byla vypracována v prezenční formě doktorského studia na katedře Teorie obvodů Fakulty elektrotechnické ČVUT v Praze.

Uchazeč: Ing. Petr Struhovský
Katedra Teorie obvodů
Fakulta elektrotechnická, ČVUT Praha
Technická 2, 166 27 Praha 6 - Dejvice

Školitel: Doc.Dr.Ing. Jiří Hospodka
Katedra Teorie obvodů
Fakulta elektrotechnická, ČVUT Praha
Technická 2, 166 27 Praha 6 - Dejvice

Školitel-specialista:
Ing. Ondřej Šubrt, Ph.D.
Katedra Teorie obvodů
Fakulta elektrotechnická, ČVUT Praha
Technická 2, 166 27 Praha 6 - Dejvice

Oponenti:

.....

.....

Teze byly rozeslány dne:

Obhajoba disertace se koná dne v hod. před komisí pro obhajobu disertační práce ve studijním oboru Teoretická elektrotechnika v zasedací místnosti č Fakulty elektrotechnické ČVUT v Praze.

S disertací je možno se seznámit na děkanátu Fakulty elektrotechnické ČVUT v Praze, na oddělení pro vědu, výzkum a zahraniční styky, Technická 2, Praha 6.

Prof. Ing. Václav Havlíček, CSc.
předseda komise pro obhajobu disertační práce
ve studijním oboru
Teoretická elektrotechnika
Fakulta elektrotechnická ČVUT, Technická 2, Praha 6

1. SOUČASNÝ STAV ŘEŠENÉ PROBLEMATIKY
2. MOTIVACE A CÍLE DISERTAČNÍ PRÁCE
3. METODY EXTRAKCE PARAMETRŮ A/D PŘEVODNÍKŮ
4. MODELOVÁNÍ A/D PŘEVODNÍKŮ
5. DEKOMPOZICE NÁVRHU A NASTAVENÍ PARAMETRŮ
6. OVĚŘENÍ FUNKCE ALGORITMU NA PSEUDO-REÁLNÉM ADC
7. ZÁVĚR

Seznam v tezích použité literatury

Seznam prací disertanta vztahujících se k disertaci

Ohlasy

SUMMARY

RESUMÉ

Abstrakt

Tato disertační práce pojednává o virtuálním testovacím prostředí pro analogově-digitální převodníky, modelování chyb moderních architektur A/D převodníků se zaměřením na zkrácení doby simulace a dekompozici jednotlivých zdrojů chyb z měřené či simulované odezvy A/D převodníku.

Navržený inovativní koncept virtuálního testovacího prostředí pro analogově-digitální převodníky aplikuje dva algoritmy pro extrakci výkonnostních parametrů – servosmyčkovou a histogramovou metodu. Výpočetní algoritmy se skládají ze softwarových bloků pro extrakci statických chyb A/D převodníků, vyjádřených ve formě integrální a diferenciální nelinearity (INL a DNL). Testovací prostředí je implementováno v MAPLE, což přináší ideální příležitost vytvořit komplexní prostředí pro simulaci A/D převodníků jak na virtuální úrovni, tak na reálné obvodové úrovni.

Novinkou mého řešení je použití účinného vyhledávacího algoritmu a vylepšení konvergenčních vlastností, vedoucí k významnému zkrácení doby simulace. Prostřednictvím tohoto testovacího prostředí jsem testoval nejvýznamnější statické chyby dvou moderních architektur splňujících Nyquistův teorém - cyklické a pipeline A/D převodníky.

Druhý blok mé disertační práce pojednává o perspektivním přístupu k modelování chyb cyklických a pipeline A/D převodníků. Na rozdíl od konvenčního modelování A/D převodníků zaměřených na maximální korekci nelinearity A/D převodníku, cílem mnou navrhovaného inovativního přístupu je modelování jednotlivých chybových zdrojů A/D převodníku pro následnou dekompozici.

V třetí části disertační práce se zabývám inovativním přístupem k dekompozici chybových zdrojů z měřené či simulované odezvy A/D převodníku. Zde je hlavní zaměření na rychlou identifikaci chybových zdrojů a dekompozici jejich velikostí. Dekompozice chybových zdrojů může významně přispět k procesu kalibrace A/D převodníku, jež se provádí na výrobní lince. To je možné díky znalosti přispívajících chybových zdrojů v modelu A/D převodníku, což umožňuje dodatečné nastavení hodnot komponent A/D převodníku přímo na čipu.

Dekompozice chybových zdrojů a následné vyhodnocení návrhu je demonstrováno na příkladu pipeline-flash A/D převodníku. Výsledky simulace jsou uvedeny pro každou fázi procesu návrhů, a to od extrakce INL parametrů ve virtuálním testovacím prostředí přes modelování pipeline-flash struktury A/D převodníku až po úplnou dekompozici amplitud jednotlivých chybových zdrojů.

Abstract

This Doctoral Thesis deals with a virtual testing environment for analog-to-digital converters, error modeling for modern ADC architecture with focus on reduction of the simulation time and decomposition of magnitudes of individual error sources from a measured or simulated response of an ADC.

Proposed innovative concept for virtual testing environment for ADC's applies two performance extraction algorithms – the Servo-Loop and Histogram method. Extraction of design performance is a challenging task in A/D Converter testing. This is backgrounded by the fact that in high-resolution ADC devices it is often not feasible to extract their total response because of the large number of digital states. Therefore, a different solution are being considered on how to test an ADC device as precise as possible in a shortest way without measuring the whole ADC response.

The novelty of my solution is the use of effective search algorithm and improved convergence properties resulting in a significant reduction of the simulation time. Based on this testing environment, I tested most important static error of two modern Nyquist rate architectures – the Servo-Loop and Histogram method.

Second block of my Doctoral Thesis deals with perspective approach to the error modeling of algorithmic and pipeline ADCs. In contrast with conventional ADC modeling algorithms targeted to extract the maximum ADC non-linearity error, the goal of this proposed approach is modeling of individual error sources for further decomposition.

In the third part of Doctoral Thesis, I'm dealing with an innovative approach for error sources decomposition from a measured or simulated response of an ADC device. Here, the main focus is on quick identification of error sources and decomposition of their magnitudes. This qualitative decomposition can significantly contribute to the ADC calibration procedure performed on the production line. This is backgrounded by the fact that the knowledge of ADC performance contributors provided by the proposed method helps to adjust the values of on-chip converter components so as to equalize (and possibly minimize) the total non-linearity error.

The error source decomposition procedure is demonstrated on a system design example of pipeline-flash A/D converter. Significant simulation results of each stage of the design evaluation process are given, starting from the INL performance extraction proceeded in a powerful Virtual Testing Environment, continuing by an error source simulation and modeling of pipelined ADC structure, suitable for a generic process flow and finishing by a complete magnitude decomposition of each individual error source.

1 Současný stav řešení problematiky

1.1 Vývoj pokročilého virtuálního prostředí pro A/D převodníky

Virtuální testovací prostředí je nástroj pro rychlé určení chybových parametrů A/D převodníku. Cílem je rychlé otestování A/D převodníku a tím získání INL a DNL křivek pro následnou identifikaci chybových zdrojů a dekompozici chybových parametrů.

Virtuální testovací prostředí pro testování A/D převodníků navrhnuté v této práci tvoří využití pro dvě nejrozšířenější metody pro extrakci integrální nelinearity A/D převodníků [01]: Servosmyčkové metody z kategorie metod s uzavřenou zpětnovazební smyčkou a Histogramové metody z kategorie metod s otevřenou zpětnovazební smyčkou [01], [04]. V práci je popsána jak tradiční implementace servosmyčkové a histogramové metody, jež poukazuje na jejich podstatné vlastnosti a zároveň slabé stránky metody, tak i zdokonalená metoda aplikující výkonné vyhledávací algoritmy.

Jedním z možných zdokonalení histogramové metody je aplikace jiného typu budicího signálu než je sinusový signál či lineární rampa (trojúhelníkový signál). Jako budicí signál pro histogramovou metodu lze aplikovat např. trojúhelníkový signál s malou amplitudou superponovaným na vhodnou stejnosměrnou napěťovou úroveň [05], [06], [07], buzení Gaussovským šumem [08] či buzení exponenciálním signálem [09].

Kombinovaná spektrální a histogramová analýza pro rychlé testování A/D převodníku, založená na rozdělení na nízkofrekvenční a vysokofrekvenční složku, umožňuje rychlý odhad hlavních vlastností z INL charakteristiky [10], [11], [12], [13]. Motivací pro tuto metodu je fakt, že stačí pouze malý počet měření (řádově desítky) s několika sty či tisíci vzorky v každém měření k získání dostatečně přesné informace o celé INL složené z nízkofrekvenční složky INL označovaná jako ^{LCF}INL a vysokofrekvenční složky INL označované jako ^{HCF}INL .

1.2 Modelování a identifikace chybových zdrojů

Na začátku kapitoly si dovoluji upřesnit terminologii v modelování A/D převodníků. Nejčastěji zde pracuji s tzv. behaviorálními modely, tzn. modely popisující proces toku dat a nikoli reálnou obvodovou strukturu. Druhým typem modelu je model založený na reálné obvodové struktuře, který zachycuje přesnou architekturu převodníku.

Hlavním přínosem cyklických (někdy nazývaných také algoritmických) A/D převodníků je sdílení jedné hardwarové sekce pro všechny bity, tzn. převod každého bitu je prováděn na téže hardware [01]. Tím je dosažena malá plocha na čipu a nízká spotřeba energie (nízký příkon). Na druhou stranu, tento koncept není vhodný pro aplikace s vysokými nároky na rychlost.

V mé práci jsem implementoval jak algoritmický převodník, tak i kombinaci pipeline struktury s paralelními A/D převodníky, která bývá velice často označována jako pipeline-flash struktura. Kombinovaný pipeline-flash A/D převodník může provádět převod s vysokou rychlostí díky paralelnímu zpracování analogového signálu v dílčích převodnících. Základní stavební bloky jsou sériově řazeny do po sobě jdoucích sekcí, přičemž každá sekce obsahuje obvod vzorkování s pamětí, dílčí A/D převodník s nízkým rozlišením, dílčí D/A převodník s nízkým rozlišením a sumátor. Mezi každými dvěma sekcemi je umístěn mezistupňový zesilovač. Hlavní nevýhodou tohoto konceptu jsou vysoké nároky na A/D převodník a tím pádem pipeline A/D převodníky vyžadují komplexnější návrh.

Model A/D převodníku založený na testování a vyhodnocení návrhu smíšených obvodů je popsán v [14]. Autoři zde navrhnou nový koncept evaluace návrhu pro A/D převodníky využívající nedávno představenou techniku LEMMA. Navrhované řešení se skládá z řady po sobě jdoucích kroků posuzování návrhů a přináší širokou škálu optimalizací návrhu a možností kalibrace A/D převodníku. To je ukázáno na příkladu návrhu algoritmického A/D převodníku realizovaného technikou spínaných proudů. Výsledky jsou ověřeny na plně tranzistorové úrovni a na simulaci behaviorálního modelu A/D převodníku, zpětně anotující parametry obvodových komponent (v tomto případě paměťových buněk realizovaných spínanými proudy) z měření dostupných vzorků. Hlavním přínosem této práce je ukázka hodnocení návrhu „krok za krokem“, který byl úspěšně dokumentován na algoritmické struktury A/D převodníku se spínanými proudy. Simulace poté prokázala vhodnost navržené metodiky k posouzení celkové přesnosti návrhu za účelem možného dalšího zpřesnění.

1.3 Modelově orientované testování A/D převodníků

Samostatnou kapitolou v modelování A/D převodníků jsou algoritmy pro modelování lineárních chybových mechanismů (LEMMA). Technika LEMMA je efektivní nástroj pro testování analogových a smíšených obvodů, který minimalizuje počet měření potřebných k popisu statické přenosové funkce obvodu tím, že stanovuje malý počet parametrů lineárního chybového modelu a poté predikuje celkovou odezvu [03].

V souvislosti s rozvojem techniky posuzování návrhů uvedených výše, je vhodné zaměřit se na samotnou proceduru využívající LEMMA techniku. Dalších několik odstavců je věnováno nejdůležitějším výsledkům dosažitelným pomocí LEMMA - návrhu cílů sledovaných v této práci.

- Systematická dekompozice návrhu A/D převodníku: LEMMA metoda je schopna oddělit chybové zdroje z obvodové struktury, přičemž ukazuje jejich vliv na výsledné parametry A/D převodníku. To umožňuje systematické pochopení současného návrhu a otevírá cestu k jeho potencionálnímu zefektivnění.

- Tvorba modelu a anotace parametrů: Po dekompozici pomocí techniky LEMMA může být sestaven behaviorální model A/D převodníku, obsahující skupiny chybových zdrojů anotovaných z návrhu obvodu. Proto má model založený na LEMMA algoritmu tendenci vyjadřovat odezvu A/D převodníku přesně, přičemž zachytí "reálné" parametry návrhu.

- Model založený na zjednodušení návrhu A/D převodníku: Na základě odvozeného LEMMA modelu může být postup návrhu a testování A/D převodníků několika způsoby zjednodušen. Za prvé, chybové zdroje anotované do modelu A/D převodníku poskytují představu o důležitých problémech v návrhu obvodu a také naznačují některé způsoby optimalizace. Zpětně anotovaný behaviorální model je možné použít pro odhad parametrů A/D převodníku, čímž získáme významné snížení celkové doby simulace. V tomto případě lze behaviorální model použít i pro predikci parametrů A/D převodníku. V případě cyklického algoritmu může být rozlišení A/D převodníku jednoduše navýšeno počtem cyklů konverze, čímž by ale narostla celková doba simulace. Vzhledem ke krátké době simulace je model obzvláště vhodný k predikci parametrů pro převodníky s vyšším rozlišením.

Princip LEMMA lze samozřejmě využít i při systematické dekompozici struktury A/D převodníku [17]. Jádrem této metody je potom identifikace chybových zdrojů, působících ve struktuře A/D převodníku. Hlavní přínos této metody byl prezentován na konceptu postupného vyhodnocení návrhu struktury algoritmického A/D převodníku se spínanými proudy.

2 Motivace a cíle disertační práce

Motivace zmíněná v úvodní kapitole stejně jako informace uvedené v kapitole o aktuálním stavu řešení problematiky stanovují základní milníky této práce. Disertační práce je rozdělena celkem do třech základních bloků - vývoj pokročilého virtuálního prostředí pro A/D převodníky, modelování a identifikace chybových zdrojů a modelově orientované testování A/D převodníků.

Prvním cílem předkládané disertační práce je vývoj pokročilého virtuálního prostředí pro A/D převodníky, jehož klíčovými vlastnostmi jsou univerzálnost či modularita. Ta umožňuje následné využití testovacího prostředí pro libovolný A/D převodník bez ohledu na jeho typ či architekturu a především bez znalosti jeho vnitřní struktury. Cílem je vyvinout výkonnou implementaci extrakčních metod náležících do obou skupin; vhodnou kombinací jejich vlastností lze vytvořit testovací prostředí, které bude splňovat základní předpoklad – úsporu času, a jeho hlavní využití bude při návrhu integrovaných A/D převodníků.

Druhým cílem této disertační práce je aplikace moderních převodníkových struktur při modelování a identifikaci chybových zdrojů pro nepřevzorkující A/D převodníky. V této disertační práci jsem využíval perspektivní architektury s „hardware-reuse“ architekturami (pipeline, cyklický) s vyzdvižením jejich hlavních výhod, kterými jsou v první řadě úspora plochy čipu a tedy i příkonu A/D převodníku a v neposlední řadě i úspora času při návrhu A/D převodníku. Hlavní využití je modelování a identifikace chybových zdrojů je v systémovém návrhu A/D převodníků, jež je výhodný zejména v hierarchickém „top-down“ návrhu integrovaných obvodů, kdy jsou známy chybové zdroje, jejich velikost a je známo, kam je přiřadit.

Posledním cílem disertační práce je modelově orientované testování A/D převodníků. Zobecněný model z předchozího bloku lze využít pro emulaci „výrobní linky“ A/D převodníku včetně zavedení výrobních faktorů do nelinearity převodníků. Během dekompozice návrhu tak lze chybové parametry měřeného vzorku zpětně anotovat do předchozích fází návrhu a využít k dodatečné kalibraci komponent.

Tento postup je klíčovým přínosem této disertační práce, který urychlí testování vyráběných A/D převodníků na výrobní lince. Tento postup představuje efektivní řešení testování Nyquistových převodníků s periodickou obvodovou strukturou na konci výrobní linky a dosud nikdy nebyl (podle autorovi dostupných informací) v literatuře systematicky řešen. Představuje účinné rozšíření pole působnosti modelovacích algoritmů na bázi ortogonální dekompozice.

3 Metody extrakce parametrů A/D převodníků

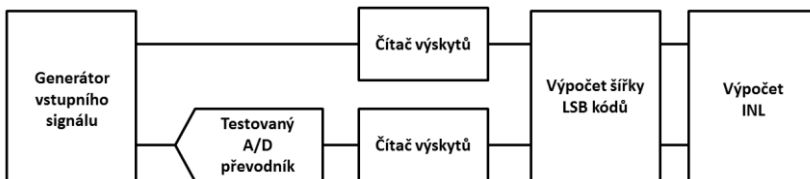
První krok v testování A/D převodníku je verifikace výkonnostních parametrů charakterizované integrální a diferenciální nelinearitou (INL a DNL). Jak již bylo zmíněno dříve, není to vždy jednoduché z důvodu požadované dosažené přesnosti a taktéž celkové komplexnosti systému.

Virtuální testovací prostředí navržené v této disertační práci aplikuje dvě nejrozšířenější metody pro extrakci parametrů A/D převodníků - servosmyčkovou metodu z kategorie metod s uzavřenou zpětnovazební smyčkou a histogramovou metodu z kategorie metod s otevřenou zpětnovazební smyčkou. Obě metody jsou v této kapitole implementovány s 12-bitovým cyklickým převodníkem, aby bylo možné v závěru metody vzájemně porovnat.

3.1 Histogramová metoda

První z metod s otevřenou zpětnovazební smyčkou je založena na histogramovém testování – tzn. na sestavení histogramu, který udává počet výskytů každého kódu na výstupu převodníku. Histogramová metoda je založena na porovnání histogramu vstupního signálu s histogramem ideálního budícího signálu.

Navrženého histogramu je znázorněn na Obr. 01.

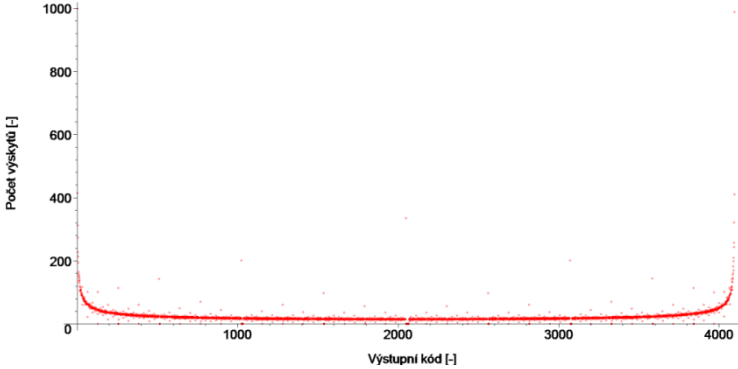


Obr. 01: Blokový diagram histogramové metody

Výsledkem histogramové metody [01] je odhad přechodové hrany kódu (tzv. kvantizační úrovně) z velkého množství nahranych charakteristik A/D převodníku. Jádrem této metody je vyhodnocení počtu výskytů každého kódu na výstupu A/D převodníku a porovnání s počtem výskytů ideálního A/D převodníku, buzeného stejným signálem. Výhodou histogramové metody oproti servosmyčkové metodě obecně dále je, že umožňuje zachytit dynamickou odezvu A/D převodníku.

Já jsem při extrakci parametrů pracoval se sinusovým signálem a to z důvodu jednoduchosti implementace spolu dosažitelnou spektrální čistotou [18].

Histogram se sinusovým budícím signálem se vyznačuje tím, že počet výskytů je vyšší směrem k oběma maximům a klesá směrem k minimu. V případě, že A/D převodník není ideální, vzniknou ve tvaru vany nespojnosti, jak lze vidět na Obr. 02. Tím vznikne pro vybrané kódy větší množství výskytů, a tedy dojde k odchýlení od ideální převodní charakteristiky [19]. Odchýlení od ideální převodní charakteristiky způsobí INL a DNL chybu.



Obr. 02: Histogram sin.signálu u A/D převodníku s chybou offsetu 5000ppm

Šířka kódu k je zde pro každý kód vyjádřena jako poměr mezi počtem výskytů u reálného a ideálního A/D převodníku:

$$LSB_{codewidth}(k) = \frac{H(k)}{H_{sinewave}(k)}, \quad k=1 \dots 2^N-2 \quad (01)$$

kde $LSB_{codewidth}(k)$ je šířka kódu k vyjádřená v LSB, $H(k)$ je počet výskytů k -tého kódového slova vyjádřená v LSB a $H_{sinewave}(k)$ je počet výskytů pro ideální sinusový tvar signálu.

Diferenciální nelinearitu lze určit z šířky kódů dle následující rovnice:

$$DNL(k) = LSB_{codewidth}(k) - 1, \quad k=1 \dots 2^N-2 \quad (02)$$

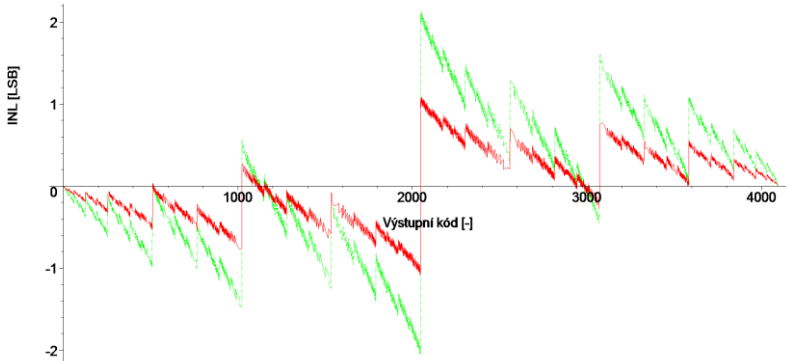
kde $LSB_{codewidth}(k)$ je šířka kódu k vyjádřená v LSB.

Podle rovnic a definic uvedených v [01] je integrální nelinearita rovna kumulativnímu součtu diferenciálních nelinearit:

$$INL(k) = \sum_{i=1}^{k-1} DNL(i), \quad k=1 \dots 2^N-2 \quad (03)$$

kde $DNL(i)$ je diferenciální nelinearita pro kód i .

INL křivka pro chybu zisku 500ppm a 1000ppm získaná histogramovou metodou je znázorněna na Obr. 03. Pro výpočet histogramu pro 12-bitový algoritmický převodník jsem potřeboval 100.000 vzorků (výskytů) a to z toho důvodu, aby byl zaručen minimální počet výskytů pro každý výstupní kód a tím byla zaručena dostatečná přesnost metody [19].



Obr. 03: INL histogram pro chybu zesílení 500 ppm (červeně) a 1000 ppm (zeleně)

Ze simulovaných výsledků lze konstatovat, které chyby splňují princip LEMMA, které pouze do určité míry a které chyby princip LEMMA nesplňují. V tomto případě (histogramová metoda, algoritmický převodník) lze konstatovat, že v případě chyby offsetu platí princip LEMMA, což znamená, že změna velikosti chyby mění pouze amplitudu INL, ale tvar INL zůstává beze změny. Oproti tomu v případě chyby zisku dochází k mírné deformaci tvaru INL pro různé amplitudy chyb a tedy princip LEMMA platí pouze částečně.

To lze dokázat vykreslením chyby linearity pro chybu zisku, jež lze definovat dle následující rovnice:

$$\Delta_{LIN-zisk} = INL_{zisk(1000ppm)} - 2 \cdot INL_{zisk(500ppm)} \quad (04)$$

Analogicky k (04) lze definovat chybu linearity pro chybu offsetu.

Přesnost extrakčních metod lze definovat jako úroveň šumu, jež má tvar residuálního INL pro ideální A/D převodník, tzn. pro převodník s nulovou chybou zisku i offsetu. Maximální možné rozlišení A/D převodníku, které lze otestovat touto metodou, lze tedy vyjádřit dle následující rovnice:

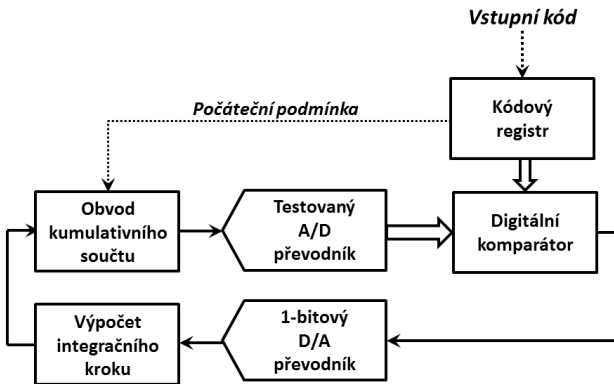
$$N_{\max} = \log_2 \left(\frac{u_{ref}}{INL_{res} \cdot u_{LSB}} \right) \quad (05)$$

kde INL_{res} je amplituda residuálního INL přes všechny kódy, u_{ref} je hodnota referenčního napětí a u_{LSB} je hodnota 1 LSB vyjádřená ve voltech.

Z výsledků analýzy vyplývá, že amplituda zbytkového INL pro histogramovou metodu s 12-bitovým cyklickým A/D převodníkem je $INL_{res} = 0,1LSB$, tzn. maximální rozlišení testovatelné touto metodou je $N_{max} = 15,322$ bitu.

3.2 Pokročilá servosmyčková metoda

S ohledem slabé a silné stránky standardní servosmyčkové implementace ve své disertační práci aplikuji inovativní koncept servosmyčkové metody, jež přináší zdokonalení při extrakci parametrů A/D převodníku. V této disertační práci je prezentován inovativní přístup vyvinutý na předpokladech popsanych v [02] a [21], jež výrazně urychlí konvergenci vyhledávací smyčky a sníží tím počet iterací. Blokové schéma implementace je znázorněno na Obr. 04.



Obr. 04: Blokový diagram pokročilé servosmyčkové metody [02]

Ve srovnání se standardním řešením servosmyčkové metody, jsou hlavní výhodou mé implementace servosmyčkové metody následující zdokonalení:

1. Obvod kumulativního součtu aplikuje předem známou hodnotu do vstupního signálu, proto není nutné kontrolovat výstup integrátoru, jak je tomu u standardní servosmyčkové metody
2. Proces konvergence je urychlen počáteční podmínkou a adaptivním zjemňováním inkrementálního kroku vstupujícího do obvodu kumulativního součtu, což pomáhá urychlit hledání rovnováhy smyčky. Druhým přínosem je

nižší počet iterací pro dosažení stejné přesnosti INL - složitost vyhledávacího algoritmu se změní z lineární na logaritmickou.

Servosmyčka iteruje n -krát pro každý hledaný kód, tzn. počet běhů je $n \cdot 2^N$, kde N je počet bitů testovaného A/D převodníku.

Na základě hodnot kvantizační úrovně $u(k)$ a napětí u_{LSB} lze vypočítat INL jako odchylku od ideální převodní charakteristiky:

$$INL(k) = \frac{u(k) - u_{ideal}(k)}{u_{LSB}} \quad (06)$$

kde $u(k)$ je kvantizační úroveň pro kód k a $u_{ideal}(k)$ je kvantizační úroveň pro kód k u ideálního A/D převodníku a u_{LSB} je hodnota napětí pro 1 LSB.

Zároveň je možné vypočítat DNL dle následující rovnice:

$$DNL(k) = \frac{u(k) - u(k-1)}{u_{LSB}} - 1 \quad (07)$$

kde $u(k)$ je kvantizační úroveň pro kód k a $u(k-1)$ je kvantizační úroveň pro kód $(k-1)$ a u_{LSB} je hodnota napětí pro 1 LSB.

Po N_{cycle} iteracích získáme z algoritmu výstupní hodnotu. Otázka zůstává nad přesností hodnoty kódové hrany jako funkce určitého počtu iterací. V [22] byla odvozena jednoduchá formule pro přesnost hodnoty kódové hrany:

$$\Delta_N^{LSB} = \varepsilon^{N_{cycle}-1} \quad (08)$$

kde Δ_N^{LSB} vyjadřuje relativní přesnost, vyjádřenou v LSB, a označuje rozdíl mezi hodnotou kódové hrany posledních dvou iteračních kroků.

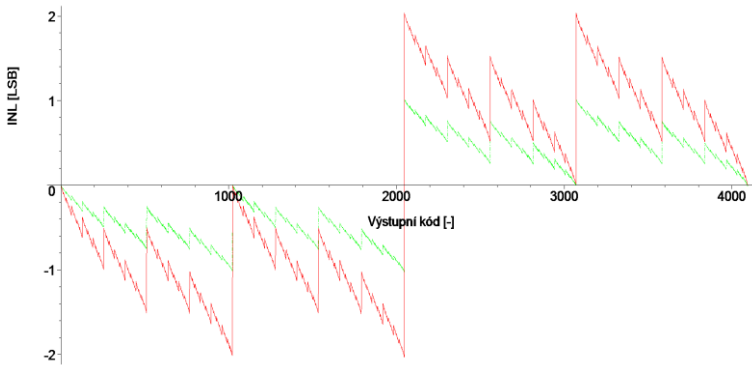
Pro přesnost 0,01 LSB je nutné provést 100 iteračních cyklů. V navrženém servosmyčkovém algoritmu je počet cyklů pro získání přesnosti Δ_N^{LSB} dán úpravou (08):

$$N_{cycle} = \left\lceil 1 + \frac{\log(\Delta_N^{LSB})}{\log(\varepsilon)} \right\rceil \quad (09)$$

Následně z (09) při nastavení tlumícího faktoru iteračního algoritmu např. na $\varepsilon = \frac{2}{3}$ je pro získání přesnosti 0,01 LSB nutných 13 cyklů. Výhoda řešení tohoto navrhovaného řešení a rozdíl mezi těmito dvěma metodami se projeví ještě více, pokud je vyšší úroveň přesnosti, např. $\Delta_N^{LSB} = 1$ mLSB.

INL křivka pro chybu zisku 500ppm a 1000ppm získaná servosmyčkovou metodou s algoritmickým modelem A/D převodníku je znázorněna na Obr. 05. Jak lze vyčíst z tohoto grafu, přirozenou vlastností této architektury jsou

lokální extrémy INL charakteristik, jež se vyskytují na binárně váhovaných kódových hodnotách (FS/2, FS/4, FS/8, atd.).



Obr. 05: INL servosmyčky pro chybu zisku 500 ppm (zeleně) a 1000 ppm (červeně)

Je zřejmé, že pro stejnou amplitudu chyby zisku bylo dosaženo přibližně stejné INL jako u histogramové metody (Obr. 03). Hlavní rozdíl těchto dvou INL charakteristik je způsoben nepřesností extrakční metody generovanou binárním procesem.

V tomto případě lze konstatovat, že v případě chyby offsetu platí princip LEMMA. Oproti tomu v případě chyby zisku dochází k mírné deformaci tvaru INL pro různé amplitudy chyb a tedy princip LEMMA platí pouze částečně.

Amplituda zbytkového INL pro servosmyčkovou metodu s 12-bitovým cyklickým A/D převodníkem je $INL_{res} = 5 \cdot 10^{-7} LSB$, tzn. maximální možné rozlišení převodníku, které lze otestovat touto metodou, je $N_{max} = 32,931$ bitu.

Aby bylo možné rozhodnout o výběru vhodné extrakční metody, provedl jsem porovnání základních parametrů všech tří extrakčních metod (histogramová metoda se sinusovým buzením, histogramová metoda s lineárním buzením a servosmyčková metoda). Na základě výsledků jsem prohlásil, že výsledky všech třech metod jsou prakticky identické. Rozdíly INL charakteristik jsou dány šumovými vlastnostmi u histogramové metody.

4 Modelování A/D převodníků

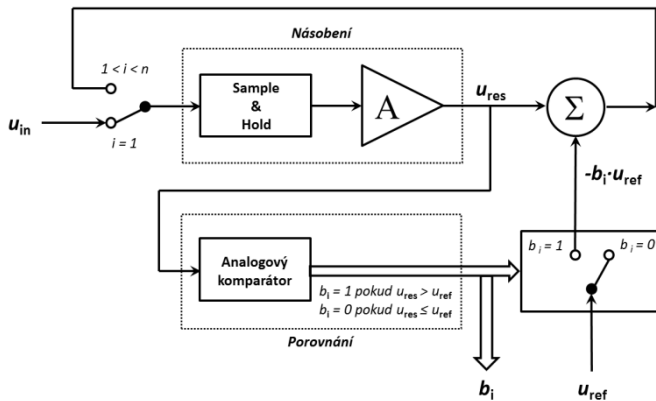
Cílem této kapitoly je vytvořit zjednodušené modely A/D převodníků, založené na známé architektuře a návrhu obvodu. Dle architektury lze v modelech identifikovat možné zdroje chyb, které aproximují vlastnosti reálného A/D převodníku.

V této a další kapitole budu pracovat s 8-bitovými převodníky – s cyklickou a pipeline-flash architekturou. Pro extrakci parametrů modelů A/D převodníku bude používána pokročilá servosmyčková metoda, jež byla detailně popsána a vysvětlena v předchozí kapitole. Důvodem rozhodnutí o servosmyčkové metodě byly především šumové vlastnosti metody a možné rozšíření na převodníky s vyšším rozlišením než 16 bitů.

4.1 Cyklický A/D převodník

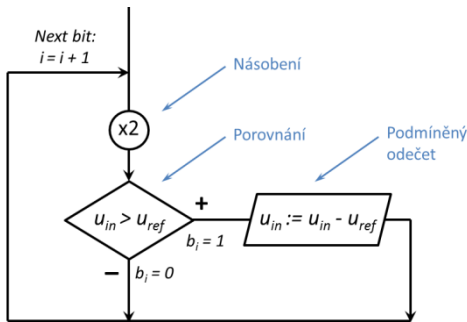
Prvním z implementovaných modelů A/D převodníku je model cyklického (neboli algoritického) A/D převodníku, pracující sériově „bit po bitu“ podle 1-bitového postupného aproximačního schématu [22].

Behaviorální model A/D převodníku (Obr. 06) se skládá ze tří hlavních bloků: násobička, komparátor a sumátor.



Obr. 06: Architektura cyklického A/D převodníku pro n-bitový převod [23]

Na základě tohoto blokového schématu lze vytvořit obecný matematický model A/D převodníku, jež je vhodný pro implementaci v MAPLE (Obr. 07). Jedná se o rozšíření diagramu na systémové úrovni, jež ukazuje tok algoritmu na elementárních operacích a obecných blocích.



Obr. 07: Matematický model převodníku, implementovaný v MAPLE [02]

Požadované algoritmické operace jsou tedy ihned viditelné ze schématu, a lze je definovat jako násobení, porovnání a podmíněný odečet.

Převodní charakteristika A/D převodníku je v tomto případě plně lineární (tzn. má nulové INL). To lze považovat za alternativní způsob vyjádření ideálního A/D převodníku. Pokud má algoritmus konečný počet cyklů, zbývá po převodu chyba aproximace (kvantizační chyba).

Ve skutečnosti existuje množství faktorů, které snižují výkonnostní parametry A/D převodníku. Původ nejvýznamnějších chyb lze sledovat přímo z obecného schématu (Obr. 06).

Chyba zisku je výsledek neideálního násobení dvěma. Neideální proces násobení může být popsán jako:

$$A = 2 \cdot \left(1 - \frac{\text{chyba_zisku}[\text{ppm}]}{10^6} \right) \quad (10)$$

kde A je zesílení multiplikativního bloku a chyba_zisku je chyba zesílení multiplikativního bloku vyjádřená v ppm.

Generování ofsetové chyby vychází z porovnání napěťového residua u_{res} s hodnotou referenčního napětí u_{ref} (viz Obr. 06). Tato vlastnost je implementována v algoritmu následovně:

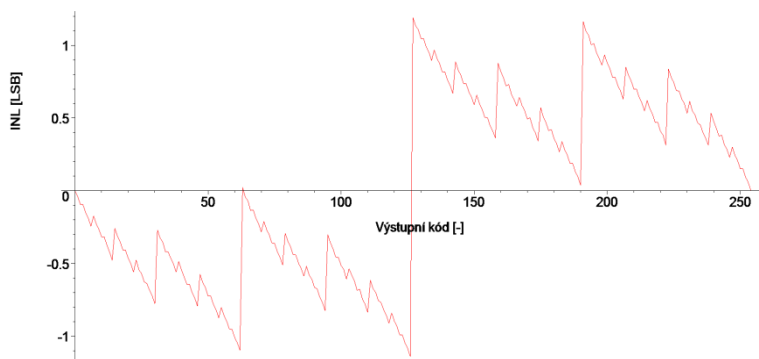
$$u_{res} - u_{ref} \cdot \left(1 + \frac{\text{chyba_ofsetu}[\text{ppm}]}{10^6} \right) > 0 \quad (11)$$

kde u_{res} je residuální napětí pro i -tou iteraci vyjádřené ve voltech, u_{ref} je referenční napětí vyjádřené ve voltech a chyba_ofsetu je chyba ofsetu komparačního bloku vyjádřená v ppm.

Chyby zisku a ofsetu mají přímý dopad do INL, protože ovlivňují každý krok konverze, a to i přesto, že každá v jiné fázi převodu. Pro další účely simulace jsou obě tyto chyby vyjádřeny v ppm.

Chyby zisku a ofsetu jsou dvě nejvýznamnější chyby v analýze INL a mohou se vyskytovat odděleně nebo mohou obě chyby působit společně.

V následujících odstavcích je nastíněn vliv chybových zdrojů na INL charakteristiky, přičemž zde již pracuji s a priori známými hodnotami chybových zdrojů. INL křivka pro chybu zisku je ukázána na Obr. 08.



Obr. 08: INL pro 8-bitový cyklický A/D převodník s chybou zisku 10.000ppm

Vliv obou chyb na parametry A/D převodníku má lokální maxima a objevuje se na určitých kódech. Při analýze chyby zisku i ofsetu platí, že má lokální maxima se objevují na určitých kódech a nejvyšší INL nastává pro kód 2^{N-1} .

Amplituda zbytkového INL pro servosmyčkovou metodu s 8-bitovým cyklickým A/D převodníkem je $INL_{res} = 3,5 \cdot 10^{-8}$ LSB, tzn. maximální rozlišení testovatelné touto metodou je $N_{max} = 32,768$ bitu.

Chyba zisku, stejně jako chyba ofsetu, může vést k chybějícímu kódu v převodní charakteristice. Tyto kódy mohou chybět v horní nebo dolní části převodní charakteristiky – např. A/D převodník s chybou 5 LSB (2 LSB chyby ofsetu + 3 LSB chyby zisku) generuje výstupní kód pouze do hodnoty 250 (pro 8-bitový A/D převodník) a tedy ztracené kódy jsou od kódu 251 do kódu 255. Celková nepřesnost je tedy přibližně 2% z celkového rozsahu převodníku.

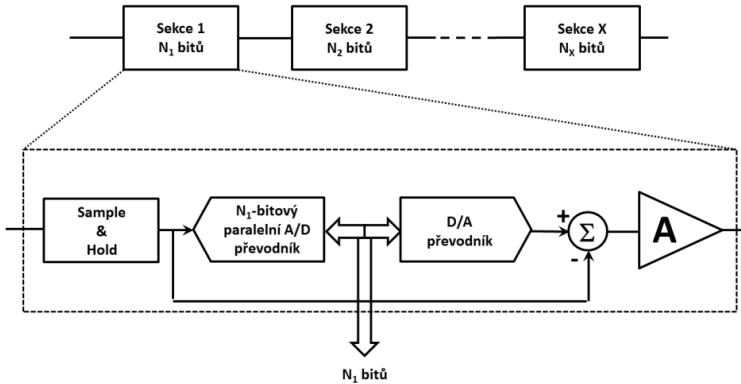
Po chybové analýze modelu A/D převodníku lze potvrdit, že čím větší je chyba zisku nebo ofsetu, tím větší je také integrální nelinearita [15]. Přesněji řečeno platí princip lineární superpozice a ten může být vyjádřen jako:

$$INL(\delta_{zisk,offset} = k \cdot X[ppm]) = k \cdot INL(\delta_{zisk,offset} = X[ppm]) + \Delta_{LIN} \quad (12)$$

kde $INL(\delta_{zisk,offset} = X[ppm])$ je příspěvek chyby zisku / offsetu o amplitudě X [ppm] a Δ_{LIN} je rozdíl od linearity.

4.2 Pipeline A/D převodník

Druhým z implementovaných modelů A/D převodníku je reálný převodník typu pipeline-flash, provádějící převod po sekcích, jak je znázorněno na blokovém schématu na Obr. 09 [24]. Behaviorální pipeline-flash model A/D převodníku se skládá z n sekcí, kde každá sekce obsahuje dílčí N_x -bitový A/D převodník, dílčí D/A převodník, sumátor a mezistupňový zesilovač.



Obr. 09: Blokový diagram pipeline A/D převodníku [24]

Pipeline převod je realizován použitím dvou či více kroků dílčího převodu (v tomto případě takzvaného pipeliningu), začínající nejvýznamnějším bitem (MSB) a pokračující směrem k nejméně významnému bitu (LSB). Popis funkce pipeline-flash A/D převodníku provedu již na konkrétním příkladu 8-bitového převodníku s rozdělením převodu na 2 + 3 + 3 bity ($N_1=2$ bity, $N_2=3$ bity, $N_3=3$ bity).

Dílčí převodníky tvoří paralelní A/D převodníky, jež bývají v anglické literatuře označovány jako flash A/D převodníky. U tohoto typu převodníku vstupní napětí u_{in} obvykle způsobí změnu stavů na více než na jednom výstupu komparátorů a tyto změny výstupu jsou zkombinovány v enkodéru tak, že výstupem enkodéru je N -bitový výstupní kód.

Chyba offsetu komparátorů vzniká na každé úrovni komparace (tzn. na každém komparátoru):

$$u_{in} - u_{ref} \cdot \frac{\sum_{i=0}^k R_i}{\sum_{j=0}^{2^N-1} R_j} \cdot \left(1 + \frac{\text{chyba_ofsetu_komparatoru}[ppm]}{10^6} \right) > 0 \quad (14)$$

kde u_{in} je vstupní analogové napětí [V], u_{ref} je referenční napětí [V] a R_i a R_j jsou jednotlivé odpory v odporové síti a $\text{chyba_ofsetu_komparatoru}$ je chyba offsetu komparátorů vyjádřená v ppm.

Třetí z výše popsaných chyb, chyba zisku mezistupňového zesilovače, vzniká mezi dvěma sekcemi a její výskyt je specifický dle směru toku signálu, tzn. tato chyba se šíří do dalších sekcí napříč všemi bloky převodníku:

$$A' = 2^N \cdot \left(1 - \frac{\text{chyba_zisku_mezistupnoveho_zesileni}[ppm]}{10^6} \right) \quad (15)$$

kde A' je zesílení mezistupňového zesilovače, N je počet bitů A/D převodníku před mezistupňovým zesilovačem a $\text{chyba_zisku_mezistupnoveho_zesileni}$ je chyba zisku mezistupňového zesílení vyjádřená v ppm.

Vedle těchto zdrojů může dojít ke zkreslení signálu, způsobené nelineární charakteristikou některé z komponent A/D převodníku. Typickým příkladem je nelineární tangenciální zkreslení převodní charakteristiky mezistupňového zesilovače (označen „A“ na Obr. 09), způsobené nelinearitou vnitřních bloků operačního zesilovače na tranzistorové úrovni.

Pro další práci s nelineárním tangenciálním zkreslením se ukázalo jako výhodné popsat třemi úrovněmi zkreslení – jak je uvedeno v Tab. 05.

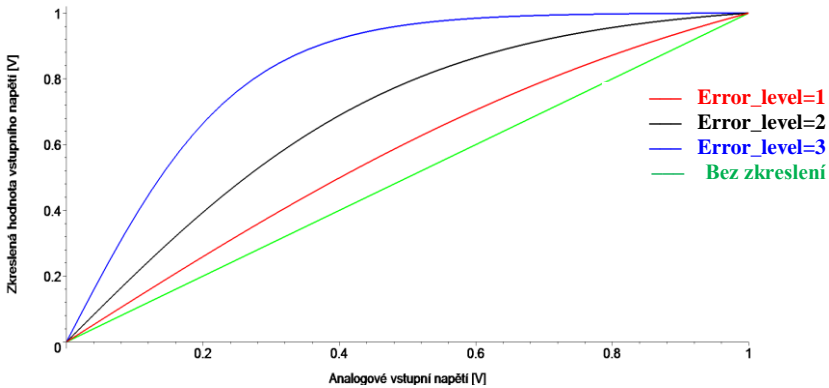
	Absolutní chyba	Relativní chyba
Úroveň nelineárního zkreslení 1 $y = 1,313035 \cdot \tanh(x)$	<0,55	<3,0
Úroveň nelineárního zkreslení 2 $y = 1,037314 \cdot \tanh(2 \cdot x)$	<0,3	<1,1
Úroveň nelineárního zkreslení 3 $y = 1,000671 \cdot \tanh(4 \cdot x)$	<0,12	<0,33

Tab. 05: Úrovně maximální chyby pro nelineární zkreslení

Nelineární zkreslení je v algoritmu implementována jako zkreslení vstupního napětí pipeline převodníku, tzn. před první sekcí, a to dle následující rovnice:

$$u_{IN_NELIN} = C_1 \cdot \tanh\left(\frac{u_{IN}}{C_2}\right) \quad (16)$$

Tím vznikne nový průběh vstupního napětí, který je graficky znázorněn na Obr. 10.



Obr. 10: Průběh zkresleného vstupního napětí

Při simulaci chybových parametrů se budu zabývat třemi nejdůležitějšími chybami – chybou zisku mezistupňového zesílení, chybou offsetu a nelineárním zkreslením převodní charakteristiky. Jak bylo uvedeno dříve, chyby se mohou vyskytovat nezávisle nebo společně. Pro jednodušší vysvětlení vlivu těchto chyb na INL charakteristiku budu v této kapitole prezentovat tyto chyby odděleně.

Prvním simulovaným chybovým mechanismem pipeline-flash A/D převodníku je chyba zisku mezistupňového zesílení. Tato chyba vzniká u reálných A/D převodníků v bloku zesilovače označeném A (viz Obr. 09) a může vznikat za libovolnou sekci dílčího převodu. Samozřejmě v závislosti na místě vzniku této chyby dochází k periodickému opakování vlivu na INL charakteristiku. Chyba zisku mezistupňového zesílení je definována rovnicí (15).

Druhým simulovaným chybovým mechanismem pipeline-flash A/D převodníku je chyba offsetu komparátorů a vzniká u reálných převodníků např. teplotní závislostí komparační úrovně komparátorů v dílčích paralelních A/D převodníků. Chyba offsetu komparátoru je definována rovnicí (14).

Posledním simulovaným chybovým mechanismem pipeline-flash A/D převodníku je nelineární zkreslení převodní charakteristiky zesilovacího bloku A. Nelineární chyba zisku je definována rovnicí (16).

Jak bylo uvedeno dříve, přesnost extrakce INL lze definovat jako šum v podobě residuálního INL pro případ, kdy je testován ideální A/D převodník. Stejně jako u servosmyčky s cyklickým A/D převodníkem je u servosmyčky

s pipeline-flash A/D převodníkem amplituda residuálního INL pro VTE je v řádu $2,8 \cdot 10^{-8}$ LSB, tzn. maximální rozlišení testovatelné touto metodou je $N_{\max} = 33,089$ bitu.

Ze simulovaných modelů vyplynulo, že chybové mechanismy mohou být rozděleny do dvou základních skupin.

V první skupině chyb platí princip lineární superpozice, tj. amplituda INL a DNL charakteristiky je přímo úměrná úrovni chyb. Toto může být vyjádřeno jako:

$$INL(\delta_{\text{ofset}} = k \cdot X[\text{ppm}]) = k \cdot INL(\delta_{\text{ofset}} = X[\text{ppm}]) + \Delta_{LIN} \quad (17)$$

kde $INL(\delta_{\text{ofset}} = X[\text{ppm}])$ je příspěvek chyby ofsetu komparátoru s amplitudou $X[\text{ppm}]$ a Δ_{LIN} je odchylka od linearity. V našem případě platí lineární princip superpozice s rozdílem od linearity menším než 0,05 LSB. Plnění lineárního principu superpozice je nezbytnou podmínkou pro použití LEMMA algoritmu [03] určeného pro efektivní vyhodnocení návrhů převodníků.

Ve druhé skupině chybových zdrojů reprezentovaných chybou zisku mezistupňového zesilovače je lineární princip superpozice porušen. To je způsobeno kvantováním INL příspěvků z různých fází převodu, způsobené sadou specifických prahových hodnot chybových zdrojů. Zvláště pokud velikost chybového zdroje přesáhne určitou hodnotu, je vyvolána významná změna příslušného INL příspěvku.

5 Dekompozice návrhu a nastavení parametrů

Tato kapitola disertační práce představuje inovativní způsob dekompozice návrhu. Na základě simulovaného INL od jednotlivých chybových zdrojů obsažených v modelu A/D převodníku budeme demonstrovat, jak chybové zdroje a jejich kombinace budou mít vliv na celkovou INL charakteristiku. Dekompozici návrhu je třeba chápat jako identifikaci hlavních složek a jejich velikostí v simulovaných charakteristikách A/D převodníku.

Jelikož "skutečné" naměřené INL charakteristiky A/D převodníku na tranzistorové úrovni nebyly v době psaní této práce k dispozici, byl použit set pseudo-reálných INL charakteristik vytvořených na pipeline-flash modelu A/D převodníku. Hlavní výhodou simulace je fakt, že lze emulovat jakýkoli typ i velikost chyby, tzn. jakoukoli chybu offsetu, chybu zisku či nelineární chybu zisku, a tím pádem obsáhnout maximální množství reálných chyb. Tímto proces dekompozice popsán níže poskytuje cennou zpětnou vazbu k procesu návrhu.

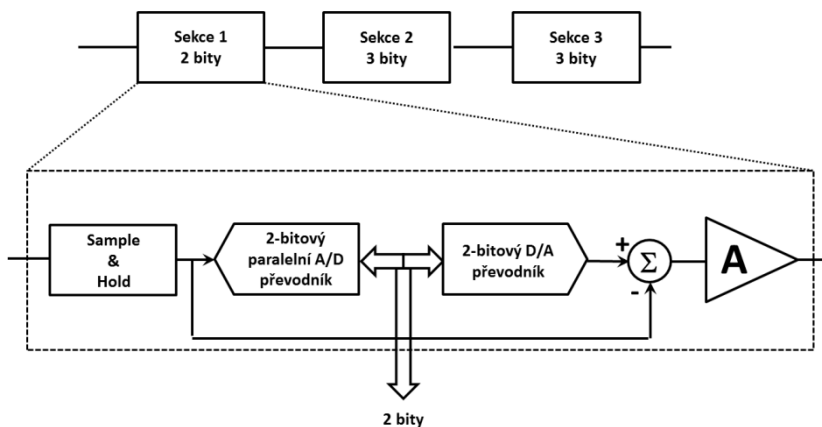
Při použití lineárního principu superpozice lze výslednou INL charakteristiku rozložit do vážených součtů příspěvků jednotlivých chybových zdrojů. To bylo prokázáno např. na odezvě A/D převodníku v [02], [16].

5.1 Simulace chybových mechanismů

V předchozí kapitole byly identifikovány nejvýznamnější zdroje chyb vyskytující se v pipeline-flash architektuře A/D převodníků. Dalším krokem v systematické dekompozici návrhu je rozpoznat vliv a priori známých hodnot chybových zdrojů na výslednou INL charakteristiku.

Obecně mohou chyby A/D převodníku vznikat nezávisle nebo mohou působit zároveň. V první části této kapitoly budu prezentovat vliv individuálních chybových mechanismů na INL jako vstup pro matici modelu pro dekompozici odděleně. V druhé části budou chybové mechanismy působit společně tak, aby vznikla pseudo-reálná INL charakteristika, jež bude druhý vstup do dekompozičního algoritmu.

V této kapitole budu pracovat již jen výhradně s 8-bitovou konfigurací pipeline-flash A/D převodníku se sekcemi 2+3+3 bity dle následujícího schématu:



Obr. 11: Blokové schéma pipeline A/D převodníku [24]

První zkoumanou chybou je chyba zisku mezistupňového zesilovače. Dle schématu na Obr. 11 lze vidět, že je možné chybu zisku mezistupňového zesílení umístit za první a za druhou sekci.

Na tvaru INL křivek jsem vysledoval specifickou závislost délky pulsů na amplitudě chyby A/D převodníku. Chyba zisku mezistupňového zesílení vykazuje periodický vliv na INL charakteristiky. Takový vliv je způsoben "pronikáním" chyby A/D převodníku z jedné sekce na další. Z hlediska hodnocení návrhu [03] mohou správně zvolené hodnoty chyby zisku mezistupňového zesilovače vytvářet systém lineárně nezávislých INL charakteristik.

Druhou simulovanou chybou je chyba offsetu komparátoru. Jak bylo uvedeno dříve, tato chyba je v praxi způsobena např. teplotní závislostí napětového vstupního offsetu. Z výsledků lze opět vidět pronikání chyb mezi sekcemi převodu. Hlavní špičky jsou způsobeny chybou offsetu v první fázi převodu, což koresponduje s tím, že byl převáděn MSB a tedy vzniklá chyba má největší váhu. Špičky s menší amplitudou jsou způsobeny chybou offsetu ve druhé fázi převodu, zatímco špičky z třetí fáze převodu nejsou prakticky viditelné a to i přesto, že chyba offsetu se v průběhu převodu nemění (jsou použity tytéž komparátory).

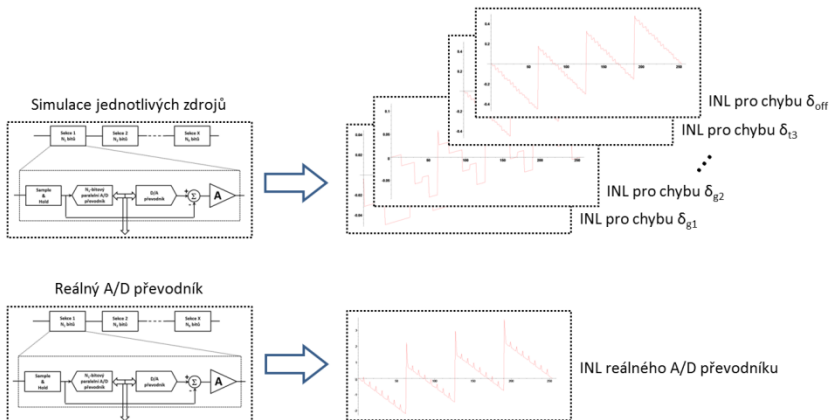
Třetí simulovanou chybou je nelineární zkreslení převodní charakteristiky. Odezva INL na nelineární zkreslení tangenciálního tvaru patří do zvláštní kategorie v simulaci chybových mechanismů, protože tento chybový mechanismus popisuje nelineární proces, a je tedy třeba vzít v úvahu výrazný vliv ostatních chybových zdrojů.

Chybový behaviorální model A/D převodníku sestavený tímto způsobem je velmi vhodný pro následnou dekompozici návrhu, což nám poskytuje možnost detailního popisu robustního systému. Tento model je pak matematicky popsán souborem dílčích matic s amplitudou chyby jako parametr.

Jelikož pro tuto chybu neplatí princip LEMMA, chybu jsem rozdělil do třech úrovní nelineárního zkreslení a dekompozicí určuji, do jaké kategorie tato chyba spadá. Ze simulací jednoznačně vyplývá, že nelineární zkreslení převodní charakteristiky má větší vliv na převodníky s malou chybou zisku oproti převodníkům s větší chybou zisku. Nicméně pro nelineární chybu, jejíž úroveň je dostatečně nízká a tedy splňuje princip LEMMA (v našem případě až do úrovně nelineárního zkreslení 3), je vliv chyby zisku ještě dobře patrný. V takovém případě mohou být nelineární efekty systematicky odděleny tak, aby byl možný další proces dekompozice. Nelineární zkreslení je nutné hlídat již při návrzích A/D převodníků - vzhledem k maskovacímu efektu musí udržován být během návrhu A/D převodníku udržován tvar nelineárního zkreslení na dostatečně nízké úrovni.

5.2 Simulace individuálních chybových mechanismů

Před vlastní implementací dekompozičního algoritmu v MAPLE musí vzniknout INL charakteristika všech individuálních přispívajících chybových zdrojů a v případě nelineárních či po částech lineárních chybových zdrojů je nutné pro každý přispívající chybový zdroj více INL charakteristik (s amplitudou chyby jako parametr).



Obr. 12: Simulace jednotlivých přispívajících chybových zdrojů

Na základě těchto dílčích simulací může vzniknout matice modelu s jednotlivými příspěvky individuálních zdrojů chyb. Chybové zdroje popsané rovnicemi (13), (14) a (15) vykazují lineární princip superpozice při respektování jejich typických hodnot.

5.3 Praktická implementace SVD dekompozice v MAPLE

V této disertační práci pracuji s vhodným rozsahem principu superpozice na souboru lineárně nezávislých INL příspěvků. Tyto příspěvky jsou generovány změnou amplitudy jednotlivých chybových zdrojů (chyba zisku, chyba offsetu, nelineární chyba převodní charakteristiky).

Při splněním výše uvedených podmínek lze seřadit jednotlivé příspěvky individuálních zdrojů chyb do matice modelu B_{mod} :

$$B_{\text{mod}} = \begin{bmatrix} INL_{g1} & INL_{g2} & INL_{g3} & INL_{g4} & INL_{g5} & INL_{g6} & INL_{t1} & INL_{t2} & INL_{t3} & INL_{\text{off}} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ INL_{g1} & INL_{g2} & INL_{g3} & INL_{g4} & INL_{g5} & INL_{g6} & INL_{t1} & INL_{t2} & INL_{t3} & INL_{\text{off}} \end{bmatrix} \quad (18)$$

kde INL_{g1} až INL_{g6} odpovídá příspěvku INL generované chybami zisku mezistupňového zesilovače za první sekci (1.000ppm, 2.000ppm, 5.000ppm, 10.000ppm, 20.000ppm, 50.000ppm), jak je definováno v (15), INL_{t1} až INL_{t3} odpovídá příspěvku INL generované nelineární chybou tanh (0,12; 0,30; 0,55), jak je definováno v (16), a INL_{off} označuje příspěvek chyby offsetu (T~340K), jak je definováno v (14).

Matice modelu (18) obsahuje jeden sloupec pro každý přispívající chybový zdroj. V případě, že chybový zdroj nepřispívá lineárně, je nutné vícero sloupců, aby bylo možné podchytit nelineární průběh.

Matici modelu B_{mod} rozměru $[255 \times 10]$ lze rozložit na součin matic:

$$B_{\text{mod}} = U \cdot \Sigma \cdot V^T \quad (19)$$

kde

U je sloupcově ortonormální matice rozměru $[255 \times 255]$, jejíž sloupce se nazývají levé singulární vektory

V je ortonormální matice rozměru $[10 \times 10]$, jejíž sloupce se nazývají pravé singulární vektory

Σ je diagonální matice rozměru $[255 \times 10]$, která obsahuje diagonální matici Σ_1 kladných reálných singulárních čísel σ_i , které jsou seřazeny sestupně.

5.4 Aplikace algoritmu LEMMA při dekompozici chybových zdrojů

Hlavním cílem této kapitoly je systematické zjednodušení návrhu a procesu modelování A/D převodníku za pomoci algoritmu LEMMA. První část je zaměřena na vysvětlení principu LEMMA dekompozice, jež představuje způsob, jak lze INL odezvy navrženého A/D převodníku rozložit na komponenty chybového modelu. V druhé části je provedena identifikace jednotlivých chybových zdrojů na 8-bitovém pipeline-flash A/D převodníku. Třetí část popisuje dekompozici velikostí chybových zdrojů, působících v modelu A/D převodníku, a jsou zde shrnuty nejvýznamnější výsledky přístupu založeného na LEMMA technice použité v této práci, ve srovnání s jinými zdroji a literaturou zaměřenou na verifikaci návrhů.

Účinnost LEMMA metody je vždy kompromisem mezi úplností modelu a časem potřebným ke změření celkové odezvy. V provádění metody existuje mnoho stupňů volnosti - kolik chybových zdrojů modelovat; jaké chybové zdroje a jak modelovat; kolik testovacích bodů vybrat a jak je zvolit; jak minimalizovat predikci celkové odezvy.

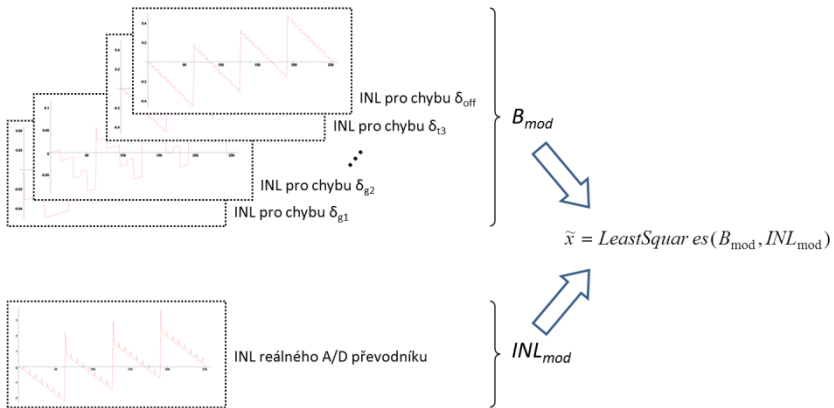
Pro proces dekompozice je nutný vznik dvou matic – INL_{mod} reprezentující celkovou INL charakteristiku reálného A/D převodníku, kterou lze získat měřením či simulací struktury s kombinací chybových zdrojů, a B_{mod} reprezentující matici modelu s individuálními přispívajícími chybovými zdroji.

Dekompozice INL_{mod} je dána vztahem:

$$INL_{mod} = B_{mod} \cdot \tilde{x} + \Delta_{LIN} \quad (20)$$

kde $INL_{mod} \in R^{2N}$ je celková INL charakteristika reálného pipeline převodníku, $B_{mod} = [e_1 \ e_2 \ \dots \ e_{10}]$ označuje matici modelu s jednotlivými příspěvky individuálních zdrojů chyb, \tilde{x} označuje vektor odhadovaných koeficientů modelu (vah individuálních zdrojů chyb), $\Delta_{LIN} \in R^{2N}$ označuje chybu dekompozice (chybu určení chybových mechanismů).

Proces vzniku výše uvedených dvou matic lze graficky znázornit do následujícího schématu:



Obr. 13: Vznik matic modelu B_{mod} a INL_{mod}

Jak již bylo uvedeno výše, podmínkou pro správnou funkci dekompozice a techniky LEMMA je malá amplituda chybových zdrojů tak, aby nedošlo ke zkreslení tvaru INL a tedy k nemožnosti dekompozice.

V této práci jsem chyby volil takové, aby odpovídaly reálným chybám, s nimiž se setkáváme v převodnicích od renomovaných výrobců, jak bylo uvedeno v Tab. 03.

Jako první krok dekompozice návrhu je odhadnut vektor vah jako:

$$\tilde{x} = \text{LeastSquares}(B_{mod}, INL_{mod}) \quad (21)$$

Tím získám vektor vah jednotlivých přispívajících chybových zdrojů v modelu A/D převodníku.

Následně lze nejistotu měření (lack-of-fit) vypočítat dle následující rovnice:

$$\Delta_{LACK} = INL_{mod} - B_{mod} \cdot \tilde{x} \quad (22)$$

Z obecného hlediska dekompozice návrhu je základem procesu tzv. „fitování“ model, který se vyznačující se souborem lineárních rovnic (20). V lineární algebře lze tudíž chybu „fitování“ modelu považovat za optimalizovanou dle metody nejmenších čtverců.

Vektor vah jednotlivých chybových zdrojů lze popsat následujícím způsobem:

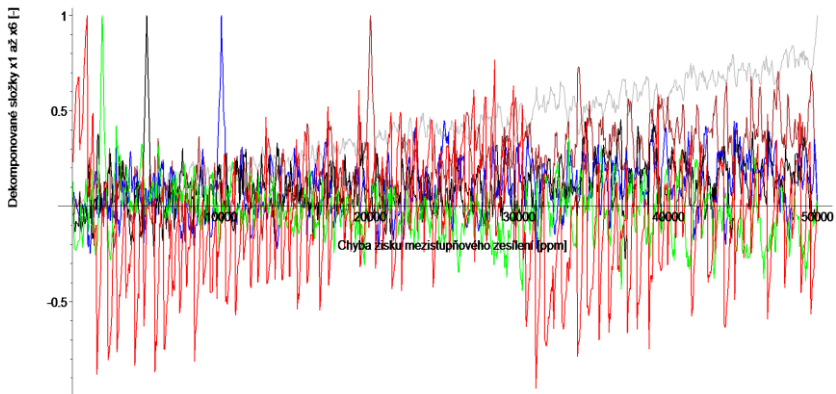
$$\tilde{x} = [x_1 \ x_2 \ x_3 \ x_4 \ x_5 \ x_6 \ x_7 \ x_8 \ x_9 \ x_{10}] \quad (23)$$

kde jednotlivé koeficienty mají následující význam:

- x_1 ... odpovídá chybě zisku o velikosti $e_1 = 1.000\text{ppm}$
- x_2 ... odpovídá chybě zisku o velikosti $e_2 = 2.000\text{ppm}$
- x_3 ... odpovídá chybě zisku o velikosti $e_3 = 5.000\text{ppm}$
- x_4 ... odpovídá chybě zisku o velikosti $e_4 = 10.000\text{ppm}$
- x_5 ... odpovídá chybě zisku o velikosti $e_5 = 20.000\text{ppm}$
- x_6 ... odpovídá chybě zisku o velikosti $e_6 = 50.000\text{ppm}$
- x_7 ... odpovídá nelineární chybě zisku 1. úrovně nelinearity
- x_8 ... odpovídá nelineární chybě zisku 2. úrovně nelinearity
- x_9 ... odpovídá nelineární chybě zisku 3. úrovně nelinearity
- x_{10} ... odpovídá chybě offsetu (teplota 340K při teplotním driftu $100\mu\text{V/K}$)

Výsledek praktické implementace dekompozičního algoritmu je patrný z Obr. 14. Koeficienty x_1 až x_6 jsou dekomponované koeficienty chyb vykreslené v závislosti na amplitudě chyby zisku mezistupňového zesílení. Je zřejmé, že globální maxima křivek koeficientů x_1 až x_6 uvádějí konkrétní hodnoty úrovně chyby zisku mezistupňového zesilovače přítomné v INL křivce.

Grafické znázornění dekompozice vektoru vah pro chyby zisku mezistupňového zesílení má následující tvar:



Obr. 14: Dekomponované koeficienty vektorů modelu pro parametr chyby zisku

I přesto, že dekomponované koeficienty nemají jednoznačný průběh (Obr. 14), ze kterého by bylo možné vliv jednotlivých chybových zdrojů jednoznačně odečíst, lineárními algebraickými rovnicemi lze z těchto vah jednotlivé amplitudy chybových zdrojů získat.

5.5 Určení amplitud jednotlivých chybových zdrojů

V kapitole 5.4 jsme určili koeficienty vah jednotlivých chybových zdrojů, jež tvoří matici modelu B_{mod} . To samotné ovšem pro dekompozici amplitud chybových zdrojů není možné použít. Důvodem je fakt, že v jednotlivých vahách je vždy zakomponován vliv i ostatních chybových zdrojů.

Vstupním parametrem pro dekompozici je INL křivka neznámého reálného převodníku. Při dodržení podmínek pro aplikaci LEMMA (dostatečně malá amplitudy chybových zdrojů), nejprve oddělíme lineární efekty z INL křivky a postupujeme k nelineárním chybám.

Z výsledků uvedených na začátku této kapitoly mohu jednoznačně prohlásit, že nejvíce lineární je chyba offsetu, následuje chyba zisku mezistupňového zesilovače a nejméně lineární je nelineární chyba způsobená tangenciálním zkreslením převodní charakteristiky převodníku.

Celá dekompozice je rozdělena do jednotlivých fází dle přispívajících chybových zdrojů, seřazených dle jejich linearity. V našem případě, kdy máme v modelu A/D převodníku tři chybové zdroje, bude dekompozice provedena ve třech fázích.

První fáze dekompozice chybových zdrojů začíná dekompozicí chyby offsetu (teploty A/D převodníku). Teplotní chyba je determinována dle rovnice (21) a chyba offsetu (teplota) je určena dle následující rovnice:

$$\text{Odhad_chyby_offsetu} = 300 + x_{10} \cdot (\text{Temp}_{\text{Reference}} - 300) \quad (24)$$

kde x_{10} je poměr mezi INL křivkou pseudo-reálného A/D převodníku a INL křivkou danou offsetovou referencí $\text{Temp}_{\text{Reference}}$ a $\text{Temp}_{\text{Reference}}$ je zvolená referenční teplota. Při generování chyby byl použit teplotní závislost offsetu o velikosti $100\mu\text{V/K}$, přičemž systém vykazoval srovnatelné výsledky od $1\mu\text{V/K}$ až do $1000\mu\text{V/K}$.

Poté jsem s využitím dekomponované teploty udělal INL křivku virtuálního A/D převodníku pouze s chybou offsetu dle rovnice (14).

Na konci první fáze determinace jsem od zadané INL křivky odečetl INL křivku virtuálního A/D převodníku s chybou offsetu. Tím jsem získal INL křivku pro převodník s odfiltrovanou chybou offsetu, tzn. pouze s chybou zisku a nelineární chybou. Tyto chyby budou dekomponovány v dalším kroku.

V druhé fázi je determinována chyba zisku dle stejného postupu. Chyba zisku je determinována dle rovnice:

$$\text{Odhad_chyby_zisku} = \sum_{i=1}^6 e_i \cdot x_i \quad (25)$$

kde x_i je poměr mezi INL křivkou pseudo-reálného A/D převodníku a INL křivkou danou chybou zisku a e_i jsou velikosti referenčních chyb zisku mezistupňového zesílení.

Poté jsem s využitím dekomponované teploty udělal INL křivku virtuálního A/D převodníku pouze s chybou offsetu dle rovnice (15).

Na konci druhé fáze determinace jsem od zadané INL křivky odečetl INL křivku virtuálního A/D převodníku s chybou zisku. Tím jsem získal INL křivku pro převodník s odfiltrovanou chybou offsetu a zisku, tzn. pouze s nelineární chybou. Tato chyba bude dekomponována v posledním kroku.

Poslední ze sledovaných chyb je nelineární chyba zkreslení převodní charakteristiky. Jelikož se ze své podstaty jedná o nelineární chybu a tedy neplatí, že změna amplitudy chyby nezmění i tvar INL, je tato chyba dekomponována jako poslední ze sledovaných chyb.

Odhad nelineární chyby neprobíhá standardním postupem dle lineární algebry, jak tomu bylo v případě chyby zisku a offsetu, ale je nutné provést odhad dle koeficientů vektoru \tilde{x} .

6 Ověření funkce algoritmu na pseudo-reálném A/D převodníku

Jelikož jsem v době psaní této disertační práce neměl převodní charakteristiku reálného A/D převodníku, vygeneroval jsem pseudo-reálný A/D převodník s chybou offsetu a chybou zisku jako parametr. Tím vznikly převodníky s chybami, s nimiž se je možné setkat v reálné praxi, tzn. vzniklé chyby se pohybují v rozmezí reálných hodnot (teplota v rozmezí -40°C až $80^{\circ}\text{C} = 240\text{K}$ až 360K a chybu zisku mezistupňového zesilovače od 1.000ppm a 50.000ppm), což odpovídá INL do max. $3,0\text{LSB}$, což je INL fyzických reálných A/D převodníků.

Tím bylo dosaženo maxima možných reálných hodnot, které mohou u reálného A/D převodníku vzniknout. Systém sice umožňuje teoreticky nekonečné amplitudy všech chyb, nicméně to nebylo pro naši demonstraci potřebné.

Rozsah chyb A/D převodníku tedy byl:

- teplota komparátorů -40°C až $+80^{\circ}\text{C}$ (240K až 380K)
- zisku mezistupňového zesilovače 1.000ppm až 50.000ppm
- nelineární chyba převodní charakteristiky se zkrácením až 50%

Tyto převodníky a jejich kombinace byly ověřeny dekompozičním algoritmem a byly vyhodnoceny jejich relativní chyby.

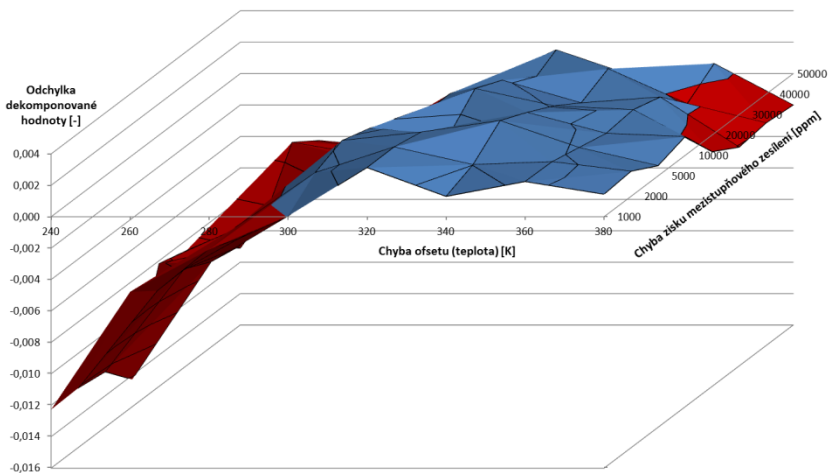
Relativní chybu dekompozice chyby mezistupňového zesílení lze vyjádřit jako:

$$\Delta_{IGE} = \frac{IGE_{zad} - IGE_{dekomp}}{IGE_{zad}} \quad (26)$$

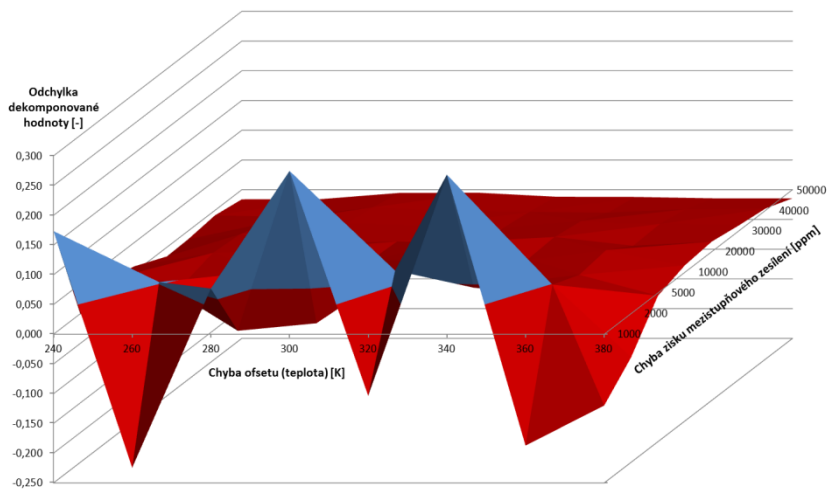
kde IGE_{zad} je zadaná chyba zisku mezistupňového zesílení vyjádřená v ppm a IGE_{dekomp} je dekomponovaná chyba zisku mezistupňového zesílení vyjádřená v ppm.

Analogicky k (26) lze vyjádřit relativní chybu dekompozice teploty (offsetu), kde je zadaná teplota vyjádřena v Kelvinech.

Tyto výsledky byly ověřeny dekompozičním algoritmem a byla vyhodnocena jejich relativní chyby. Po dokončení algoritmu jsem dosáhl velice přesných výsledků (viz Obr. 15 a Obr. 16).



Obr. 15: Grafické vyjádření relativní odchyly dekomponované hodnoty při určeni chyby offsetu (teplota)



Obr. 16: Grafické vyjádření relativní odchyly dekomponované hodnoty při určeni chyby zisku mezistupňového zesílení

Na základě výsledků dekompozice lze konstatovat následující:

- chyba ofsetu je lineární závislá a proto je její dekompozice mnohem jednodušší a přesnější
- chyba zisku v určitém rozmezí lineárně závislá a její dekompozice není možná v celém rozsahu
- nelineární chybu nelze určovat na základě lineární algebry, ale z maxima vzniklé nelinearity

Další analýzou bylo zjištěno, že další zpřesnění by bylo možné dosáhnout, a to sice kdyby se do matice zařadily dva nové sloupce – jeden s dekomponovaným ziskem a druhý s dekomponovaným ofsetem. Poté by se provedla opět dekompozice.

Výsledky získané tímto postupem by sice přinesly zpřesnění, ale za ceny prodloužení času nutného pro otestování A/D převodníku, což je nežádoucí. Cílem je v co nejkratším čase s co největší přesností, a to jsem tímto algoritmem dosáhl.

Nicméně i výsledky získané touto metodou jsou velice přesné – u chyby ofsetu bylo dosaženo chyby max. 1,2% a u chyby zisku max. 20%, což lze považovat za vynikající výsledky dekompozičního procesu.

7 Závěr

7.1 Dosažené výsledky

V rámci mých aktivit jsem vytvořil modulární prostředí pro virtuální testování analogově digitálních převodníků. Testovací algoritmus se skládá z procedur pro extrakci statických chyb A/D převodníku - integrální a diferenciální nelinearity, a dále algoritmu pro simulaci modelu A/D převodníku v MAPLE, umožňující analýzu vlivu jednotlivých chybových zdrojů na INL charakteristiku A/D převodníku.

Důležitým výsledkem je vytvoření virtuálního testovacího prostředí pro A/D převodníky využívající dva tradiční způsoby extrakce parametrů – servosmyčkovou a histogramovou metodu. Jednotlivá zlepšení byla postupně integrována do testovacího algoritmu, čímž jsem dosáhl zrychlení konvergence a zvýšení efektivity algoritmu. Tím pak metody nabízejí cennou zpětnou vazbu o vlastnostech reálných testovaných obvodů ve velice krátkém čase.

Prvním přínosem mé implementace servosmyčky v porovnání se standardním řešením [39] je aplikace a priori známé hodnoty do vstupního signálu do A/D převodníku. Proto není třeba kontrolovat výstup integrátoru jako je tomu u standardního řešení servosmyčky. Druhou výhodou je, že konvergenční proces je urychlen zavedením počáteční podmínky a adaptivním zjemňováním kroku. Zjemňování velikosti kroku pak pomáhá urychlit vyhledávání rovnováhy servosmyčky, zatímco je potřeba méně iterací potřebných k zachování stejné přesnosti INL. Složitost vyhledávání (relace mezi rozlišením a časem nutným pro otestování) a tedy i čas potřebný k otestování se mění z lineární na logaritmickou.

Výkonnost virtuálního testovacího algoritmu je ukázána na simulaci 12-bitového A/D převodníku, přičemž bylo prokázáno, že obě metody lze dále rozšířit a zdokonalit. V případě histogramové metody lze metodu rozšířit až na 15,322 bitů a v případě servosmyčkové metody lze algoritmus využívat pro extrakci parametrů převodníků s rozlišením až 32,931 bitů. Proto navržený virtuální testovací algoritmus nabízí cennou zpětnou vazbu o vlastnostech testovaných systémů.

Tato disertační práce dále navrhuje virtuální testovací prostředí pro dva nejznámější nepřevzorkující A/D převodníky (převodníky s algoritmicou a pipeline-flash strukturou). Klíčové uplatnění tohoto testovacího prostředí je k identifikaci chyb A/D převodníků na systémové úrovni, které mohou ovlivnit

výsledky testů. Převodníkové struktury byly implementovány s rozlišením 8 bitů a jejich funkčnost byla ověřena servosmyčkovou metodou.

Identifikace chybových zdrojů a modelování je důležitým úkolem při návrhu a následném hodnocení A/D převodníků. Modelováním chybových mechanismů jsem získal robustní chybový model A/D převodníku, jež jsem úspěšně implementoval do algoritmu. Co se týká implementace systému, masivní využívání MAPLE umožňuje simulaci A/D převodníků podobné obvodové úrovni z důvodu dostupnosti integrovaných softwarových balíčků pro symbolickou analýzu obvodů.

Hlavním příspěvkem této práce je vytvoření metodiky systematického hodnocení návrhu vhodné pro nepřevzorkující A/D převodníky. Obzvláště byl vyřešen tok dekompozice a dekompozice návrhu byla prokázána na pipeline A/D převodnicích často používaných v integrovaných systémech. Na rozdíl od předchozích přístupů [13], [14], [32] může mnou navrhovaný algoritmus dekompozice řešit i chybové zdroje, které porušují princip linearity.

V rámci třetího cíle stanoveného v kapitole 2.1.3 jsem představil inovativní koncept dekompozice amplitud chybových zdrojů, jež byl ověřen na pipeline-flash A/D převodníku při variaci chyb offsetu a zisku jako parametr algoritmu. Na příkladu tohoto převodníku jsem demonstroval celý postup dekompozice a umožnil tak pochopení přínosu této metody při testování A/D převodníku.

Výše uvedené techniky jsem ukázal na příkladu pseudo-reálného A/D převodníku s paralelní pipeline architekturou. Tento převodník byl dekomponován se všemi popsanými chybovými mechanismy a to v celém rozsahu reálných amplitud chybových zdrojů. Tím byla prokázána funkčnost simulace, identifikace a dekompozice pro všechny případy, které mohou vzniknout.

7.2 Zveřejněné publikace vztahující se k tématu

Vývoj pokročilého virtuálního prostředí pro A/D převodníky aplikující zdokonalenou servosmyčku se zlepšenou konvergencí a aplikací počáteční podmínky byl publikován na mezinárodní konferenci v Žilině [A05] a především na prestižní konferenci DDECS 2007 [A03].

Modelováním a identifikací chybových zdrojů, přinášející nový pohled na identifikaci chybových mechanismů a jejich simulaci včetně systémových omezení, byl prezentován na prestižní konferenci DDECS 2007 [A03] a dále na mezinárodních i národních konferencích [A06], [A07], [A08].

Modelově orientované testování A/D převodníků, jejímž výsledkem je implementovaný příklad modelově orientovaného testování potenciálním využitím v průmyslové praxi byl publikován na mnoha prestižní konferenci DDECS 2008 [A04], v recenzovaných časopisech Measurement Science Review [A02] či Radioengineering (aktuálně přijat k publikaci) [A01], a na mnoha konferencích [A08], [A09], [A10].

Důležitým přínosem mé disertační práce byl postup dekompozice pipeline periodické obvodové struktury. Tento proces byl s velkým ohlasem prezentován na konferenci IMEKO 2008 [A09] a v impaktovaném časopise Radioengineering [A01].

Za největší přínos této disertační práce považuji to, že byla jednoznačně prokázána funkčnost dekompozičního algoritmu a ukázalo se, že lze jednoduchým měřením převodní charakteristiky detekovat chyby vyráběných A/D převodníků. Celkovou úspěšnost této disertační práce lze hodnotit i na základě ohlasů z konferencí a dalších publikací, kde bylo téma zveřejněno. Téma vyvolalo mezi odborným publikem vždy velkou pozitivní reakci s četnými dotazy na detaily zmíněných výsledků.

Všechny publikace výše uvedené publikace prošly recenzním řízením a byly schváleny k publikaci, což pro mne znamenalo, že řešené téma je aktuální, originální, a nesoucí zajímavou informaci ostatním, řešícím stejnou problematiku.

Seznam v tezích použité literatury

- [01] M.Burns, G.W.Roberts: „An Introduction to Mixed-Signal IC Test and Measurement“, Oxford University Press, pp. 447-481, New York, 2001
- [02] O.Šubr: „Application of SI Technique in A/D Conversion and Its LEMMA-aided Design Evaluation“, Disertační práce na ČVUT Praha, Fakulta elektrotechnická, Prosinec 2005
- [03] A.Wrixon, M.P.Kennedy: “A rigorous exposition of the LEMMA method for analog and mixed-signal testing”, IEEE Transactions on Instrumentation and Measurement, vol. 48, No. 5, pp. 978-985, Říjen 1999
- [04] P.D.Capofreddi, B.A.Wooley: “The Efficiency of Methods For Measuring A/D Converter Linearity”, IEEE Transactions on Instrumentation and Measurement, vol. 48, No. 3, pp. 763-769, Červen 1999
- [05] F.C.Alegria, P.Arpaia, P.Daponte, A.C.Serra: “An ADC histogram test based on small-amplitude waves”, Measurement vol. 31, pp. 271-279, 2002
- [06] F.C.Alegria, P.Arpaia, P.Daponte, A.C.Serra: “ADC histogram test using small-amplitude input waves”, Proc. XVI IMEKO WORLD CONGRESS, vol. X, pp. 9-14, Vídeň, Rakousko, Zář 2000
- [07] L.Michaeli, J.Šaliga, P.Michalko: “Triangular testing signal for identification of unified error model parameters”, Measurement vol. 40, pp. 491-499, 2007
- [08] N.Björzell, P.Händel: „On Gaussian and Sine wave Histogram Tests for Wideband Applications“, Instrumentation and Measurement Technology Conference IMTC 2005, Ottawa, Canada, Květen 2005
- [09] J.Šaliga, L.Michaeli, R.Holcer: „Noise sensitivity of the exponential histogram ADC test“, Measurement vol. 39, pp. 238-244, 2006
- [10] L. Michaeli, P. Michalko, J. Saliga, “Unified ADC nonlinearity error model for SAR ADC,” Measurement vol. 41, pp. 198-204, Říjen 2006
- [11] A.C.Serra, M.F.de Silva, P.M.Ramos, R.C.Martins, L.Michaeli, J.Šaliga: „Combined Spectral and Histogram Analysis for Fast ADC Testing“, IEEE Transactions on instrumentation and measurement, vol. 54, No. 4, Srpen 2005
- [12] A.C.Serra, F.Alegria, L.Michaeli, P.Michalko, J.Saliga, “Fast ADC testing by repetitive histogram analysis”, IEEE Instrumentation and Measurement Technology Conference IMTC 2006, Duben 24-27, pp. 1633-1638, Sorrento, Itálie, Duben 2006
- [13] S.Medawar, N.Björzell, P.Händel, M.Jansson: „Dynamic Characterization od Analog-to-Digital-Converters Non-Linearities“,

- in Proceedings Mosharaka International Conference on Wireless Communications and Mobile Computing, Amman, Jordánsko, Září 2007
- [14] O.Šubrt, P.Martinek, C.Wegener: „Model-Based Testing and Design Evaluation of Mixed-Signal Devices: an ADC Example“, In Electronic Devices and Systems - IMAPS CS International Conference 2006, Vysoké učení technické v Brně, pp. 113-118, ISBN 80-214-3246-2, Brno, Česká republika, 2006
 - [15] B.Carrol, C.Wegener, M.P.Kennedy: „Lemma-ADC: The Linear Error Mechanism Modelling Algorithm Applied to A/D-Converters“, Proc. IEE Conference ADDA 1999, pp. 145-148, 1999
 - [16] C.Wegener, M.P.Kennedy, “Linear model-based error identification and calibration for data converters”, Proc. DATE, Conf. on Design Automation and Test in Europe, pp. 630-635, Munich, Germany, Březen 2003
 - [17] O.Šubrt, P.Martinek: „A Novel Design Evaluation Concept Applied to Switched-Current Algorithmic A/D Converters“, In Proceedings of the 2006 IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, vol. 1, p. 108-112. ISBN 1-4244-0184-4, 2006
 - [18] M.Komárek, V.Papež, J.Roztočil, P.Suchánek: “Sine-wave Signal Sources for Dynamic Testing High-Resolution High-Speed ADCs”, Proc. XVIII IMEKO WORLD CONGRESS, 11th Workshop on ADC modelling and testing, Rio de Janeiro, Brazílie, Září 2006
 - [19] Maxim tutorial 2085: „Histogram Testing Determines DNL and INL Errors“, <http://www.maxim-ic.com/app-notes/index.mvp/id/2085>, Červenec 2002
 - [20] The Institute of Electrical and Electronics Engineers, Inc.: „IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters“. IEEE Std. 1241-2000, New York, USA, Prosinec 2000
 - [21] O.Šubrt, P.Martinek, C.Wegener: “A Contribution to Advanced Extraction Methods for Static ADC Non-linearity”, Proc. IEEE Conf. IMTC 2007, elektronická verze, 2007
 - [22] D.Nairn: “Algorithmic and Pipelined A/D Converters”, In: C. Toumazou, J. B. Hughes, N.C. Battersby: Switched-Currents an analogue technique for digital technology, pp. 304-322, Velká Británie, 1993
 - [23] D.Johns, K.Martin: „Analog Integrated Circuit Design“, ISBN 0-471-14448-7, USA, 1997
 - [24] M.Parenti, D.Vecchi, A.Boni, G.Chiorboli: “Systematic Design and modelling of high-resolution, high-speed pipeline ADCs“, Measurement vol. 37, pp. 344-351, Duben 2005

Seznam prací disertanta vztahujících se k tématu disertační práce

Publikace v impaktovaných časopisech

- [A01] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “Developing Model-Based Design Evaluation for Pipelined A/D Converters”, Radioengineering, 2012, článek přijat k publikaci, Praha, Česká republika, 2012 [70%]

Publikace v recenzovaných časopisech

- [A02] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “A Virtual A/D Converter Testbench for Educational Purpose - Development and Results”, Measurement Science Review 2008, vol. 8, no. 4, pp. 78-81. Internet: <http://www.measurement.sk/2008/S1/Struhovsky.pdf>, ISSN 1335-8871, Online, Slovensko, 2008 [35%]

Patenty

V tuto chvíli není podána žádná patentová přihláška vztahující se k tématu disertační práce.

Publikace excerpované Web Of Science

V tuto chvíli není vydána žádná publikace excerpovaná WOS vztahující se k tématu disertační práce.

Publikace ostatní

- [A03] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “Developing Virtual ADC Testing Environment in MAPLE”, In Proc. of 10th IEEE Design and Diagnostics of Electronic Circuits and Systems Workshop 2007 (DDECS'07), IEEE Computer Society Press, 2007, pp. 283-286, ISBN 1-4244-1162-9, Krakow, Polsko, 2007 [25%]
- [A04] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “Virtual Testing Environment for A/D Converters in Verilog-A and Maple Platform”, In Proc. of 11th IEEE Design and Diagnostics of Electronic Circuits and Systems Workshop 2008 (DDECS'08), IEEE Computer Society Press, pp. 283-286, ISBN 978-1-4244-2276-0, Bratislava, Slovensko, 2008 [30%]
- [A05] P.Struhovský, O.Šubrt, J.Hospodka: “Development of virtual A/D converter testing environment in MAPLE”, Digital Technologies

- 2006 - 3rd International Workshop, University of Žilina, Faculty of electrical engineering, vol. 1, ISBN 80-8070-637-9, Žilina, Slovensko, 2006 [33%]
- [A06] P.Struhovský, O.Šubrt, J.Hospodka: “A Prospective Approach for Simulation-based Non-linearity Extraction of A/D Converters”, Electronic Devices and Systems IMAPS CS 2007, pp. 77-82, ISBN 978-80-214-3470-7, Brno, Česká republika, 2007 [34%]
- [A07] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “A virtual A/D converter testbench for educational purpose”, In Measurement 2007 - Proceedings of 6th International Conference on Measurement, pp. 98-101, ISBN 978-80-969672-0-9, Smolenice, Slovensko, 2007 [25%]
- [A08] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “Comparison of Virtual Testing Environments for Extracting A/D Converter Non-linearity”, Digital Technologies 2007, Slovenská elektrotechnická spoločnosť, ISBN 978-80-8070-786-6, Žilina, Slovensko, 2007 [25%]
- [A09] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “Advanced Modeling and Design Evaluation Procedure applied to Pipelined A/D Converter”, 16th IMEKO TC4 International Symposium and 14th International Workshop, University of Florence, pp. 1103-1108. ISBN 978-88-903149-3-3, Florencie, Itálie, 2008 [35%]
- [A10] P.Struhovský, O.Šubrt, J.Hospodka, P.Martinek: “Developing Model and Design Evaluation Procedure For Pipelined A/D Converters”, In Digital Technologies 2008, University of Žilina, Fakulty of electrical engineering, vol. 1, ISBN 978-80-8070-953-2, Žilina, Slovensko, 2008 [35%]

Seznam prací disertanta nevztahujících se k tématu disertační práce

Publikace v impaktovaných časopisech

V tuto chvíli není vydán žádný článek v impaktovaném časopise, jež se nevztahuje k tématu disertační práce.

Publikace v recenzovaných časopisech

V tuto chvíli není vydán žádný článek v recenzovaném časopise, jež se nevztahuje k tématu disertační práce.

Patenty

V tuto chvíli není podána žádná patentová přihláška, jež se nevztahuje k tématu disertační práce.

Publikace excerptované Web Of Science

V tuto chvíli není vydána žádná publikace excerptovaná WOS, jež se nevztahuje k tématu disertační práce.

Publikace ostatní

- [A11] P.Struhovský, J.Hospodka: “New Methods of Measuring of the Mechanical Tense with the String Tensometrical Sensors”, Digital Technologies 2005, Slovenská elektrotechnická společnost, vol. 1, p. 80-83. ISBN 80-8070-486-4, Žilina, Slovenská republika, 2005 [50%]
- [A12] P.Struhovský, J.Hospodka: “New Method for Measuring of Natural Frequency of Tensometrical String Sensors”, Applied Electronics 2006, p. 59-62. ISBN 80-7043-442-2, Plzeň, Česká republika, 2006 [50%]
- [A13] P.Struhovský, P.Neumann, J.Hospodka, O.Šubrt: “SPICE OpAmp macromodels for WinSpice”, Digital Technologies 2007, Slovenská elektrotechnická společnost, ISBN 978-80-8070-786-6, Žilina, Slovenská republika, 2007 [25%]

Resumé

Tato disertační práce pojednává o virtuálním testovacím prostředí pro analogově-digitální převodníky, modelování chyb moderních architektur A/D převodníků se zaměřením na zkrácení simulačního času a dekompozici jednotlivých zdrojů chyb z měřené či simulované odezvy A/D převodníku.

Navržený inovativní koncept virtuálního testovacího prostředí pro analogově-digitální převodníky aplikuje dva algoritmy pro extrakci výkonnostních parametrů – servosmyčkovou a histogramovou metodu. Výpočetní algoritmy se skládají ze softwarových bloků pro extrakci statických chyb A/D převodníků, vyjádřených ve formě integrální a diferenciální nelinearity (INL a DNL). Testovací prostředí je implementováno v MAPLE, což přináší ideální příležitost vytvořit komplexní prostředí pro simulaci A/D převodníků jak na virtuální úrovni, tak na reálné obvodové úrovni.

Novinkou mého řešení je použití účinného vyhledávacího algoritmu a vylepšení konvergenčních vlastností, vedoucí k významnému zkrácení doby simulace. Prostřednictvím tohoto testovacího prostředí jsem testoval nejvýznamnější statické chyby dvou moderních architektur splňujících Nyquistův teorém - cyklické a pipeline A/D převodníky.

Druhý blok mé disertační práce pojednává o perspektivním přístupu k modelování chyb cyklických a pipeline A/D převodníků. Na rozdíl od konvenčního modelování A/D převodníků zaměřených na maximální korekci nelinearity A/D převodníku, cílem mnou navrhovaného inovativního přístupu je modelování jednotlivých chybových zdrojů A/D převodníku pro následnou dekompozici.

V třetí části disertační práce se zabývám inovativním přístupem k dekompozici chybových zdrojů z měřené či simulované odezvy A/D převodníku. Zde je hlavní zaměření na rychlou identifikaci chybových zdrojů a dekompozici jejich velikostí. Dekompozice chybových zdrojů může významně přispět k procesu kalibrace A/D převodníku, jež se provádí na výrobní lince. To je možné díky znalosti přispívajících chybových zdrojů v modelu A/D převodníku, což umožňuje dodatečné nastavení hodnot komponent A/D převodníku přímo na čipu.

Dekompozice chybových zdrojů a následné vyhodnocení návrhu bylo demonstrováno na příkladu pipeline-flash A/D převodníku. Výsledky simulace jsou uvedeny pro každou fázi procesu návrhů, a to od extrakce INL parametrů ve virtuálním testovacím prostředí přes modelování pipeline-flash struktury A/D převodníku až po úplnou dekompozici amplitud jednotlivých chybových zdrojů.

Summary

This Doctoral Thesis deals with a virtual testing environment for analog-to-digital converters, error modeling for modern ADC architecture with focus on reduction of the simulation time and decomposition of magnitudes of individual error sources from a measured or simulated response of an ADC.

Proposed innovative concept for virtual testing environment for ADC's applies two performance extraction algorithms – the Servo-Loop and Histogram method. Extraction of design performance is a challenging task in A/D Converter testing. This is backgrounded by the fact that in high-resolution ADC devices it is often not feasible to extract their total response because of the large number of digital states. Therefore, a different solution are being considered on how to test an ADC device as precise as possible in a shortest way without measuring the whole ADC response.

The novelty of my solution is the use of effective search algorithm and improved convergence properties resulting in a significant reduction of the simulation time. Based on this testing environment, I tested most important static error of two modern Nyquist rate architectures – the Servo-Loop and Histogram method.

Second block of my Doctoral Thesis deals with perspective approach to the error modeling of algorithmic and pipeline ADCs. In contrast with conventional ADC modeling algorithms targeted to extract the maximum ADC non-linearity error, the goal of this proposed approach is modeling of individual error sources for further decomposition.

In the third part of Doctoral Thesis, I'm dealing with an innovative approach for error sources decomposition from a measured or simulated response of an ADC device. Here, the main focus is on quick identification of error sources and decomposition of their magnitudes. This qualitative decomposition can significantly contribute to the ADC calibration procedure performed on the production line. This is backgrounded by the fact that the knowledge of ADC performance contributors provided by the proposed method helps to adjust the values of on-chip converter components so as to equalize (and possibly minimize) the total non-linearity error.

The error source decomposition procedure was demonstrated on a system design example of pipeline-flash A/D converter. Significant simulation results of each stage of the design evaluation process are given, starting from the INL performance extraction proceeded in a powerful Virtual Testing Environment, continuing by an error source simulation and modeling of pipelined ADC structure, suitable for a generic process flow and finishing by a complete magnitude decomposition of each individual error source.