

Diplomová práce



České
vysoké
učení technické
v Praze

F3

Fakulta elektrotechnická
Katedra měření

Číslicové zpracování signálu pro lock-in zesilovač

Bc. Vít Vlasák

Vedoucí: Ing. Vojtěch Petrucha, Ph.D.
Obor: Kybernetika a robotika
Květen 2024

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Vlasák** Jméno: **Vít** Osobní číslo: **492049**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávací katedra/ústav: **Katedra měření**
Studijní program: **Kybernetika a robotika**

II. ÚDAJE K DIPLOMOVÉ PRÁCI

Název diplomové práce:

Číslicové zpracování signálu pro lock-in zesilovač

Název diplomové práce anglicky:

Digital signal processing for lock-in amplifier

Pokyny pro vypracování:

- 1) seznamte se s vývojovým kitem s FPGA Intel Cyclone V a prostředím Intel Quartus/Quarta pro návrh a simulaci logických obvodů
- 2) navrhnete filtr typu dolní propust pro číslicovou filtraci signálu za násobičkou v lock-in zesilovači, ověřte simulaci a prověřte vliv kvantizace na výslednou charakteristiku
- 3) návrh ověřte na vývojovém kitu s tím, že výstupní data budou přenášena do PC (ideálně s možností online zobrazení, například v prostředí LabView)
- 4) pokuste se návrh integrovat s dostupným analogovým front-end hardwarem lock-in zesilovače, včetně implementace potřebných signálů v FPGA (buzení fluxgate a vyčítání dat z AD převodníku s SPI rozhraním)
- 5) v případě úspěšného zprovoznění lock-in zesilovače proměřte jeho základní parametry, případně se zaměřte jen na fungující část

Seznam doporučené literatury:

- [1] R. B. Northrop, Introduction to Instrumentation and Measurements, CRC 2018
- [2] The Designer's Guide to VHDL (Third Edition), Peter J. Ashenden, ISBN: 978-0-12-088785-9
- [3] Ripka (ed.): Magnetic Sensors and Magnetometers, Artech, Boston, 2nd edition 2021
- [4] Ahmet Bindal, Electronics for Embedded Systems, Springer International Publishing, Switzerland 2017
- [5] John G. Proakis, Dimitris G. Manolakis: Digital Signal Processing, Pearson Education Limited
- [6] Z. Wang, X. Shi, W. Wang and W. Cai, "High-Performance Digital Lock-In Amplifier Module Based on an Open-Source Red Pitaya Platform: Implementation and Applications," in IEEE Transactions on Instrumentation and Measurement, vol. 72, pp. 1-14, 2023, Art no. 2000814

Jméno a pracoviště vedoucí(ho) diplomové práce:

Ing. Vojtěch Petrucha, Ph.D. 13138

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) diplomové práce:

Datum zadání diplomové práce: **24.01.2024**

Termín odevzdání diplomové práce: **24.05.2024**

Platnost zadání diplomové práce:

do konce letního semestru 2024/2025

Ing. Vojtěch Petrucha, Ph.D.
podpis vedoucí(ho) práce

podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Diplomant bere na vědomí, že je povinen vypracovat diplomovou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v diplomové práci.

Datum převzetí zadání

Podpis studenta

Poděkování

Děkuji panu Ing. Vojtěchu Petruchovi, Ph. D., za aktivní a cílevědomé vedení práce a spoustu cenných rad. Dále děkuji laboratoři MAGLAB za poskytnutí zázemí a samozřejmě rodině za podporu v průběhu celého studia.

Prohlášení

Prohlašuji, že jsem předloženou práci vypracoval samostatně, a že jsem uvedl veškerou použitou literaturu. Nástroje umělé inteligence (ChatGPT) byly využity pouze okrajově při tvorbě fragmentů programového kódu a jeho anotaci. Kreativní návrhová činnost a samotný text práce příslušely výhradně autorovi práce.

V Praze, 22. května 2024

Abstrakt

Práce se zabývá návrhem číslicového zpracování signálu pro specifický lock-in zesilovač na bázi FPGA. Řešen je návrh FIR filtru typu dolní propust, integrace FPGA s ostatními částmi přístroje a tvorba uživatelského rozhraní.

Je otestována funkčnost přístroje a jsou určeny jeho základní parametry (vstupní šum, dynamický rozsah). Změřený šum konkrétního senzoru je porovnán s měřením pomocí komerčního lock-in zesilovače SR830.

Klíčová slova: synchronní detekce, lock-in zesilovač, fluxgate, FPGA, zpracování signálu

Vedoucí: Ing. Vojtěch Petrucha, Ph.D.
Katedra měření,
Technická 2,
Praha 6

Abstract

The thesis deals with the design of digital signal processing for a specific FPGA-based lock-in amplifier. The design of the low-pass FIR filter, the integration of the FPGA with other parts of the device and the design of the user interface are addressed.

The functionality of the device is tested and its basic parameters (input noise, dynamic range) are determined. The measured noise of a particular sensor is compared with a measurement using a commercial lock-in amplifier SR830.

Keywords: synchronous detection, lock-in amplifier, fluxgate, FPGA, signal processing

Title translation: Digital signal processing for lock-in amplifier

Obsah

1 Úvod	1	4 Zpracování signálu v FPGA	21
2 Synchronní detekce	3	4.1 Vývojové prostředí Quartus/Questa	21
2.1 Matematický princip	3	4.2 Návrh digitálního LP filtru	22
2.2 Druhy synchronních detektorů...	5	4.2.1 Filter Designer	22
2.3 Lock-in zesilovač	6	4.2.2 Parametry filtru	23
2.3.1 Parametry lock-in zesilovačů..	7	4.2.3 VHDL implementace	24
2.3.2 State of the art	8	4.2.4 Dosažené parametry filtru ...	26
2.4 Fluxgate magnetometry	11	4.3 Řetězec pro zpracování signálu v FPGA	27
3 Hardware lock-in zesilovače	13	4.3.1 Generování frekvencí, synchronizace	29
3.1 FPGA	15	4.3.2 Komunikace s periferiemi ...	31
3.2 STM32	16	4.3.3 Zpracování dat	32
3.3 PCB	16	4.3.4 Zpětná vazba	32
3.3.1 Akviziční deska	16	5 Ovládání lock-in zesilovače	35
3.3.2 Excitační deska	18	5.1 Ovládací panel	35
3.3.3 Kompenzační deska	18	5.2 Blokový diagram	38

6 STM32 - komunikační prostředník	41
7 Funkční testování	45
7.1 Šumová charakteristika senzoru .	46
7.2 Šum zpětné vazby	47
7.3 Dynamický rozsah	48
7.4 Vstupní šum elektroniky	49
8 Závěr	53
A Seznam použitých pojmů a zkratk	55
B Literatura	57

Obrázky

2.1 Princip synchronní detekce	4	3.4 Diferenciální zesilovač s nastavitelným zesílením - druhý stupeň	17
2.2 Spínačová synchronní detekce [7].	5	3.5 Nastavení výstupu lineárního regulátoru posuvným registrem . . .	18
2.3 Lock-in zesilovač SR830 [9].	6	3.6 D/A převodník a magnetický izolátor na kompenzační desce	19
2.4 Princip měření amplitudy a fáze [10]	7	3.7 Hardware specifického lock-in zesilovače	20
2.5 Frekvenční závislost dynamické rezervy [6]	8	4.1 Software Quartus Prime	22
2.6 Přehled parametrů analogových lock-in zesilovačů [11]	8	4.2 Filter Designer	23
2.7 Blokový diagram lock-in zesilovače MFLI [12]	10	4.3 Přenosová charakteristika navrženého FIR filtru	24
2.8 Průběh proudu a relativní permeability budicí cívky fluxgate [15]	12	4.4 Vliv kvantizace koeficientů na zvlnění v zádržném pásmu	25
2.9 Konstrukce dvouosého fluxgate senzoru [15]	12	4.5 Základní struktura FIR filtru [17]	25
3.1 Funkční diagram specifického lock-in zesilovače	14	4.6 Polyfázový FIR filtr s decimací [18]	26
3.2 Blokový diagram specifického lock-in zesilovače	14	4.7 Změřená amplitudová charakteristika použitého filtru . . .	27
3.3 Vývojový FPGA kit DE10-Standard [16]	15	4.8 Blokový diagram zpracování signálu v FPGA	28
		4.9 Průběh spínacích signálů pro excitaci - snímek z osciloskopu	30

4.10 Simulace bloku <i>ADC comm</i> v prostředí Questa	31
4.11 Struktura konfiguračního příkazu	32
5.1 Ovládací panel lock-in zesilovače - LabVIEW	36
5.2 Ovládání lock-in zesilovače - blokový diagram LabVIEW	40
6.1 Architektura programu v STM32	42
7.1 Časová odezva na magnetické pole 100 pT _{pp}	45
7.2 Šumová charakteristika fluxgate senzoru včetně šumového pozadí ..	46
7.3 Šumová charakteristika fluxgate senzoru - LabVIEW, SR830	47
7.4 Šumová charakteristika - uzavřená smyčka	48
7.5 Měření dynamického rozsahu - maximální pole (LabVIEW)	49
7.6 Měření vstupního šumu - Agilent 3567A	50
7.7 Měření vstupního šumu - vzorkovaný signál	51

Tabulky

2.1 Porovnání MFLI a SR8865A	9
6.1 Kombinace logických úrovní na vstupu excitační desky k nastavení zesílení	42
6.2 Kombinace výstupních napětí regulátorů na excitační desce	43
A.1 Seznam pojmů a zkratk	55

Kapitola 1

Úvod

Lock-in zesilovače [1] jsou komplexní laboratorní přístroje se širokou škálou využití. Jedním z nich je měření šumových charakteristik (kvality) fluxgate senzorů, u kterých je potřeba synchronně detekovat signál na druhé harmonické frekvenci. Nicméně měření s komerčními lock-in zesilovači přináší některá úskalí - jedná se o drahý (a tudíž v rámci laboratoře cenný a vytížený) přístroj, navíc u starších přístrojů často o nepraktických rozměrech a hmotnosti. Kromě toho příprava měření s fluxgate senzory bývá časově náročná kvůli nutnosti řešit i další části zapojení, jako je excitace senzoru či případná kompenzace ve zpětné vazbě.

Z toho důvodu byl rozpracován koncept specifického lock-in zesilovače na bázi FPGA, který bude sloužit právě k měření šumu fluxgate magnetometrů - tedy pro připojený senzor bude zajišťovat excitaci, zpracování naměřených dat i případnou kompenzaci pomocí zpětné vazby. Protože hardware pro tento přístroj byl vyroben již v minulosti vedoucím práce, budeme se v této práci zabývat zejména zpracováním signálu v FPGA s důrazem na návrh vhodného digitálního filtru typu dolní propust. Kromě samotné synchronní detekce je řešena integrace FPGA s ostatním hardwarem, aby jednotlivé komponenty tvořily funkční celek. Dále se v práci věnujeme návrhu ovládání specifického lock-in zesilovače v prostředí LabVIEW pomocí uživatelského grafického rozhraní.

V poslední kapitole se věnujeme měření parametrů přístroje. Konkrétně je provedeno měření šumu pro daný senzor a porovnání s lock-in zesilovačem SR830, dále měření šumu ve zpětné vazbě, určení dynamického rozsahu přístroje a vstupního šumu elektroniky.

Digitalizace fluxgate magnetometrů byla již v minulosti řešeným tématem i v rámci skupiny MAGLAB [2], [3], přínosem specifického lock-in zesilovače je možnost digitalizovat mnoho různých typů fluxgate sensorů díky variabilitě v nastavení excitace (frekvence, napětí) a v zesílení vstupního signálu. Výhodou specifického lock-in zesilovače oproti integrovaným řešením je i to, že při návrhu hardwaru bylo možné upřednostnit požadavky na preciznost a nízký šum elektroniky před kompaktností a nízkou spotřebou, která je častým požadavkem např. v navigačních aplikacích [4].

Kapitola 2

Synchronní detekce

Synchronní detekce, známá také pod názvem fázově citlivá detekce (phase-sensitive detection - PSD) [5], je metoda používaná ke zpracování signálu, konkrétně k extrakci (demodulaci) určité frekvenční složky ze signálu zatíženého šumem. Klíčovou operací je násobení vstupního signálu s referenčním signálem, které se dá prakticky realizovat jak v analogové, tak v digitální doméně.

2.1 Matematický princip

Označme sinusový vstupní signál jako

$$V_{in} = A \sin(\omega_{in} t + \theta_{in}) \quad (2.1)$$

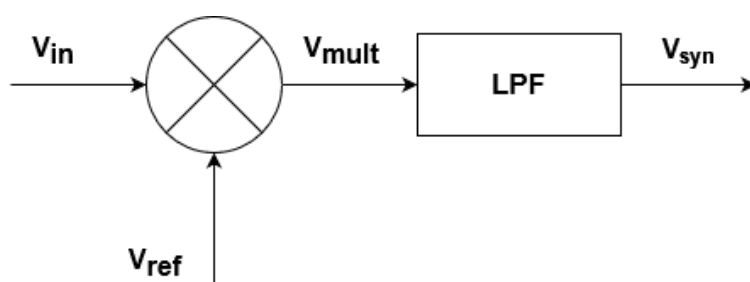
a referenční signál jako

$$V_{ref} = B \sin(\omega_{ref} t + \theta_{ref}), \quad (2.2)$$

s tím, že

$$\omega_{in} = 2\pi f_{in}, \text{ resp. } \omega_{ref} = 2\pi f_{ref}, \quad (2.3)$$

přičemž f je frekvence signálu (Hz), θ je jeho fáze (rad) a t je čas (s). A a B jsou amplitudy těchto signálů.



Obrázek 2.1: Princip synchronní detekce

Vynásobením vstupního a referenčního signálu získáváme signál

$$V_{mult} = \frac{1}{2}AB\cos((\omega_{ref}-\omega_{in})t+(\theta_{ref}-\theta_{in})) - \frac{1}{2}AB\cos((\omega_{ref}+\omega_{in})t+(\theta_{ref}+\theta_{in})). \quad (2.4)$$

Při prozkoumání tohoto výstupního signálu zjistíme, že z pohledu frekvencí se skládá z rozdílové a součtové složky. Pokud budeme uvažovat, že vstupní signál má stejnou frekvenci jako ten referenční, tedy $\omega_{in} = \omega_{ref}$, získáme pro výstupní napětí vztah

$$V_{mult} = \frac{1}{2}AB\cos((\theta_{ref} - \theta_{in})) - \frac{1}{2}AB\cos(2\omega_{ref}t + (\theta_{ref} + \theta_{in})). \quad (2.5)$$

Aplikujeme-li na tento signál filtr typu dolní propust (low pass - LP), jehož zlomový kmitočet $\omega_m \ll 2\omega_{ref}$, a tudíž je signál na frekvenci $2\omega_{ref}$ dostatečně utlumen, získáme vztah

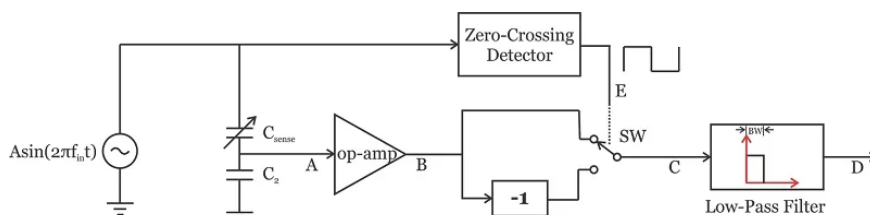
$$V_{syn} = \frac{1}{2}AB\cos((\theta_{ref} - \theta_{in})). \quad (2.6)$$

Pozorujeme, že výstupní signál synchronního detektoru je stejnosměrná (DC) hodnota, která je přímo úměrná kosinu rozdílu fází vstupního a referenčního signálu, tudíž je pro nulový fázový posun maximální a pro 90stupňový posun nulová. Schematicky je princip synchronní detekce zachycen na obrázku 2.1.

2.2 Druhy synchronních detektorů

Při praktických realizacích synchronní detekce lze využít několika způsobů, jak provádět požadované násobení signálů [6]. Historicky nejstarší metodou je použití **analogové násobičky**, která je matematicky ideální variantou. Problémem je ovšem vysoká nelinearita těchto obvodů, typicky v řádech nízkých desetin procenta z plného rozsahu (AD633, HA-2556), která ve srovnání s moderními A/D převodníky neobstojí - převodník LTC2378-20 použitý v této práci má typicky nelinearitu 0,5 ppm plného rozsahu (FS).

Významně rozšířenější metodou je **spínačová detekce**. U té je přepínáno mezi zesílením vstupního signálu $+1$ a -1 v závislosti na polaritě referenčního signálu, který má obdélníkový průběh. Tato operace je jednoduše realizovatelná pomocí zapojení s operačními zesilovači. Pokud má buzení harmonický průběh, budicí signál lze získat jednoduše pomocí analogového komparátoru. Celý princip je zachycen na obrázku 2.2.



Obrázek 2.2: Spínačová synchronní detekce [7]

Nevýhodou spínačové metody je fakt, že jsme se odchýlili od principu synchronní detekce, který je popsán v kapitole 2, poněvadž se spolu nenásobí dva sinusové signály, ale sinusový a obdélníkový signál. Protože podle Fourierova principu má obdélník frekvenční spektrum se zastoupením vyšších lichých harmonických, je i celý spínačový detektor citlivý na tyto harmonické, nikoli pouze na tu základní. Při použití této metody je tedy nutné zajistit, aby se na lichých násobcích referenční frekvence nevyskytovalo rušení, které by mohlo měření ovlivnit.

Nejmodernějším přístupem, kterým se zabývá i tato práce, je **zpracování signálu v číslicové doméně**, tedy vzorkování pomocí A/D převodníku a následné zpracování v FPGA (field programmable gate array) či DSP (digital signal processor), přičemž tato metoda se rozvíjí ruku v ruce s rozmachem hradlových polí. Výhodou je velmi přesná a hlavně opakovatelná reprezentace sinusového signálu i možnost implementace digitálních filtrů vysokého řádu. Zásadním parametrem pro funkčnost metody je rozlišení (ve smyslu efektivních bitů) a vzorkovací rychlost A/D převodníku.

2.3 Lock-in zesilovač

Lock-in zesilovačem myslíme komplexní laboratorní přístroj, jehož účelem je detekce signálu o určité frekvenci v zašuměném prostředí. Kromě toho, že provádí samotnou synchronní detekci, umožňuje uživateli nastavovat řadu parametrů - typicky citlivost, dynamickou rezervu, parametry vstupních a demodulačních filtrů, a to vše pro několik kanálů. Přístroj obvykle poskytuje analogové vstupy pro měřený a referenční signál. Výstupy jsou jak v analogové, tak v digitální formě, aby šlo přístroj zakomponovat do rozsáhlejšího měřicího systému např. přes GPIB rozhraní či Ethernet. Na obrázku 7.3 je lock-in SR830 od firmy Stanford Research Systems.

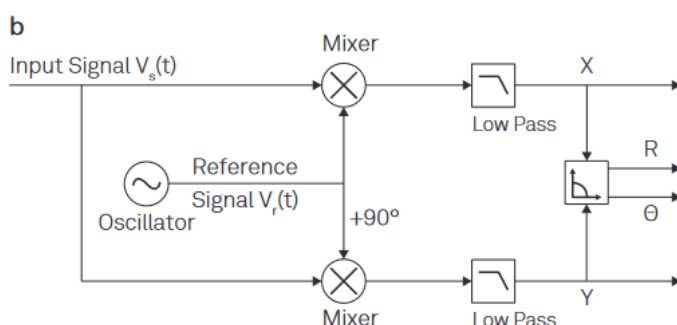


Obrázek 2.3: Lock-in zesilovač SR830 [9]

Samotná synchronní detekce je v lock-in zesilovači typicky prováděna dvakrát, a to jak s referenčním signálem, tak s referenčním signálem fázově posunutým o 90 stupňů. Díky tomu je možno získat jak reálnou (X), tak imaginární (Y) složku signálu, ze které lze jednoduše dopočítat amplitudu (R) a fázi (Θ) detekovaného signálu jako

$$R = \sqrt{X^2 + Y^2}, \Theta = \text{atan2}(Y, X). \quad (2.7)$$

Přístroj obvykle umožňuje automatickou detekci takové fáze referenčního signálu, pro kterou je imaginární složka výstupního signálu nulová (a reálná složka tudíž maximální). Na obrázku 2.4 je zachycen princip měření amplitudy a fáze.



Obrázek 2.4: Princip měření amplitudy a fáze [10]

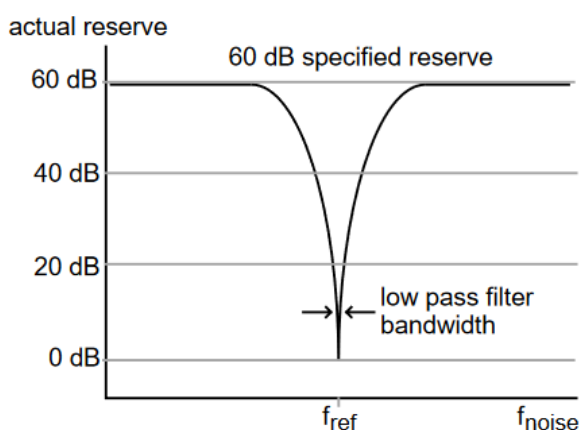
2.3.1 Parametry lock-in zesilovačů

Při porovnávání kvalit jednotlivých zesilovačů je vhodné mít definované jejich základní parametry [11]. Řada z nich ale přechodem k digitálnímu zpracování signálu ztrácí na významu, a proto se jim budeme věnovat velmi stručně.

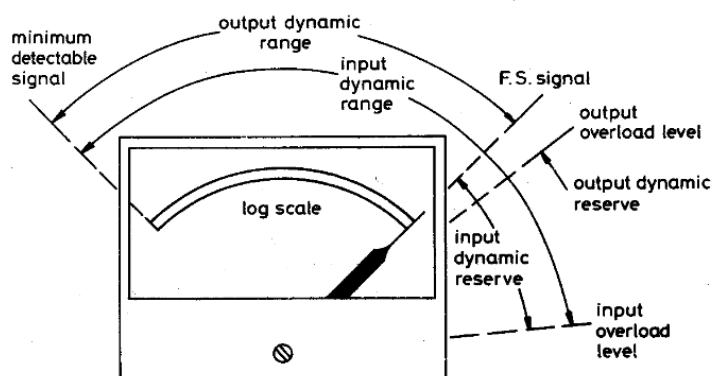
Full-scale sensitivita udává, jaká RMS hodnota sinusového vstupního signálu, který je synchronní a ve fázi, vyvolá maximální výchylku na výstupu. Zde se typicky počítá s analogovým výstupem $\pm 10\text{ V}$, u digitálních přístrojů bez zobrazovací ručičky či analogového výstupu není třeba tento parametr řešit. Např. synchronní $1\ \mu\text{V}_{RMS}$ vyvolá na výstupu DC hodnotu 10 V .

Potlačení asynchronního signálu (out-of-phase rejection) je parametr udávající, kolikrát může být asynchronní signál větší než full-scale synchronní signál, aby nevyvolal významnou změnu na výstupu (např. větší než 1 %). Obdobou je **vstupní dynamická rezerva**, která udává poměr peak-peak hodnoty tolerovatelného šumu vůči full-scale synchronnímu signálu. Tato hodnota závisí na frekvenci šumu, čím blíže je referenci, tím je rezerva nižší, viz obrázek 2.5. U analogových zesilovačů se tato dynamická rezerva pohybuje kolem 60 dB kvůli nelinearitě násobičky, u moderních digitálních zesilovačů přesahuje 100 dB. Nicméně u digitálních převodníků není vhodné cílit při měření na maximální možnou dynamickou rezervu, protože detekovaný signál v tom případě využívá pouze malou část rozsahu A/D převodníku a zvyšuje tak vliv jeho šumu na výsledek.

Z dalších parametrů můžeme zmínit teplotní stabilitu (*p.p.m. FS/K*), minimální detekovatelný signál či vstupní a výstupní dynamický rozsah, které jsou zachyceny na obrázku 2.6. I u moderních digitálních lock-in zesilovačů výrobci udávají parametry jako šum (typ. na určité frekvenci), činitel jakosti filtru síťového rušení či činitel potlačení souhlasného rušení CMRR, u referenčního signálu i rozlišení a přesnost při nastavování fáze a její drift s teplotou.



Obrázek 2.5: Frekvenční závislost dynamické rezervy [6]



Obrázek 2.6: Přehled parametrů analogových lock-in zesilovačů [11]

2.3.2 State of the art

V této kapitole uvedeme parametry dvou state of the art zesilovačů - MFLI [12] od firmy Zurich Instruments a SR865A [13] od společnosti Stanford Research Systems. Jedná se o zesilovače určené pro precizní měření do frekvencí v řádech jednotek MHz, přičemž oba využívají pro zpracování signálu FPGA. Z tabulky 2.1 je zřejmé, že se tyto přístroje v zásadě svými parametry podobají, a to včetně ceny. K té základní, která je uvedena v tabulce, je však nutno připočítat další významné sumy za přídavné přístrojové i softwarové vybavení.

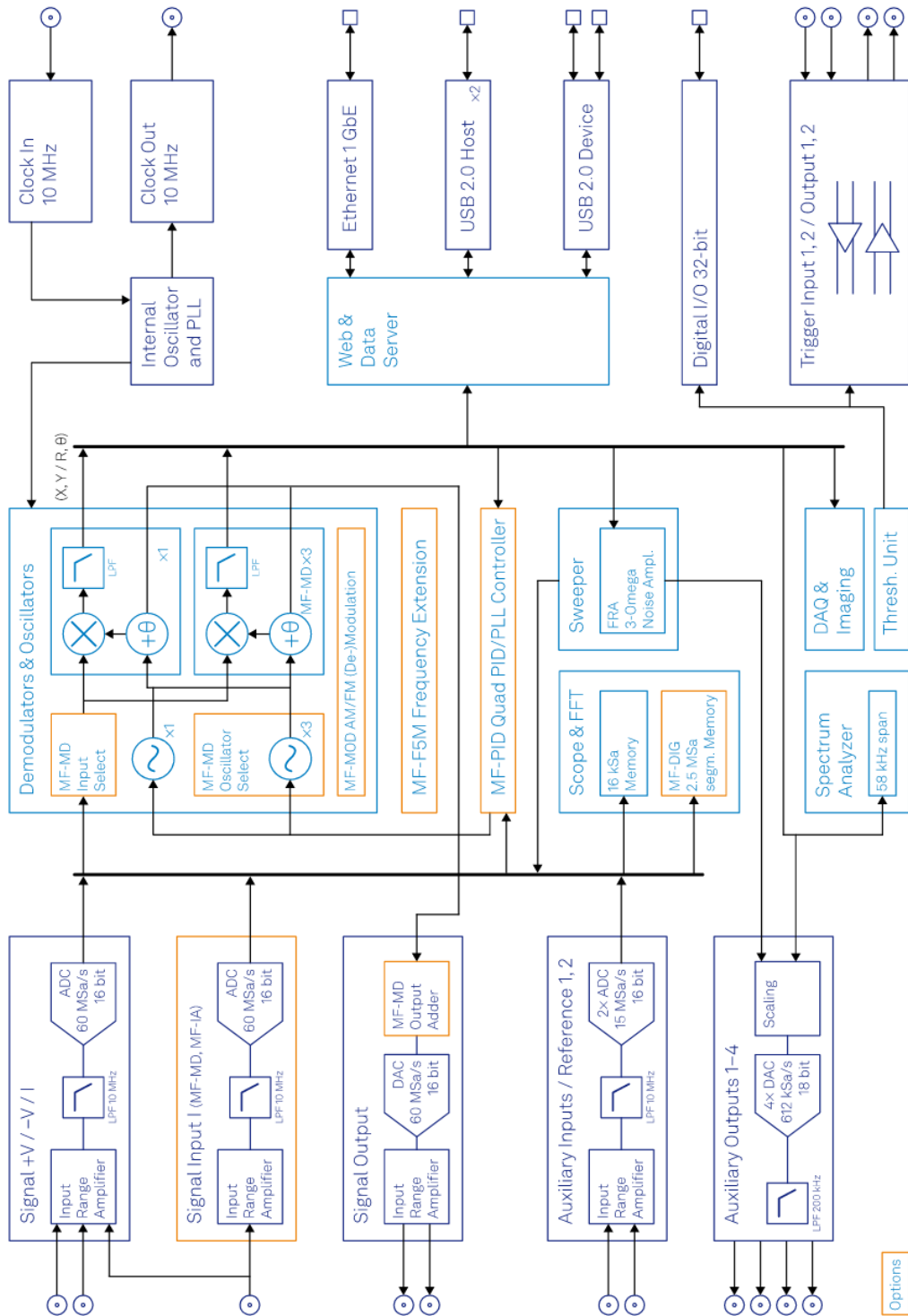
Je nutno zmínit, že tyto moderní přístroje jsou velmi komplexní (viz blokový diagram 2.7), umožňují nepřehledné množství konfigurací a popis všech jejich parametrů by vydal na několik podobných tabulek. Významnou položkou je konektivita, která umožňuje přístroje integrovat do rozsáhlých měřicích stanic

Parametr	MFLI	SR865A
Frekvenční rozsah	DC - 5 MHz	1 mHz - 4 MHz
Full-scale sensitivita	1 nV - 3 V	1 nV - 1 V
Šum na 1 kHz	2,5 nV/ $\sqrt{\text{Hz}}$	2,5 nV/ $\sqrt{\text{Hz}}$
Dynamická rezerva	až 120 dB	120 dB (typ.)
Detekce harmonických	1-1023	1-99
Rozlišení frekvence	1 μHz	max(6 číslic; 0,1 mHz)
Rozlišení fáze	10 μdeg	84 ndeg
Potlačení harmonických	až -85 dB	-80 dB
Čas. konst. filtru	337 ns - 83 s	1 μs - 30ks
Útlum LP filtru	6-48 dB/oct	6-24 dB/oct
A/D převodník	60 MSa/s, 16 bit	neuveveno
Zobrazení dat	PC (LabOne software)	zabudovaný displej + PC
Konektivita	Ethernet, USB	Ethernet, USB, GPIB, RS-232
Cena (základní)	10450 USD	9150 USD

Tabulka 2.1: Porovnání MFLI a SR8865A

- např. v tabulce zmíněný software LabOne umožňuje přístup k přístroji i skrze LabVIEW, Matlab, C či Python.

Další cestou, kterou se vývoj těchto přístrojů vydává, je směrem k vyšším frekvenčním rozsahům. Lock-in zesilovač SHFLI, opět od společnosti Zurich Instruments, disponuje demodulačním rozsahem DC - 8,5 GHz, nicméně srovnání ostatních parametrů, například vstupního šumu, není dost dobře možné, protože ho výrobce uvádí na jiných frekvencích. Avšak můžeme aspoň uvést, že použitý A/D převodník má 14 bitů a vzorkovací frekvenci 4 GSa/s, tedy o dva bity méně než MFLI.



Obrázek 2.7: Blokový diagram lock-in zesilovače MFLI [12]

2.4 Fluxgate magnetometry

Fluxgate senzory [14], [15] patří mezi indukční senzory pracující na principu Faradayova indukčního zákona. Platí, že

$$u_i = -\frac{d\Phi}{dt} = -\frac{d(BS)}{dt}, \quad (2.8)$$

kde u_i je indukované napětí (V), Φ je magnetický tok (Wb), B je magnetická indukce (T), S je plocha (m^2), kterou magnetický tok prochází, a dt je časová derivace. Také platí, že

$$B = \mu_0 \mu_r H, \quad (2.9)$$

kde μ_0 je absolutní permeabilita vakua (H/m), μ_r je relativní permeabilita materiálu (-) a H je intenzita magnetického pole (A/m).

Pokud uvažujeme cívku s N závitů, dostaneme po dosazení rovnice 2.9 do rovnice 2.8 vztah

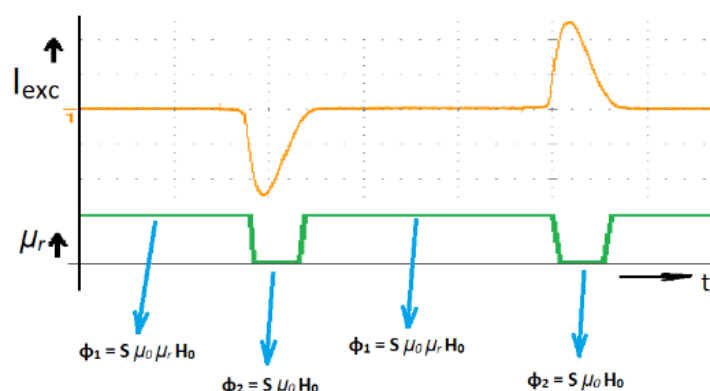
$$u_i = -\frac{d(\mu_0 \mu_r H N S)}{dt}. \quad (2.10)$$

Princip fluxgate senzoru je založen na časové změně relativní permeability jádra, tedy

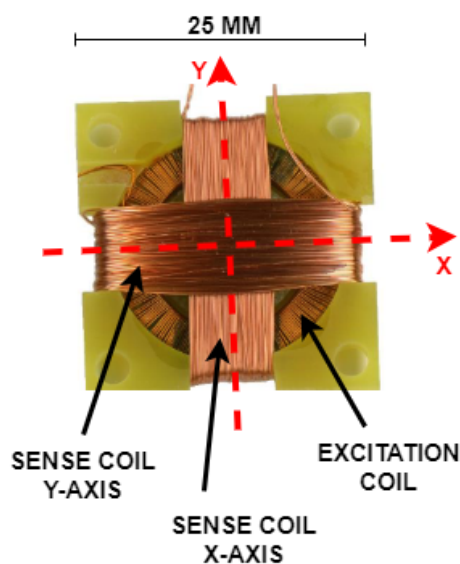
$$u_i = -\mu_0 H N S \frac{d(\mu_r)}{dt}. \quad (2.11)$$

Jádro senzoru je tvořeno magneticky měkkým materiálem, který je periodicky přesycován budícím proudem. Pro nízké hodnoty proudu je relativní permeabilita vysoká (500 - 500000 dle materiálu), pro vysoké hodnoty se blíží jedné.

S tím, jak se mění permeabilita, se mění i magnetický tok ($\Phi = S\mu_0\mu_r H$), přičemž tato změna se děje dvakrát za periodu buzení, viz obrázek 2.8. Změna magnetického toku vede na indukci napětí dle Faradayova zákona 2.8, přičemž **indukované napětí má** (s dopomocí ladicího kondenzátoru) **největší amplitudu na druhé harmonické**, tedy druhá harmonická nese



Obrázek 2.8: Průběh proudu a relativní permeability budící cívky fluxgate [15]



Obrázek 2.9: Konstrukce dvouosého fluxgate senzoru [15]

signál o velikosti a polaritě měřeného pole. K její detekci se využívání lock-in zesilovač, což je i důvod, proč se jím zabývá tato práce.

Co se týče konstrukce senzoru, ten se skládá z toroidní budící cívky, kterou prochází excitační proud, a jedné nebo více snímacích cívek. Snímací cívky jsou navinuty kolem té budící a při změně magnetického pole (resp. relativní permeability v tomto případě) se v nich indukuje napětí. Dvouosý fluxgate sensor je zachycen na obrázku 2.9. Kvůli symetrické konstrukci budící cívky nedojde k ovlivnění snímací cívky magnetickým polem, které vyvolá excitační proud.

Kapitola 3

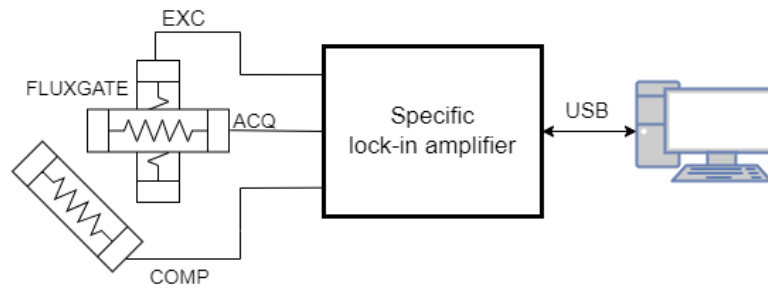
Hardware lock-in zesilovače

Tato kapitola se již věnuje praktické realizaci lock-in zesilovače po hardwarové stránce. Zařízení je komplexní a skládá se z několika modulů (3 desky plošných spojů, 2 vývojové kity, PC), při představování proto půjdeme od top-level pohledu po detailnější představení jednotlivých částí. Je nutné zmínit, že autorovi práce nepříslušel návrh desek plošných spojů, nicméně při integraci a oživování modulů se musel s každou deskou velmi podrobně seznámit, a v jedné části i řešit drobné hardwarové úpravy.

První blokový diagram na obrázku 3.1 ukazuje, jaké jsou naše záměry s lock-in zesilovačem. V konečné podobě by mělo jít o stand-alone zařízení, ke kterému se připojí fluxgate (jak budicí, tak snímací cívka) a uživatel bude přes počítač nastavovat parametry měření, vyčítat naměřené hodnoty a ty zpracovávat například formou výpočtu šumové spektrální charakteristiky. Počítač je v současné době připojen přes USB rozhraní, ale výhledově by pro tento účel šlo využít i Ethernet.

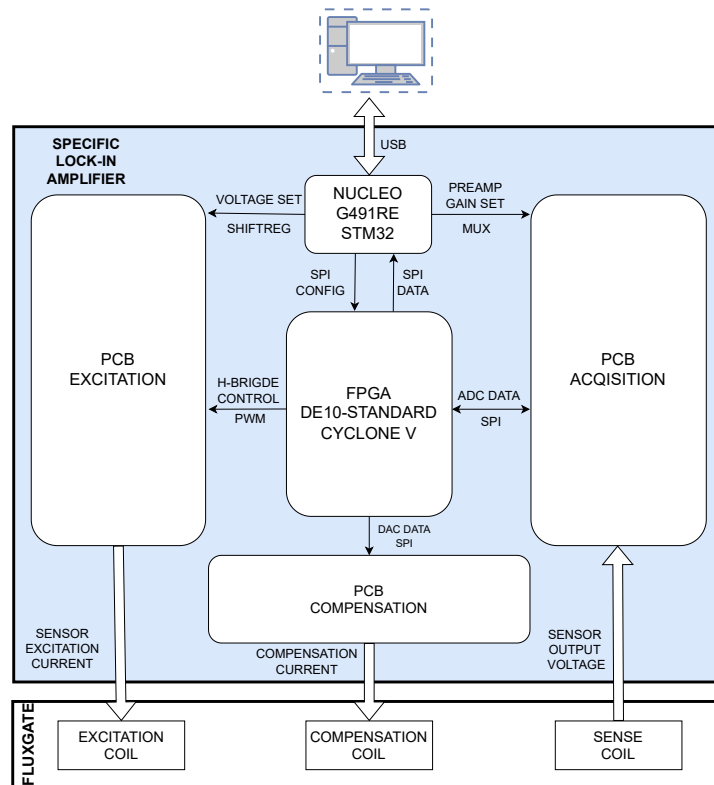
Další (nadstavbovou) funkcionalitou je zavedení zpětné vazby pomocí kompenzační cívky, čímž by se z fluxgate senzoru stal plnohodnotný jednoosý magnetometr. Zpětná vazba zaručí provozování senzoru v okolí nulového měřeného pole, tedy v lineární oblasti.

Na obrázku 3.2 můžeme vidět, z jakých částí se přístroj skládá. Jádrem zařízení je vývojový FPGA kit DE10-Standard od společnosti Terasic s čipem Cyclone V. FPGA zajišťuje výpočetní kapacitu pro synchronní detekci - násobení signálů a digitální filtrování. Deska NUCLEO-G491RE s čipem z rodiny mikrokontrolérů STM32 slouží především jako komunikační prostředník mezi



Obrázek 3.1: Funkční diagram specifického lock-in zesilovače

FPGA a PC, dále obsluhuje některé konfigurační úkony (nastavení excitačního napětí či zesílení předzesilovače předřazeného A/D převodníku).



Obrázek 3.2: Blokový diagram specifického lock-in zesilovače

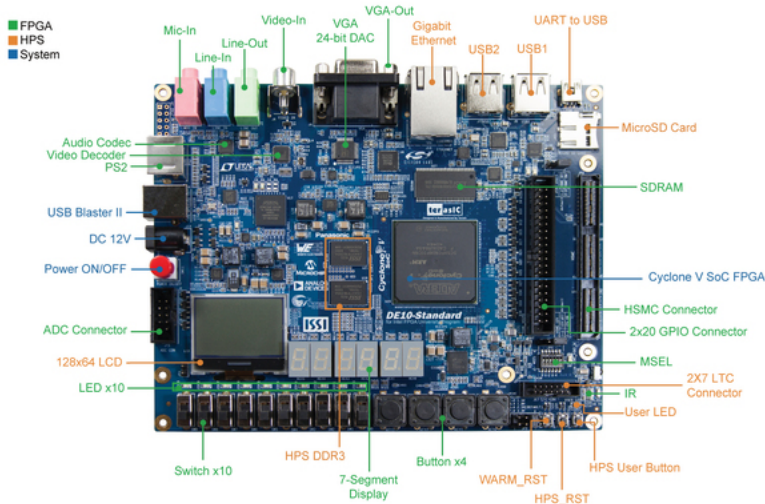
Další tři desky plošných spojů byly navrženy přímo pro tento projekt. Deska označená v obrázku 3.2 jako *excitation* vytváří potřebné proudové impulsy (viz obrázek 2.8) pro excitační toroidní cívku pomocí H-můstku. Jeho spínání je řízeno externím PWM signálem (z FPGA), aby byla zajištěna synchronizace buzení a následné synchronní detekce. Deska *acquisition* analogově zesiluje výstupní napětí senzoru, provádí jeho A/D konverzi za použití převodníku LTC2378 a odesílá naměřené hodnoty do FPGA. Deska *compensation* slouží

k zavedení zpětné vazby, jejími klíčovými komponenty jsou D/A převodník, napěťová reference a převodník napětí/proud. Kompletní použitý hardware je zachycen na obrázku 3.7.

3.1 FPGA

V současné fázi návrhu je použit vývojový kit DE10-Standard s čipem Cyclone V (Intel) ve verzi 5CSXFC6D6F31C6N [16]. Schéma kitu je na obrázku 3.3. Tento kit byl zvolen pro prvotní ověření konceptu lock-in zesilovače z několika důvodů:

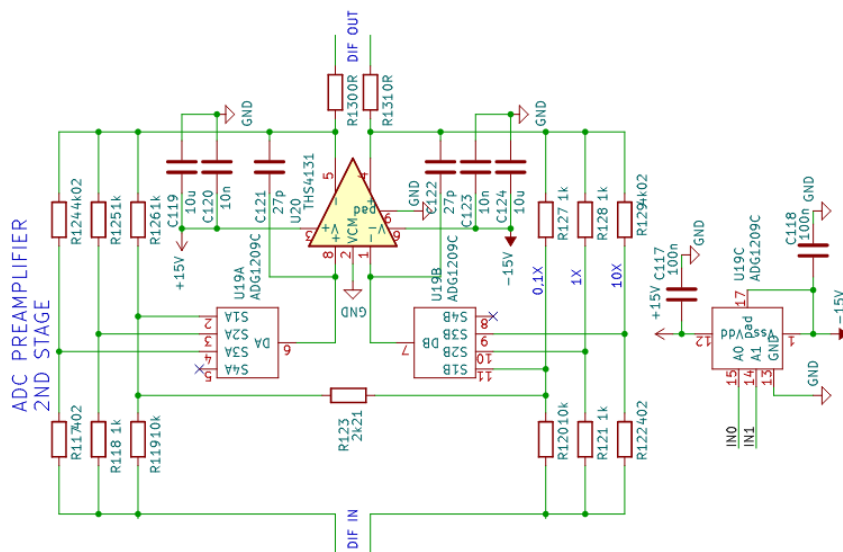
- K dispozici na katedře (běžná cena obdobných kitů cca 10 tis. Kč),
- předpoklad, že parametry FPGA jsou pro aplikaci dostačující,
- vývojové prostředí Quartus dostupné v Lite verzi bez placené licence,
- možná budoucí migrace na podobný (ale rozměrově menší) kit DE10-Nano.



Obrázek 3.3: Vývojový FPGA kit DE10-Standard [16]

Jedná se o takzvaný System-on-Chip (SoC) FPGA, které kombinuje dvoujádrový procesor Cortex-A9 s programovatelnou logikou Cyclone V. V naší práci budeme využívat pouze programovatelnou logiku z důvodu nedostatečných dosavadních zkušeností s SoC systémy a vývojovým prostředím, přičemž toto omezení nijak nelimituje výslednou funkčnost lock-in zesilovače.

Diferenciální zesilovač se skládá ze tří stupňů. První stupeň je realizován pomocí nízkošumových JFET tranzistorů a má pevné zesílení 9x. Druhý a třetí stupeň jsou realizovány pomocí klasických diferenčních zesilovačů a jejich kombinované zesílení lze vybrat externím signálem přivedeným na multiplexer, který připne k zesilovačům vhodné kombinace odporů. Kombinované zesílení druhého a třetího stupně může nabývat hodnot 0,1x; 0,3x; 1x; 3x; 10x; 30x; 100x. Schéma zapojení druhého stupně (zesílení 0,1x; 1x; 10x) je zachyceno na obrázku 3.4.



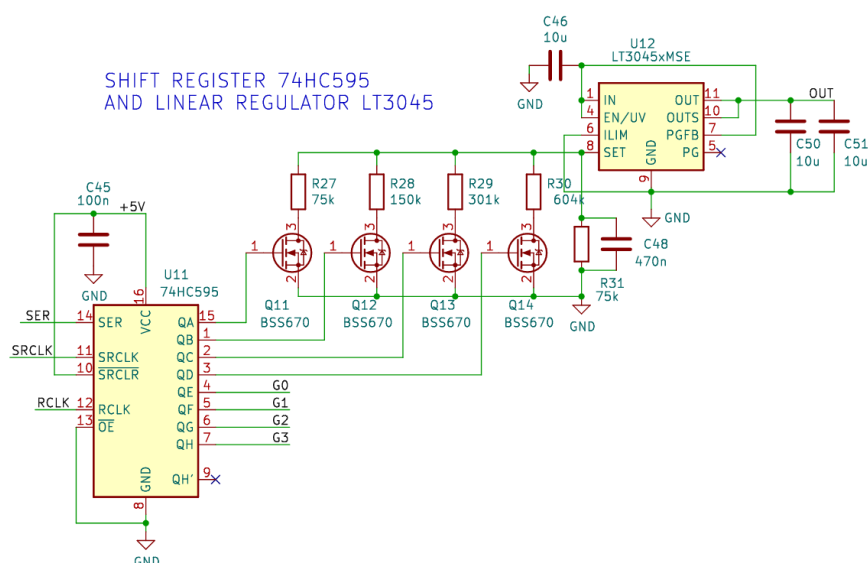
Obrázek 3.4: Diferenciální zesilovač s nastavitelným zesílením - druhý stupeň

Následuje A/D převodník LTC2378-20, který disponuje 20bitovým rozlišením, výstupní datovou rychlostí 1 MSa/s a integrální nelinearitou 0,5 ppm. Jedná se o převodník s diferenciálním vstupem pracující na principu postupné aproximace (SAR). K převodníku je připojena 5V napěťová reference LTC6655, tudíž diferenciální vstupní signál musí ležet v rozsahu -5 V až 5 V.

Převodník komunikuje s využitím protokolu, který je velmi podobný SPI. Komunikační kanál (z/do FPGA) byl nicméně veden přes magnetický izolátor ADUM152 z důvodu galvanického oddělení obou desek. Tento izolátor však způsoboval nepřípustné zpoždění (cca 15 ns) vysílaného hodinového signálu vůči přijímanému datovému signálu, a proto musel být nahrazen verzí ADUM163, která (s jedním kanálem navíc) umožňuje vést hodinový signál zpět do FPGA, aby tyto signály nebyly zpožděné vůči sobě.

3.3.2 Excitační deska

Excitační deska slouží k buzení excitační cívky fluxgate senzoru proudovými pulzy (typický průběh dle obrázku 2.8). K tomu slouží H-můstek, jehož napětí je nastavováno pomocí dvou regulátorů - spínaného a následně lineárního. Toto nastavení se děje zápisem hodnoty do posuvného registru 74HC595 a je podrobněji popsáno v kapitole 6. Hardwarový design umožňuje nastavit 16 diskrétních hodnot napětí v rozsahu 5,2 V - 15 V. Schéma zachycující nastavení výstupu lineárního regulátoru připnutím kombinace odporů k pinu SET je na obrázku 3.5. Zbylé čtyři výstupy posuvného registru jsou použity k obdobnému nastavení výstupního napětí spínaného regulátoru.

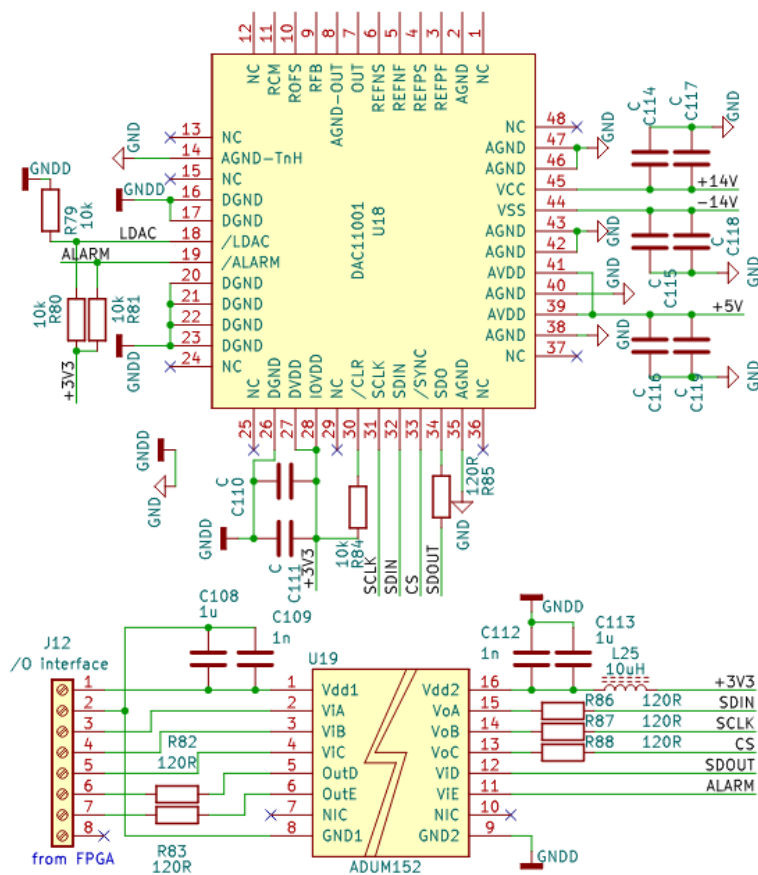


Obrázek 3.5: Nastavení výstupu lineárního regulátoru posuvným registrem

Spínání H-můstku určitou frekvencí (z rozsahu 5-20 kHz) je řízeno pomocí dvou externích signálů s obdélníkovým průběhem, které jsou vedeny z FPGA. Každý ze signálů spíná jednu polaritu napětí, proto je FPGA nutno zajistit, aby za žádných okolností nebyly obě větve sepnuty současně a nedošlo ke zkratu. Z toho je vhodné implementovat i tzv. dead-time při přepínání polarit.

3.3.3 Kompenzační deska

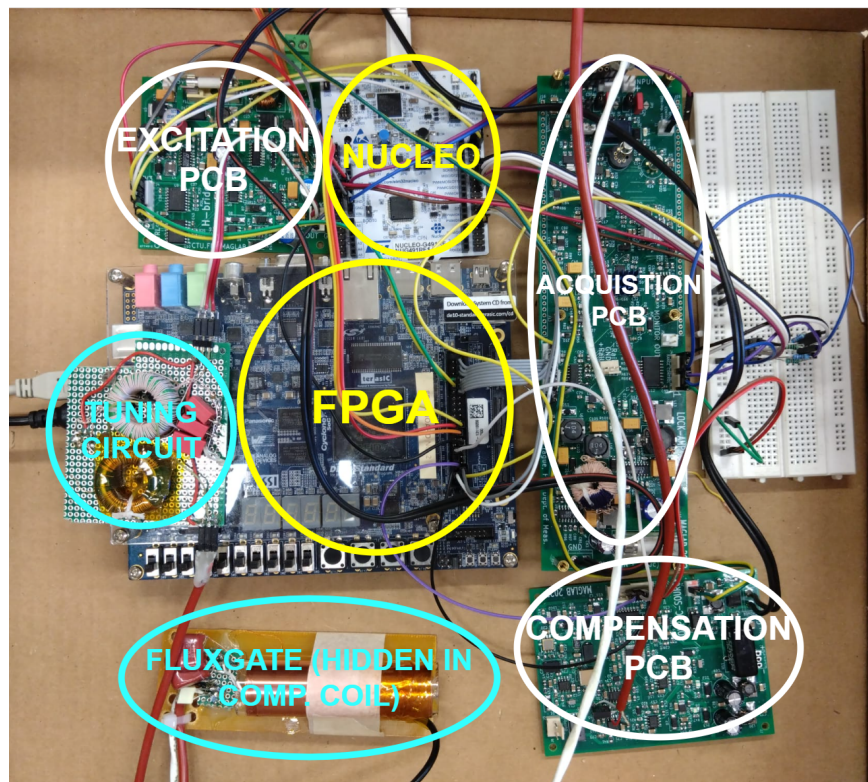
Cílem kompenzační desky je pomocí D/A převodníku, napěťové reference, převodníku napětí/proud a připojené kompenzační cívky vytvářet magnetické pole o stejné velikosti a opačné polaritě, než je pole měřené. Díky zavedení zpětné vazby pracuje senzor v lineární oblasti v okolí nulového pole,



Obrázek 3.6: D/A převodník a magnetický izolátor na kompenzační desce

měronosnou veličinou je pak velikost kompenzačního proudu, resp. napětí.

V návrhu je použit D/A převodník DAC11001A (Texas Instruments) s 20bitovým rozlišením a maximální datovou rychlostí 1 MSA/s. Komunikační signálové cesty jsou vyvedeny na konektor opět přes magnetický izolátor, nicméně v tomto případě zpoždění signálu ničemu nevádí, neboť se předpokládá pouze jednosměrná komunikace (směrem z FPGA do D/A převodníku). Schéma zapojení této části je na obrázku 3.6. Protože pin LDAC D/A převodníku, kterým se dává pokyn k „nahrání“ nové hodnoty z datového registru na jeho výstup, je v návrhu trvale přizemněn, je nutné provést po resetu zápis do konfiguračních registrů převodníku. Tento zápis zajistí, že výstupní hodnota bude aktualizována s hranou signálu chip select (CS), který je buzen z FPGA.



Obrázek 3.7: Hardware specifického lock-in zesilovače

Kapitola 4

Zpracování signálu v FPGA

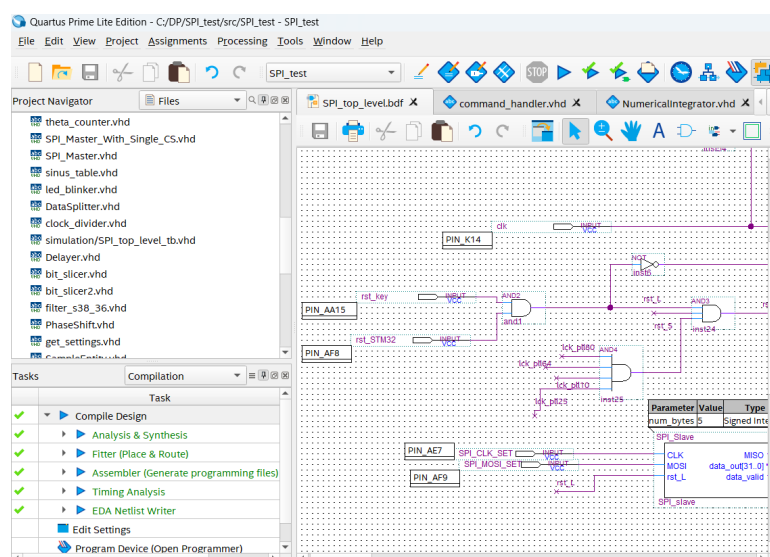
Následující kapitola se věnuje těžišti práce, tedy zpracování signálu v FPGA. První část kapitoly je věnována vývojovému prostředí Quartus, druhá část návrhu digitálního filtru typu dolní propust s pomocí rozhraní Filter Designer z prostředí MATLAB a jeho následné VHDL implementaci. Právě digitální filtrace se ukázala být nejnáročnější částí z pohledu využití zdrojů (logických elementů) hradlového pole. Třetí část kapitoly se věnuje celému řetězci pro zpracování signálu včetně komunikace s perifériemi.

4.1 Vývojové prostředí Quartus/Questa

Vývoj kódu pro FPGA čip Cyclone V probíhal v prostředí Quartus Prime Lite Edition od firmy Intel. Tato Lite verze je dostupná bez licence, nicméně podporuje pouze omezenou sadu levnějších čipů, mezi které řada Cyclone V spadá. Prostředí umožňuje kromě tvorby kódu (VHDL/Verilog) vytvářet i grafické .bdf soubory (viz obrázek 4.1), které se hodí pro spojování jednotlivých bloků a struktur na nejvyšší (top-level) programové úrovni, což je využito i v této práci. Quartus provádí celý proces od analýzy a syntézy kódu, přes umístění jednotlivých prvků na konkrétní místa v čipu a jejich propojení (tzv. placement and routing) po generování spustitelného .sof souboru a analýzu časování.

Simulace syntetizovaného obvodu probíhaly v propojeném programu Questa (dříve ModelSim). Základní verze je opět dostupná zdarma, nicméně s nutností

4. Zpracování signálu v FPGA



Obrázek 4.1: Software Quartus Prime

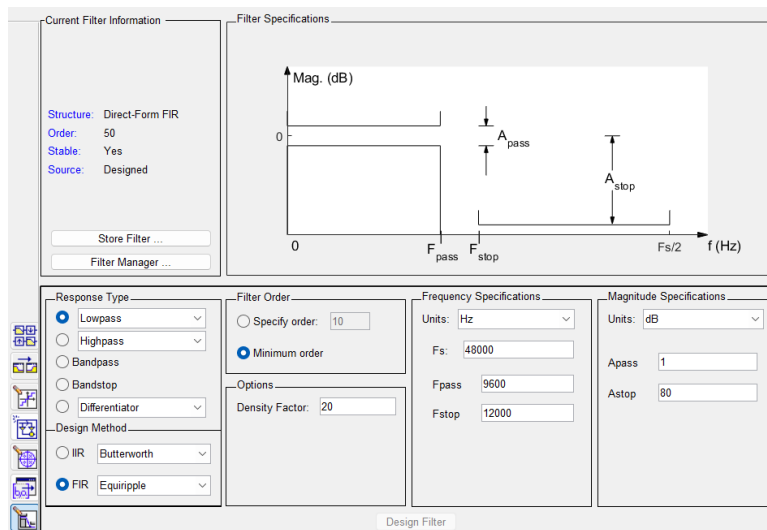
zažádat si o bezplatnou licenci. Program byl využíván k RTL (register-transfer-level) simulacím zejména v prvotních fázích vývoje nových funkcionalit. Simulace umožňuje sledovat vývoj hodnot interních signálů v čase i zastavovat běh „programu“.

4.2 Návrh digitálního LP filtru

4.2.1 Filter Designer

Filter Designer je grafické uživatelské rozhraní, které slouží k návrhu FIR a IIR filtrů. Jedná se o součást Signal Processing Toolboxu, který je součástí prostředí MATLAB. Rozhraní umožňuje návrháři specifikovat druh filtru na základě typu odezvy (dolní propust, horní propust a další) a také typu filtru (FIR, IIR) a optimalizační metody (equiripple, least-squares,...). Dalším krokem je specifikace požadované frekvenční charakteristiky - u LP filtru šířkou propustného pásma, počáteční frekvencí zádržného pásma a požadovaným útlumem v zádržném pásmu.

Filter Designer rovněž zvládá návrh decimálních a interpolačních (tzv. multi-rate) filtrů. Další funkcionalitou je nastavení parametrů kvantizace - zda filtr pracuje s reprezentací dat v plovoucí či pevné desetinné čárce a kolik bitů je vyhrazeno na reprezentaci vstupu, výstupu, koeficientů filtru či interních



Obrázek 4.2: Filter Designer

akumulátorů.

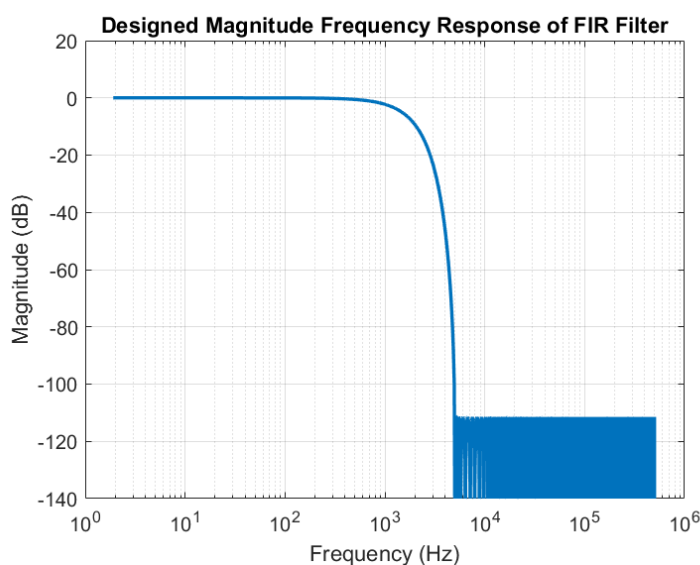
Významnou výhodou rozhraní je možnost automatického generování kódu, a to jak ve formě hlavičkového souboru jazyka C, tak ve formě VHDL či Verilog, právě pro použití v FPGA.

4.2.2 Parametry filtru

Na digitální filtr jsme určili následující požadavky. Vstupní datová rychlost 1 MSa/s (maximální vzorkovací rychlost převodníku LTC2378), výstupní datová rychlost pro odesílání dat do PC 10 kSa/s, tedy decimační faktor $M = 100$. Aby bylo zabráněno aliasingu, je dle vzorkovacího teorému nutné potlačit frekvence vyšší, než je polovina výstupní vzorkovací frekvence - tedy zádržné pásmo od 5 kHz s útlumem minimálně 100 dB. Šířka propustného pásma v řádu desítek či stovek hertzů, nicméně na přesné hodnotě nám příliš nezáleží, při měření šumu se soustředíme především na nižší frekvence v řádu jednotek či desetin hertzu.

Další požadavkem je, aby byl filtr stabilní (což je pro FIR filtr inherentní) a aby se výsledný design „vešel“ do zvoleného FPGA čipu Cyclone V.

Výsledkem iterativního procesu ladění parametrů filtru byla získána amplitudová přenosová charakteristika zachycená na obrázku 4.3, a to pro FIR filtr řádu 960. S tímto návrhem nyní budeme pokračovat a ověříme vliv kvantizace.



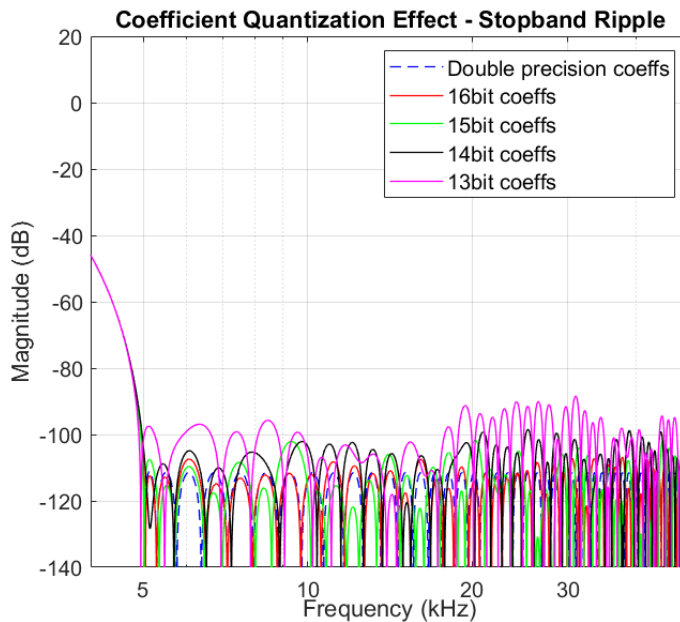
Obrázek 4.3: Přenosová charakteristika navrženého FIR filtru

Co se týče bitových rozměrů, tak nejprve je nutné zmínit, že v našem FPGA designu jsou všechna čísla reprezentovaná v pevné desetinné čárce. Na vstupu filtru je datové slovo o 36 bitech, vzniklé násobením signálu z A/D převodníku (20 bitů) a interní reprezentace sinusového signálu (rovněž 20 bitů) dle principu synchronní detekce. Výsledný produkt má v plném rozlišení 40 bitů, nicméně celkem čtyři bity (nadbytečný znaménkový bit a tři nejméně významné bity) jsou zanedbány, z čehož vznikne výsledných 36 bitů, které nepřekročí dvojnásobek nativního rozměru hardwarové násobičky (18x18). Při zvolení reprezentace s plným rozlišením je potom na výstupu filtru 60 bitů, z nichž využíváme vrchních 48.

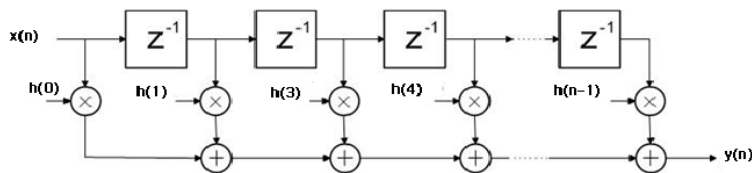
Interní koeficienty jsou reprezentovány pomocí 16bitového slova. Vliv kvantizace koeficientů je zachycen na obrázku 4.4. Kvantizace se na výsledné charakteristice projeví větším zvlněním v zádržném pásmu. Při porovnání charakteristik pro koeficienty v rozsahu 16-13 bitů vidíme, že s ubývajícím počtem bitů se zvětšuje worst-case odchylka od referenční hodnoty (reprezentace pomocí datového typu double).

■ 4.2.3 VHDL implementace

Co se týče samotné struktury filtru, tak v první řadě je nutné zmínit, že klasický FIR filtr je kombinací pouze zpožďovacích bloků, násobiček a sčítaček, a to bez zpětné vazby. Typická struktura je zachycena na obrázku 4.5, přičemž může být implementována několika způsoby. Paralelní implementace odpovídá



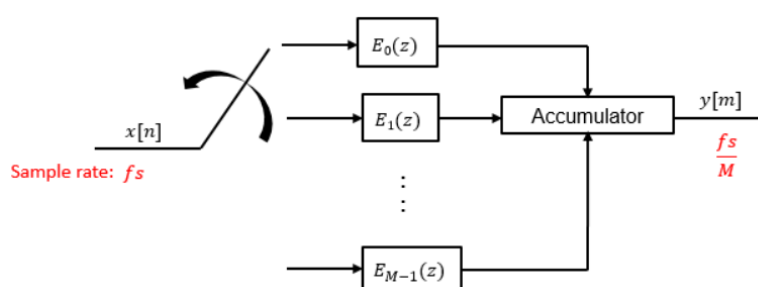
Obrázek 4.4: Vliv kvantizace koeficientů na zvlnění v zádržném pásmu



Obrázek 4.5: Základní struktura FIR filtru [17]

obrázku a vyžaduje tolik násobiček, kolik má filtr koeficientů. Její výhodou je rychlost výpočtu, nevýhodou vysoké požadavky na hardwarové zdroje. Opakem je sériová implementace, kde se na jedinou násobičku postupně přivádí různé signály a koeficienty. Její výhodou je hardwarová nenáročnost, nevýhodou nutnost pracovat s rychlejším hodinovým signálem (n -násobně pro filtr řádu n), který může způsobovat problémy s časováním jednotlivých operací. Přírozeným kompromisem je sériově-paralelní implementace, kdy je počet násobiček větší než jedna a menší než řád filtru, přičemž nabízí výhody i nevýhody obou výše zmíněných variant.

Kromě těchto základních variant lze u decimálních FIR filtrů využít výpočetně efektivní polyfázovou strukturu [18]. Ta využívá faktu, že při decimaci není třeba každý vstupní vzorek postupně násobit s každým z koeficientů filtru. Pro decimální faktor M lze filtr rozdělit do M větví, z nichž každá obsahuje n/M koeficientů (pokud jsou n a M soudělná). Vstupní signál je následně přepínán do jednotlivých fází filtru E_0 až E_{M-1} , jak je zachyceno na obrázku 4.6. V našem konkrétním případě je decimální faktor 100, tudíž filtr má



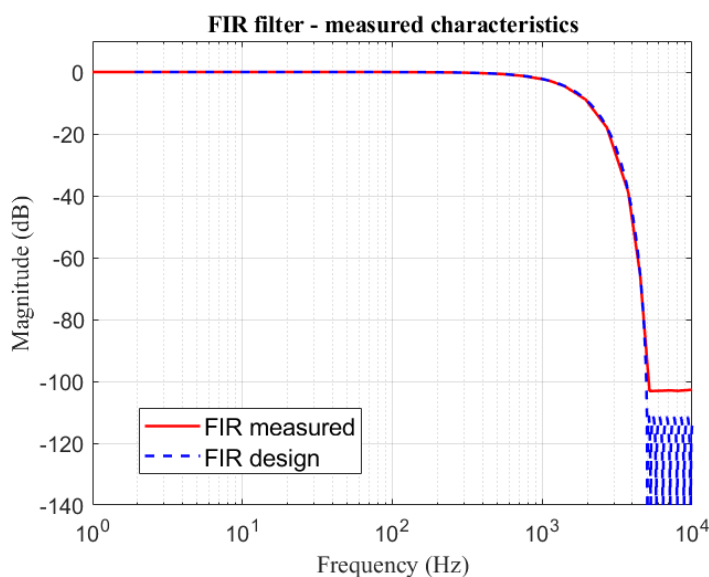
Obrázek 4.6: Polyfázový FIR filtr s decimací [18]

100 fází, přičemž prvních 61 fází obsahuje 10 koeficientů a dalších 39 fází 9 koeficientů, což dá dohromady 961 koeficientů potřebných pro FIR filtr řádu 960.

Pro náš konkrétní návrh jsme tedy zvolili FIR filtr s polyfázovou strukturou, přičemž každá fáze (větev) filtru byla implementována sériově, tedy ve výsledku pouze s jednou hardwarovou násobičkou. Tato implementace se ukázala být jako nejvíce snesitelná, co se týče využití zdrojů FPGA čipu. U paralelní kombinace nebyl problémem samotný počet násobiček, ale spíše proces routování, tedy hledání cest v čipu mezi jednotlivými komponenty, s kterým si optimalizační algoritmus programu Quartus nedokázal poradit. U výsledného designu využil filtr přibližně 16400 logických jednotek (ALMs) z celkového počtu 41509, tedy 40 %. Na zbytek designu připadlo pouze přibližně 1000 jednotek, zdroje pro routing byly využity z cca z 45 %.

4.2.4 Dosažené parametry filtru

K ověření správné funkčnosti filtru jsme provedli následující testování: Na vstup zařízení byl z generátoru přiveden sinusový signál o určité frekvenci a amplitudě využívající plný rozsah A/D převodníku. Vzorkovaný signál (1 MSa/s) byl v FPGA přiveden na vstup našeho filtru, výstup byl odeslán do PC (10 kSa/s). Na PC byla z naměřených dat počítána FFT, na níž jsme odečítali amplitudu signálu na frekvenci stejné, jakou má vstupní signál. Toto měření jsme provedli přibližně na dvaceti různých frekvencích a výsledky zanesli do grafu na obrázku 4.7. Vidíme, že naměřená charakteristika se velmi dobře shoduje s očekávanou. Protože FFT mělo následkem výstupní vzorkovací rychlosti 10 kSa/s rozsah pouze do 5 kHz, byl útlum na vyšších frekvencích určen jako nejvyšší hodnota jakékoli rušivé složky ve spektru, což má za následek, že útlum v zádržném pásmu vychází lehce nižší, než je ten očekávaný. Nicméně i tak se stále držíme pod hranicí 100 dB útlumu v zádržném pásmu, kterou jsme se na začátku návrhu stanovili.



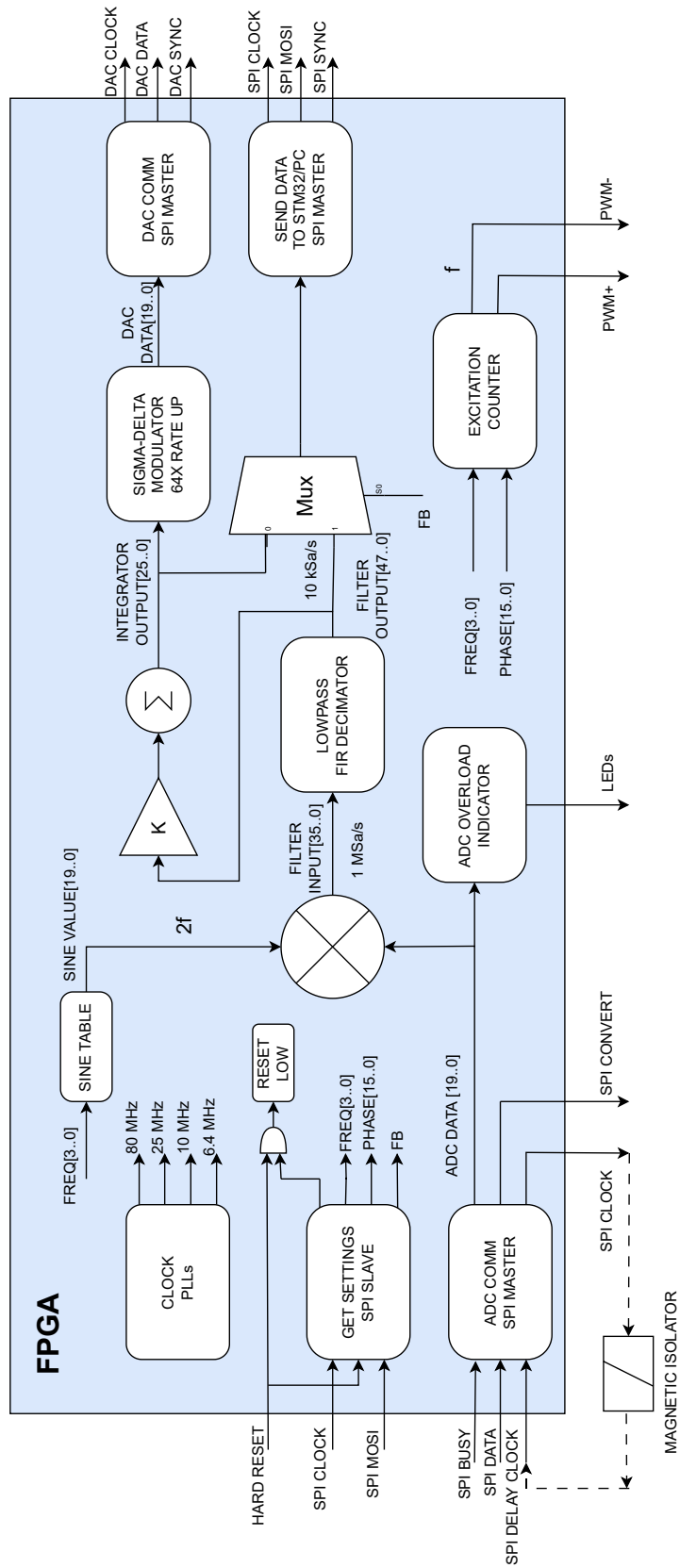
Obrázek 4.7: Změřená amplitudová charakteristika použitého filtru

Protože získaný filtr splňuje všechny očekávané parametry a podařilo se ho na FPGA realizovat, bylo po zralé úvaze rozhodnuto, že místo další snahy o optimalizaci filtru (např. formou filtru nižšího řádu či snížením bitových rozměrů) dává smysl soustředit síly na integrační část projektu, tedy směrem ke zprovoznění celého specifického lock-in zesilovače.

4.3 Řetězec pro zpracování signálu v FPGA

Zpracování signálu v FPGA je řešeno formou bloků/modulů/entit, kde každá entita je psaná ve VHDL a zajišťuje určitou funkcionalitu. Každý z těchto bloků má definované vstupy a výstupy, které se následně propojují v prostředí Quartus v top-level grafickém souboru do výsledné podoby. Protože entit je v designu několik desítek, uvedeme na obrázku 4.8 pouze zjednodušený blokový diagram propojení a následně popíšeme jednotlivé bloky. V diagramu nejsou zachyceny hodinové a resetovací signály, nicméně všechny bloky jsou koncipovány jako synchronní s asynchronním resetovacím signálem.

Co se týče hodinového signálu, tak pomocí fázových závěsů jsou z interního 50MHz signálu odvozeny signály 80 MHz, 25 MHz, 10 MHz a 6,4 MHz. Dále jsou pomocí čítačů odvozeny i další potřebné hodinové signály 1 MHz, 640 kHz a 10 kHz. Resetovací signál je řešen jednak formou samostatného vodiče z desky NUCLEO a jednak přijetím konfiguračního příkazu přes SPI, který vyvolá reset té části logiky, které se týká změna konfigurace.



Obrázek 4.8: Blokový diagram zpracování signálu v FPGA

Ostatní bloky popíšeme v pořadí, v jakém byly vytvářeny a testovány. Vývoj probíhal tak, že k základní funkcionalitě přenosu dat z FPGA do desky NUCLEO, resp. PC, byly postupně přidávány další bloky a celý design se postupně rozrůstal do výsledné podoby. Při testování kódu byl využíván pouze jeden hlavní testbench, ve kterém přibývaly postupně procesy.

Entita *Send data to STM32/PC* je designovaná na přenos 6bajtových slov s datovou rychlostí 10 kSa/s. Entita nejprve rozdělí slovo na jednotlivé bajty, které jsou postupně odesílány standardním protokolem SPI. Synchronizace je v STM32 zajištěna pomocným SPI SYNC signálem, který indikuje, kterým bajtem začíná vysílané slovo.

4.3.1 Generování frekvencí, synchronizace

Dalším blokem je *Sine table*, tedy tabulka s digitální reprezentací sinusového signálu. Hodnoty sinu od -1 do 1 jsou reprezentovány ve 20 bitech ve formátu dvojkového doplňku. Co se týče rozlišení v čase, počítáme s tím, že hodnota sinusového signálu by se měla měnit stejně rychle, jako je vstupní vzorkovací frekvence, tedy 1 MSa/s. V návrhu reprezentujeme (a tím pádem dokážeme synchronně detekovat) sinusový signál o následujících frekvencích:

- 10000 Hz (100 vzorků na periodu),
- 14084 Hz (71 vzorků na periodu),
- 18181 Hz (55 vzorků na periodu),
- 20000 Hz (50 vzorků na periodu),
- 24390 Hz (41 vzorků na periodu),
- 28571 Hz (35 vzorků na periodu),
- 32258 Hz (31 vzorků na periodu),
- 40000 Hz (25 vzorků na periodu).

Detekční frekvence jsou voleny tak, aby pokrývaly rozsah dvojnásobku excitačních frekvencí, na kterých se fluxgate senzory obvykle provozují (5 - 20 kHz). Přesná frekvence je vždy určena tak, aby na periodu sinusového signálu vycházel celočíselný počet vzorků. Entita vybírá výstupní frekvenci na základě 4bitového vstupního signálu *FREQ*. Správná funkčnost obou bloků byla ověřena tak, že jsme přenesli a zobrazili sinusový signál v PC.

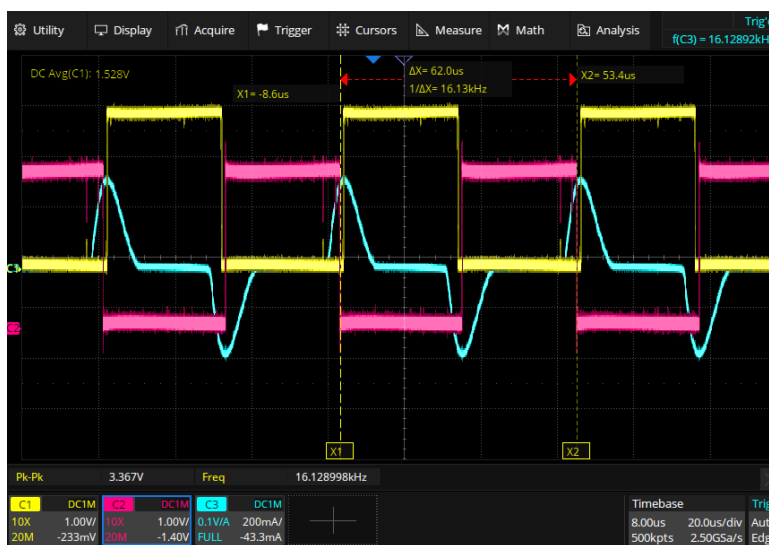
S generováním sinusového signálu o frekvenci $2f$ velmi úzce souvisí generování budicích pulzů (PWM+, PWM-) s frekvencí f , kterými je řízen H-můstek na excitační desce. Tyto pulzy, které jsou navzájem v protifázi, jsou vytvářeny blokem *Excitation* tak, aby byly přesně synchronizované s detekčním signálem. Perioda excitace odpovídá dvojnásobku periody sinusového signálu, tedy např. pro detekční frekvenci 14084 Hz (71 vzorků na periodu, tedy 71 μ s) se bude čítat po dobu 142 μ s. Abychom dosáhli většího rozlišení ve fázi, budeme inkrementovat čítač na náběžnou hranu hodin o frekvenci 80 MHz, tudíž v tomto případě do hodnoty $142 \cdot 80 = 11360$. Fázi, na které chceme lock-in provozovat, nastavíme jednoduše výchozí hodnotou čítače po resetu pomocí 16bitového signálu PHASE.

Rozlišení v nastavení fáze závisí na detekční frekvenci podle vzorce

$$R = \frac{2 \cdot 360^\circ}{2 \cdot N_{2f} \cdot 80} = \frac{360^\circ}{N_{2f} \cdot 80}, \quad (4.1)$$

kde N_{2f} značí počet vzorků na periodu sinusového signálu o frekvenci $2f$, tedy v nejhorším případě (pro detekční frekvenci 40 kHz) je rozlišení nastavení fáze $0,18^\circ$, což je pro fluxgate senzory více než dostačující.

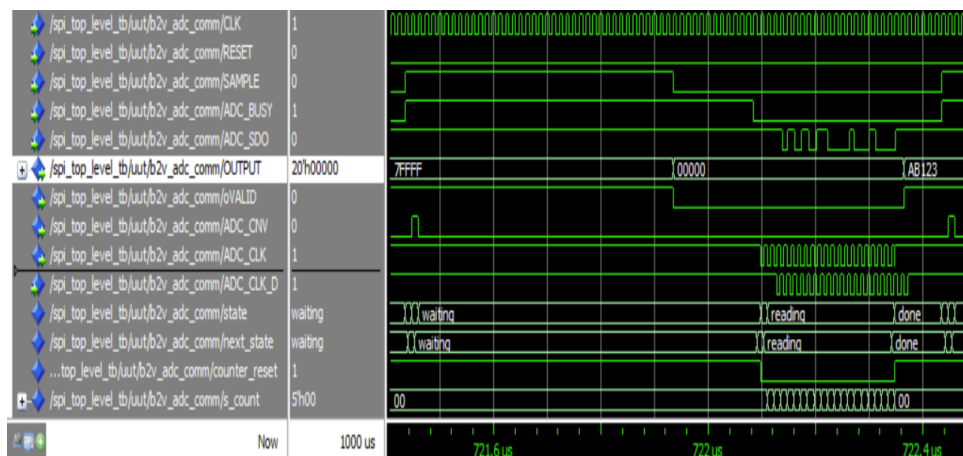
Kromě toho, že jsou spínací signály pro H-můstek v protifázi, je z bezpečnostních důvodů implementovaný i tzv. dead-time, tedy doba, kdy není sepnuta ani jedna větev můstku. V našem případě činí 1 μ s. Časový průběh spínacích signálů je zachycen na obrázku 4.9 žlutou a růžovou barvou, modře je pak znázorněn proud protékající excitační cívku fluxgate senzoru.



Obrázek 4.9: Průběh spínacích signálů pro excitaci - snímek z osciloskopu

4.3.2 Komunikace s periferiemi

Následně jsme se zaměřili na blok *ADC comm*, který zajišťuje vyčítání dat z A/D převodníku LTC2378-20, který se nachází na desce s analogovým front-endem. Tato část se ukázala být značně implementačně obtížnou z důvodu vyšší přenosové rychlosti (1 MSa/s, hodiny 80 MHz) a použití magnetického izolátoru ADUM152 ke galvanickému oddělení front-end desky od FPGA. Zpoždění datového signálu vůči vysílaným hodinám cca 15-20 ns se ukázalo být jako závažný problém při periodě hodinového signálu 12,5 ns, navíc nebylo zaručeno, že se toto zpoždění nebude měnit např. s teplotou. Proto bylo přistoupeno k hardwarovému zásahu, kdy byl izolátor vyměněn za verzi ADUM163 s větším počtem kanálů a hodiny byly vedeny přes izolátor zpět do FPGA, aby měly stejné zpoždění jako datový signál. Entita je implementovaná jako kombinace dvou stavových automatů *state* a *next state*, které postupně prochází přes jednotlivé části procesu vyčtení dat (signál ke konverzi, čekání na dokončení konverze, vysílání hodinového signálu, ukončení). Separátním procesem je řešeno přijímání dat s hranou zpožděného hodinového signálu. Z důvodu zajištění robustnosti je vždy s příchodem náběžné hrany konverzního signálu (obdélník 1 MHz) celý blok resetován do výchozího stavu. Funkčnost bloku byla ověřena tím, že jsme na vstupní svorky front-end desky přiváděli známé signály z generátoru, a ty jsme následně na PC pozorovali. Snímek ze simulace komunikace v prostředí Questa je na obrázku 4.10.



Obrázek 4.10: Simulace bloku *ADC comm* v prostředí Questa

S přijímáním dat úzce souvisí blok *Overrange indicator*, který pomocí LED indikuje, jaká část rozsahu A/D převodníku je využita. Jsou využity 4 diody přímo na FPGA kitu DE10-Standard, které odpovídají úrovním 30 %, 60 %, 90 % a 99 % plného rozsahu převodníku. Cílem indikátoru je, aby byl uživatel schopen vhodně nastavit zesílení předzesilovače - tedy maximálně využít vstupní rozsah s podmínkou, že nebude docházet k ořezávání signálu.

Dále byl implementován blok *Get settings*, který funguje jako klasický SPI slave v režimu „receive only“. Účelem tohoto bloku je příjem konfiguračních příkazů z desky NUCLEO a jejich správná interpretace. Přijímány jsou celkem 4 bajty dat dle schématu na obrázku 4.11. První bajt *command* umožňuje případné budoucí rozšíření o další příkazy při zachování délky datové zprávy. Binární hodnota FB (feedback) určuje, zda budou do počítače odesílána data z výstupu filtru (použití v otevřené smyčce), či z výstupu integrátoru (použití v uzavřené smyčce). Hodnoty FREQ a PHASE slouží k nastavení excitačních a detekčních bloků dle popisu výše. Při přijetí validního příkazu jsou tyto bloky resetovány.



Obrázek 4.11: Struktura konfiguračního příkazu

4.3.3 Zpracování dat

Jádrem synchronního detektoru je *násobička*. V našem případě jsou na vstupu dvě 20bitové hodnoty v pevné desetinné čárce, kde každá reprezentuje číslo z intervalu $<-1; 1$). Vynásobením těchto dvou čísel vznikne 40bitový produkt, z něhož ořízneme nejvyšší bit (duplicitní znaménkový bit) a tři nejnižší bity, čímž vznikne 36 bitů, které jsou přivedeny na vstup digitálního filtru. Těchto 36 bitů opět reprezentuje číslo z intervalu $<-1; 1$). Je ošetřen speciální případ, kdy jsou obě vstupní hodnoty přesně -1 , tudíž by produkt ležel mimo reprezentovatelný interval. Násobení je prováděno se stejnou frekvencí, s jakou jsou k dispozici nová data z A/D převodníku, tedy 1 MHz.

Druhou částí zpracování dat je digitální dolnoproustný filtr typu FIR, který jsme již detailně rozebrali v předchozí sekci, a proto se mu zde nebudeme opakovaně věnovat.

4.3.4 Zpětná vazba

Poslední částí, která se v blokovém schématu na obrázku 4.8 nachází, jsou bloky zajišťující zpětnou vazbu pomocí kompenzační cívky. Cílem je kompenzovat měřené pole tak, aby byl fluxgate senzor provozován v lineární oblasti v blízkosti nulových hodnot. Těto regulace docílíme regulátorem typu I, tedy integračním, který se běžně používá pro fluxgate magnetometry i v analogové podobě.

Blok *Gain* zajišťuje přepočtení čísla výstupu FIR filtru z dvojkového doplňku do formátu offset binary, který používá D/A převodník na kompenzační desce, a proto je tento formát použit v celé zpětnovazební větvi. Kromě toho aplikuje pevné zesílení 1/16 formou bitového posunu. Protože se u celé kompenzace jedná o nadstavbovou funkcionalitu, která byla řešena v posledních týdnech práce, nebyla z časových důvodů implementována možnost měnit z ovládacího programu zesílení regulátoru. Nicméně variabilní zesílení zpětné vazby je možné částečně nahradit variabilním zesílením systému, které umíme nastavit pomocí vstupních předzesilovačů.

Blok *Sum* provádí diskrétní numerickou integraci, respektive pomocí sumátoru akumuluje vstupní signál a tento součet předává na výstup. Protože akumulární proměnná má omezený rozsah, je pomocí LED indikována její saturace, která indikuje, že zpětná vazba není funkční - buď není správně uzavřena, nebo použitá kompenzační cívka nedokáže vytvořit dostatečné protipole ani při maximálním kompenzačním proudu. V případě, že k saturaci dojde, je indikována 1sekundovým svícením, poté je blok automaticky resetován. Výstup bloku má stále shodnou datovou rychlost s výstupem FIR filtru, tedy 10 kSa/s, a datovou šířku 26 bitů.

Abychom zvětšili rozlišení použitého 20bitového D/A převodníku, je zaveden do signálové cesty blok *Sigma-delta modulator*, který z 26bitového signálu o rychlosti 10 kSa/s vytváří 20bitový signál pro D/A převodník s rychlostí 640 kSa/s. Zvětšením datové rychlosti dokážeme pro každé dvě sousední 20bitové hodnoty teoreticky reprezentovat $63 (2^6-1)$ mezilehlých stavů. Děje se tak střídáním 20bitové hodnoty s hodnotou o 1 LSB větší, přičemž 20bitová hodnota odpovídá vrchním 20 bitům z 26bitového vstupního slova. Např. pro vstupní slovo modulátoru 0x25A1486 se na výstupu budou rovnoměrně střídát hodnoty 0x95852 (58x) a 0x95853 (6x).

Posledním blokem zpětné vazby je *DAC comm*, který zajišťuje komunikaci s D/A převodníkem. Jedná se o jednosměrnou komunikaci, protokol opět blíže připomíná SPI. Komunikace je implementována (podobně jako u komunikace s A/D převodníkem) jako kombinace dvou stavových automatů *state* a *next state*. Datová rychlost je zmíněných 640 kSa/s (maximum 1 MSa/s), hodiny pro komunikaci mají frekvenci 25 MHz.

Kapitola 5

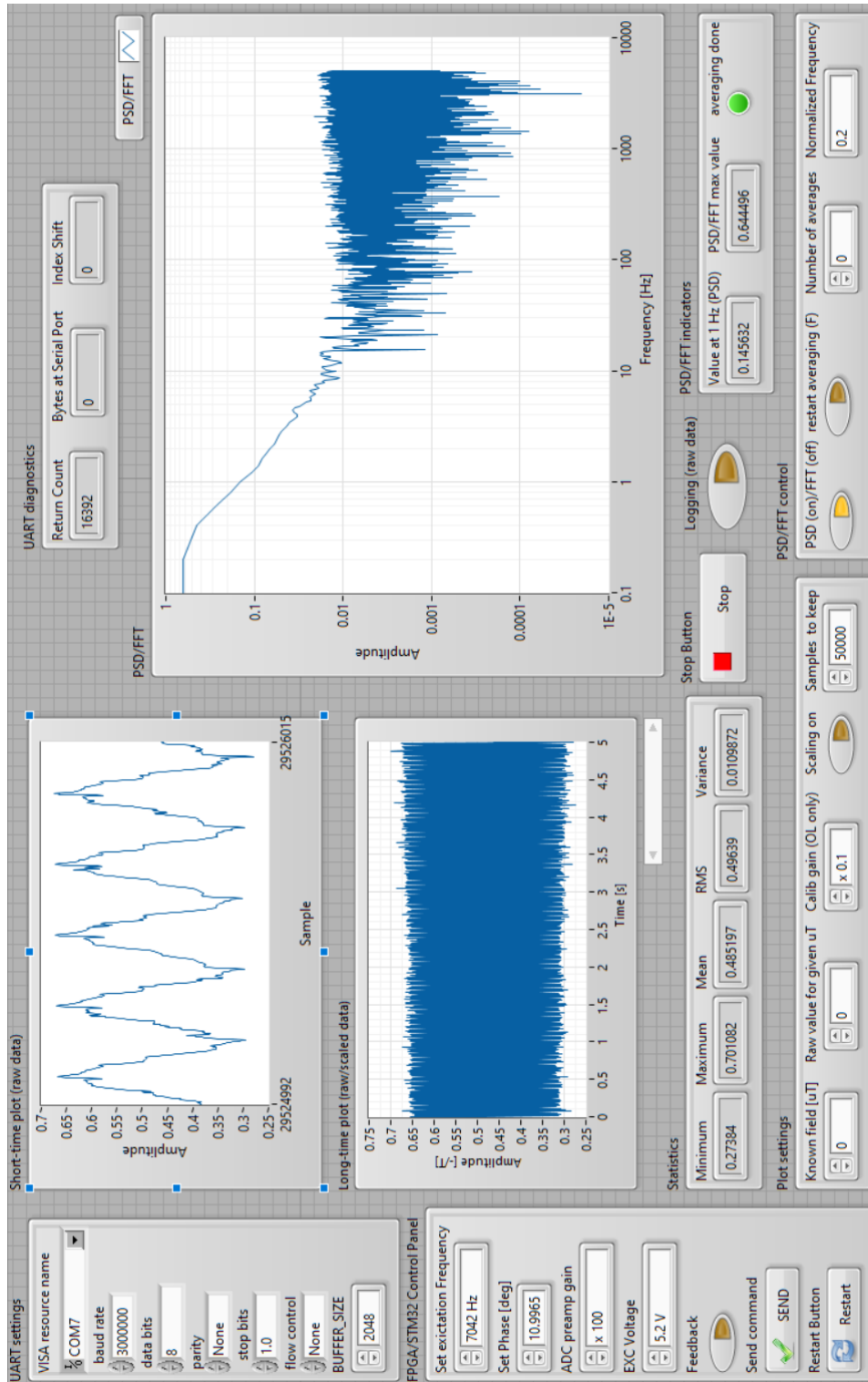
Ovládání lock-in zesilovače

Ovládání lock-in zesilovače, které je řešeno formou grafického rozhraní v prostředí LabVIEW. Program pro LabVIEW se obecně skládá ze dvou základních částí: blokového diagramu (logika aplikace) a ovládacího panelu (interakce s uživatelem). Obě části jsou programovány graficky.

5.1 Ovládací panel

Ovládací panel se skládá z několika ovládacích a indikačních bloků a je zachycen na obrázku 5.1. V levém horním rohu je nastavení sériového portu, po kterém se komunikuje s deskou NUCLEO. Výchozí hodnoty jsou baudrate 3 Mbps, 8 datových bitů, 1 stop bit, bez parity a hardwarového řízení datového toku. Data jsou přijímána po blocích s nastavitelnou délkou (proměnná `BUFFER_SIZE`), v našem případě se jedná o 2048 datových slov (typu `double`). V pravém horním rohu se nachází několik numerických indikátorů - kolik bajtů bylo přečteno ze sériového portu v posledním cyklu (*Return Count*), kolik bajtů čeká na vyčtení v zásobníku (*Bytes at Serial Port*) a zdali bylo některé bajty nutné „zahodit“ z důvodu synchronizace (*Index Shift*) - začátek každého přenášeného bloku dat je označen speciálním kódovým slovem, více v sekci blokový diagram.

V levém dolním rohu je panel s nastavením samotného lock-in zesilovače. Uživatel může nastavit excitační frekvenci fluxgate senzoru výběrem z osmi hodnot v rozsahu 5-20 kHz. Dále lze nastavit fázový posun excitace vůči



Obrázek 5.1: Ovládací panel lock-in zesilovače - LabVIEW

detekčnímu sinusovému signálu. Nastavená hodnota fáze je automaticky zaokrouhlena na nejbližší povolenou (z důvodu konečného rozlišení excitačního čítače - viz rovnice 4.1). Dále uživatel vybírá zesílení nastavitelné části analogového předzesilovače ze sedmi variant - 0,1x; 0,3x; 1x; 3x; 10x; 30x; 100x. (Pro připomenutí, první zesilovací stupeň má pevné zesílení 9x.) Další nastavení umožňuje volbu napájecího napětí H-můstku, a to z celkem 16 úrovní v rozsahu 5,2 V - 15 V. Přepínač *Feedback* nastavuje, zdali jsou z FPGA posílána data z výstupu FIR filtru, nebo z výstupu integrátoru ve zpětné vazbě (viz schéma 4.8). Tlačítko *Send* odešle zvolenou konfiguraci do přístroje, tedy přes desku NUCLEO do FPGA. Tlačítko *Restart* provede tzv. tvrdý reset, tzn. uvede oba čipy do výchozího stavu - základní nastavení je: excitační frekvence 5 kHz, nulový fázový posun, zesílení předzesilovače 0,1x, napětí H-můstku 5,2 V.

V prostřední části jsou dva grafy, zachycující časové průběhy měřeného signálu. Horní graf je krátkodobý a ukazuje posledních 1024 vzorků, což při datové rychlosti 10 kSa/s odpovídá přibližně 100 ms. Tento graf zobrazuje tzv. „raw“ data bez přepočtu na jednotky magnetické indukce. Na obrázku 5.1 v tomto grafu můžeme vidět pět period 50hertzového rušení. Spodní graf zachycuje delší časový úsek, v základu 50 tisíc vzorků, což odpovídá 5 sekundám. Panel přímo pod grafem zobrazuje statistiky ze zaznamenaných dat - minimum, maximum, průměr, RMS a rozptyl. Úplně ve spodní části obrazovky se nachází ovládací panel pro tento graf. Ten umožňuje (kromě nastavení počtu uchovávaných vzorků) zapnutí funkce škálování - při kalibraci zadáme hodnotu známého magnetického pole, odpovídající hodnotu výstupu senzoru a zesílení, které bylo při kalibraci použito. Přepínačem *Scaling on* pak funkci škálování zapneme.

Vespod uprostřed se nachází rozměrově výrazná tlačítka *Stop*, které slouží k ukončení programu, a *Logging*, které slouží k záznamu dat do textového souboru (v ASCII formátu) pro další zpracování např. v prostředí MATLAB.

Při měření s fluxgate senzorem se postupuje následovně:

1. Spuštění programu tlačítkem bílé šipky,
2. zvolení excitační frekvence a napětí (fluxgate je obvykle laděn na určitou frekvenci - např. 16 kHz),
3. umístění senzoru ve směru vektoru známého (např. zemského) magnetického pole,
4. naladění fáze tak, aby byl na výstupu nulový signál,

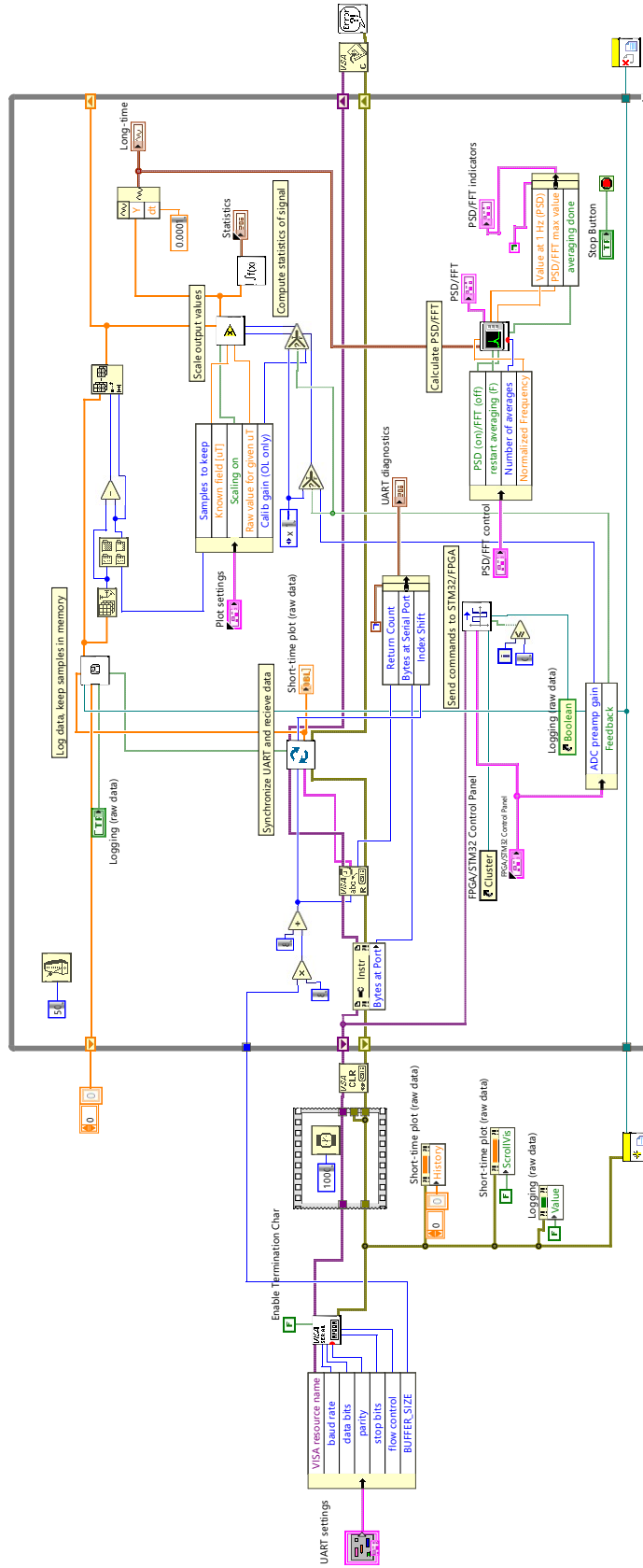
Část vlevo se provede pouze po startu programu, slouží k zahájení sériové komunikace a inicializace objektů ovládacího panelu.

Následuje hlavní smyčka programu (znázorněna šedým obdélníkem), ve které se vykonávají při každé iteraci tyto podprogramy:

1. Synchronizace a příjem bloku dat,
2. uložení dat do pole, případně i do souboru,
3. škálování dat na magnetické jednotky,
4. výpočet statistik z dat,
5. výpočet PSD/FFT z dat,
6. odeslání konfiguračních příkazů do STM32/FPGA.

Po stisku tlačítka *Stop* je ukončena sériová komunikace a uložen soubor se zaznamenanými daty.

Implementačně nejnáročnější částí byla synchronizace a příjem dat přes sériový port. Data jsou posílána v binárním formátu (datový typ double), a tak se ze samotných hodnot nedá určit, kterým bajtem začíná datové slovo - např. v případě, že v přijímacím bufferu sériového zůstanou data z předchozí komunikace. Z toho důvodu je na začátku každého bloku dat (2048 datových slov) posíláno synchronizační slovo 0xF5F5...F5 o délce 8 bajtů. Pokud toto slovo není nalezeno na začátku bloku dat, je postupně projit celý blok dat, aby bylo zjištěno, kde se synchronizační slovo nachází. Po jeho nalezení je provedena korekce počtu vyčtených bajtů tak, aby každý další přijímaný blok začínal synchronizačním slovem. Mechanismus se uplatní zejména při zahájení komunikace.



Obrazek 5.2: Ovládání lock-in zesilovače - blokový diagram LabVIEW

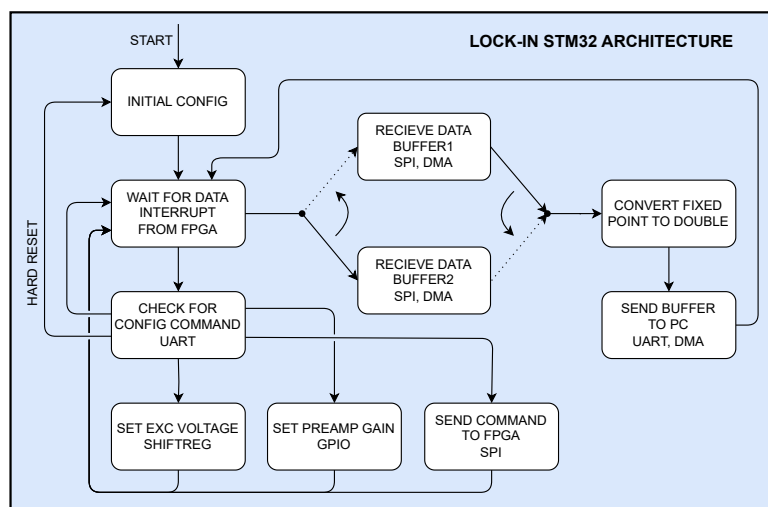
Kapitola 6

STM32 - komunikační prostředník

Následující kapitola si klade za cíl osvětlit, jakou roli hraje v designu deska NUCLEO s mikrokontrolérem STM32G491. Jedná se v podstatě o komunikačního prostředníka mezi FPGA a LabVIEW, jehož úkolem je převzít část funkcionality, která je vhodná pro mikrokontrolér. To je obecně taková část, která buď nemusí být implementována v FPGA (nevyžaduje přesnou synchronizaci s jinými procesy), což přináší benefit v podobě rychlejšího a pružnějšího vývoje, anebo je její implementace v jazyce C jednodušší a efektivnější než implementace ve vysokoúrovňovém LabVIEW - typicky manipulace s daty na úrovni bitů a bajtů. Zároveň deska NUCLEO poskytuje množství pinů pro komunikaci s perifériemi, kterých by na FPGA kitu nemusel být dostatek.

Architektura vykonávaného programu je zachycena na schématu na obrázku 6.1. Po startu a inicializaci periférií (předzesilovač, napěťový regulátor H-můstku) do výchozích hodnot se čeká na přerušení (na náběžnou hranu signálu) z FPGA, které značí začátek datového slova. Následně je přes SPI přijímán do zásobníku č. 2 celý blok datových slov (v základu 2048 slov po 6 bajtech). Příjem se děje v neblokujícím režimu díky využití DMA (direct memory access). Mezitím je zpracováván předchozí blok dat ze zásobníku č. 1, data jsou přepočteny ze specifického formátu s pevnou desetinnou čárkou na standardní datový typ double. Přepočtená data jsou odesílána do LabVIEW přes UART - rovněž pomocí DMA v neblokujícím režimu. Při příjmu dalšího bloku dat se role obou zásobníků obrací.

Zároveň jsou v neblokujícím režimu přes UART přijímány konfigurační příkazy z PC. V případě, že takový příkaz přijde, je zpracován při čekání na data. Příkaz má celkem 6 bajtů, z čehož první čtyři mají strukturu dle obrázku 4.11



Obrázek 6.1: Architektura programu v STM32

a jsou obratem přeposlány do FPGA. Pátý bajt nese informaci o nastavení zesílení předzesilovače na jednu ze sedmi diskretních hodnot (0,1x - 100x). Toto zesílení se nastavuje pomocí 4 výstupních pinů, které jsou připojeny na vstupy multiplexeru IN3 až IN0 - ten pak sepne k zesilovači vhodnou kombinaci odporů. Tabulka 6.1 zachycuje logické úrovně na těchto pinech, které vedou k nastavení příslušného zesílení. Poslední sloupec udává odpovídající argument funkce *Set_Preamp_Gain* v datovém formátu `uint8_t`.

Zesílení	IN3	IN2	IN1	IN0	uint8_t
0,1x	0	0	0	0	0
0,3x	0	1	0	0	4
1x	0	0	0	1	1
3x	0	1	0	1	5
10x	0	0	1	0	2
30x	0	1	1	0	6
100x	1	0	1	0	10

Tabulka 6.1: Kombinace logických úrovní na vstupu excitační desky k nastavení zesílení

Šestý bajt konfiguračního příkazu slouží k nastavení napětí H-můstku na excitační desce. Na desce jsou dva napěťové regulátory řazené sériově - snižující měnič a lineární regulátor. Výstupní napětí těchto regulátorů se ovládá pomocí rezistorů, které jsou tranzistory spínány k příslušným pinům (FB, SET). Dohromady se jedná o osm tranzistorů (u každého regulátoru čtyři), které jsou spínány výstupem osmibitového posuvného registru 74HC595. Pro zvolené výstupní napětí můstku, resp. lineárního regulátoru, volíme napětí snižujícího měniče tak, aby byl úbytek (dropout) alespoň 1 V, ale aby nebyl zbytečně vysoký. Zvolené kombinace napětí jsou zachyceny v tabulce 6.2 včetně hodnoty (ve formátu `uint8_t`), která musí být nastavena v posuvném

registru.

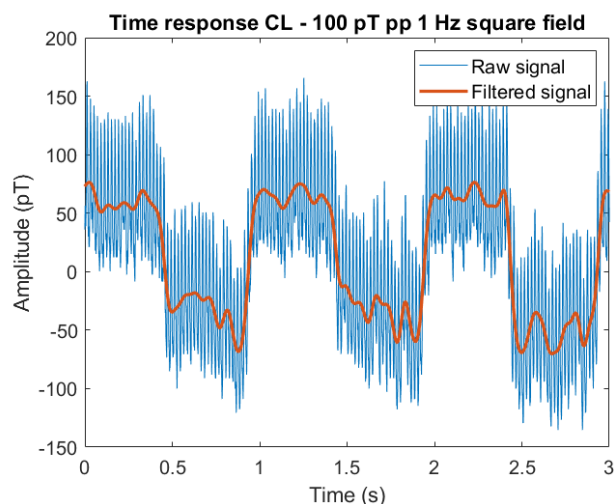
Lineární regulátor [V]	Snižující měnič [V]	Pos. reg. (uint8_t)
5,2	6,8	143
5,5	6,8	135
5,7	6,8	139
6	7,5	67
6,3	7,5	77
6,7	8,1	197
7,1	8,1	201
7,5	8,8	33
8	9,4	174
8,6	10	102
9,2	10,6	234
10	11,2	18
10,9	12,5	92
12	13,1	212
13,3	14,4	184
15	15,6	240

Tabulka 6.2: Kombinace výstupních napětí regulátorů na excitační desce

Kapitola 7

Funkční testování

Následující kapitola se zabývá testováním přístroje jako celku. Kromě toho, že byla ověřena funkčnost všech základních komponent - nastavování excitační frekvence, napětí, fáze, zesílení; bylo celkově pozorováno očekávané chování a zachycené časové průběhy odpovídaly manipulaci se senzorem v magnetickém poli. Na obrázku 7.1 je zachycena časová odezva na pole s obdélníkovým průběhem o frekvenci 1 Hz a amplitudě 100 pT_{pp} (byla vypočtena z konstanty budicí cívky). Naměřená data byla následně digitálně vyfiltrována dolnoprostupným filtrem se zlomovou frekvencí 15 Hz, aby bylo eliminováno výrazné 50Hz rušení.



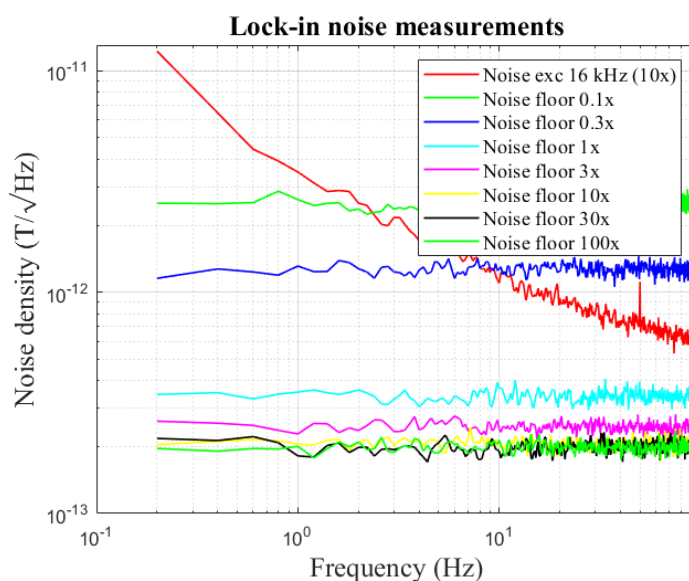
Obrázek 7.1: Časová odezva na magnetické pole 100 pT_{pp}

Dále bylo provedeno několik sofistikovanějších testů, konkrétně experimentální měření šumu senzoru včetně porovnání s jiným lock-in zesilovačem, měření

šumu ve zpětné vazbě, stanovení dynamického rozsahu přístroje a vstupního šumu elektroniky.

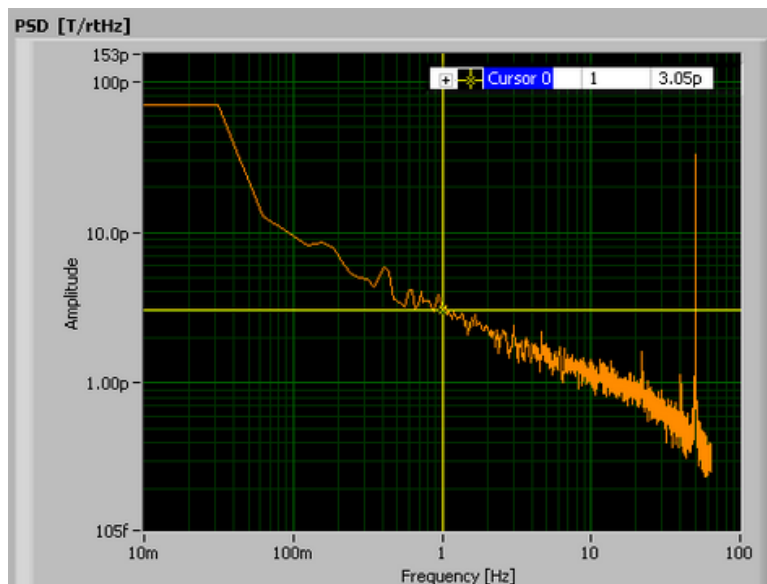
7.1 Šumová charakteristika senzoru

Tento experiment navozuje scénář, v jakém je zamýšleno tento specifický lock-in zesilovač provozovat - tedy pro daný senzor chceme zjistit jeho šumovou spektrální charakteristiku, potažmo kvalitu senzoru. Připojíme zkoumaný senzor (race-track velikost C [19]) k lock-in zesilovači a umístíme ho v otevřené smyčce (bez kompenzační cívky) do magnetického stínění. Provedeme nastavení přístroje dle návodu v sekci 5.1. Zaznamenáme data (řádově po několik desítek minut - nižší desítky milionů vzorků při 10 kSa/s) a v prostředí MATLAB spočteme šumovou spektrální charakteristiku a vyneseme do grafu. Zopakujeme stejný experiment s odpojenou excitací senzoru, abychom zjistili hodnotu šumového pozadí (noise floor). Šumová charakteristika senzoru a hodnoty šumového pozadí pro různá zesílení předzesilovače jsou vyneseny v grafu 7.2. Pozorujeme, že šumová hustota dosahuje hodnoty **3,5 pT/ $\sqrt{\text{Hz}}$ na frekvenci 1 Hz** pro daný senzor. Co se týče šumového pozadí, pro hodnoty zesílení 10x-100x je neměnné na úrovni přibližně 0,2 pT/ $\sqrt{\text{Hz}}$. Pro nízká zesílení šum stoupá, nejviditelněji pro úrovně zesílení 0,1x a 0,3x. Lze se domnívat, že vysoká úroveň šumu je v těchto případech způsobena nedostatečným využitím rozsahu A/D převodníku. Nicméně lze konstatovat, že při správně nastaveném zesílení převládá měřený šum senzoru nad šumem elektroniky, což je potěšující výsledek.



Obrázek 7.2: Šumová charakteristika fluxgate senzoru včetně šumového pozadí

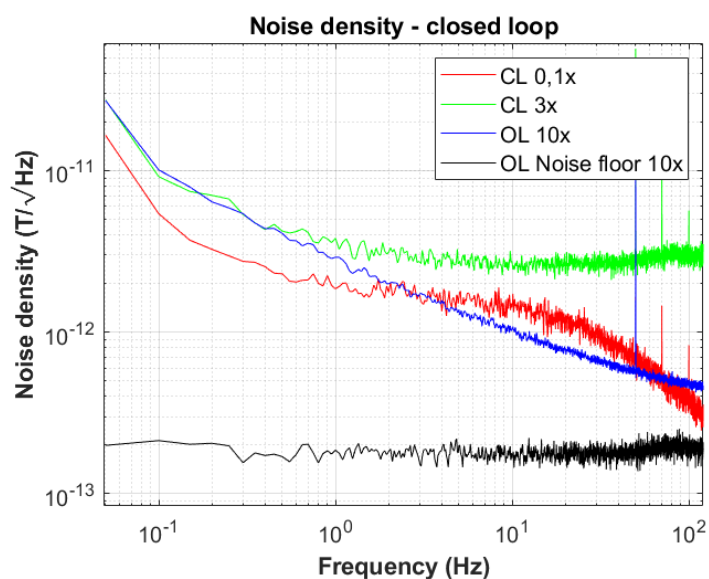
Abychom ověřili, že změřená šumová charakteristika odpovídá realitě, bylo provedeno podobné měření na komerčním lock-in zesilovači SR830, který se za účelem měření šumu fluxgate senzorů používal v laboratoři dosud. Charakteristika získaná zpracováním dat speciálním LabVIEW skriptem je zachycena v grafu na obrázku 7.3. Vidíme, že hodnota šumové hustoty dosahuje **3,05 pT/√Hz na frekvenci 1 Hz**, a tedy se dobře shoduje s hodnotou naměřenou naším lock-in zesilovačem. Protože podmínky obou pokusů nebyly zcela srovnatelné (místo a čas měření, orientace senzoru ve stínění), nelze čekat identické výsledky. Drobné rozdíly lze přičíst i tomu, že nebylo možné nastavit přesně stejnou frekvenci (16129 Hz vs 16667 Hz) či excitační napětí (9,2 V vs 8,9 V). Když jsme zopakovali měření se specifickým lock-in zesilovačem a umístili stejný senzor do kvalitnějšího magnetického stínění, získali jsme hodnotu **2,9 pT/√Hz na frekvenci 1 Hz**, která se ještě o něco lépe blíží té referenční získané pomocí SR830.



Obrázek 7.3: Šumová charakteristika fluxgate senzoru - LabVIEW, SR830

7.2 Šum zpětné vazby

Dále jsme provedli podobný experiment se zapojenou zpětnou vazbou. Šumová charakteristika uzavřené smyčky (CL) je zachycena na obrázku 7.4 pro hodnoty zesílení 0,1x a 3x. Vidíme, že hodnota šumu na 1 Hz vychází pro zesílení 0,1x 1,9 pT/√Hz a pro zesílení 3x 3,8 pT/√Hz, tedy se velmi blíží hodnotě otevřené smyčky (OL) 2,9 pT/√Hz. Pozorujeme tedy, že pro nízké zesílení 0,1x vychází šumová charakteristika CL lépe než OL, a to ve frekvenčním pásmu do 5 Hz. Pro zesílení 3x je šum CL srovnatelný či mírně vyšší než OL.



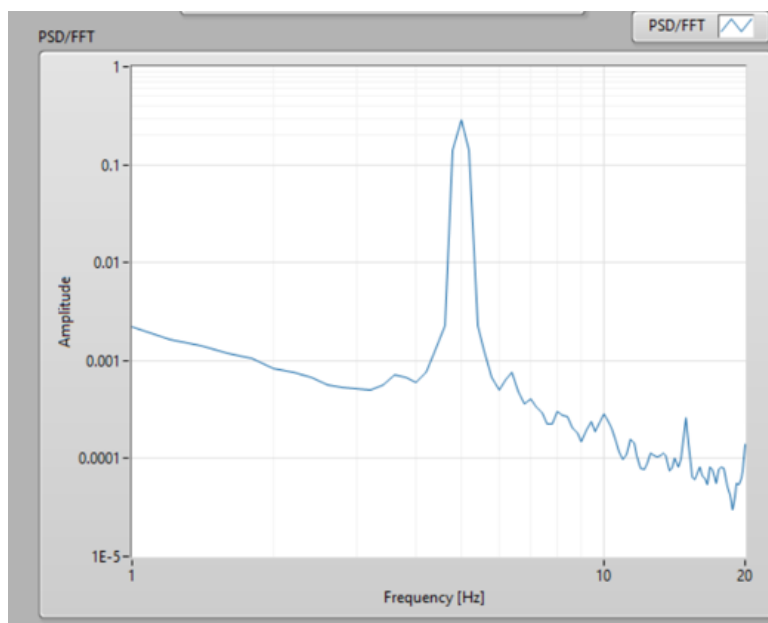
Obrázek 7.4: Šumová charakteristika - uzavřená smyčka

7.3 Dynamický rozsah

Jedním z parametrů zesilovače je dynamický rozsah, tedy poměr nejvyššího a nejnižšího signálu, které jsme schopni přístrojem detekovat (při jednotném nastavení zesílení). Experiment probíhal následovně: zvolili jsme zesílení 1x, při kterém může být fluxgate senzor (v otevřené smyčce) umístěn mimo stínění bez přetížení A/D převodníku (pokud není natočen přímo ve směru vektoru zemského magnetického pole). Nejprve jsme senzor umístili do magnetického stínění a budili ho velmi nízkým magnetickým polem se sinusovým průběhem a frekvencí 5 Hz. Amplitudu pole jsme postupně snižovali, až jsme se dostali na mezní hodnotu, při níž jsme stále viděli v FFT spektru špičku na 5 Hz. Tato špička měla hodnotu přibližně $2,5 \cdot 10^{-8}$ (bez přepočtu na fyz. jednotky), a to pro amplitudu pole 8 pT_{pp} (vypočteno z konstanty cívky 1 mA/20 μT a budicího proudu 0,36 nA_{pp}).

Dále jsme vyjmuli fluxgate ze stínění a umístili ho tak, aby byl orientovaný kolmo k vektoru zemského magnetického pole, tudíž aby na jeho výstupu byl nulový signál. Postupně jsme zvyšovali externí pole, a to až na hodnotu 30,8 μT_{pp} (budicí proud externí cívky 1,54 mA_{pp}), nad kterou se lock-in dostal do stavu přetížení. Při tomto poli jsme ve spektru odečetli hodnotu 0,28 pro 5 Hz, viz obrázek 7.5.

Při porovnání těchto dvou mezních hodnot ve spektru dostáváme dynamický rozsah $DR = 20 \log\left(\frac{0,28}{2,5 \cdot 10^{-8}}\right) = 140 \text{ dB}$, při porovnání budicích polí dostáváme



Obrázek 7.5: Měření dynamického rozsahu - maximální pole (LabVIEW)

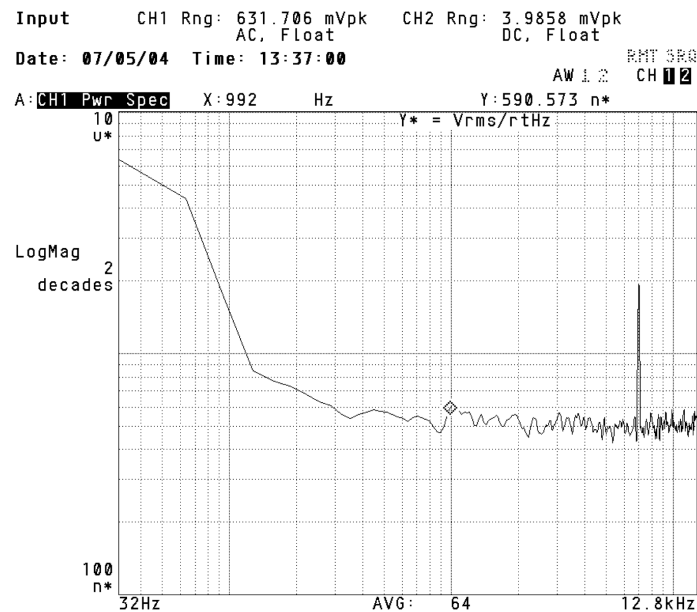
$DR = 20 \log\left(\frac{30,8 \cdot 10^{-6} T}{8 \cdot 10^{-12} T}\right) = 131,7 \text{ dB}$. Lze se domnívat, že odchylka mohla vzniknout při výpočtu spektra v LabVIEW u nízkého budicího pole, neboť odečtená hodnota se již blíží úrovni šumu, proto se spokojíme s konzervativním **odhadem dynamického rozsahu lock-in zesilovače 130 dB**.

Domníváme se, že parametr dynamické rezervy by mohl být podobný hodnotě dynamického rozsahu, tedy že informace o nejmenším detekovatelném poli (8 pT_{pp}) by byla ve spektru ztracena, až kdyby rušení přesáhlo ořezávací úroveň A/D převodníku. Tento experiment by nicméně vyžadoval sofistikovanější hardwarové řešení, kdy by se slučoval signál z fluxgate senzoru o nízké amplitudě s rušivým signálem o vysoké amplitudě, a proto nebyl z časových důvodů realizován.

7.4 Vstupní šum elektroniky

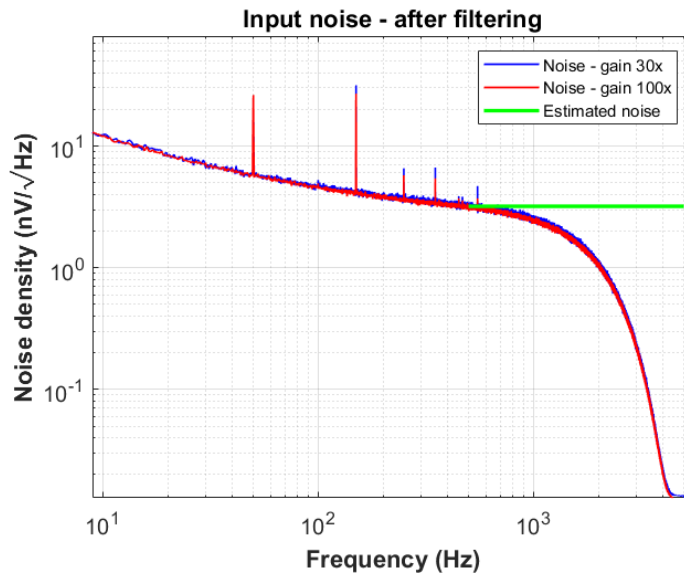
Posledním provedeným experimentem bylo změření vstupního šumu elektroniky. Tento šum nás zajímá zejména na frekvencích, kde dochází k synchronní detekci, tedy v pásmu 10 kHz - 40 kHz, nicméně lze předpokládat, že v pásmu od 1 kHz výše se bude jednat o bílý šum. Tento experiment jsme provedli s odpojeným vstupním relé, tedy se zkratovanými vstupy analogového zesilovače a nastaveným maximálním zesílením 100x. Nejprve jsme změřili šum na vstupu A/D převodníku pomocí frekvenčního analyzátoru 3567A

Agilent Dynamic Signal Analyzer, jehož výstup je zachycen obrázkem 7.6. Pozorujeme, že šumová hustota v pásmu od 1 kHz je rovnoměrná a dosahuje hodnoty přibližně 550 nVrms/√Hz. Jedinou výjimkou je průnik excitační frekvence (7042 Hz), která v danou chvíli budila senzor (jehož výstup nebyl k elektronice připojen). Hodnotu 550 nVrms/√Hz lze přepočítat na vstupní šum tak, že ji vydělíme aplikovaným zesílením: $\frac{550}{9 \cdot 100 \cdot 0,2} = 3,05 \text{ nVrms}/\sqrt{\text{Hz}}$ (před výstupní konektor je zařazen zesilovač, který převádí diferenciální napětí na single-ended s pevným zesílením 0,2x).



Obrázek 7.6: Měření vstupního šumu - Agilent 3567A

Dále jsme zkusili vypočítat vstupní šum z dat vzorkovaných A/D převodníkem LTC2378, abychom ověřili, že vzorkováním se šumová charakteristika výrazně nezhorší. Na vzorkovaná data (1 MSa/s) byla aplikován v FPGA navržený FIR filtr s decimací a byla odeslána do počítače (10 kSa/s). Decimaci bylo nutné aplikovat z důvodu, že nejsme schopni posílat data do počítače s rychlostí 1 MSa/s, a filtr z důvodu, že by jinak mohlo decimací dojít k aliasingu. Výsledné šumové spektrum je zachycené na obrázkem 7.7. Je vidět, že na frekvencích v oblasti našeho zájmu (nad 1 kHz) se projevuje útlum filtru. Protože však máme změřenou charakteristiku filtru (obrázek 4.7), můžeme tento útlum kompenzovat. Tento přepočet pomocí známého útlumu byl proveden v několika bodech a získané hodnoty šumu se pohybovaly mezi 3,11 a 3,27 nVrms/√Hz. Zelenou čarou je v grafu vyznačen odhadnutý šum v pásmu od 1 kHz výše o velikosti **3,2 nVrms/√Hz**.



Obrázek 7.7: Měření vstupního šumu - vzorkovaný signál

Pro připomenutí, state-of-the-art zesilovače uvádějí šum na 1 kHz $2,5 \text{ nVrms}/\sqrt{\text{Hz}}$, viz tabulka 2.1. Náš výsledek je přibližně o 30 % horší, ale řádově srovnatelný, a tak s ním můžeme být spokojeni. Lze předpokládat, že např. při lepším odstínění elektroniky kovovým pláštěm by mohl být šum ještě o něco nižší.

Kapitola 8

Závěr

Práce se zaměřuje na zprovoznění specifického lock-in zesilovače pro měření šumových charakteristik fluxgate magnetometrů. Nejprve byl pomocí programu Filter Designer navržen decimální FIR filtr typu dolní propust řádu 960, byl ověřen vliv kvantizace koeficientů a následně byl implementován v FPGA, přičemž reálná charakteristika filtru byla úspěšně ověřena měřením.

Dále byl navržen a implementován celý řetězec pro zpracování signálu v FPGA, od excitace senzoru a komunikace s A/D převodníkem přes synchronní detekci po odesílání dat k dalšímu zpracování do počítače. Kromě toho byl (nad rámec zadání) implementován diskrétní regulátor typu I a zprovozněna komunikace s D/A převodníkem na kompenzační desce, aby bylo možné pomocí kompenzační cívky zavést zpětnou vazbu a provozovat senzor v lineární oblasti.

K ovládání specifického lock-in zesilovače bylo vytvořeno grafické uživatelské rozhraní v prostředí LabVIEW. To umožňuje uživateli nastavovat parametry měření jako excitační frekvence, excitační napětí, fázový posun a zesílení předzesilovače. Rovněž je možno vybrat, jaká data mají být z FPGA odesílána na základě toho, zda má být senzor provozován v otevřené či v uzavřené smyčce. Dále uživatelské rozhraní zobrazuje výstup lock-in zesilovače v časové i frekvenční oblasti a umožňuje logování dat do souboru.

Po zprovoznění přístroje bylo provedeno funkční testování, které kromě základní funkčnosti ověřilo i další parametry. Byla změřena šumová charakteristika konkrétního senzoru a porovnána s měřením, které využívalo komerční lock-in zesilovač SR830, výsledky se dobře shodovaly. Dále byla změřena

šumová charakteristika se zapojenou zpětnou vazbou, přičemž šum se zásadním způsobem nezhoršil. Dále byl experimentálně určen dynamický rozsah přístroje jako 130 dB a pomocí dvou experimentů vstupní šum jako $3,2 \text{ nV}/\sqrt{\text{Hz}}$, který není o mnoho horší ve srovnání s komerčními přístroji.

Práci se tedy podařilo navrhnout a ověřit koncept digitálního zpracování signálu pro specifický lock-in zesilovač a lze tak říci, že v projektu má smysl pokračovat. Přirozeně nabízející se kroky jsou migrace systému na rozměrově menší FPGA kit DE10-Nano, nahrazení desky NUCLEO softwarem využívající SoC na zmíněném kitu a celkové mechanické uspořádání přístroje - kabeláž, opláštění.

Příloha A

Seznam použitých pojmů a zkratk

Zkratka/pojem	Vysvětlení	Překlad
A/D (ADC)	analog-digital (converter)	analogově-digitální (převodník)
PCB	printed circuit board	deska plošných spojů
FS	full scale	plný rozsah
Sa/s	samples per second	vzorků za sekundu
FPGA	field programmable gate array	programovatelné hradlové pole
SoC	system on chip	system na čipu
ppm	parts per milion	počet částí z miliónu
peak	-	špička
pp	peak-peak	špička-špička
USB	universal serial bus	univerzální sériová sběrnice
MISO	master input, slave output	-
MOSI	master output, slave input	-
CS	chip select	výběr zařízení
DMA	direct memory access	přímý přístup do paměti
SPI	serial peripheral interface	sériové periferní rozhraní
GPIO	general purpose input-output	vstupně-výstupní (pin)
MCU	microcontroller unit	mikrokontrolér

Tabulka A.1: Seznam pojmů a zkratk

Příloha B

Literatura

- [1] GERVASONI, G.; CARMINATI, M. a FERRARI, G. FPGA-based lock-in amplifier with sub-ppm resolution working up to 6 MHz. Online. 2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS). 2016, s. 117-120. ISBN 978-1-5090-6113-6. Dostupné z: <https://doi.org/10.1109/ICECS.2016.7841146>. [cit. 2024-05-20].
- [2] CERMAN, A.; KUNA, A.; RIPKA, P. a MERAYO, J. M. G. Digitalization of highly precise fluxgate magnetometers. Online. Sensors and Actuators A: Physical. 2005, č. Volume 121, 2, s. Pages 421-429. ISSN 0924-4247. Dostupné z: <https://doi.org/https://doi.org/10.1016/j.sna.2005.03.053>. [cit. 2024-05-20].
- [3] BUTTA, Mattia; JANOSEK, Michal a RIPKA, Pavel. Field-Programmable Gate Array-based fluxgate magnetometer with digital integration. Online. Journal of Applied Physics. 2010, roč. 107, č. 9. ISSN 0021-8979. Dostupné z: <https://doi.org/10.1063/1.3360773>. [cit. 2024-05-20].
- [4] JIABO WANG a XI CHEN. A fluxgate magnetometer for navigation and sensing: Noise character and digital filtering. Online. 2015 IEEE SENSORS. 2015, s. 1-4. ISBN 978-1-4799-8203-5. Dostupné z: <https://doi.org/10.1109/ICSENS.2015.7370466>. [cit. 2024-05-20].
- [5] ARMEN, G. Bradley. Phase sensitive detection: the lock-in amplifier. Online. In: *The University of Tennessee, Knoxville*. Dostupné z: <http://server1.phys.utk.edu/labs/modphys/Lock-In%20Amplifier%20Experiment.pdf>. [cit. 2024-04-15].

- [16] TERASIC. DE10-Standard. Online. *TerasIC Inc.* Dostupné z: <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=165&No=1081>. [cit. 2024-05-15].
- [17] A Novel High Speed FPGA Architecture for FIR Filter Design - Scientific Figure on ResearchGate. Available from: https://www.researchgate.net/figure/Basic-Structure-of-FIR-filter_fig1_270644806 [accessed 30 Apr, 2024]
- [18] Dsp.FIRDecimator: Perform polyphase FIR decimation. Online. In: MathWorks. C1994-2024. Dostupné z: https://www.mathworks.com/help/dsp/ref/dsp.firdecimator-system-object.html#bsfxw05_sep_btkr5tg-1. [cit. 2024-05-15].
- [19] PETRUCHA, Vojtech a BUTTA, Mattia. Race-track fluxgate sensor scaling versus noise. Online. 2021 IEEE Sensors. 2021, s. 1-4. ISBN 978-1-7281-9501-8. Dostupné z: <https://doi.org/10.1109/SENSORS47087.2021.9639560>. [cit. 2024-05-20].