



ČVUT

ČESKÉ VYSOKÉ
UČENÍ TECHNICKÉ
V PRAZE

F3

**Fakulta elektrotechnická
Katedra elektromagnetického pole**

Bakalářská práce

Inteligentní budič IGBT/FET tranzistorů pro polovodičové invertory

Marek Novotný
Elektronika a komunikace

Květen 2023

Vedoucí práce: doc. Dr. Ing. Jiří Hospodka

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Novotný** Jméno: **Marek** Osobní číslo: **484924**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávací katedra/ústav: **Katedra elektromagnetického pole**
Studijní program: **Elektronika a komunikace**

II. ÚDAJE K BAKALÁŘSKÉ PRÁCI

Název bakalářské práce:

Inteligentní budič IGBT/FET tranzistorů pro polovodičové inventory

Název bakalářské práce anglicky:

Intelligent Driver of IGBT/FET Transistors for Semiconductor Inverters

Pokyny pro vypracování:

Provedte rešerši obvodových řešení budičů výkonových IGBT tranzistorů a porovnejte jejich vlastnosti. Zaměřte se jak na základní parametry, tak na implementaci jeho ochran. Navrhněte vlastní obvodovou strukturu budiče IGBT/FET tranzistorů pro polovodičové inventory s implementací následujících ochran: detekce podpětí / přepětí na napájecí větvi budiče, detekce nadproudu buzeného tranzistoru, detekce desaturace buzeného tranzistoru. Požadovaný proud driveru min. jednotky Apk, pro tranzistory na napětí min. 1kV a spínací proudy min. desítky A. Budič realizujte funkčním vzorkem a jeho vlastnosti dokumentujte reálně měřenými parametry.

Seznam doporučené literatury:

- [1] LOBSIGER, Y. a J. W. KOLAR: 'Closed-Loop di/dt and dv/dt IGBT Gate Driver,' in IEEE Trans. on Power Electronics, vol. 30, no. 6, pp. 3402-3417, June 2015, doi: 10.1109/TPEL.2014.2332811.
- [2] HODNÝ, J.: Inteligentní budič SiC tranzistorů - Diplomová práce, ČVUT 2021, dostupné [online] na <http://hdl.handle.net/10467/96675>, [cit. 4.2. 2023].
- [3] VOLKE, A, M. HORNKAMP a J. WENDT: IGBT modules - technologies, driver and application. Third edition. Munich: Infineon Technologies 2017, ISBN 978-3-00-040134-3.
- [4] Risie's Tesla Coil Web Page: <https://www.richieburnett.co.uk/temp/gdt/gdt2.html>, [cit. 4.2. 2023].
- [5] Infineon IO: <https://www.trustedparts.com/en/similar-parts/infineon/2ED020I12-F2>, [cit. 4.2. 2023].

Jméno a pracoviště vedoucí(ho) bakalářské práce:

doc. Dr. Ing. Jiří Hospodka katedra teorie obvodů FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) bakalářské práce:

Datum zadání bakalářské práce: **06.02.2023**

Termín odevzdání bakalářské práce: _____

Platnost zadání bakalářské práce: **22.09.2024**

doc. Dr. Ing. Jiří Hospodka
podpis vedoucí(ho) práce

_____ podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Student bere na vědomí, že je povinen vypracovat bakalářskou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v bakalářské práci.

_____ Datum převzetí zadání

_____ Podpis studenta

Poděkování / Prohlášení

Velké poděkování patří panu doc. Dr. Ing. Jiřímu Hospodkovi za cenné rady při konzultacích, jednoduchou komunikaci a za umožnění práce na vlastním tématu. Dále bych chtěl poděkovat svému bratrovi Ing. Davidu Novotnému za užitečné rady a pomoc s osazováním plošného spoje.

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne 8.2.2023

.....

Abstrakt / Abstract

Tato práce se zabývá návrhem high-side budiče výkonových tranzistorů. Budič disponuje galvanickým oddělením s izolační dovedností $>1\text{kV}$, implementací ochran před nadproudem a desaturací a řeší běžné nedostatky komerčních budičů, jako například vysoká cena a nízká dostupnost. Dále je budič otestován a porovnán s komerčním řešením.

Klíčová slova: IGBT, FET, budič, tranzistor, high-side, desaturace

This thesis focuses on the design of a high-side power transistor driver. The driver features galvanic insulation with a breakdown capability of $>1\text{kV}$ and implements protection against over-current and de-saturation. It aims to address common disadvantages found in industrial drivers, such as high cost and low availability. Furthermore the driver is tested and compared to industrial solution.

Keywords: IGBT, FET, driver, transistor, high-side, desaturation

/ Obsah

1 Úvod	1
1.1 Historie tranzistorů	1
1.2 Spínání výkonových polem řízených tranzistorů	3
1.3 Parazitické vlastnosti Gate	4
1.4 Millerův jev	5
1.5 Řešení parazitických vlast- ností Gate	6
1.6 Metody high-side spínání	9
2 Návrh oddělovacího zdroje	14
2.1 Primární část	16
2.2 Sekundární část	17
2.3 Realizace	18
3 Budič řady 1ED34x1Mx12M	20
3.1 Základní vlastnosti a para- metry budiče	20
3.2 Detekce desaturace	20
3.3 Miller clamp	22
3.4 UVLO	22
3.5 Návrh desky	23
3.6 Testování a naměřené výsledky	23
4 Návrh vlastního budiče	29
4.1 Princip obvodového řešení	29
4.2 Realizace budiče	33
4.3 Testování a naměřené výsledky	34
5 Porovnání	37
6 Závěr	38
Literatura	39
A Seznam zkratk a symbolů	41
A.1 Seznam zkratk	41
A.2 Seznam symbolů	41
B Schéma oddělovacího zdroje	43
C Detail desky oddělovacího zdroje	44
D Schéma desky s budičem 1ED3491MC12M	45
E Detail desky s budičem 1ED3491MC12M	46
F Schéma vlastního budiče	47
G Detail desky vlastního budiče	48
H Přípravek pro testování desaturace	49

Tabulky / Obrázky

1.1	Výkonová ztráta.....8	1.1	Sbírka bipolárních tranzistorů...1
2.1	Topologie spínaných zdrojů .. 15	1.2	Zjednodušený model IGBT2
5.1	Srovnání parametrů budičů 37	1.3	Typy tranzistorů3
		1.4	Zjednodušený model MOS- FET a IGBT4
		1.5	Struktura MOSFET4
		1.6	Ekvivalentní model hradla5
		1.7	Millerův jev při sepnutí5
		1.8	Millerův jev při rozepnutí.....6
		1.9	Reálný průběh napětí na Gate ..6
		1.10	Ilustrace minimalizace in- dukčnosti7
		1.11	Vliv sériového rezistoru na Gate napětí.....8
		1.12	Vliv Zenerovy diody na Gate napětí8
		1.13	Bootstrapping9
		1.14	Zapojení GDT k buzení po- lomůstkem 10
		1.15	Plnomůstkové zapojení..... 11
		1.16	Obdélníkový průběh bez dead-time 12
		1.17	Obdélníkový průběh s dead- time 12
		1.18	Buzení Gate v zapojení s an- tiparalelní diodou 13
		2.1	Zapojení čipu MAX22258..... 16
		2.2	Sekundární strana oddělova- cího zdroje..... 17
		2.3	Osazený oddělovací zdroj 18
		2.4	Graf účinnosti 18
		3.1	Simulace sepnutí tranzistoru... 21
		3.2	Simulace Millerova jevu..... 22
		3.3	Osazená deska s budičem 1ED34xx..... 23
		3.4	Schéma desky s budičem 1ED34xx..... 23
		3.5	Graf teploty budiče 1ED3491MC12M 24
		3.6	Měření propagačního zpož- dění 25
		3.7	Měření desaturace, schéma přípravku 25
		3.8	Průběh testu detekce desatu- race 26

3.9	Test desaturace, napájecí napětí 60V	27
3.10	Test desaturace, napájecí napětí 400V	27
4.1	Integrované digitální izolátory ADuM1x0x	29
4.2	UVLO / OVLO komparátory .	30
4.3	Detekce OVLO	30
4.4	Logický součet signálů OVLO a UVLO	31
4.5	Detekce přehřátí.....	31
4.6	Zapojení detekce nadproudu...	32
4.7	Vyhodnocení desaturace	32
4.8	Koncový stupeň	33
4.9	Osazený plošný spoj	33
4.10	Měření propagačního zpoždění	34
4.11	Měření reakční doby detekce desaturace	35
4.12	Test desaturace, napájecí napětí 60V	36

Kapitola 1

Úvod

1.1 Historie tranzistorů

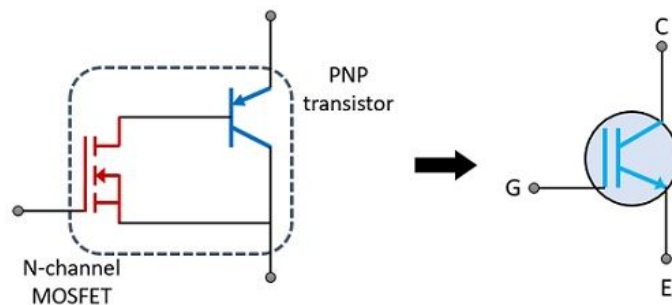
Jedním z nejdůležitějších faktorů v exponenciálním rozvoji informačních technologií je objev tranzistoru. Tranzistor je elektronická komponenta, která dokáže zesílit elektrický signál. První tranzistor byl zkonstruován v roce 1947 v Bellových laboratořích v New Jersey[1] a vyřešil problémy doposud používaných elektronek, jako například jejich nespolehlivost, náročnost výroby a vysoký výkon nutný k jejich provozu. Prvně objevený tranzistor tzv. bipolární tranzistor (**BJT** - **B**ipolar **J**unction **T**ransistor) se skládá ze 2 PN přechodů a 3 vývodů: Báze, Collector, Emitter. Modulací proudu tekoucím Bází I_B , můžeme nastavit proud tekoucí Collectorem I_C , či můžeme tranzistor používat jako spínač a provozovat ho v saturaci. Stejně jako elektronek, se tranzistory BJT velmi rychle prosadili ve velkém množství aplikací od audio zesilovačů až po první digitální procesory.[2]



Obrázek 1.1. Sběrka bipolárních tranzistorů z roku 1953. Převzato z [3].

V roce 1959 byl sestrojen první **FET** - **F**ield **E**ffect **T**ransistor stejnou skupinou vědců v Bellových laboratořích a stal se značně populární, díky své vysoké vstupní impedanci. Narozdíl od tranzistorů BJT, ideální FET tranzistor je modulován pouze elektrickým napětím a tedy eliminuje potřebu pro značné budící proudy. Rovněž výrobní technologie FET tranzistorů umožňuje menší fyzickou velikost [4] a tedy se prokázal jako ideální spínač pro integrované obvody. FET tranzistor má opět 3 vývody, pojmenované: Gate, Drain, Source. Vstupní napětí U_{GS} FET tranzistorů se přivádí na svorku Gate a je vždy referencováno vůči Source. Toto napětí určuje možnou amplitudu tekoucího proudu I_D přes výkonové svorky Drain a Source.

V osmdesátých letech se na trhu objevili tranzistory typu **IGBT** (**I**nsulated **G**ate **B**ipolar **T**ransistor), které kombinují výhody tranzistorů BJT a (MOS)FET, z nichž nejdůležitější je kombinace napětím řízeného hradla FET tranzistorů a nízkých konduktivních ztrát bipolárních tranzistorů. IGBT si můžeme představit jako N kanálový FET spínající PNP bipolární tranzistor, jak lze vidět na následujícím obrázku:



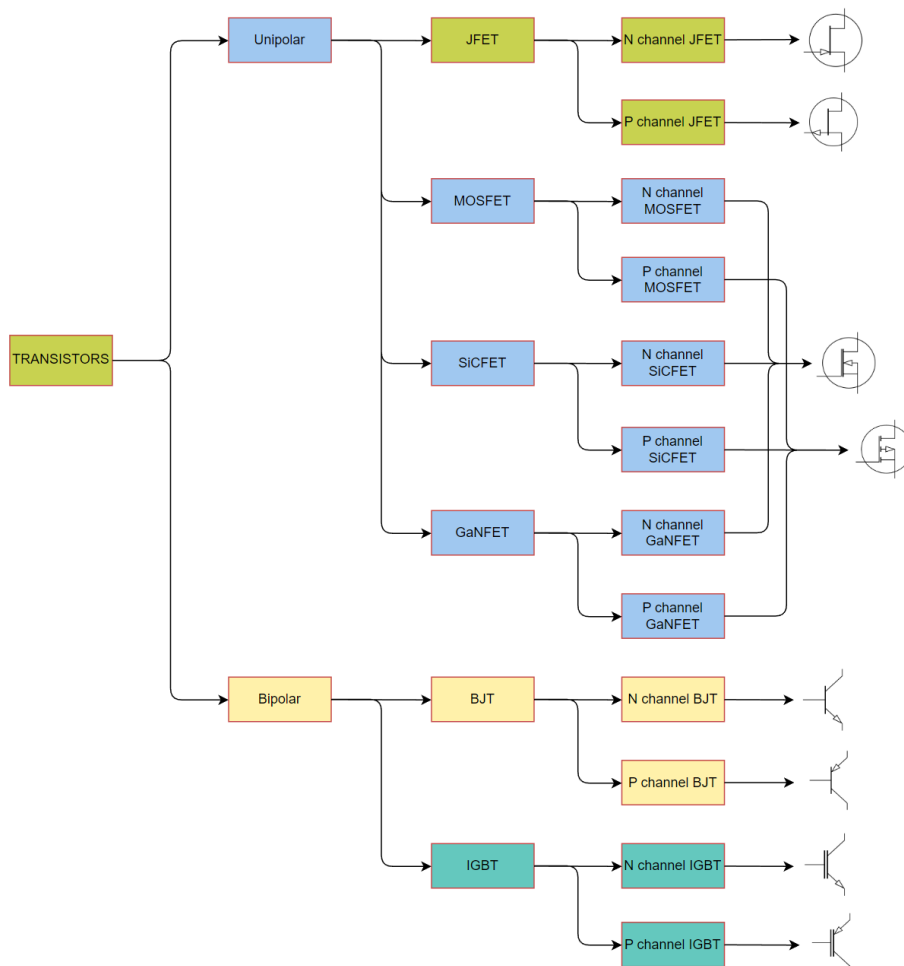
Obrázek 1.2. Zjednodušený model IGBT tranzistoru. Převzato z [5].

Odtud je i patrný název výstupních svorek IGBT tranzistorů (vstupní část (FET) - Gate, výstupní část (BJT) - Collector, Emitter). Konkrétnější rozdíly mezi FET a IGBT budou v práci popsány dále.

V nedávné době se na trhu objevili modernější alternativy FET tranzistorů, konkrétně **SiC FET** (Silicon-Carbide FET) a **GaN FET** (Gallium-Nitride FET). Tyto tranzistory využívají vlastnosti polovodičů s širokým zakázaným pásmem, které zajišťují provoz schopný odolat vyšším teplotám a napětím[6]. Tyto tranzistory také nabízí rychlejší spínání a menší vodivostní ztráty, nicméně všechny tyto výhody se značně podepisují na jejich ceně.

1.2 Spínání výkonových polem řízených tranzistorů

V této kapitole se dále seznámíme se základní problematikou spínání polem řízených tranzistorů.

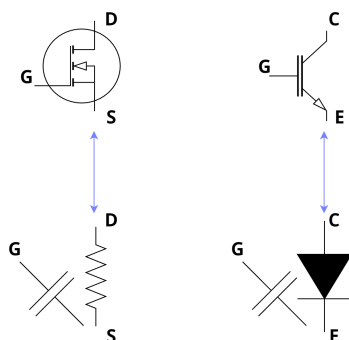


Obrázek 1.3. Nejrozšířenější typy tranzistorů.

Z obrázku 1.3. je patrné, že tranzistorů je v dnešní době velké množství různých typů a všechny mají odlišné vlastnosti. Cílem této práce je návrh budiče tranzistorů, které se běžně používají ve výkonových invertorech. Převážně se jedná o tranzistory typu (MOS)**FET** a **IGBT** s kanálem N* na které se zde zaměřuji.

* Rovněž se hojně využívají SiCFET a GaNFET tranzistory, nicméně jejich nároky na budičí napětí jsou lehce odlišné od IGBT/FET.

Kromě typu využití, se tranzistory MOSFET a IGBT rovněž podobají v jejich nárocích na buzení. Odlišnosti se převážně projevují na výstupní (výkonové) straně tranzistoru.



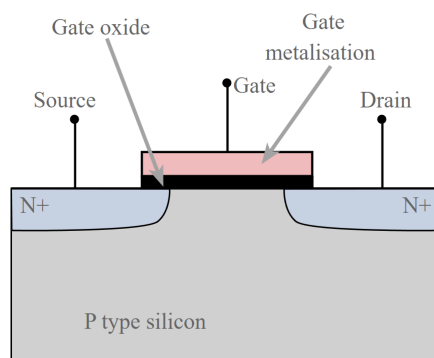
Obrázek 1.4. Zjednodušený model MOSFET (vlevo) a IGBT (vpravo) tranzistorů.

Zatímco sepnutý IGBT tranzistor má konstantní napětí U_{CE} , u FET tranzistoru je charakteristický konstantní odpor $R_{DS(on)}$. Tento fakt se výrazně projevuje v konduktivních ztrátách, jelikož s rostoucím protékáním proudem se úbytek napětí na tranzistoru FET zvyšuje a tím i nežádoucí výkonové ztráty. Další odlišností je jev zvaný **tail-current** (nebo také reziduální proud), který se vyskytuje u tranzistorů IGBT. Jedná se o proud, který tranzistorem poteče i po jeho rozeznutí. Tento proud je způsoben zbytkovým nábojem v PN přechodu IGBT tranzistoru.[7] Kvůli tomuto reziduálnímu náboji není IGBT tranzistor schopen rozeznout tak rychle jako MOSFET.

Z tohoto porovnání můžeme usoudit, že tranzistory IGBT se hodí pro velké proudy a nižší spínací frekvence. Naopak FET tranzistory jsou ideální spínače pro nižší proudy a vyšší frekvence[8].

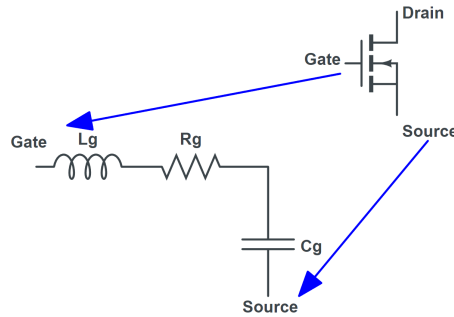
1.3 Parazitické vlastnosti Gate

I přestože polem řízené tranzistory spínají podle stavu napětí na Gate, nestačí aby jejich budič byl pouze napěťový zdroj, jelikož pro nabití/vybití Gate je rovněž potřebný tok náboje. Tento jev se dá vysvětlit, při pohledu na fyzickou realizaci Gate.



Obrázek 1.5. Zjednodušená vnitřní struktura tranzistoru MOSFET. Převzato z [9]

Struktura Gate tvoří parazitický deskový kondenzátor s kapacitou jak vůči Emitter/Source, tak vůči Collector/Drain. Jelikož napětí na Gate je referencováno vůči Emitter/Source, musíme pro sepnutí/rozeznutí nabít/vybit tzv. vstupní kapacitu C_G .



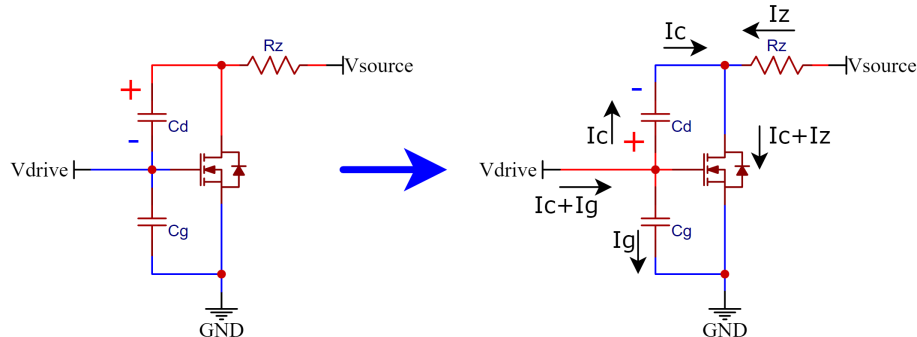
Obrázek 1.6. Ekvivalentní model Gate s parazitickými vlastnostmi.

Situace je ještě poněkud složitější, vezmeme-li v potaz i ostatní parazitické vlastnosti Gate; vstupní odpor R_G^* a vstupní indukčnost L_G .

Z náhradního modelu Gate je rovněž zřejmé, že se mezi Gate a Emitter/Source bude tvořit výkonová ztráta, kvůli vstupnímu odporu. Rovněž se kvůli vstupní indukčnosti mohou tvořit napěťové přeskmy způsobené vysokou změnou proudu.

1.4 Millerův jev

Již zmíněná kapacita Gate-Drain/Collector se nazývá Millerova kapacita (nebo také reverse-transfer capacitance) a způsobuje problém, pokud se napětí na Drain/Collector prudce mění vůči Gate. Jakákoliv taková změna napětí způsobí tok proudu mezi Drain/Collector a Gate. Tento jev se vyskytuje, když tranzistor spíná či rozepíná.**

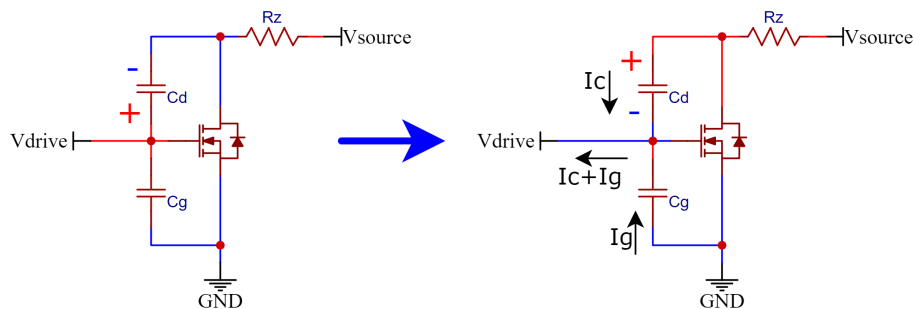


Obrázek 1.7. Millerův jev při spínání tranzistoru.

Na obrázku 1.7. je vidět, že při sepnutí tranzistoru kdy nastává $\frac{dU_{DS}}{dt} < 0$ (napětí na Drain klesá), parazitický kondenzátor C_D se vybíjí přes tranzistor. Tento proud musí být schopen budič Gate dodat.

* Někteří výrobci tranzistorů přidávají úmyslně odpor R_G pro omezení budícího proudu, což vede na vyšší životnost tranzistoru.

** K rychlé změně napětí na Drain/Collector může dojít i jinými způsoby, například náhlým připojením tranzistoru na napájecí napětí.



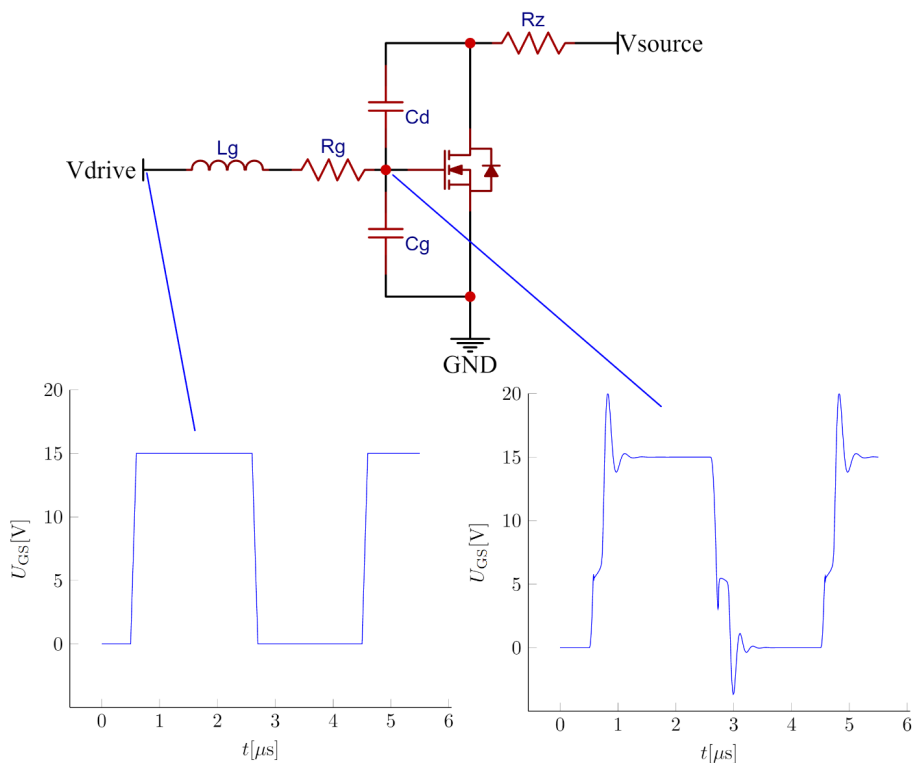
Obrázek 1.8. Millerův jev při rozeptání tranzistoru.

Na obrázku 1.8. je zobrazena opačná situace, kdy tranzistor rozeptává a nastává $\frac{dU_{DS}}{dt} > 0$ (napětí na Drain roste), parazitický kondenzátor C_D se nabíjí přes Gate budič.

Vidíme, že v obou případech tento proud pracuje proti změnám budícího napětí a tedy klade na budič vyšší zátěž. Tento jev způsobuje pomalejší spínání/rozeptání tranzistoru a je v praxi velice patrný i přesto, že Millerova kapacita bývá řádově pouze ve stovkách piko-Faradů.

1.5 Řešení parazitických vlastností Gate

Ačkoliv se situace zdá na první pohled jednoduchá, spínání tranzistoru je kvůli parazitickým vlastnostem velice komplikovaná záležitost. Pokud bychom naivně na Gate tranzistoru přímo připojili zdroj obdélkového napětí s nenulovou výstupní impedancí (reálný zdroj napětí), pak skutečné napětí na Gate bude dost pravděpodobně nebezpečné pro tranzistor a celkovou funkčnost obvodu.



Obrázek 1.9. Reálný průběh napětí na Gate.

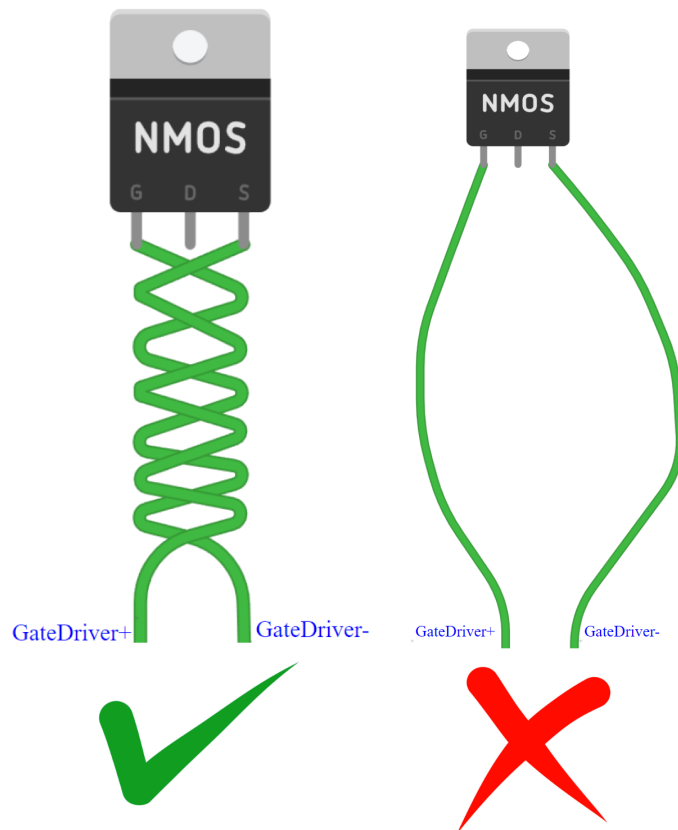
Z obrázku 1.9. jsou patrné tři nedostatky buzení tranzistoru bez ochranných externích komponentů.

- Zpomalená změna napětí během sestupné i vzestupné hrany způsobená odporem R_G .
- Zóny plochého napětí (plateau regions) způsobené Millerovou kapacitou kolem 6V kdy tranzistor spíná/rozepíná.*
- Překmity a oscilace způsobené vybuzením rezonantního LRC obvodu tvořeným prvky L_G, R_G, C_G .

LRC oscilace zde mohou působit velké problémy, jelikož napěťové překmity mohou dosáhnout takových hladin, které poškodí tranzistor. Na Gate tranzistoru si totiž můžeme dovolit pouze omezené napětí, kvůli možnému průrazu oxidové vrstvy (viz. obrázek 1.5.). Tyto oscilace se tedy musí tlumit, ideálně minimalizací rezonantního činitele (Q factor) parazitického LRC obvodu.

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}} \quad (1.1)$$

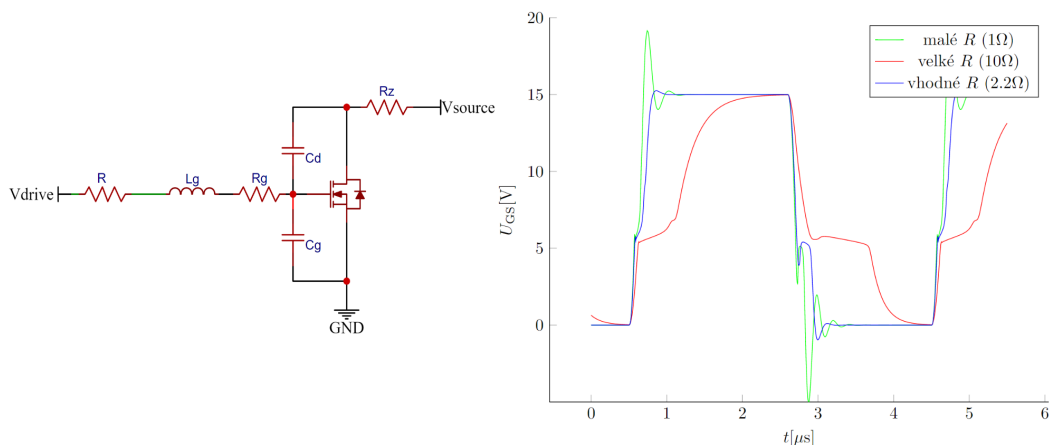
Abychom rezonantní činitel obvodu co nejvíce snížili, musíme navrhnout obvod tak, aby budič byl co nejbližší k tranzistoru či aby byli vodiče smotány do kroucené dvojlinky. Tím zaručíme nízkou indukčnost přívodů.



Obrázek 1.10. Ilustrace návrhu s minimální indukčností.

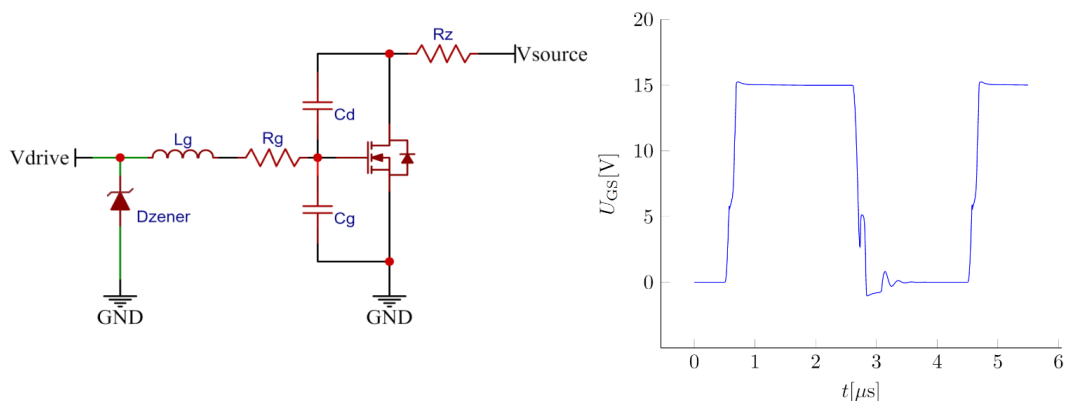
* Nemusí být nutně při 6V. Různé tranzistory spínají při různých napětích na Gate.

Dále snížit rezonanční činitel můžeme přidáním odporu mezi budič a Gate. Pokud tento odpor zvolíme příliš velký, pak tranzistor bude pomalu spínat, což vede na velké spínací ztráty. Příliš malý odpor na druhou stranu, nezabrání oscilacím a překmitům.[10]



Obrázek 1.11. Vliv sériového rezistoru na průběh napětí U_{GS} .

Další možnost, jak řešit tento problém s napěťovými překmity je přidáním Zenerovy diody s průrazovým napětím lehce vyšším, než je budící napětí.



Obrázek 1.12. Vliv paralelní Zenerovy diody na průběh napětí U_{GS} .

Tato dioda je často nutná, jelikož ne vždy se může podařit vyladit hodnotu sériového rezistoru tak, aby napěťové překmity byly v rámci tolerance.

Je nutné podotknout, že v obou případech bude existovat výkonová ztráta na ochranných prvcích. Pro již zmíněné příklady z obrázků 1.11. a 1.12. jsou výkonové ztráty následující:

Ochranný prvek	Ztrátový výkon [W]
Rezistor 1Ω	2.04
Rezistor 2.2Ω	2.45
Rezistor 10Ω	2.91
Zen. Dioda ($U_Z = 15V$)	1.39

Tabulka 1.1. Porovnání výkonových ztrát na ochranných prvcích Gate.

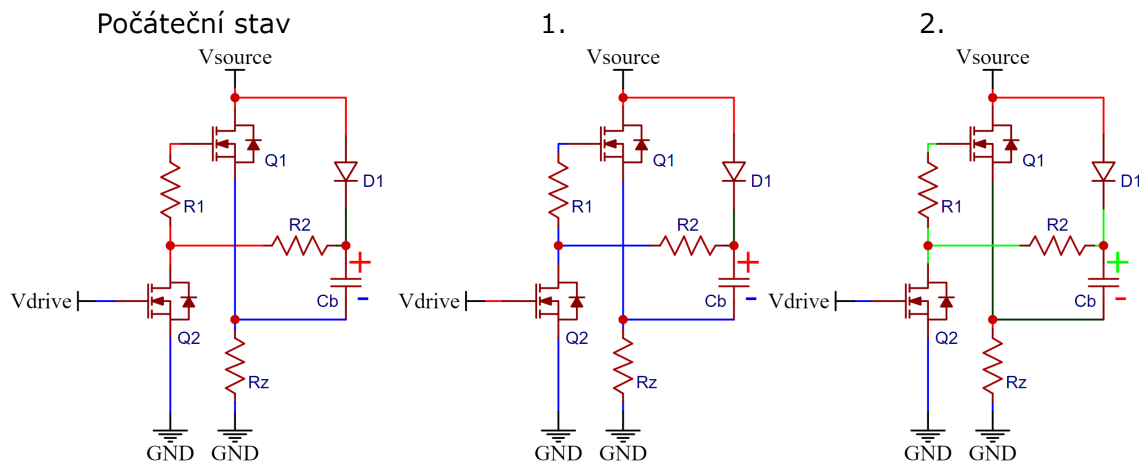
1.6 Metody high-side spínání

Není nutné aby v každém obvodu byl Emitter/Source tranzistoru připojen na GND. Existují případy, kdy potřebujeme aby Emitter/Source tranzistoru byl připojen na jinou část obvodu s jinou napětovou úrovní a někdy i s měnícím se napětím. Takovým tranzistorům říkáme "high-side" tranzistory. Naopak tranzistorům, které jsou připojeny na zem obvodu říkáme "low-side" tranzistory.

Pokud spínáme high-side tranzistor, musíme zajistit, aby výstupní napětí Gate budiče bylo referencováno k Emitter/Source buzeného tranzistoru. Toho můžeme dosáhnout následujícími způsoby:

- Bootstrapping
- Nábojová pumpa či jiné zdroje vysokého napětí
- Řídící transformátor (**GDT**)
- Galvanické oddělení budiče

Bootstrapping je metoda generování vysokého napětí, která funguje v opakujících se krocích:



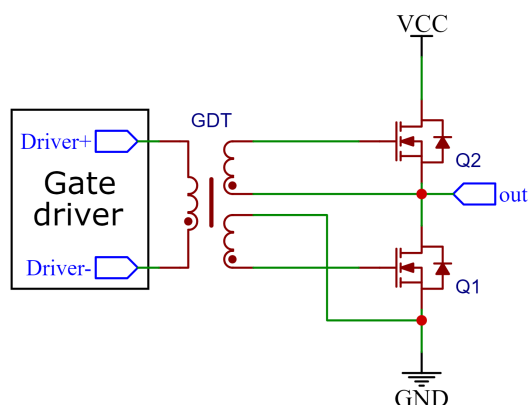
Obrázek 1.13. Princip generování vysokého Gate napětí metodou bootstrapping U_{GS} .

Na počátku je Q_2 rozepnutý a dovolí tak bootstrap kondenzátoru C_B aby se nabil na napájecí napětí obvodu. V prvním kroku se tranzistor Q_2 sepne, čímž stáhne napětí na Gate tranzistoru Q_1 . V tomto stavu je Q_1 zcela jistě rozepnut. V kroku 2 se tranzistor Q_2 opět rozepne, čímž přivede napětí U_{C_B} na Gate tranzistoru Q_1 . Tranzistor Q_1 zcela jistě sepne a propustí proud přes zátěž R_Z . Klíčový fakt v tomto principu spočívá v tom, že na zátěži je nyní napětí $U_{source} - U_{Q_{1sat}}$ a napětí na bootstrap kondenzátoru se k tomuto napětí přičte. Díky tomu je bootstrap kondenzátor schopný na Gate poskytnout napětí $U_{source} - U_{Q_{1sat}} + U_{C_B} = 2U_{source} - U_{Q_{1sat}}$, což je dostatečně vysoké napětí pro sepnutí high-side Gate, který je nyní referencován vůči napětí $U_{source} - U_{Q_{1sat}}$. Kroky 1, 2 se nyní mohou periodicky opakovat ke spínání/rozepínání high-side tranzistoru.[11] Metodu bootstrapping využívá například Gate budič IR2153 od výrobce International Rectifier.[12]

Řídící transformátor je transformátor, který je typicky navinutý primární a sekundární cívkou v poměru závitů 1:1. Takto se spínací napětí z primární cívky dostane (ideálně) nezměněné na cívku sekundární, která se připojí přímo na Gate a Emitter/Source buzeného tranzistoru. Jelikož je sekundární cívka galvanicky oddělena od primární cívky, je zcela irrelevantní jaké napětí je na Emitter/Source buzeného tranzistoru. Napětí na sekundární cívce je tzv. plovoucí (floating).

Zapojení s GDT nabízí řadu výhod, například:

- 1.) **Jednoduchost, nízká cena** - kromě samotného GDT a budiče primární cívky není třeba žádných přídavných komponent.
- 2.) **Snadná manipulace s výstupním napětím** - Je zcela možné vyskytnout se v situaci, kdy výstupní napětí budiče je příliš malé a pro správné spínání tranzistoru je třeba jej zvýšit. Namotáním primární a sekundární cívky v poměru například 1:2 se výstupní napětí, které budí tranzistor zdvojnásobí. Analogicky poměrem počtu závitů se dá napětí i případně snížit.
- 3.) **Řízení více tranzistorů** - Pokud má GDT budít více než jeden tranzistor, je možné navinout více sekundárních cívek.
- 4.) **Možná změna polarity** - Prohozením výstupů sekundární cívky otočíme polaritu (posuneme fázi o 180°) a můžeme tak velice jednoduše invertovat budící signál. Tato možnost je velice užitečná, pokud budíme více tranzistorů a požadujeme, aby některé spínali v proti-fázi.



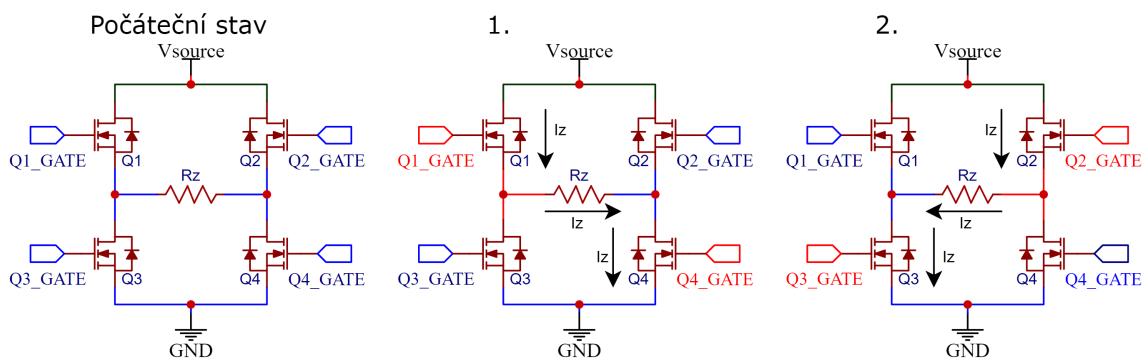
Obrázek 1.14. Využití GDT ke spínání dvou tranzistorů v opačné fázi.

- 5.) **Galvanická izolace budiče a výkonového stupně** - V případě, že výkonový stupeň závadně selže (například dojde ke zkratu tranzistoru), porucha se velice pravděpodobně nedostane na budič samotný.

I přes velké množství výhod, existují obvody kde GDT nestačí. K pochopení se podíváme na některé nevýhody GDT:

- 1.) **Nemožnost velké změny budící frekvence** - GDT přidává do obvodu mezi budič a Gate vysoké množství indukčnosti. Kvůli tomu je nutné navhnout obvod velice precizně, abychom nevybudili oscilace způsobené rezonantním obvodem tvořeným rozptylovou indukčností sekundárního vinutí a parazitické Gate kapacity. Je důležité aby budící frekvence nebyla příliš blízko této rezonantní frekvenci a žádnému z jejich celočíselných násobků. GDT tedy dokáže pracovat v poměrně úzkém pásmu frekvencí pro daný obvod a jakákoliv velká změna budící frekvence vyžaduje změnu konstrukce GDT.

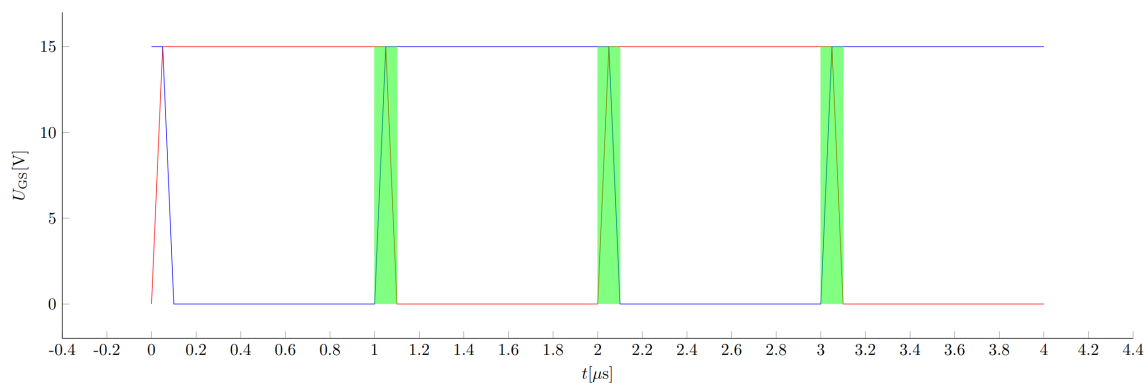
- 2.) **Vhodné pouze pro vysoké frekvence** - Aby se zajistila správná funkčnost GDT, musí se jako jádro použít materiál, který je magneticky vodivý pro danou budící frekvenci. Pro velice nízké frekvence nejsou takové materiály dostupné, či jsou příliš těžké.
- 3.) **Magnetizační proud** - Kromě proudu, který přebíjí Gate buzených tranzistorů, musí budič poskytnout i magnetizační proud pro řídicí transformátor a klade tím vyšší nároky na budič.[13]
- 4.) **Hysterézní ztráty** - V jádře transformátorů dochází ke ztrátám zapříčiněnými neustálým přepólováním magnetických domén a jejich vzájemném tření. Tyto ztráty kladou vyšší nároky na budič, snižují účinnost a zahřívají jádro transformátoru.
- 5.) **Kondenzátor pro blokování DC proudu** - Jelikož jakýkoliv DC proud tekoucí přes primární vinutí GDT by mohl jednoduše způsobit saturaci primární cívky, je vhodné připojit do série mezi výstup budiče a primární cívku kondenzátor, který jakoukoliv DC složku bude blokovat. Jelikož primárním vinutím mohou téci velké RMS proudy, tento kondenzátor musí být adekvátně dimenzován a to vede na vyšší cenu a komplexitu. Je rovněž požadováno aby se kondenzátor pro budící frekvenci choval co nejvíce jako zkrat, tedy: $\frac{1}{2\pi fC} \rightarrow 0\Omega$
- 6.) **Komplexita návrhu** - I přestože GDT se může jevit jako jednoduché řešení, jeho návrh může být velmi složitý. Je třeba pohlídat aby nikdy nedošlo k magnetické saturaci, na což potřebujeme velice dobře znát typ použitého materiálu jádra a jeho vlastnosti při různých frekvencích a magnetických indukcích.
- 6.) **Problematika použití dead-time** - GDT se nejčastěji používá v obvodech, kde spíná více tranzistorů s opačnými polaritami. Jeden z takových obvodů si nyní představíme - plno-můstkový (**full-bridge**) střídač (**inverter**):



Obrázek 1.15. Funkční princip plno-můstkového střídače.

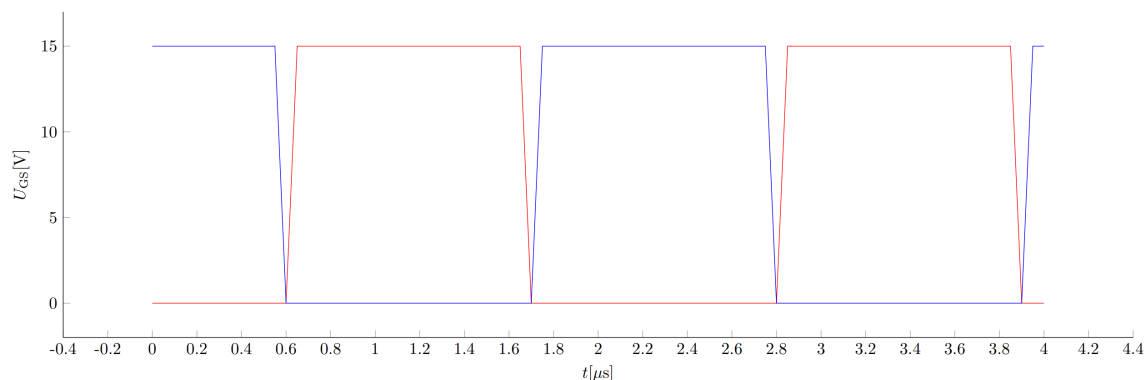
Na obrázku 1.15. vidíme princip plno-můstkového střídače. V prvním kroce jsou sepnuty libovolné dva tranzistory diagonálně, v tomto příkladě tranzistory Q_1 a Q_4 . Tyto tranzistory propustí proud přes zátěž R_z . V dalším kroce se tranzistory Q_1 a Q_4 opět uzavřou a otevřou se tranzistory na opačné diagonále, tedy Q_2 a Q_3 . Tyto tranzistory opět propustí proud přes R_z , ale v opačném směru. Na konci kroku 2 se tranzistory Q_2 a Q_3 opět uzavřou. Tyto 2 kroky se nadále opakují. Tímto bylo dosaženo konverze stejnosměrného proudu na vstupu střídače a střídavého proudu na jeho výstupu.

Do plno-můstkového střídače často zavádíme tzv. dead-time. Dead-time je velmi krátký čas, mezi výše popsánymi kroky 1 a 2, který zajišťuje, že nikdy nesepne žádná ze dvojic high-side a low-side tranzistorů na stejné straně, což by vedlo ke zkratování zdroje. Představme si, že budíme plno-můstkový střídač dvěma obdélníkovými průběhy se střídou 50%, kde tyto signály každý budí jednu z diagonál. Nehledě na to, jakým zdrojem tyto signály vytvoříme, nikdy nebudou perfektní a nebudou mít nekonečně rychlé náběžné a sestupné hrany.



Obrázek 1.16. Obdélníkové průběhy pro full-bridge topologii bez vložení dead-time.

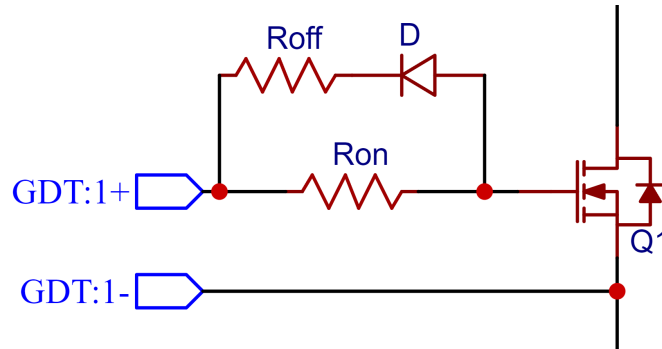
Kvůli konečné rychlosti sestupu a náběhu signálů, dojde ke krátkým nicméně destruktivním okamžikům, kdy tranzistory z předešlého kroku ještě nejsou zcela uzavřeny a tranzistory z kroku následujícího se již otvírají. Na obrázku 1.16. jsou tyto okamžiky znázorněny zelenou výplní. V těchto chvílích dojde ke zkratu napájecího zdroje, což může vést na příliš vysoké tepelné ztráty, které poškodí jak napájecí zdroj tak spínané tranzistory. Proto vkládáme do signálů dead-time, aby se průběhy nepřekrývali a nemohla tak nastat situace kdy jsou sepnuté tranzistory do zkratu. Taková situace se nazývá **cross-conduction**.



Obrázek 1.17. Obdélníkové průběhy pro full-bridge topologii s vložení dead-time.

Na obrázku 1.17. jsou vidět stejné průběhy, nicméně s vložení 100ns dead-time. Je nutno zmínit, že pro tranzistory IGBT ani takové průběhy nemusí stačit, jelikož tranzistory IGBT mají nesymetrické časy sepnutí a rozepnutí způsobené reziduálním proudem.

Problém ve využití dead-time s řídicím transformátorem nastává, ve chvíli kdy je aktivní dead-time. V tento okamžik je obvykle budič ve stavu vysoké výstupní impedance a transformátor je efektivně plovoucí. Během tohoto stavu mohou nastat oscilace způsobené parazitickou kapacitou a indukčností primárního vinutí. Tento problém se dá řešit přidáním tranzistoru na primární vinutí, který během dead-time primární vinutí zkratuje na GND a tím se všechna energie v jádře disipuje, čímž se zabrání oscilacím. Ačkoliv častější řešení bývá zachování 50% střídavy a přidání pasivních prvků pro zavedení uměle vytvořeného dead-time.



Obrázek 1.18. Zapojení s antiparalelní diodou, pro minimalizaci cross-conduction.

Typicky volíme $R_{\text{off}} \leq R_{\text{on}}$, čímž zaručíme, že se Gate tranzistoru vybije podstatně rychleji, než nabije, jelikož časová konstanta pro nabíjení je následující:

$$\tau_{\text{on}} = R_{\text{on}} C_G \quad (1.2)$$

Zatímco pro vybíjení:

$$\tau_{\text{off}} \approx \frac{R_{\text{on}} R_{\text{off}}}{R_{\text{on}} + R_{\text{off}}} C_G \quad (1.3)$$

Díky tomuto zapojení je doba trvání přebíjení hradla nesymetrická pro každou z polarit a je tím uměle zavedený dead-time. Toto zapojení podstatně minimalizuje riziko výskytu cross-conduction, nicméně zvyšuje spínací ztráty buzeného tranzistoru.

Galvanicky oddělené budiče jsou budiče, které jsou zcela elektricky izolované od zbytku obvodu a jejich výstup tak může být referencován ke kterémukoliv napětí v obvodu. Takové buzení je nejspolehlivější a poskytuje celou řadu výhod oproti každé ze zmíněných topologií, například: každý tranzistor může být buzen vlastní logikou, žádné tranzistory v můstkovém zapojení na sobě nejsou závislé, jako to je u metody bootstrapping. Oproti GDT může být mnohem méně ztrátové (nevyžaduje magnetizační proudy), umožňuje jednoduché použití dead-time a není příliš závislé na budící frekvenci. Nicméně, oproti všem topologiím je tato metoda složitější, vyžaduje více komponent a oddělený zdroj napětí pro každý budič. Rovněž oproti GDT, které je schopné samostatně řídit více tranzistorů najednou, pro každý tranzistor je vyžadován vlastní galvanicky oddělený budič. V plno-můstkovém zapojení jsou tedy potřeba 4 a to drasticky zvyšuje komplexitu, cenu a snižuje hustotu výkonu.

Galvanicky oddělené budiče se tedy nevyskytují v měničích, jako jsou například nabíječky mobilních zařízení či podobné nízkovýkonové zařízení, kde kompaktnost bývá žadáným parametrem. V těchto zařízeních se rovněž typicky nevyskytují tranzistory, jejichž poškození by vedlo na příliš nákladnou opravu. Tyto budiče se tedy využívají dominantně ve výkonových průmyslových aplikacích, kde větší rozměr a vyšší cena Gate budiče jsou pouze marginálními nedostatky. Selhání výkonového tranzistoru v kritické průmyslové aplikaci, může mít za následek nezměrně vysoké škody na majetku a ve vyjimečných případech i na životě. Protože jsou tyto budiče relativně nové a na trhu jich zatím není příliš, je cílem této práce navrhnout budič, který řeší běžné nedostatky komerčních budičů jako například nízká dostupnost a nízké výstupní proudy.

Kapitola 2

Návrh oddělovacího zdroje

Pro návrh oddělovacího zdroje bylo třeba nejprve určit kladené požadavky. Protože by oddělovací zdroje neměly být ideálně příliš rozměrné, je zde zcela nejvhodnější použít topologii spínaného zdroje. K minimalizaci ztrát se typicky výkonové tranzistory budí napětím až $\pm 20\text{V}$. Z tohoto důvodu jsem zvolil napájecí napětí zdroje tak, aby bylo vyšší než 20V a zároveň aby se jednalo o nějaké typicky používané napětí. Nejbližší takové napětí je 24V .

Aby zdroj byl přijatelně kompaktní, je třeba zvolit co nejvyšší spínací frekvenci. Tento fakt se dá ukázat z Faradayova zákona:

$$U = -\frac{N \cdot d\phi}{dt} \quad (2.1)$$

Kde U je indukované napětí na sekundární cívce, ϕ je magnetický tok v jádře spínanného transformátoru vybuzený primární cívkou a N je počet závitů na sekundárním vinutí. Vyjádřením pro časovou změnu magnetického toku dostaneme:

$$\frac{d\phi}{dt} = -\frac{U}{N} \quad (2.2)$$

Nyní uvažme vztah mezi magnetickým tokem a magnetickou indukcí v jádře:

$$\phi = B \cdot S \quad (2.3)$$

Kde B je magnetická indukce v jádře transformátoru a S je obsah jádra. Po časové derivaci tohoto vztahu dostáváme:

$$\frac{d\phi}{dt} = \frac{dB \cdot S}{dt} \quad (2.4)$$

Substitucí tohoto výsledku do vztahu (2) dostaneme:

$$\frac{dB \cdot S}{dt} = -\frac{U}{N} \quad (2.5)$$

Prostým vyjádřením získáme požadovaný tvar:

$$N = \frac{-U \cdot dt}{dB \cdot S} \quad (2.6)$$

Z tohoto tvaru je vidět, že pro praktický počet závitů je zapotřebí buďto jádra s velkým průřezem, či nízké periody budícího napětí. Typicky se ve spínaných zdrojích můžeme setkat s frekvencemi v řádu desítek kiloHertz až jednotek megaHertz[14]. Pro můj návrh jsem vybral jako přijatelný rozsah spínací frekvence 250kHz - 1MHz . Čipy, které běží na vyšších frekvencích jsou typicky více ztrátové a méně dostupné.

Dále je třeba určit jak velký výkon by měl být schopný zdroj poskytnout. Protože by výsledný budič měl být schopný budit výkonové IGBT tranzistory s velkou vstupní kapacitou o vysokých spínacích frekvencích, vezměme tedy nejhorší až nerealistický scénář, kde budíme IGBT tranzistor s $C_{GE} = 10\text{nF}$ v plném rozsahu napětí $\pm 24\text{V}$ o frekvenci $f_{\text{switch}} = 1\text{MHz}$ bez rekuperace energie v koncovém stupni budiče. Potřebný výkon k takovému buzení vypočítáme jako:

$$P = \frac{1}{2} f_{\text{switch}} \cdot C_{GE} \cdot (U_{\text{on}} + |U_{\text{off}}|)^2 = \frac{1}{2} \cdot 1\text{MHz} \cdot 10\text{nF} \cdot (24\text{V} + |-24\text{V}|)^2 = 11.52\text{W} \quad (2.7)$$

Výkon 11.52W bude dostatečný pro jakýkoliv reálný scénář a měl by rovněž pokrýt výkon, který budič potřebuje ke svému provozu, který je obvykle podstatně menší než výkon potřebný k buzení tranzistoru.

Dalším kritickým parametrem zdroje, je použitá topologie.

Topologie	Galv. izolace	Typ. účinnost[%]	Komplexita
Buck	Ne	85	Nízká
Boost	Ne	70	Nízká
Buck-Boost	Ne	70	Nízká
SEPIC	Ne	75	Střední
CUK	Ne	75	Nízká
Flyback	Ano	75	Nízká
Forward	Ano	75	Střední
Push-Pull	Ano	80	Nízká
Half-Bridge	Ano	85	Střední
Full-Bridge	Ano	90	Vysoká
Resonant LLC	Ano	95	Vysoká

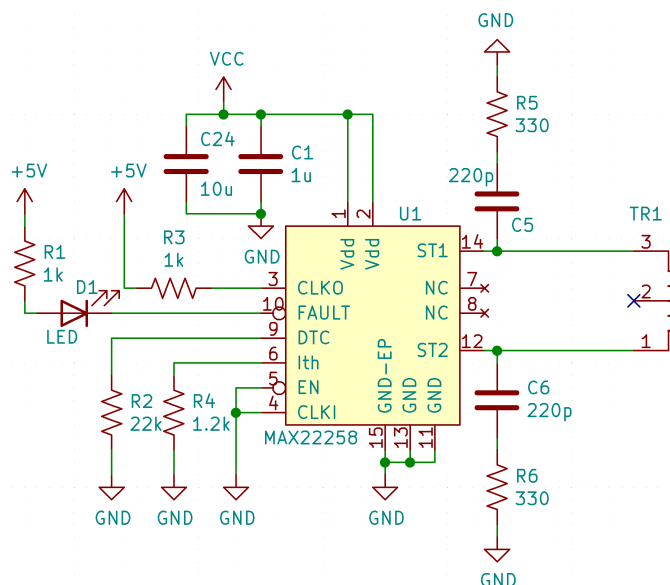
Tabulka 2.1. Seznam topologií spínaných měničů. Data převzata z [15].

Protože zdroj musí být galvanicky oddělený, jsou k dispozici pouze topologie Flyback, Forward, Push-Pull, Half-Bridge, Full-Bridge, LLC. Jelikož je v plánu zdroj navrhnout s využitím pouze součástek SMD, je nutné aby jeho účinnost byla co nejvyšší. Rozhodl jsem tedy prozkoumat jaké typy integrovaných čipů jsou k dispozici pro topologie Half-Bridge a Full-Bridge. Topologie LLC se zde rovněž nabízí, nicméně jedná se o relativně novou topologii, se kterou zatím nemám dostatek zkušeností.

Základní požadavky na oddělovací zdroj tedy jsou následující: Half/Full-Bridge topologie se vstupním napětím +24V, spínací frekvencí v rozsahu 250kHz-1MHz a výstupním výkonem 11.52W. Dále by zdroj měl poskytnout výstupní napětí v kladné i záporné polaritě.

2.1 Primární část

Po relativně krátkém průzkumu trhu jsem narazil na čip MAX22258[16] od výrobce Analog Devices, který splňuje všechny výše uvedené požadavky. Tento čip integruje 4 tranzistory ve Full-Bridge konfiguraci, které spínají o frekvenci 450kHz. Nabízí nastavitelné proudové omezení až do 1A. V mém případě s napájecím napětím 24V to znamená až 24W výstupního výkonu, nicméně kvůli velice malému pouzdru TDFN10-EP výrobce doporučuje držet se maximálně 15W.



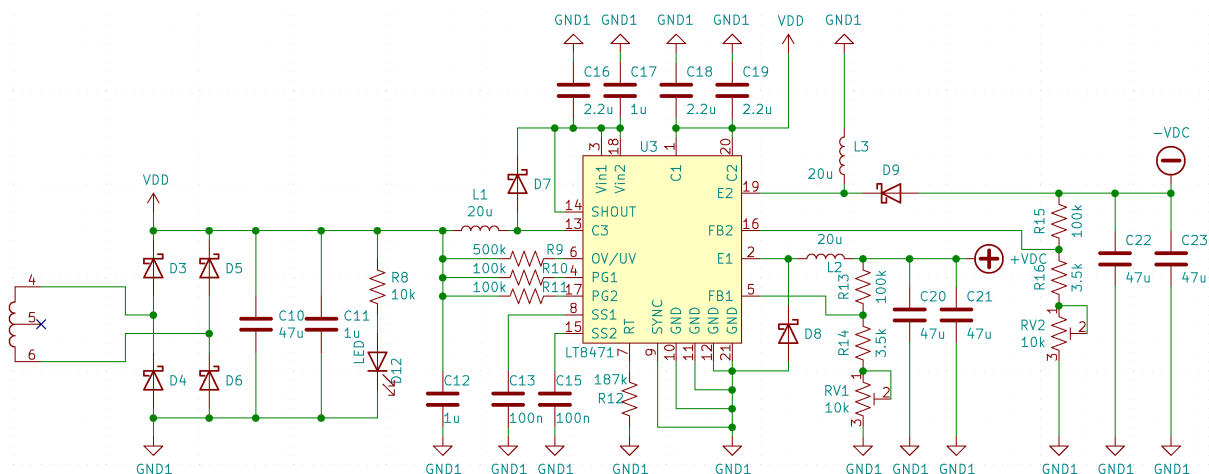
Obrázek 2.1. Zapojení čipu MAX22258.

V mé realizaci se jedná o v podstatě katalogové zapojení kde rezistor R2 nastavuje dead-time, rezistor R4 proudový limit a D1 indikuje stav FAULT, který je aktivní v případě překročení proudového limitu, či překročení maximální teploty 160°C. S vybranými hodnotami pro rezistory R2 a R4 je dead-time nastaven na 55ns a proudový limit na 1A. Snubber sítě tvořené kondenzátory C5, C6 a rezistory R5, R6 se nakonec ukázali nepotřebné díky téměř neexistujícím překmitům na výstupním napětí můstku a proto nejsou použité. Kromě zapojení čipu MAX22258 se na primární straně zdroje vyskytují další blokovací kondenzátory, 5V lineární stabilizátor a indikační LED.

Jakožto spínací transformátor jsem vybral Wurth Elektronik 750315371[17].

2.2 Sekundární část

Sekundární část obvodu typicky obsahuje pouze usměrňovací diody a vyhlazovací kondenzátory a pro převod střídavého napětí z transformátoru s odbočkou na kladné a záporné stejnosměrné napětí. Já se rozhodl použít transformátor se sekundárním vinutím bez odbočky a usměrňovat tedy pouze jedno vynutí, což vede na stejnosměrné napětí dostupné pouze v jedné polaritě. Čistě ze zvědavosti jsem se rozhodl využít čip LT8471 od výrobce Analog Devices, který generuje zápornou polaritu. Čip LT8471[18] totiž poskytuje 3 DC-DC měniče v TSSOP20 pouzdře, kde jeden měnič je zapojen v konfiguraci invertujícího Buck měniče.



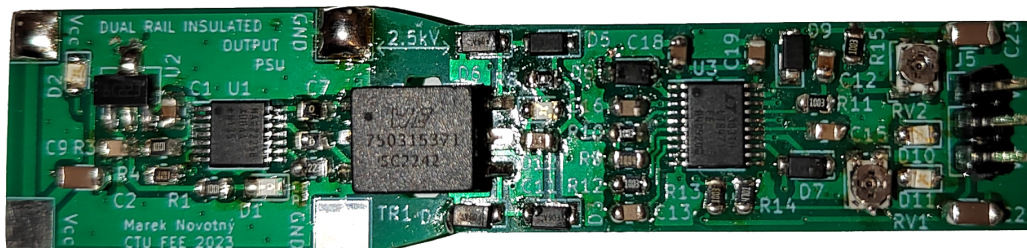
Obrázek 2.2. Sekundární strana oddělovacího zdroje.

Další z integrovaných spínačů je zapojen do konfigurace standardního Buck měniče. Toto zapojení s DC-DC měniči má výhodu v možnosti využití zpětné vazby, díky které je napětí na výstupu stabilní a nastavitelné v obou polaritách. Zbývající třetí nízkovýkonový spínač je zapojen v Boost topologii, která generuje napětí o 6V vyšší než je vstupní napětí. Toto napětí je využito ke spínání high-side tranzistorů v Buck konfiguracích. Tento nízkovýkonový kanál výrobce Analog Devices nazývá Skyhook.

Kondenzátory C13 a C15 nastavují čas, po který čip po zapnutí spíná pouze s omezenou střídou. Díky této *soft-start* implementaci je drasticky redukován nárazový proud, který může potenciálně poškodit integrované spínače. Důležité je zde i nastavení správného odporu R12, který nastavuje spínací frekvenci všech spínačů. S hodnotou 187k Ω je oscilační frekvence 450kHz, tedy stejná jako frekvence na které je buzen spínaný transformátor. Dále se jedná pouze o katalogové zapojení s lehkými úpravami. Opět se na sekundární straně nachází ještě indikační LED pro obě polaritě výstupních napětí.

2.3 Realizace

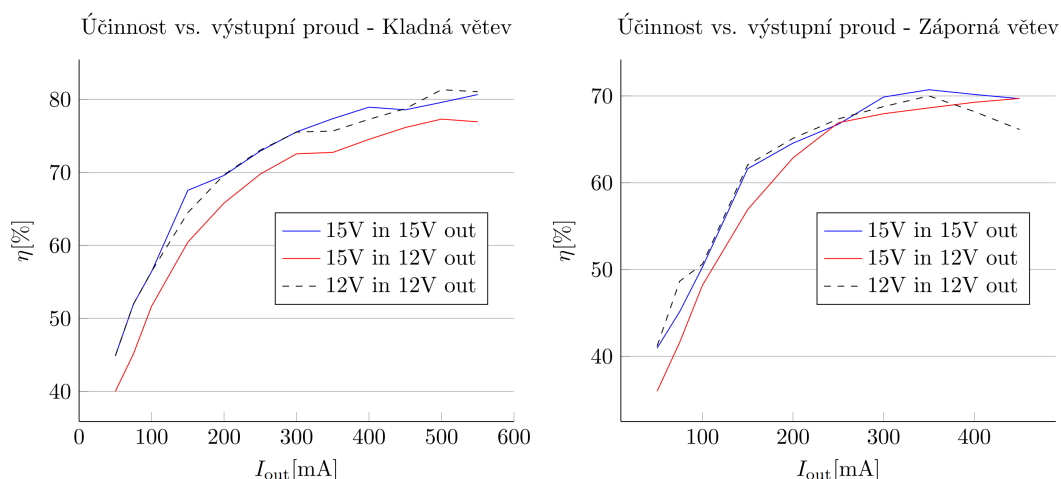
Pro zdroj byl navržen plošný spoj o rozměrech 20mm x 80mm, který jsem nechal vyrobit firmou JLCPCB.



Obrázek 2.3. Osazený plošný spoj oddělovacího zdroje.

Zdroj během prvního zapojení do napájecího napětí aktivoval proudovou ochranu mého laboratorního zdroje, která byla nastavena na 0.5A. Rovněž se periodicky cyklovala proudová ochrana čipu MAX22258, což bylo na první pohled viditelné díky blikání červené LED D1. Po snížení napájecího napětí na 15V byla zjištěna příčina tohoto chování. Během návrhu desky jsem udělal chybu během výpočtu magnetického toku v jádře oddělovacího transformátoru a při napájecím napětí 24V je transformátor provozován v saturaci. Z tohoto důvodu je zdroj dále napájen pouze 15V napájením a tedy na výstupu zdroje je napětí nastavitelné pouze v rozsahu do 15V v obou polaritách.

Při sníženém napájecím napětí zdroj funguje v rámci očekávaných parametrů. Dále byla pro zdroj změřena účinnost v obou polaritách.



Obrázek 2.4. Grafy účinnosti pro obě polarity výstupního napětí v závislosti na výstupním proudu.

Účinnost zdroje se ukázala být až 82% v kladné polaritě a 71% v záporné polaritě a překonala tak mé očekávání. Je zde rovněž vidět, že při nižším vstupním napětí 12V účinnost dosahuje přibližně o 5% výš. Tato skutečnost je zapříčiněna vstoupením do nelineárního chování hysterezní křivky transformátoru při 15V. Napájecí napětí 15V se tedy nakonec rovněž ukázalo neoptimální kvůli saturaci transformátoru, nicméně použitelné. Během testování účinnosti byl zdroj otestován až do 9W výstupního výkonu, což se ukázalo být limitem kvůli proudovému omezení čipu MAX22258. Nebýt tohoto limitu, termální dovednosti zdroje by podle mého odhadu dokázali poskytnout alespoň 13W. Nicméně 9W výstupního výkonu je stále přijatelné.

Kapitola 3

Budič řady 1ED34x1Mx12M

3.1 Základní vlastnosti a parametry budiče

Abych byl schopný uvést do kontextu parametry svého budiče, otestoval jsem často využívaný budič 1E3491MC12M[19] od společnosti Infineon. Budič 1E3491MC12M je jednou z verzí budičů řady 1ED34x1Mx12M. Jedná se o řadu galvanicky izolovaných jednobudíkových budičů s izolační dovedností 2300V. Konkrétně budič 1E3491MC12 jsem vybral, protože byl v době navrhování jednoduše dostupný a protože s ním mám již své zkušenosti.

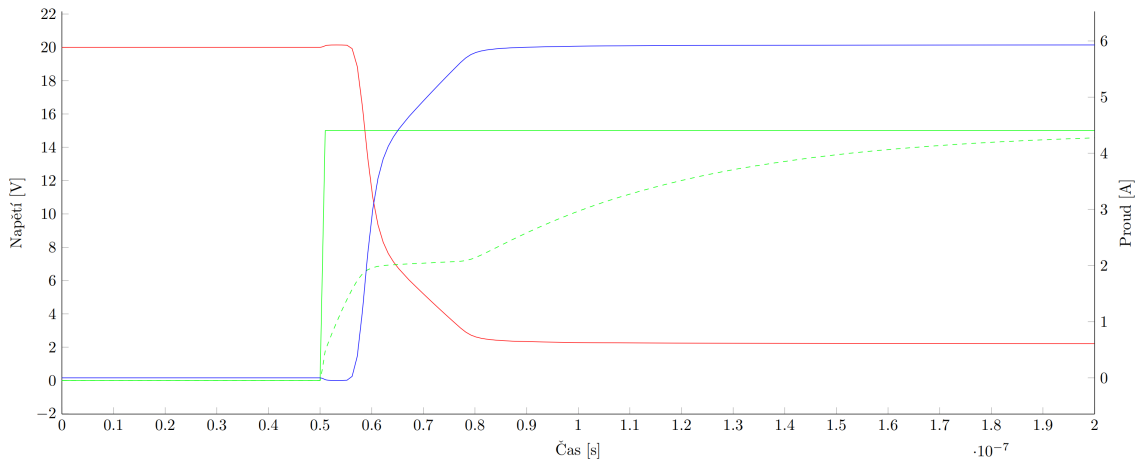
Tento budič dokáže být napájen až 40V na výstupní straně, poskytuje až $\pm 9A$ proudu do a z (source and sink) hradla tranzistoru. Budič je integrován do pouzdra PG-DSO-16, které dokáže disipovat až 800mW výkonu. Pro galvanické oddělení vstupní logiky je použito oddělení transformátorem a dle datasheetu, je maximální zpoždění mezi vstupní a výstupní stranou 270ns. Budič nabízí rozsáhlou škálu ochranných prvků: detekce desaturace, aktivní tzv. Miller clamping, detekce podpětí (**UVLO** - Under Voltage Lockout) s hysterezí. Tyto ochranné prvky budou popsány dále.

3.2 Detekce desaturace

Detekce desaturace má za úkol monitorovat zda je tranzistor v sepnutém stavu v režimu saturace. Desaturace tranzistoru je stav, ve kterém existuje příliš vysoké napětí mezi výkonovými svorkami spínanného tranzistoru, zatímco tranzistorem protéká proud. V tomto stavu dochází k nejvyšším ztrátám a nejčastěji se vyskytuje v případě poruchy silového obvodu.

Protože tento stav musí být detekován co nejrychleji, je zcela nemožné měřit napětí na silových svorkách běžnými metodami jako například napěťovým děličem. Rezistory v takovém napěťovém děliči by museli mít vysokou hodnotu odporu kvůli vysokému napětí na buzeném tranzistoru. Společně s parazitickou kapacitou rezistoru by takový obvod přinášel příliš vysokou časovou konstantu. Například: rezistor s odporem $22k\Omega$ a reálnou parazitickou kapacitou $30pF$ má časovou konstantu $660\mu s$. Takové časové zpoždění je zcela nepřijatelné, jelikož za tuto dobu v desaturačním režimu může jednoduše dojít k příliš velkým ztrátám a k permanentnímu poškození tranzistoru. Z tohoto důvodu budič 1ED3491MC12M používá často implementovaný proudový zdroj, který mezi silové svorky tranzistoru propouští přes vysokonapěťovou diodu nízký proud. Napětí na proudovém zdroji je tak dáno úbytkem napětí na použité diodě a úbytkem napětí na silových svorkách tranzistoru. Časové zpoždění tohoto způsobu je pouze omezen rychlostí proudového zdroje a použité vysokonapěťové diody, typicky je toto časové zpoždění v řádu desítek ns. Maximální napětí na proudovém zdroji, nemůže dosáhnout větších hodnot, než je jeho napájecí napětí. Takto nízké napětí se dá okamžitě vyhodnotit komparátory a zjistit tak s vysokou rychlostí, zda tranzistor pracuje v saturaci či nikoliv. Je zřejmé, že detekce desaturace je pouze aktivní pokud je na Gate tranzistoru log. 1 a tranzistor tedy má být sepnutý.

Detekce desaturace rovněž nesmí zareagovat příliš rychle, jelikož při spínání tranzistoru běžně nastává stav, kdy je tranzistor desaturovaný a zároveň se na Gate nachází log. 1. Příčina tohoto chování je ilustrována na průbězích z následující simulace sepnutí MOSFET tranzistoru:



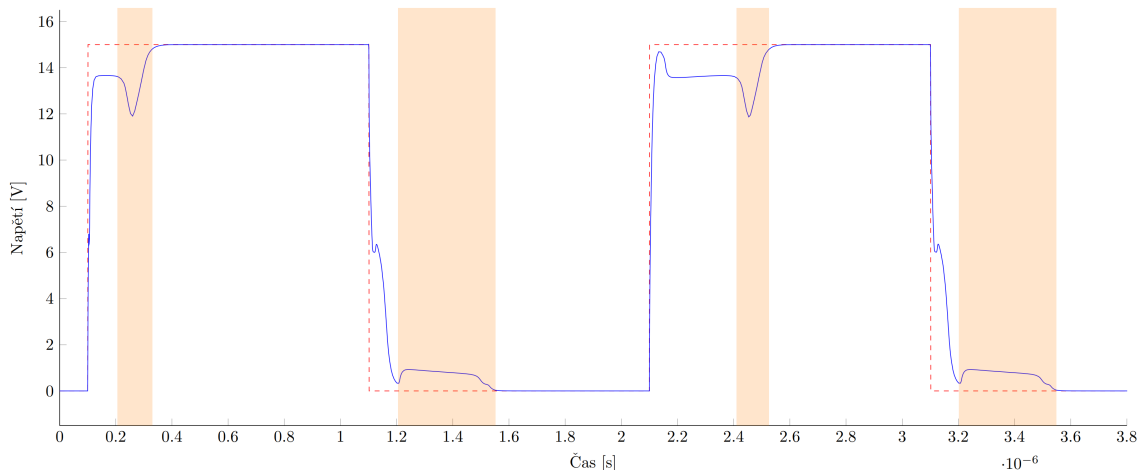
Obrázek 3.1. Oscilogram simulace sepnutí MOSFET tranzistoru.

Na obrázku 3.1. jsou vidět průběhy I_{DS} modře, U_{DS} červeně, U_{GS} přerušovanou zelenou barvou. Zelenou plnou čarou je vyznačeno napětí, které představuje logickou úroveň stavu Gate. Od chvíle, kdy logická úroveň Gate přepne do log. 1, budič uvažuje tranzistor za sepnutý. Nicméně je zjevné, že napětí na silových svorkách tranzistoru je stále příliš vysoké a na krátkou chvíli (v tomto případě zhruba 30ns) je tranzistor provozován v režimu desaturace. Z tohoto důvodu ochrana proti desaturaci bude aktivní, pouze pokud desaturace tranzistoru bude trvat déle než tzv. **blanking time**. Blanking time se u budiče 1ED3491MC12M nastavuje hodnotou odporu ADJB na vstupní straně budiče. Blanking time by měl být nastaven co nejkratší, ale tak dlouhý aby tranzistor během této doby spolehlivě sepnul.

Protože napětí na silových svorkách tranzistoru v sepnutém stavu není nulové, budič 1ED3491MC12M považuje za desaturační práh fixní napětí 9.18V. Ve chvíli, kdy budič detekuje desaturační režim déle než po dobu blanking time, je spuštěn **soft-off** režim, při kterém se Gate tranzistoru nízkým proudem vybije a tranzistor pomalu rozezne. Ačkoliv by se zdálo být rozumné tranzistor naopak rozeznout co nejrychleji, tranzistor rozpíná pomalu ke snížení napěťových špiček způsobené rychlou změnou proudu zapříčiněnou rozeznutím obvodu. Tyto napěťové špičky, mohou jednoduše dosáhnout amplitud, které jsou pro tranzistor nebezpečné. Doba po kterou tranzistor rozpíná během desaturace je kompromisem, mezi spínací ztrátou a útlumem napěťových překmitů. Já jsem pro hodnotu odporu ADJB zvolil 10k Ω , což podle datashetu odpovídá blanking time přibližně 2800ns.

3.3 Miller clamp

Kvůli výše zmíněné Millerově kapacitě, může nastat situace, kdy při spínání dvojice tranzistorů v můstkovém zapojení rychlá změna napětí na silových svorkách tranzistorů kapacitně vybudí nežádoucí napětí na Gate obou tranzistorů. Protože napětí na Drain/Collector se při spínání prudce mění, přebíjí se náboj na Millerově kapacitě. Tato změna náboje pokaždé pracuje proti napětí na Gate, jak je vidět v následující simulaci, kde červenou přerušovanou čarou je vyznačeno logické (ideální) napětí na Gate a modře skutečné napětí na Gate:



Obrázek 3.2. Simulace Millerova jevu při spínání tranzistoru v můstkovém zapojení.

Z obrázku 3.2. je zjevné, že napětí na Gate má tehdeci kvůli Millerově kapacitě růst/klesat do nežádoucích hodnot. Tyto nežádoucí napětí mohou tranzistor sepnout v případě, když má být rozeprtý a naopak mohou tranzistor zanést až do lineárního režimu v okamžik, kdy má být v saturaci.

Tento problém se běžně řeší pasivně a to tak, že se na Gate přivádí záporné napětí pro rozeprtí tranzistoru. Pokud platí $U_{GS} \ll 0$, pak je značně nepravděpodobné, že napěťové překmity dosáhnou tak vysoké amplitudy, aby do obvodu zanesli nebezpečí. Budič 1ED3491MC12M implementuje ještě aktivní ochranu, která se nazývá "Miller clamp". Princip ochrany spočívá v aktivním měření napětí na Gate tranzistoru. Ve chvíli kdy dojde k napěťovému překmitu budič aktivuje další koncový stupeň, který Gate tranzistoru přivede na napětí záporné saturace přes menší impedanci a efektivně tranzistor rozeprne "tvrději". Je nutno podotknout, že tyto ochrany fungují pouze na stav kdy je napětí na Gate v logické nule. Eliminace podpětí na Gate při logické jedničce, se typicky řeší kvalitním návrhem výkonového obvodu, který snižuje parazitické vlastnosti a tím i vliv Millerova jevu.

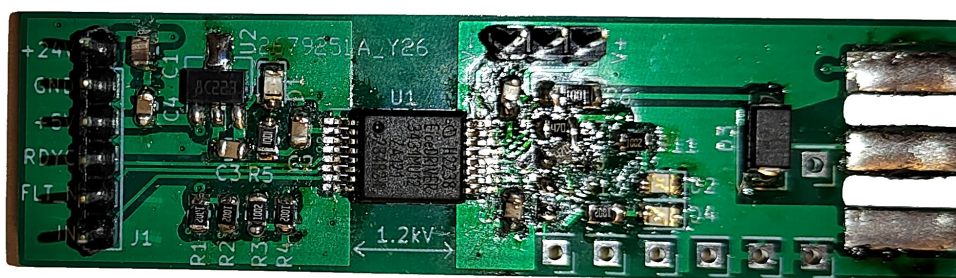
3.4 UVLO

Protože požadujeme aby tranzistor spínal co nejmenšími vodivostními ztrátami, potřebujeme na Gate tranzistoru držet plné napájecí napětí budiče. Ve chvíli, kdy napětí na budiči poklesne, napětí U_{GS} nemusí stačit pro spolehlivou operaci tranzistoru. Rovněž napájecí napětí na vstupní straně budiče, musí být v rozsahu kde řídicí logika funguje spolehlivě. Z tohoto důvodu budič 1ED3491MC12M realizuje ochranu zvanou UVLO

na vstupní i výstupní straně budiče. UVLO detekce sleduje napájecí příslušné napájecí napětí a pokud toto napětí klesne pod určitou hranici, budič se deaktivuje. Budič 1ED3491MC12M má obě tyto hranice fixní, kde pro výstupní stranu toho napětí je typicky 12V a pro vstupní stranu 2.95V. Pro zabránění oscilací je rovněž implementována hystereze.

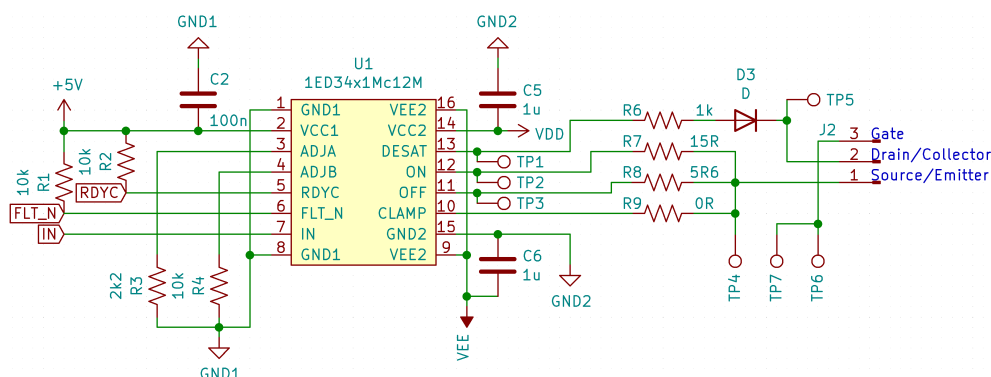
3.5 Návrh desky

Pro otestování budiče 1ED3491MC12M byl navržen plošný spoj o rozměrech 18mm x 66mm.



Obrázek 3.3. Osazený plošný spoj s budičem 1ED3491MC12M.

Díky integraci všech zmíněných ochranných funkcí do jediného pouzdra, vyžaduje tato deska pouze velice malé množství komponent.



Obrázek 3.4. Schéma desky s budičem 1ED3491MC12M.

Kromě součástek potřebných ke správnému buzení tranzistoru, jsem na výstupní stranu přidal 7 testovacích vývodů, pro jednodušší měření.

3.6 Testování a naměřené výsledky

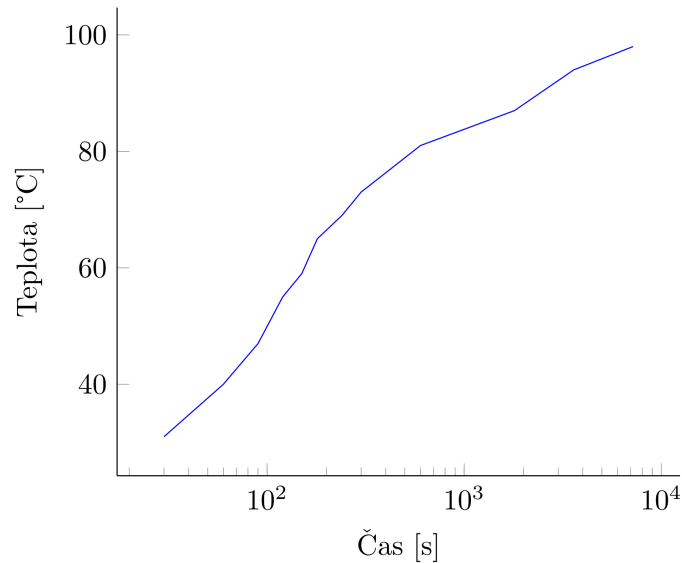
U budičů IGBT/FET tranzistorů je jedním z nejdůležitějších parametrů výstupní odpor, který udává tepelnou ztrátu a ovlivňuje rychlost náběžných a sestupných hran koncového stupně při buzení kapacitní zátěže. Výstupní odpor jsem změřil přidáním 51Ω zátěže paralelně na výstup budiče a odečetl voltmetrem změnu napětí bez zátěže a se zátěží při napájecím napětí 15V. Výstupní odpor se z těchto údajů vypočítá následujícím způsobem:

$$R_{\text{out}} = \frac{U_1 - U_2}{\frac{U_2}{R_Z}} \quad (3.1)$$

Kde R_{out} je výstupní odpor budiče, U_1 je výstupní napětí bez zátěže, U_2 je výstupní napětí se zátěží a R_Z je odpor zátěže. Po dosazení naměřených hodnot dostáváme:

$$R_{\text{out}} = \frac{14.97\text{V} - 14.8\text{V}}{\frac{14.8\text{V}}{51\Omega}} = \frac{0.17\text{V}}{0.278\text{A}} = 0.59\Omega \quad (3.2)$$

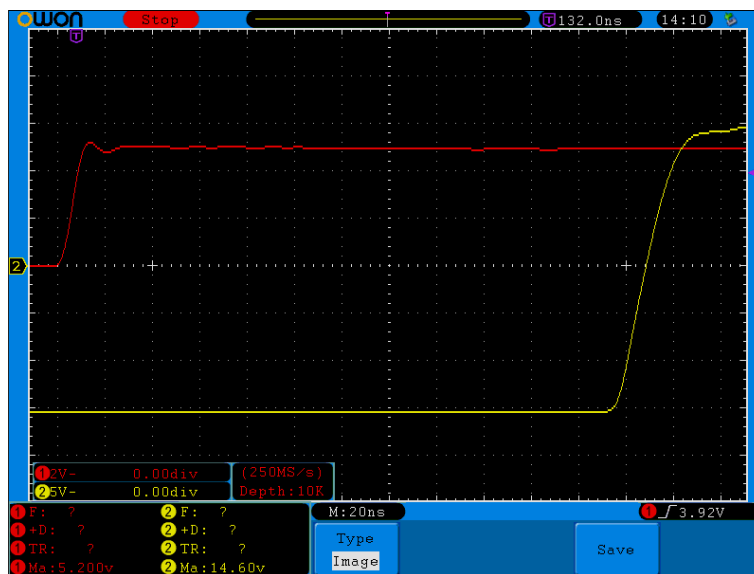
Tato hodnota splňuje očekávání, jelikož se nachází v rozsahu tvrzení katalogu 1ED3491MC12M (0.17Ω až 0.75Ω). Výstupní odpor 0.59Ω je na tranzistorový budič relativně vysoký což se značně podepisuje na teplotě pouzdra v provozu:



Obrázek 3.5. Závislost teploty integrovaného obvodu 1ED3941MC12M na čase.

Měření teploty proběhlo při spínání kapacitní zátěže 4.8nF při frekvenci 10kHz se symetrickým napájením $\pm 15\text{V}$. Po jedné hodině provozu, pouzdro budiče dosáhlo teploty přes 90°C . Tato skutečnost je poněkud alarmující, vezmeme-li v potaz, že zátěž 4.8nF při budící frekvenci 10kHz není příliš velkou zátěží a v praxi se setkáme s mnohem náročnějšími požadavkami. Z toho vyplývá, že budič 1ED3491MC12M není sám o sobě schopný budit tranzistory s velkou vstupní kapacitou či příliš vysoké frekvence. Pro takové aplikace je vhodné, použít koncový stupeň tohoto budiče jako předzesilovač k výkonnějšímu stupni.

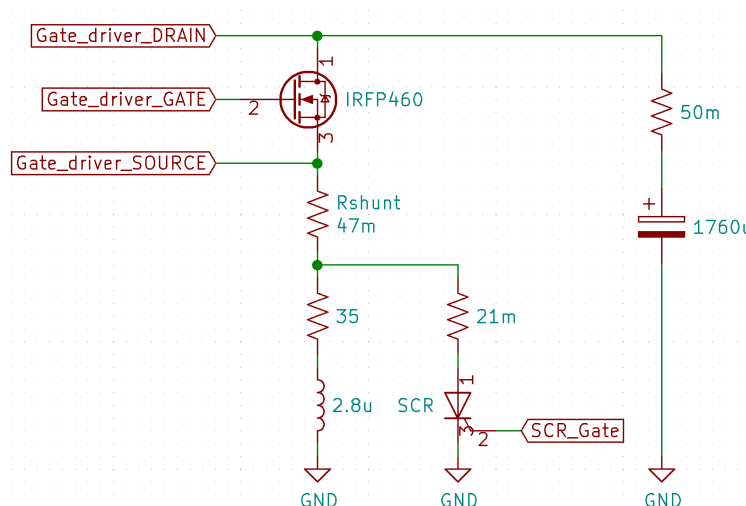
Tvrzení, že tento budič není dělaný k řízení tranzistorů při vysoké frekvenci, je dále podpořený poměrně vysokým propagačním zpožděním ze vstupní strany na výstupní.



Obrázek 3.6. Snímek z osciloskopu, měření propagačního zpoždění.

Na obrázku 3.6. je vidět zpoždění mezi vstupním logickým signálem (červená) a výstupním budícím signálem (žlutá). Toto zpoždění se ukázalo být 224ns ze vstupní strany na výstupní a 217.6ns z výstupní strany na vstupní. Tyto hodnoty jsou v rozmezí tvrzení katalogu. Ve vysokofrekvenčních systémech by tak velké zpoždění mohlo být nežádoucí až nebezpečné.

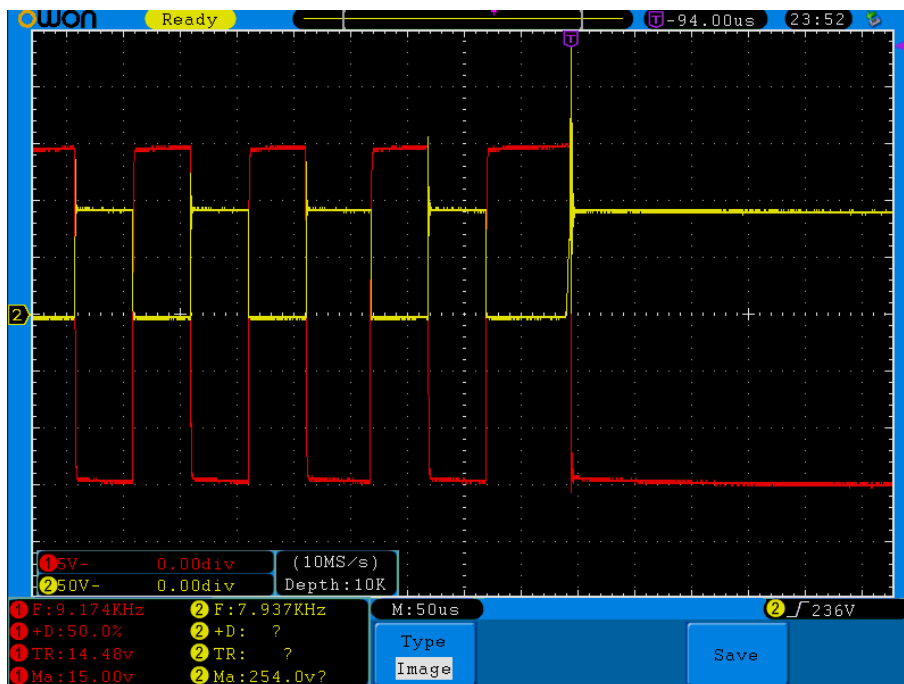
Dále jsem do testování budiče zahrnul test detekce desaturace, při kterém je buzený tranzistor uveden do stavu desaturace uměle vytvořeným zkratem a je zkoumána reakce budiče a napěťový překmit na tranzistoru. Pro testování jsem využil tranzistor MOSFET IRFP460, který je ve výkonové elektronice často využíván.



Obrázek 3.7. Schéma přípravku pro test detekce desaturace.

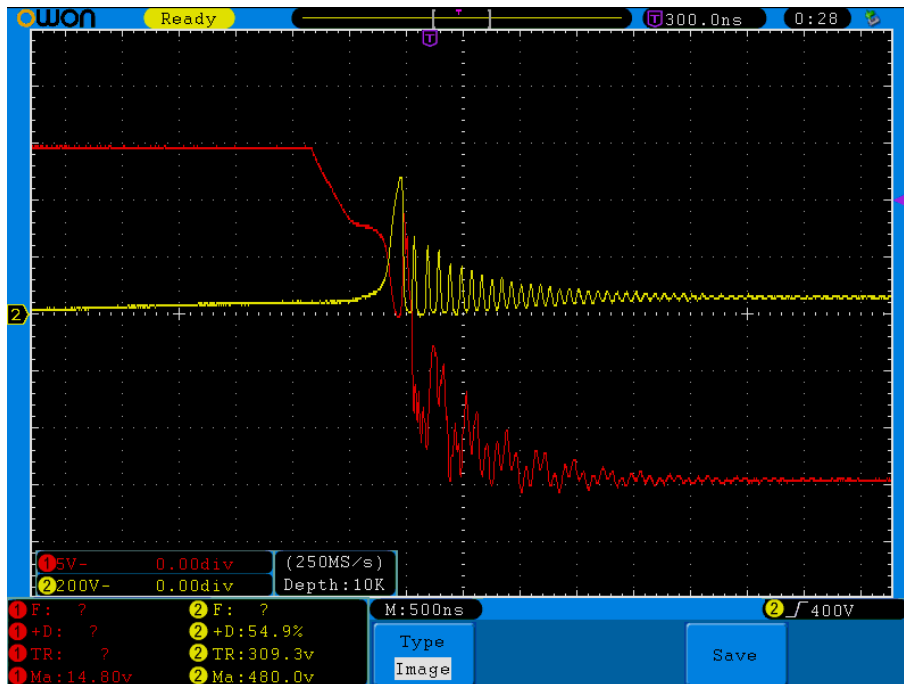
V tomto testu, je tranzistor konfigurovaný jako high-side spínač a buzený deskou s budičem 1ED3491MC12M. Stejný přípravek, je později použit k testování detekce

desaturace mého budiče. Průběh testu je následující: tranzistor je spínán přes 35Ω zátěž o frekvenci 10kHz. V náhodný čas je během sepnutého stavu aktivován tyristor, který 35Ω zátěž zkratuje a tvrdě do tranzistoru vybije napětí kondenzátorové banky U_C . Tím se obvod dostane do uměle zavedeného zkratového stavu, při kterém se tranzistor dostane do režimu desaturace, při kterém má budič tranzistor rozepnout. Toto chování je vidět na následujícím snímku:



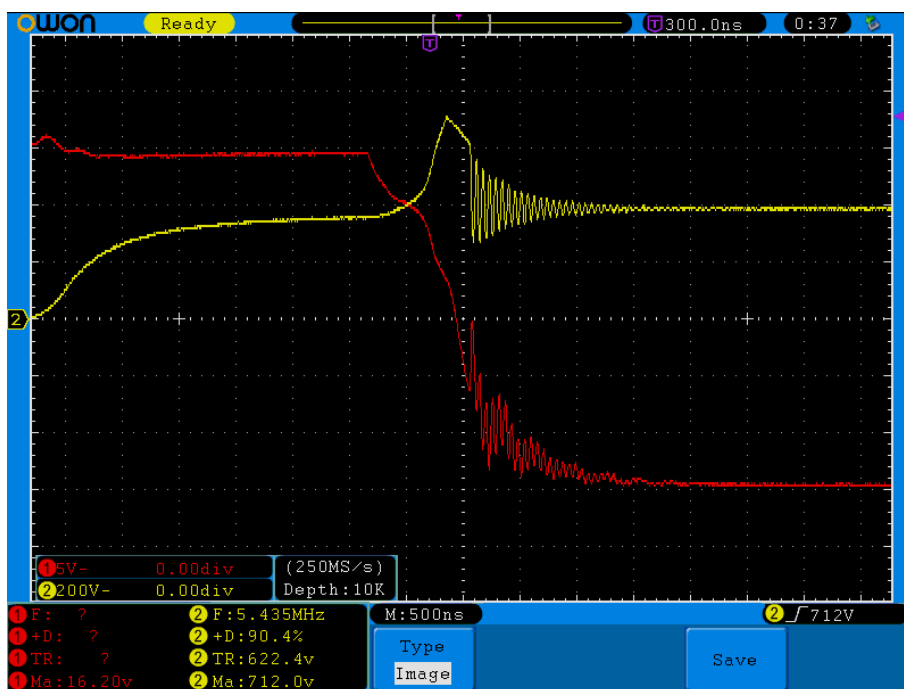
Obrázek 3.8. Průběh testu detekce desaturace budiče 1ED3491MC12M.

Na obrázku 3.8. je vidět průběh napětí na Gate (červená) a napětí na Drain (žlutá). Moment kdy dojde v obvodě ke zkratu a reakci budiče je na tomto snímku zjevný a v následujících testech je zkoumán blíže. V případě desaturace, budič 1ED3491MC12M nabízí "Soft-off" rozepnutí tranzistoru. Jedná se o zpomalené rozepnutí tranzistoru, které má za úkol zpomalit změny proudu, které způsobují napěťové překmity. Tyto napěťové překmity jsou pro tranzistor stejně nebezpečné, jako výkonová ztráta během zkratu.



Obrázek 3.9. Reakce budiče na zkratový stav, $U_C = 60V$, zkratový proud 290A.

Ze snímku na obrázku 3.9. je vidět, že metoda Soft-off napětovou špičkou příliš nepotlačila, jelikož napěťový překmit dosáhl až 480V. Pozorným pohledem je zde rovněž vidět Blanking time, když odečteme čas při kterém je napětí na Drain příliš vysoké (přibližně začátek snímku) a čas ve kterém budič rozepíná tranzistor. Tento čas se ukázal být kolem 250ns, což odpovídá s tvrzením katalogu.



Obrázek 3.10. Reakce budiče na zkratový stav, $U_C = 400V$, zkratový proud 2211A.

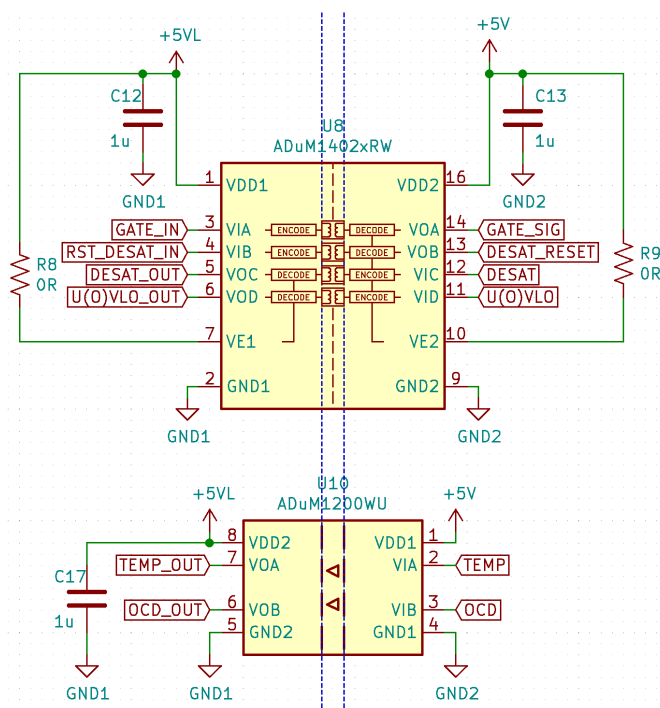
Při testování s napájecím napětím 400V, dosáhl napěťový překmit až 712V a dosáhl tak 1.42 násobku maximálního operačního napětí tranzistoru IRFP460. Tranzistor nicméně testování zdolal bez poškození. Výsledkem testu tedy je potvrzení, že ochrana proti desaturaci budiče 1ED3491MC12M je funkční, ačkoliv napěťové špičky metoda Soft-off příliš neřeší a v extrémějších situacích by taková ochrana nemusela být dostatečná.

Kapitola 4

Návrh vlastního budiče

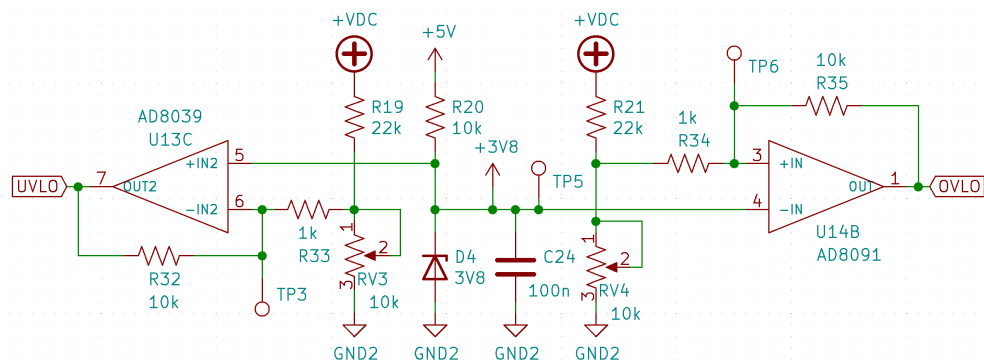
4.1 Princip obvodového řešení

Pro navrhnutí vlastního budiče bylo prvním krokem rozhodnout o tom, jakým způsobem galvanicky oddělit logické vstupy/výstupy od výstupní strany budiče. Pro tento účel jsem zvolil integrované obvody ADuM1402 a ADuM1200 od společnosti Analog Devices[20][21].



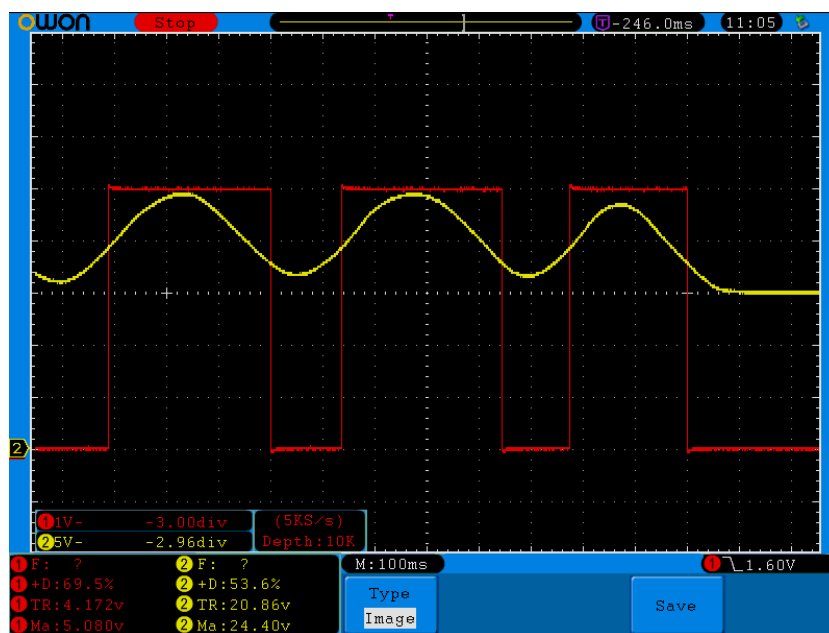
Obrázek 4.1. Zapojení integrovaných obvodů ADuM1x0x

Tyto integrované obvody využívají ke galvanické izolaci integrované vysokofrekvenční transformátory, modulované digitálním signálem. Ze schématu na obrázku 4.1. jsou vidět všechny logické vstupy/výstupy, které můj budič nabízí. Signál GATE_IN je buďící signál, který rozhoduje o stavu výstupního napětí na Gate buzeného tranzistoru. DESAT_OUT slouží jako indikační signál, který nese informaci o tom, zda došlo k desaturaci tranzistoru. Signálem RST_DESAT_IN se budič dostane z režimu desaturace zpátky do běžného režimu, při nejbližší sestupné hraně GATE_IN signálu. Výstupy U(O)VLO_OUT, TEMP_OUT a OCD_OUT slouží pouze k indikaci, zda na nedošlo k podpětí/předpětí, přehřátí tranzistoru, či k příliš vysokému protékajícímu proudu tranzistorem.



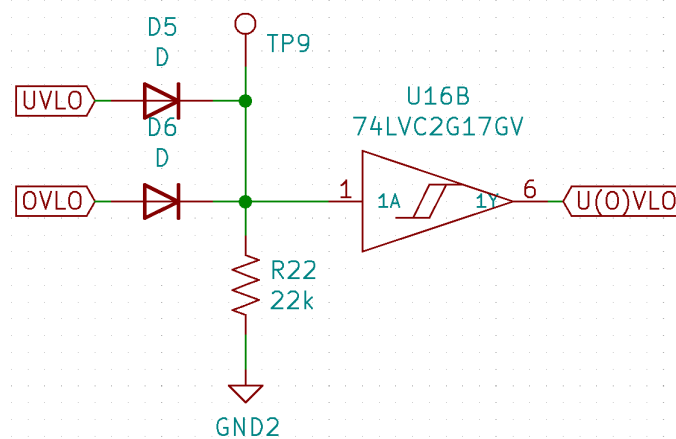
Obrázek 4.2. Zapojení detekce UVLO/OVLO .

Detekce přepětí/podpětí (OVLO/UVLO) je řešená komparátory (U13,U14), které porovnávají napětí na napájecí větvi s referenčním napětím 3.8V, které je tvořené rezistorem R20 a Zenerovou diodou D4. Prahové úrovně přepětí i podpětí jsou nastavitelné trimry RV3 a RV4. Prahové úrovně byly nastaveny na 12V pro UVLO a 18V pro OVLO. Pro zabránění oscilací je u komparátorů rovněž implementována hystereze. Příklad chování OVLO je vidět na následujícím snímku z osciloskopu:



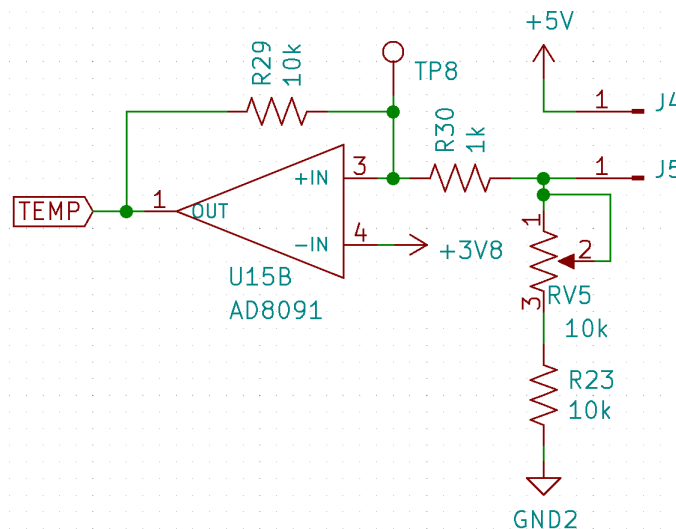
Obrázek 4.3. Chování detekce přepětí. (Červená - $U(O)VLO_OUT$, Žlutá - napájení budiče).

Abych ušetřil jeden výstup u digitálních izolátorů ADuM1x0x, jsou úrovně UVLO a OVLO logicky sečteny a přeneseny na vstupní stranu budiče jako jeden signál. Logický součet je proveden následovně:



Obrázek 4.4. Analogově realizovaný logický součet signálů UVLO a OVLO.

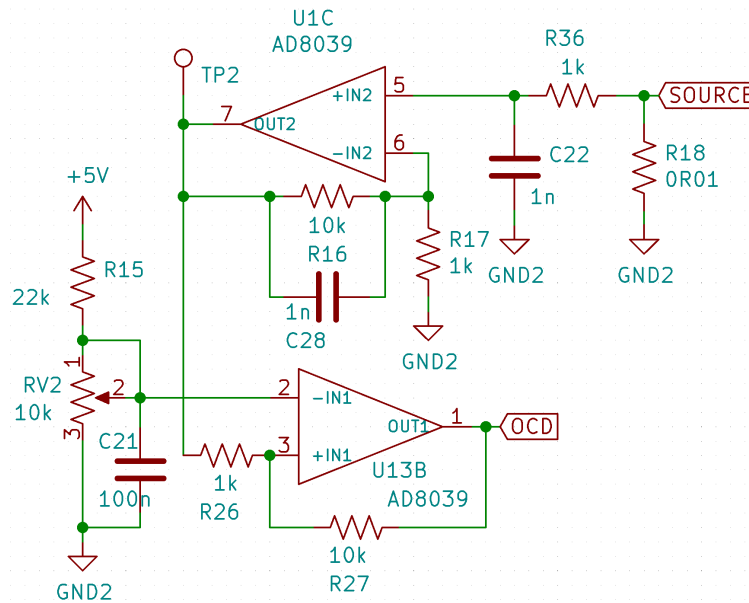
Na stejném principu jako detekce UVLO/OVLO funguje i detekce přehřátí tranzistoru:



Obrázek 4.5. Zapojení detekce přehřátí tranzistoru.

V tomto zapojení se využívá NTC termistor, který je připojen na svorky J4 a J5. Trimrem RV5 se nastavuje prahová teplota.

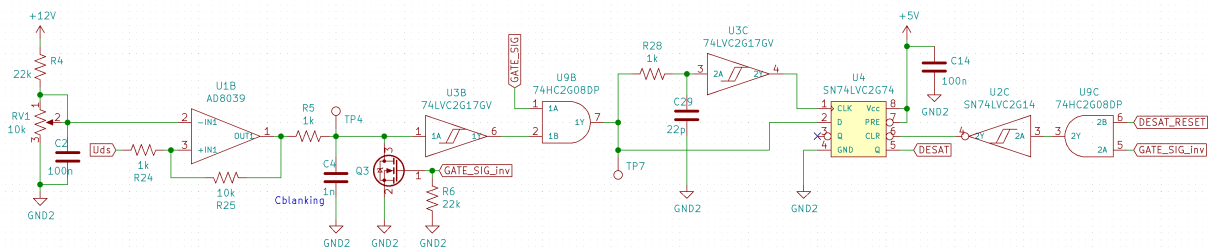
Obdobné zapojení s komparátorem využívá i detekce nadproudu, nicméně zde je využit ještě operační zesilovač v neinvertujícím zapojení, který zesiluje napětí na rezistoru R18, který je využit jako proudový bočník ke snímání proudu Sourcem/Emitterem tranzistoru.



Obrázek 4.6. Zapojení detekce nadproudu.

Prahová hranice nadproudu je nastavitelná trimrem RV2.

Detekce desaturace v mém návrhu funguje podobným způsobem jako u budiče 1ED3491MC12M. Do výkonových svorek buzeného tranzistoru je zapojen proudový zdroj, jehož výstupní napětí je přímo úměrné úbytku napětí na Collector/Drain - Emitter/Source. Toto napětí je poté snímáno komparátorem U1.



Obrázek 4.7. Zapojení pro vyhodnocení stavu desaturace.

Ve chvíli, kdy je napětí na silových svorkách tranzistoru vyšší než prahové napětí nastavitelné trimrem RV1, je nabíjen kondenzátor C4. Kondenzátor C4 společně s rezistorem R5 tvoří tzv. "blanking" filtr. Tento filtr nastavuje blanking time t_{blanking} , který je již vysvětlen výše. Blanking time tohoto obvodu je doba za kterou se kondenzátor C4 nabije na překlápěcí hodnotu Schmittova klopného obvodu U3. Tato překlápěcí hodnota je podle katalogu 74LVC2G17GV 3.8V[22]. Blanking time tedy spočítáme následovně:

$$t_{\text{blanking}} = -R \cdot C \cdot \ln\left(1 - \frac{3.8V}{12V}\right) \quad (4.1)$$

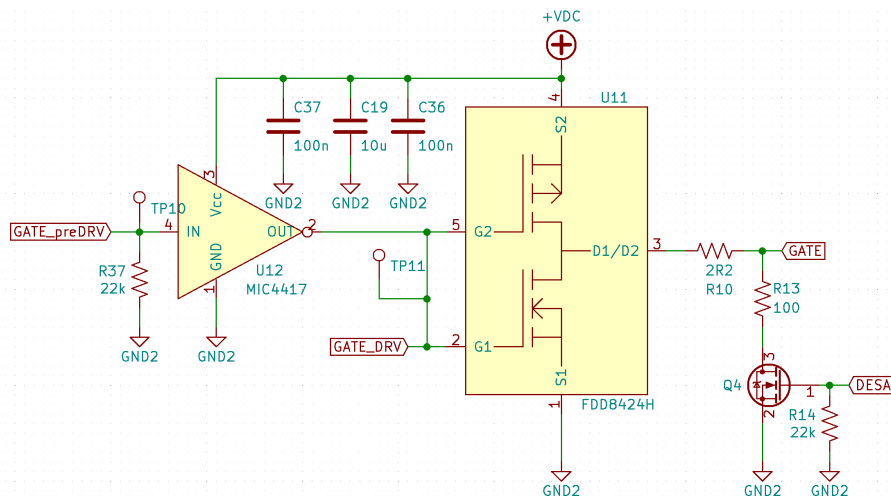
Po dosažení použitých hodnot:

$$t_{\text{blanking}} = -1000\Omega \cdot 1\text{nF} \cdot \ln\left(1 - \frac{3.8V}{12V}\right) = 683\text{ns} \quad (4.2)$$

Paralelně na kondenzátor C4 je umístěn MOSFET tranzistor, který kondenzátor C4 zkratuje v každé záporné vlně Gate signálu. To zaručí, že je desaturace pouze kontrolována ve stavu kdy je buzený tranzistor sepnut. Ve chvíli kdy je desaturace detekována

po delší dobu než t_{blanking} , je budič uveden do stavu desaturace, kdy vybijí Gate buzeného tranzistoru co nejrychleji. Rovněž je použit klopný obvod D, který si tento stav pamatuje, aby tranzistor neseplnul v příštím kladném GATE_IN signálu. Budič je ve stavu desaturace, dokud není přivedena na vstup RST_DESAT_IN logická jednička a zároveň se na GATE_IN nachází logická nula.

Koncový stupeň mého budiče se skládá z předzesilovače MIC4416[23] a komplementární dvojice NMOS, PMOS tranzistorů integrovaných v čipu pouzdra FDD8424H[24].

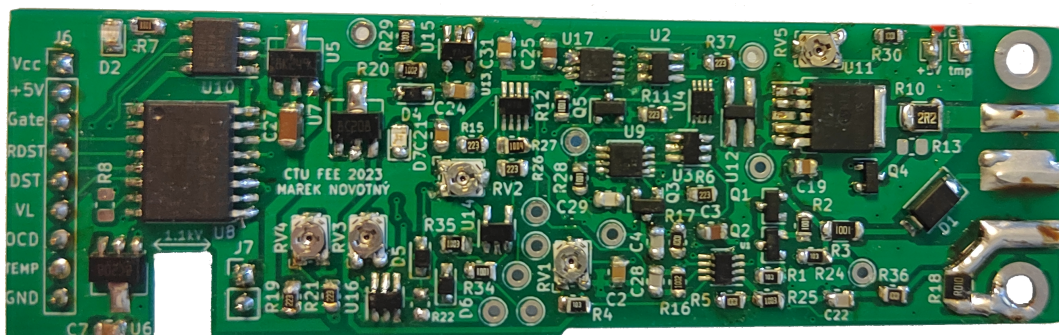


Obrázek 4.8. Zapojení koncového stupně.

Čip FDD8424H obsahuje pár tranzistorů s velice nízkým odporem v sepnutém stavu a proto by měl být ideální pro co nejnižší výstupní odpor. Rovněž jsem měl několik kusů v zásobě a je tedy ideální volbou i z praktického hlediska. Toto zapojení má nedostatek v tom, že jeho výstupní napětí je pouze k dispozici v jedné polaritě a stejně jako budič 1ED3491MC12M nenabízí rekuperaci energie.

4.2 Realizace budiče

Pro můj budič jsem navrhl plošný spoj o velikosti 29mm x 95mm.



Obrázek 4.9. Zhotovená deska mého budiče.

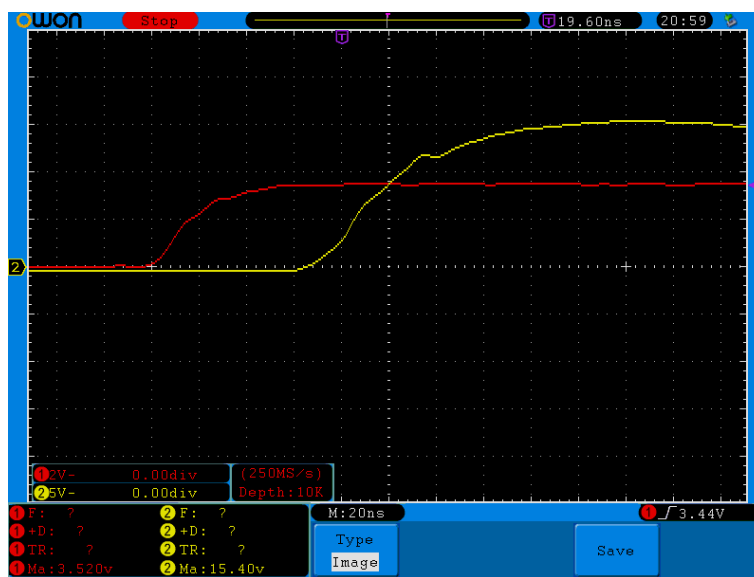
4.3 Testování a naměřené výsledky

K měření parametrů svého budiče jsem využil stejných metod, které byly využity k testování desky s budičem 1ED3491MC12M. Měření výstupního odporu zatěžováním budiče rezistorem 51Ω odhalilo následující odpor:

$$R_{\text{out}} = \frac{14.96\text{V} - 14.92\text{V}}{\frac{14.92\text{V}}{51\Omega}} = 0.14\Omega \quad (4.3)$$

Díky této nízké hodnotě výstupního odporu, se teplota pouzdra při stejném zátěžovém testu jako pro budič 1ED3491MC12M držela pod 60°C i po hodině testování.

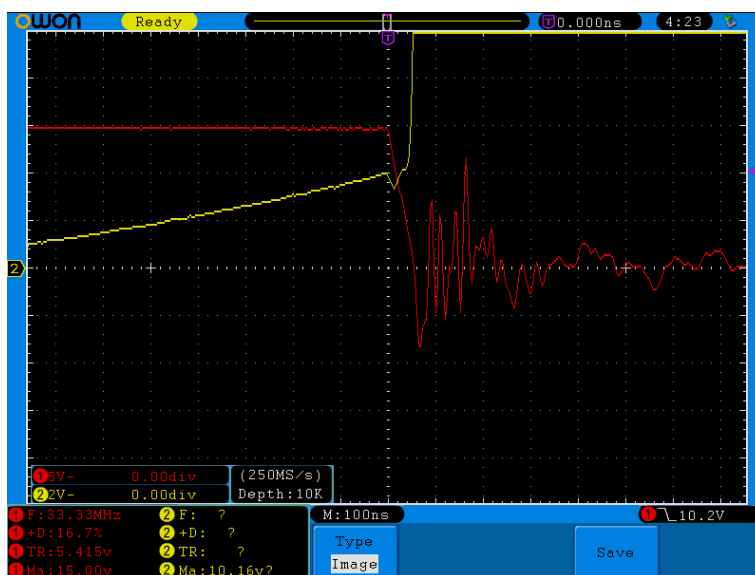
Měření propagačního zpoždění proběhlo stejným způsobem jako pro budič 1ED3491MC12M, přivedením logické jedničky na vstup GATE_IN budiče a odměřením doby zpoždění reakce výstupu budiče.



Obrázek 4.10. Snímek z osciloskopu, měření propagačního zpoždění vlastního budiče.

Toto zpoždění bylo změřeno 66ns ze vstupní strany na výstupní a 54ns z výstupní strany na vstupní.

Testování detekce desaturace bylo provedeno na stejném přípravku z obrázku 3.7.

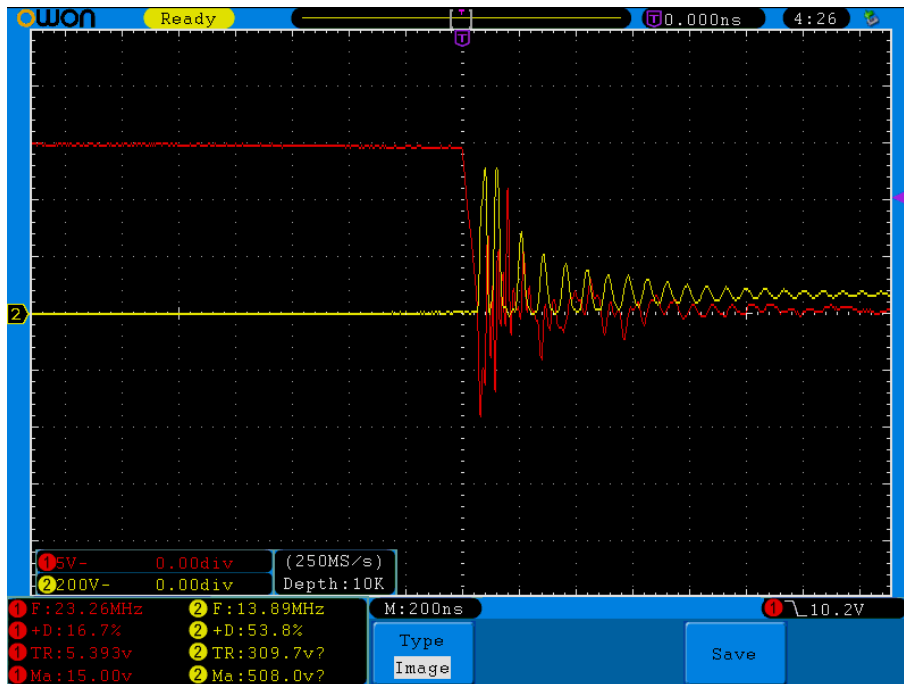


Obrázek 4.11. Měření reakční doby detekce desaturace.

V tomto měření jsem odměřil dobu, za kterou budič reaguje na zkrat. Prahové napětí desaturace bylo zde nastaveno na 3V. Ze snímku na obrázku 4.11. se tedy jedná o dobu mezi dosažením $U_{DS} = 3V$ a překlopením Gate napětí do logické nuly. Tento interval byl odměřen 194ns. Se současným nastavením $t_{\text{blanking}} = 683ns$, je tato reakční doba příliš rychlá a zatím jsem nepřišel na důvod tohoto chybného chování.

Zatímco budič 1ED3491MC12M implementuje Soft-off ke snížení napětových překmitů, moje myšlenka spočívá v jiném přístupu. Můj budič v případě desaturace, tranzistor rozepne naopak co nejrychleji a s napětovými špičkami se chci vypořádat přidáním pasivních prvků mezi Drain/Collector a Source/Emitter. Pro potlačení napětových špiček se zde nabízí například použití transilu či Zenerovy diody se Zenerovým napětím podobným, jako je maximální napětí použitého tranzistoru.*

* Další možností jak potlačit napětové překmity je použít RC filtr v tzv. "snubber" konfiguraci.



Obrázek 4.12. Reakce budiče na zkratový stav, $U_C = 60V$, zkratový proud 263A.

Snímek na obrázku 4.12. je naneštěstí jediný obrázek, který z měření mohu nabídnout, jelikož při měření s $U_C = 400V$ došlo k poruše tranzistoru nejspíše zapříčiněnou příliš vysokým napětovým překmitem. Napětový překmit byl příliš vysoký, jelikož jsem před testem zapomněl přidat mezi Drain a Source výše zmíněný transil či Zenerovu diodu. Další špatnou zprávou je to, že poškozený tranzistor zapříčinil i zničení jednoho z digitálních izolátorů ADUM1402, který jsem již nestihl vyměnit za nový. Zde tedy testy detekce desaturace na mém budiči končí.

Kapitola 5

Porovnání

Pro porovnání budiče 1ED3491MC12M s vlastním návrhem byli využity informace z katalogů použitých součástek společně s naměřenými hodnotami. Z těchto informací, jsou budiče následovně porovnány tabulkou:

Parametr	1ED3491MC12M	Vlastní návrh
Napájecí napětí	12V až 40V	14V až 20V
Výstupní odpor	0.59Ω	0.14Ω
Oddělovací dovednost	2300V	1113V
Cena	159Kč	717Kč
Velikost	<11.88cm ²	27.55cm ²
Max. spínací frekvence	Nízká (<100kHz)	Střední (<1MHz)
Detekce desaturace	Ano	Ano
Detekce nadproudu	Ne	Ano (nastavitelné)
Detekce přehřátí budiče	Ano	Ne
Detekce přehřátí tranzistoru	Ne	Ano (nastavitelné)
UVLO	Ano	Ano (nastavitelné)
OVLO	Ne	Ano (nastavitelné)
Miller clamp	Ano	Ne
Desaturační práh	Fixní 9.18V	Nastavitelný
Propagační zpoždění	220ns	60ns

Tabulka 5.1. Porovnání budiče 1ED3491MC12M s vlastním obvodovým řešením

Porovnání bych tedy shrnul tak, že budič 1ED3491MC12M je levnější a kompaktnější verzí tranzistorového budiče, který je zcela použitelný pro průmyslové aplikace, kde se pouze málokdy setkáme se spínáním výkonových tranzistorů o příliš vysoké frekvenci. Moje řešení nabízí lepší parametry pro buzení na vyšších frekvencích a větší možnosti co se týče konfigurace budiče. Můj budič se tedy dá lépe optimalizovat pro konkrétní silové obvody.

Kapitola 6

Závěr

V rámci této bakalářské práce bylo cílem seznámit čtenáře s metodami buzení IGBT/FET tranzistorů, představit průmyslem používaný budič a navrhnout mé vlastní obvodové řešení tranzistorového budiče. Tyto dva budiče jsem poté mezi sebou porovnal a nastínil v jakých aplikacích naleznou využití. Pro průmyslem používaný budič jsem vybral 1ED3491MC12M od firmy Infineon, který splnil a dokonce překonal mé očekávání v jeho vlastnostech. Obzvláště mě překvapila jeho dovednost v protekci před desaturací, kde fungoval bezchybně během všech mých testů. Ačkoliv jsem stále skeptický zda použitá metoda Soft-off bude v testech při vyšších napětích stačit pro protekci tranzistoru před napěťovými překvity. Testy se zkratovým stavem jsem provedl pouze do napájecího napětí 400V a později chci stejné testy provést až do 565V, což je napětí, které získáme usměrněním 3 fázové sítě. S vyšším napájecím napětím nehodlám v blízké budoucnosti pracovat. Pro můj budič jsem navrhnul obvodové řešení, které využívá velké množství logických obvodů a integrovaných součástek, které dohromady plní všechny cíle mé práce. I přestože měření reakce na zkrat u mého budiče nebylo úspěšné při napájecím napětí 400V, považuji mnou navrženou detekci desaturace za úspěch a jsem pevně přesvědčen, že kdyby nedošlo k opomenutí Zenerovy diody na silových svorkách tranzistoru během měření, byl bych schopný představit zcela funkční obvod, který minimalizuje ztrátový výkon během zkratu a zvyšuje tak "šance na přežití" buzeného tranzistoru.

Celkově mě práce naplnila optimismem a motivací v práci pokračovat. Jelikož brzy hodlám pracovat na návrhu velice výkoného invertoru, který bude využívat IGBT tranzistory FF1000R17IE4, které jsou velice drahé a těžce dostupné, plánuji své řešení dále optimalizovat a zdokonalit. Při pohledu na všechny logické obvody v mém budiči, přemýšlím nad implementací FPGA, které by jedním čipem dokázalo nahradit velké množství použitých součástek a integrovaných obvodů. FPGA by tak mohlo drasticky snížit výrobní cenu a zvýšit kompaktnost mého řešení. Dalším nutným krokem, bude využití koncového stupně, který je schopný rekuperovat energii z Gate tranzistoru a nabídnout budící napětí v obou polaritách.

Kromě fyzicky realizované práce jsem rovněž své bakalářské práci vděčný za všechny nové dovednosti, které jsem během její realizace obdržel. V práci jsem se musel naučit například význam některých vlastností operačních zesilovačů a dokonce i praktické záležitosti, jako například pájení miniaturních VSSOP-8 pouzder. Chtěl bych ještě jednou poděkovat panu doc. Dr. Ing. Jiřímu Hospodkovi, pod kterým jsem mohl vypracovat bakalářskou práci na své vlastní téma a pomohl mi tak na mé cestě za ideální, nezníčitelnou výkonovou elektronikou.

Literatura

- [1] *Spectrum IEEE transistor history.*
<https://spectrum.ieee.org/transistor-history>. Accessed: 2023-05-13.
- [2] *Embedded - Transistor: sixty years and still switching.*
<https://www.embedded.com/the-transistor-sixty-years-old-and-still-switching/>. Accessed: 2023-05-14.
- [3] *Semiconductor Museum.*
http://semiconductormuseum.com/Museum_Index.htm. Accessed: 2023-05-14.
- [4] *EDSTUFF4U - Advantages and disadvantages of FET.*
<https://www.ecstuff4u.com/2018/05/advantages-and-disadvantages-of-fet.html>. Accessed: 2023-05-15.
- [5] *Electronics Coach - Insulated Gate Bipolar Transistor.*
<https://electronicscoach.com/insulated-gate-bipolar-transistor.html>. Accessed: 2023-05-15.
- [6] Mrzena Roman. *Diplomová práce - SiC transistor driver with overcurrent protection.* 2019.
<https://dspace.cvut.cz/handle/10467/86032>.
- [7] *TOSHIBA What is the tail current of an IGBT.*
https://toshiba.semicon-storage.com/ap-en/semiconductor/knowledge/faq/mosfet_igbt/igbt-010.html. Accessed: 2023-02-08.
- [8] *UTMEL MOSFET vs IGBT characteristics structure and market analysis.*
<https://www.utmel.com/blog/categories/transistors/mosfet-vs-igbt-characteristics-structure-and-market-analysis>. Accessed: 2023-02-09.
- [9] *Electronics Notes MOSFET transistor.*
https://www.electronics-notes.com/articles/electronic_components/fet-field-effect-transistor/mosfet-metal-oxide-semiconductor-basics.php. Accessed: 2023-02-11.
- [10] *Richie Burnett Typical Gate Drive Waveforms.*
<https://www.richieburnett.co.uk/temp/gdt/gdt2.html>. Accessed: 2023-02-12.
- [11] *HACKADAY MOSFET bootstrapping.*
<https://hackaday.io/project/163639-yatss-yet-another-t12-soldering-station/log/159185-log-2-mosfet-bootstrapping>. Accessed: 2023-02-12.
- [12] *International Rectifier IR2153(D)(S)(PbF) datasheet.*
https://www.infineon.com/dgdl/Infineon-IR2153-DataSheet-v01_00-EN.pdf?fileId=5546d462533600a4015355c8c5fc16af. Accessed: 2023-02-12.
- [13] *UHVLab Solid State Tesla Coil - GDT design.*
<https://www.uhvlab.org/sstc-ii>. Accessed: 2023-02-12.
- [14] *Meanwell - Switching frequency.*
<https://www.meanwelldirect.co.uk/glossary/what-is-switching-frequency/>. Accessed: 2023-05-19.

- [15] *Texas Instruments - Power topologies handbook.*
<https://www.ti.com/seclit/ug/slyu036/slyu036.pdf>. Accessed: 2023-05-19.
- [16] *Analog Devices - MAX22256/8 datasheet.*
<https://www.analog.com/media/en/technical-documentation/data-sheets/MAX22256-MAX22258.pdf>. Accessed: 2023-05-19.
- [17] *Würth Elektronik - 750315371 datasheet.*
<https://www.we-online.com/components/products/datasheet/750315371.pdf>. Accessed: 2023-05-19.
- [18] *Analog Devices - LT8471 datasheet.*
<https://www.analog.com/media/en/technical-documentation/data-sheets/8471fd.pdf>. Accessed: 2023-05-19.
- [19] *Infineon - 1ED3491MC12M datasheet.*
https://www.infineon.com/dgdl/Infineon-1ED34x1Mx12M-DataSheet-v01_10-EN.pdf?fileId=5546d46274cf54d50174d97c2fb71f62. Accessed: 2023-05-20.
- [20] *Analog Devices - ADuM1402 datasheet.*
https://www.analog.com/media/en/technical-documentation/data-sheets/adum1400_1401_1402.pdf. Accessed: 2023-05-22.
- [21] *Analog Devices - ADuM1200 datasheet.*
https://www.analog.com/media/en/technical-documentation/data-sheets/ADuM1200_1201.pdf. Accessed: 2023-05-22.
- [22] *NXP Semiconductors - 74LVC2G17 datasheet.*
<https://4donline.ihs.com/images/VipMasterIC/IC/PHGL/PHGLS27957/PHGLS27957-1.pdf?hkey=6D3A4C79FDBF58556ACFDE234799DDF0>. Accessed: 2023-05-22.
- [23] *Microchip - MIC4416 datasheet.*
<https://www.farnell.com/datasheets/8669.pdf>. Accessed: 2023-05-22.
- [24] *Fairchild - FDD8428H datasheet.*
<https://www.mouser.com/datasheet/2/149/FDD8424H-92711.pdf>. Accessed: 2023-05-22.

Příloha A

Seznam zkratk a symbolů

A.1 Seznam zkratk

BJT	Bipolar Junction Transistor
FET	Field Effect Transistor
IGBT	Insulated Gate Bipolar Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
SiCFET	Silicon Carbide Field Effect Transistor
GaN FET	Gallium Nitride Field Effect Transistor
GND	Ground - referenční uzel obvodu
GDT	Gate Driving Transformer
SEPIC	Single Ended Primary Inductor Converter
SMD	Surface Mount Device
UVLO	Under-Voltage Lockout
OVLO	Over-Voltage Lockout
NTC	Negative Temperature Coefficient
NMOS	MOS tranzistor s kanálem N
PMOS	MOS tranzistor s kanálem P
FPGA	Field Programmable Gate Array
LED	Light Emitting Diode
DC	Direct Current
RMS	Root Mean Square

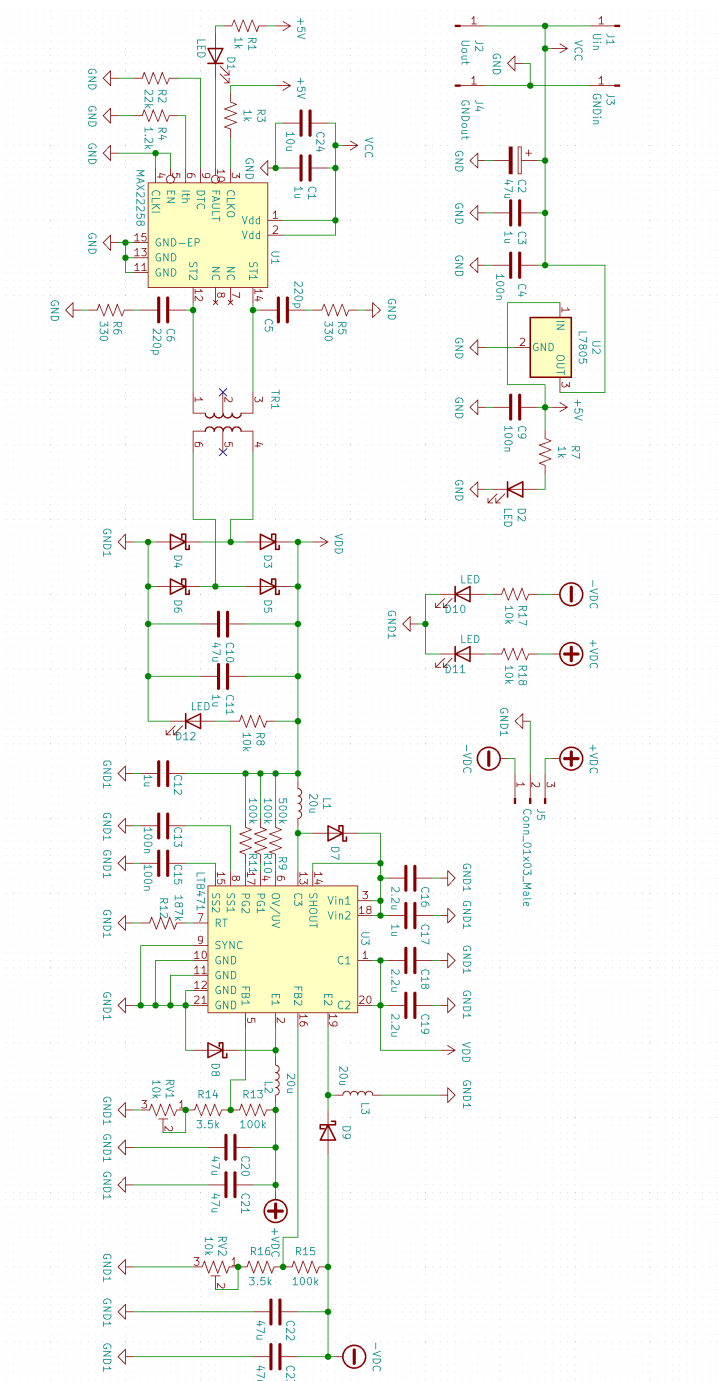
A.2 Seznam symbolů

I_B	Bázový proud bipolárních tranzistorů
I_C	Collectorový proud bipolárních tranzistorů
U_{GS}	Napětí na svorkách Gate a Source FET tranzistorů
U_{CE}	Napětí na svorkách Collector a Emitter bipolárních tranzistorů
$R_{DS(on)}$	Odpor MOSFET tranzistoru v sepnutém stavu
C_G	Kapacita hradla polem řízeného tranzistoru
R_G	Vstupní odpor polem řízeného tranzistoru
L_G	Parazitická indukčnost svorky Gate
C_D	Parazitická kapacita mezi svorkami Drain a Gate (Millerova kapacita)
U_Z	Průrazové (Zenerovo) napětí Zenerovy diody
U_{source}	Napětí napájecího zdroje
U_{Qsat}	Saturační napětí tranzistoru
U_{CB}	Napětí na bootstrap kondenzátoru
R_Z	Odpor zátěže
T_{on}	Časová konstanta při sepnutí tranzistoru

T_{off}	Časová konstanta při rozepnutí tranzistoru
R_{on}	Pomocný odpor pro nabíjení hradla
R_{off}	Pomocná odpor pro vybíjení hradla
C_{GE}	Kapacita hradla IGBT tranzistoru
f_{switch}	Spínací frekvence
U_{on}	Budící napětí pro sepnutí tranzistoru
U_{off}	Budící napětí pro rozepnutí tranzistoru
I_{DS}	Proud tekoucí silovými svorkami FET tranzistoru
U_{DS}	Napětí na svorkách Drain a Source FET tranzistorů
R_{out}	Výstupní odpor
U_{C}	Napětí na kondenzátorové bance přípravku z přílohy H
t_{blanking}	Blanking time tranzistorového budiče

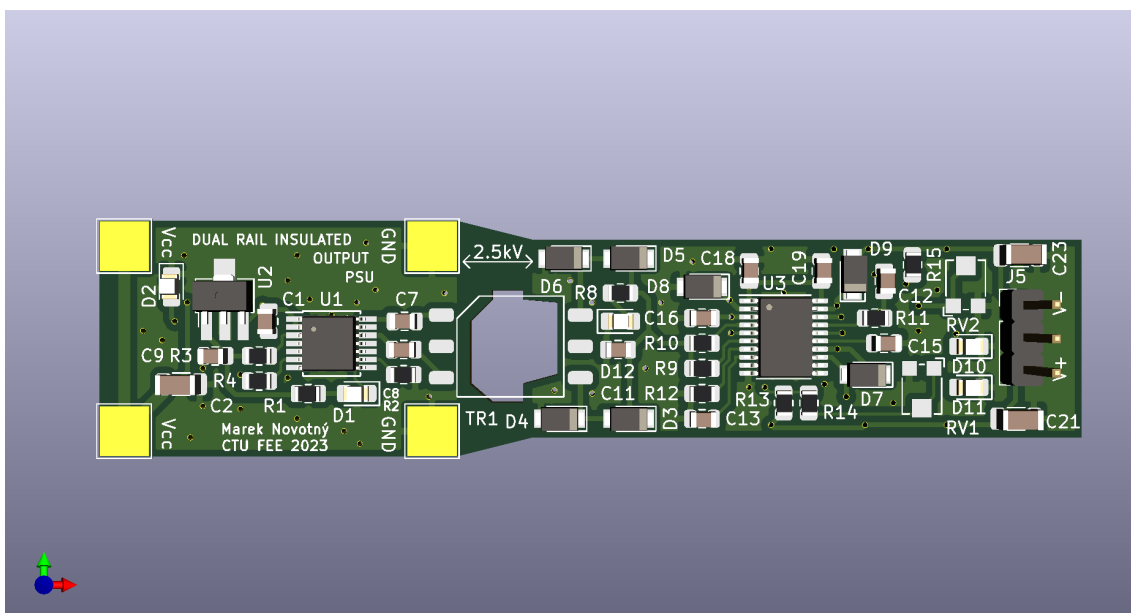
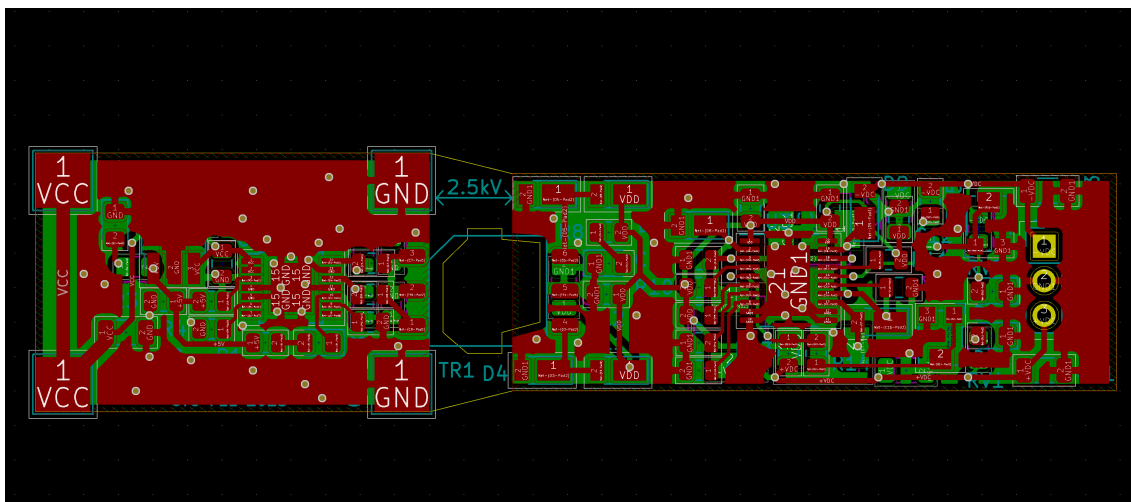
Příloha B

Schéma oddělovacího zdroje



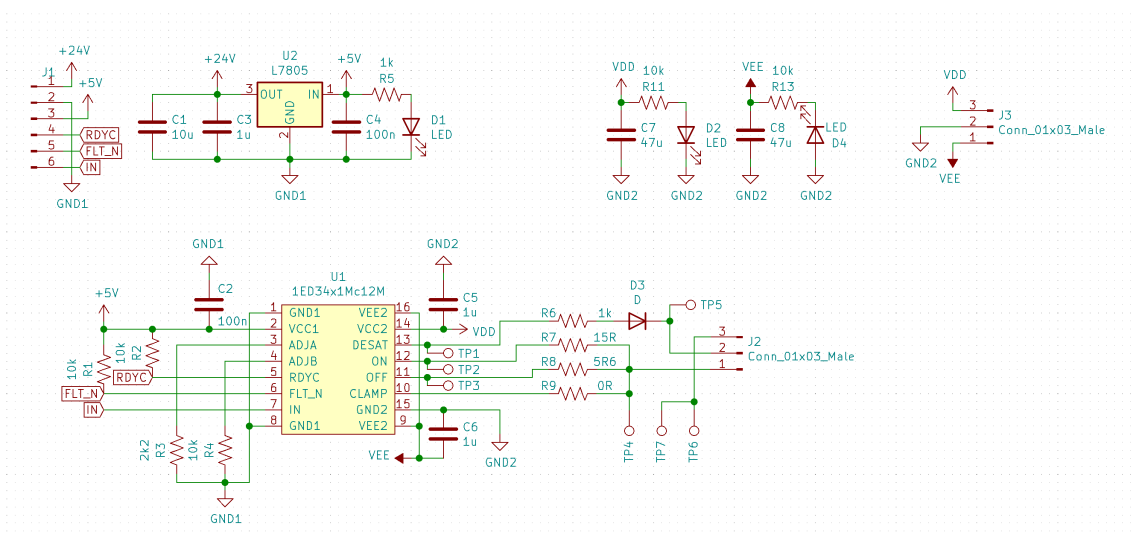
Příloha C

Detail desky oddělovacího zdroje



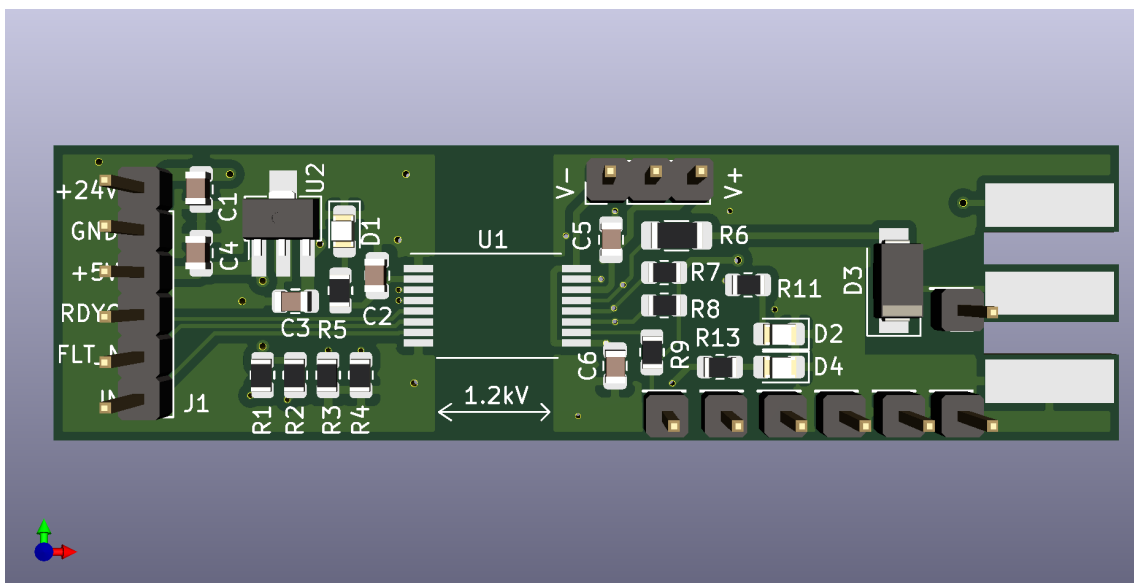
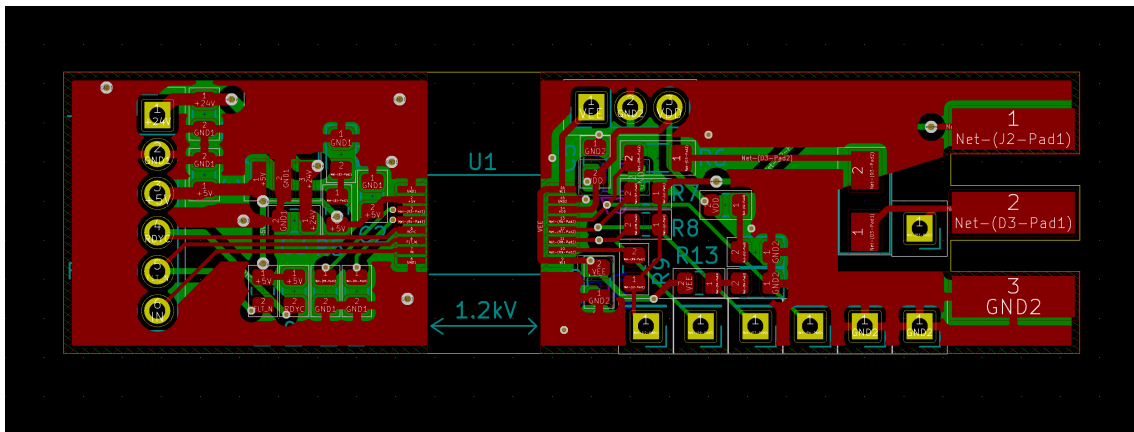
Příloha D

Schéma desky s budičem 1ED3491MC12M



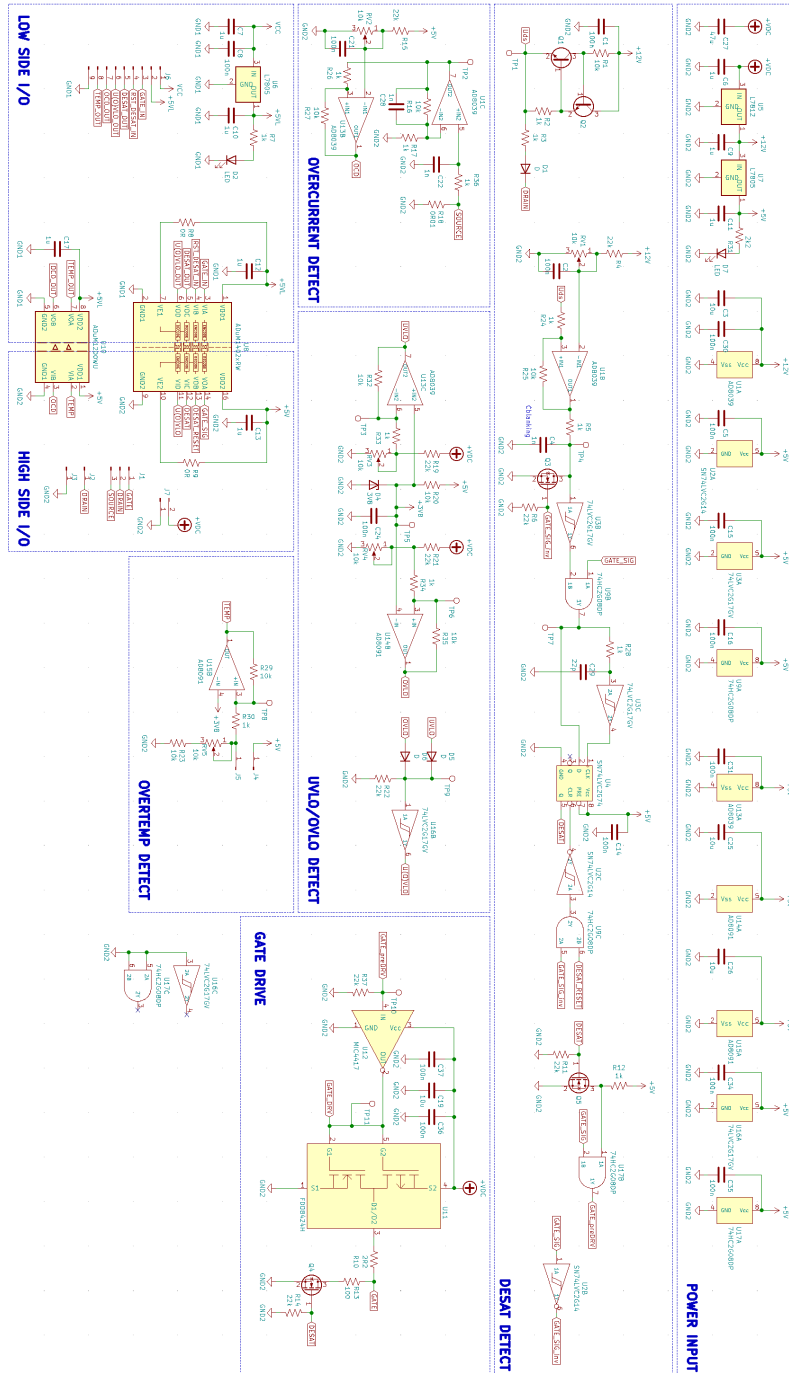
Příloha E

Detail desky s budičem 1ED3491MC12M



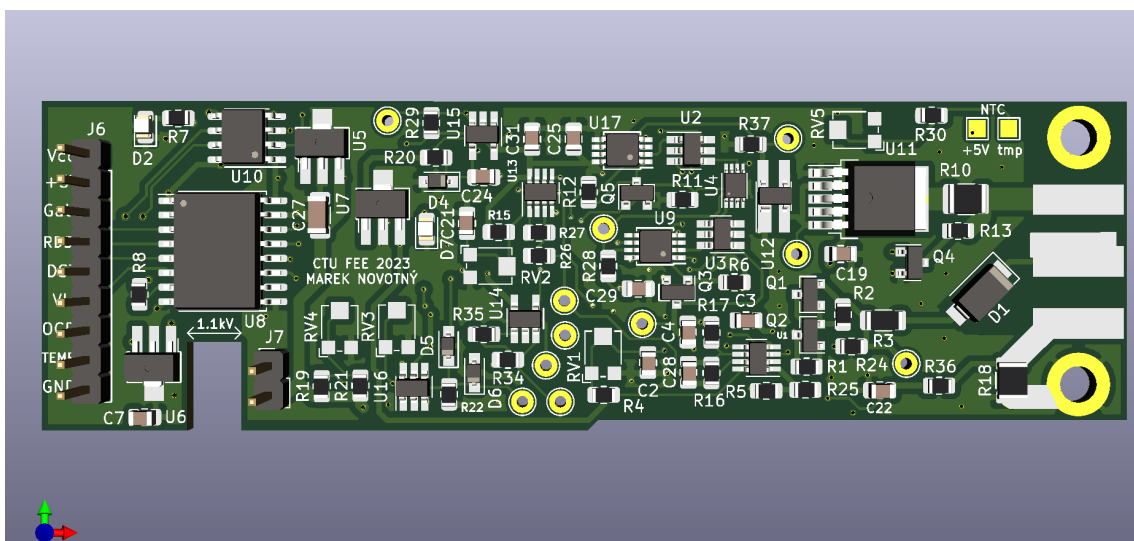
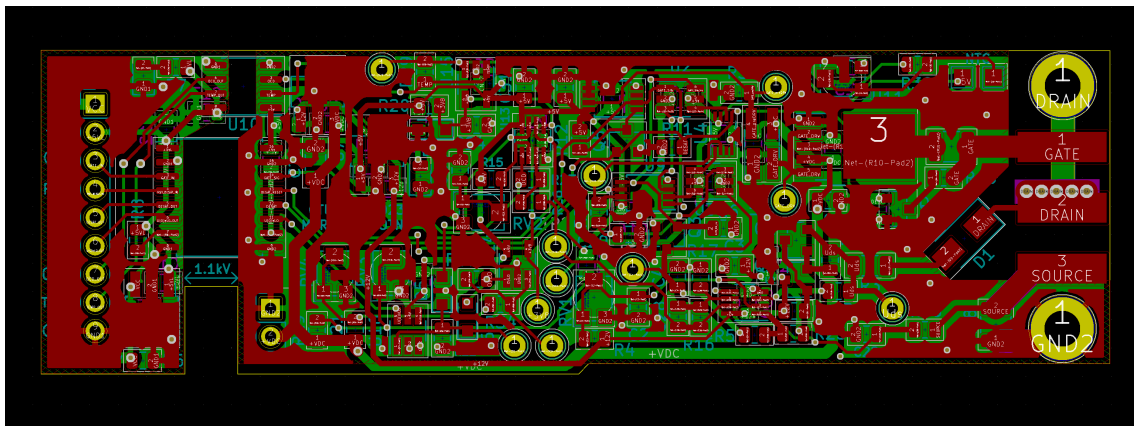
Příloha F

Schéma vlastního budiče



Příloha G

Detail desky vlastního budiče



Příloha H

Přípravek pro testování desaturace

