

## I. IDENTIFIKAČNÍ ÚDAJE

<b>Název práce:</b>	<b>Implementation of the JESD204B Standard on an FPGA Enabling the Interfacing of High-speed A/D Converters with a Sampling Rate Higher than 250 MSPS</b>
<b>Jméno autora:</b>	<b>František Boháček</b>
<b>Typ práce:</b>	bakalářská
<b>Fakulta/ústav:</b>	Fakulta elektrotechnická (FEL)
<b>Katedra/ústav:</b>	radioelektroniky
<b>Oponent práce:</b>	prof. Ing. Pavel Hazdra, CSc.
<b>Pracoviště oponenta práce:</b>	katedra mikroelektroniky FEL ČVUT v Praze

## II. HODNOCENÍ JEDNOTLIVÝCH KRITÉRIÍ

<b>Zadání</b>	<b>mimořádně náročné</b>
<i>Hodnocení náročnosti zadání závěrečné práce.</i>	
<p>Cílem bakalářské práce byla implementace přijímací linkové vrstvy protokolu JESD204B pro připojení rychlého A/D převodníku k FPGA. Implementace měla být v jazyce VHDL, ověření RTL simulací a verifikace využitím vybraného převodníku a vývojové desky s FPGA Intel Cyclone 10. Bakalant se musel seznámit s protokolem JESD204 ve verzi B, osvojit si návrh integrovaných číslicových systémů na úrovni RTL v jazyce VHDL, navrhnout a realizovat přídatnou desku s vybranými A/D převodníky a prostudovat možnosti konfigurace zadané vývojové desky a hradlového pole. Bakalant zadané téma zpracovával od základů a hodnotím jej jako velmi náročné.</p>	

<b>Splnění zadání</b>	<b>splněno s menšími výhradami</b>
<i>Posuďte, zda předložená závěrečná práce splňuje zadání. V komentáři případně uveďte body zadání, které nebyly zcela splněny, nebo zda je práce oproti zadání rozšířena. Nebylo-li zadání zcela splněno, pokuste se posoudit závažnost, dopady a případně i příčiny jednotlivých nedostatků.</i>	
<p>Bakalant, dle mého názoru, splnil většinu požadavků rozsáhlého zadání. Bakalářská práce a vlastní návrh, který je přiložen, dokumentují, že detailně prostudoval verzi B standardu JESD204. Navrhl přijímací linkovou vrstvu protokolu JESD204B v jazyce VHDL včetně nezbytných testovacích souborů a provedl její funkční simulaci v prostředí ModelSim. Dále navrhl a realizoval rozšiřující desku s dvěma vybranými A/D převodníky, která by měla sloužit k testování přenosu dat standardem JESD204B z převodníků do vývojové desky s FPGA Intel Cyclone 10. Implementoval přijímač protokolu JESD204B v FPGA Cyclone, pro konfiguraci rozšiřující desky úspěšně využil softprocesor NIOS. Vzhledem k rozsáhlosti projektu a časové náročnosti se funkčnost fyzické realizace nepodařilo verifikovat, což nikterak neubírá kvalitě předložené práce.</p>	

<b>Zvolený postup řešení</b>	<b>správný</b>
<i>Posuďte, zda student zvolil správný postup nebo metody řešení.</i>	
<p>Bakalant zvolil v zásadě správný postup pro řešení náročného úkolu, který vyžaduje značné vědomosti i zkušenost. To, že se napoprvé (či v zadaném termínu) nepodařilo verifikovat funkčnost JESD204B standardu v reálném prostředí není překvapující. Postrádám však časovou verifikaci návrhu implementovaného v FPGA Cyclone a dokumentaci o jeho implementaci. Není proto zřejmé, zda mohl být implementovaný návrh funkční v požadované aplikaci.</p>	

<b>Odborná úroveň</b>	<b>A - výborně</b>
<i>Posuďte úroveň odbornosti závěrečné práce, využití znalostí získaných studiem a z odborné literatury, využití podkladů a dat získaných z praxe.</i>	
<p>Zpracování bakalářské práce je, dle mého názoru, na příkladné úrovni. Bakalant v detailu popisuje standard JESD204, návrh přijímače a jeho funkční simulaci. Detailně rozebírá návrh testovací desky a její realizaci včetně možných chyb, kterých se mohl dopustit. V závěrečném zhodnocení bakalant rozebírá řešení i jeho nedostatky, navrhuje další postup prací. Práce je doplněna elektronickou přílohou, která obsahuje celý implementovaný návrh, jeho verifikaci a dokumentaci k testovací desce. Bakalant prokázal, že je schopen využívat znalostí nabytých studiem i poznatků získaných z odborné literatury.</p>	

## Formální a jazyková úroveň, rozsah práce

**B - velmi dobře**

*Posuďte správnost používání formálních zápisů obsažených v práci. Posuďte typografickou a jazykovou stránku.*

Bakalářská práce napsaná v angličtině je po formální, typografické i jazykové stránce na velmi dobré úrovni. Vylepšit by bylo možné angličtinu, sjednotit grafický projev, definovat zkratky v textu práce, apod.

## Výběr zdrojů, korektnost citací

**A - výborně**

*Vyjádřete se k aktivitě studenta při získávání a využívání studijních materiálů k řešení závěrečné práce. Charakterizujte výběr pramenů. Posuďte, zda student využil všechny relevantní zdroje. Ověřte, zda jsou všechny převzaté prvky řádně odlišeny od vlastních výsledků a úvah, zda nedošlo k porušení citační etiky a zda jsou bibliografické citace úplné a v souladu s citačními zvyklostmi a normami.*

Bakalant ve své práci využil odpovídající a relevantní zdroje. Zvolený postup odpovídá vývojářské praxi. Citované partie a vlastní úvahy bakalanta jsou řádně odlišeny.

## Další komentáře a hodnocení

*Vyjádřete se k úrovni dosažených hlavních výsledků závěrečné práce, např. k úrovni teoretických výsledků, nebo k úrovni a funkčnosti technického nebo programového vytvořeného řešení, publikačním výstupům, experimentální zručnosti apod.*

Výstupem práce je přijímač linkové vrstvy protokolu JESD204B navržený v jazyce VHDL, který byl funkčně verifikován. Návrh je doplněn realizovanou, konfigurovatelnou rozšiřující deskou, která by měla umožnit fyzické testování implementace protokolu ve vývojové desce Intel Cyclone 10 GX. Bakalant prokázal při řešení práce svou odbornost, důslednost i experimentální zručnost.

## III. CELKOVÉ HODNOCENÍ, OTÁZKY K OBHAJOBĚ, NÁVRH KLASIFIKACE

*Shrňte aspekty závěrečné práce, které nejvíce ovlivnily Vaše celkové hodnocení. Uveďte případné otázky, které by měl student zodpovědět při obhajobě závěrečné práce před komisí.*

Bakalářská práce Františka Boháčka se zabývá návrhem a implementací přijímací linkové vrstvy protokolu JESD204B umožňující komunikaci rychlých A/D převodníků s FPGA. Předložená práce dokladuje, že bakalant detailně prostudoval verzi B standardu JESD204, navrhl přijímací linkovou vrstvu protokolu JESD204B v jazyce VHDL včetně nezbytných testovacích souborů a provedl její funkční simulaci v prostředí ModelSim. Dále navrhl a realizoval rozšiřující desku s dvěma vybranými A/D převodníky, která by měla sloužit k testování přenosu dat standardem JESD204B z převodníků do vývojové desky s FPGA Intel Cyclone 10. Implementoval přijímač protokolu JESD204B v FPGA Cyclone, pro konfiguraci rozšiřující desky úspěšně využil softprocesor NIOS. Funkčnost fyzické realizace se nepodařilo verifikovat. V závěrečném zhodnocení bakalant detailně rozebírá řešení i jeho nedostatky a navrhuje také další postup prací.

K práci mám následující dotazy:

1. Byla provedena časová simulace (post place and root) navrženého přijímače a s jakým výsledkem ?
2. Jak syntetizér (router) vyhodnotil definici generické proměnné `K_CHAR : std_logic_vector(7 downto 0) := "10111100";` ?

Bakalant splnil naprostou většinu požadavků zadání. Vlastní text bakalářské práce výstižně charakterizuje postup řešení a je technicky na velmi dobré úrovni.

Předloženou závěrečnou práci hodnotím klasifikačním stupněm **A - výborně**.

Datum: 5.6.2023

Podpis: prof. Ing. Pavel Hazdra, CSc.