

**Oponentský posudek doktorské disertační práce**  
**Rychlé algoritmy Bayesovského rozhodování pro FPGA platformy**  
**(Fast Bayesian Algorithm for FPGA Platform)**

Doktorandka: Ing. Raissa Likhonina

Školitel: doc. Ing. Evžen Uglickich, CSc.

Oponent: doc. Ing. Vít Fábera, Ph.D., Ústav aplikované informatiky v dopravě, FD ČVUT

Předložená disertační práce je obsáhlá, celkem 182 stran včetně příloh, část bez příloh čítá 162 stran, včetně popisu praktického využití výsledků. Je rozdělena do 4 kapitol, přičemž úvodní část a závěr jsou samostatné kapitoly.

Doktorandka ve své práci paralelizovala algoritmus Bayesovského rozhodování a implementovala jej s využitím HW akcelerace na platformě FPGA, aplikačně je využit při zpracování přijímaného ultrazvukového signálu (pro detekci přítomnosti ruky). Téma, které studentka zvolila, je vědecky i aplikačně zajímavé a potřebné. Aplikační využití výsledků doktorandka sama uvedla v závěru práce (bezdotykové ovládání z hygienických důvodů, znaková řeč apod.); v této oblasti je cílovou platformou nějaký vestavěný systém, kde se ale používají procesory s nižším výkonem, proto je nezbytné volit způsob řešení (paralelizace, HW akcelerace), který doktorandka v práci prezentuje.

Oceňuji celkový systematický přístup doktorandky k problematice a způsobu řešení, který považuji za správný: nejprve navrhla algoritmus a modelovala systém a ověřila jeho implementaci na PC v systému MATLAB, následně provedla paralelizaci a optimalizaci na platformě PC s využitím MATLABu, poté implementovala algoritmus nejprve čistě softwarově na platformě XILINX ZYNQ (sériový výpočet, paralelizace) na procesorové části ARM. Implementace je přirozeně pomalejší, proto navrhla akceleraci výpočtu na hradlovém poli FPGA. Vlastní přínos doktorandky vidím vůbec v aplikaci a využití Bayesovského rozhodování na daný problém, dále v návrhu paralelizace výpočtu a následném návrhu akcelerátoru.

Úvodní kapitola je rešeršní, kde je shrnutý stav problematiky a dokazuje orientaci doktorandky v dané problematice. V první kapitole je popsán nezbytný matematický aparát a algoritmus (detailně rozveden včetně popisu algoritmu v přílohách 1 a 2) a představeny obvody FPGA. Zde mám drobné připomínky: na str. 42 pod vztahem (1.6) má být zřejmě  $\tau = t_s + 1$ , u vztahu (1.13) mi chybí vysvětlení symbolu  $L$  (zřejmě hustota pravděpodobnosti) a zlomek ve vysvětlujícím textu ke vztahu (1.13) je jiný, přičemž vztah (1.13) odpovídá vztahu (377) v citovaném článku [81]. Ještě k popisu FPGA na str. 51 dle článku [6]: konfigurovatelné logické bloky u FPGA jsou pouze typu SRAM, s paměti typu EEPROM jde o CPLD. Tyto drobnosti jsou marginální vzhledem k celkové kvalitě práce.

Kapitola 2 ověřuje použitelnost algoritmu nejprve na dvou modelech (implementovány v MATLABu) a pak s reálnými daty získanými z experimentální desky s reproduktory a přijímajícími mikrofony. Modely jsou navrženy vhodně, zejména model prostředí s časově proměnnými parametry odráží změny prostředí v čase, což více odpovídá realitě. Na zobrazených grafech považuji trochu matoucí střední hodnoty průběhů, viz dotaz č. 2. Výsledky porovnání dvou verzí algoritmů (QRD RLS a QRD RLS Lattice) ukazují, že varianta QRD RLS Lattice je rychlejší. Oceňuji závěry z experimentů ve smyslu úvah, jak velký výpočetní výkon (v jednotkách MFLOPs) je potřeba pro implementaci v reálném čase.



Třetí kapitola se věnuje optimalizaci algoritmu – paralelizaci a využití proudového zpracování (pipelining) a je přípravou k následné implementaci na platformě SoC s využitím HW akcelerace. Doktorandka si je vědoma všech problémů souvisejících s paralelizací a proudovým zpracováním (sdílení dat, konflikty při práci s daty při proudovém zpracování). K přístupu nemám výhrady, oceňuji množství provedených experimentů a vyhodnocení (aritmetika jednoduché a dvojitě přesnosti, různý počet paralelních procesů na dvou/čtyřjádrovém procesoru).

Čtvrtá kapitola popisuje implementaci akcelerátoru na FPGA, což bylo hlavním cílem praktické části práce. Doktorandka zvolila platformu XILINX ZYNQ Ultrascale+ ZU15EG, resp. ZU09EG. Jde o moderní řadu obvodů, pro tyto účely vhodnou, můžeme diskutovat, zda je vhodná i cenově vzhledem k cílovému využití jako vestavěná (embedded) aplikace. Základem akcelerátoru je *IP Core* implementující architekturu SIMD vyvinutý v UTIA, zabudovaný do celkové architektury SoC. Co se týká vlastního návrhu akcelerátoru FPGA, v práci jsou uvedena bloková schémata doplněná slovním popisem, doktorandka vhodně navrhla celkovou architekturu a použila správné techniky při návrhu logiky do FPGA (použití sběrnice AXI, využití dvoubránových pamětí, vyrovnávacích pamětí, proudového zpracování, synchronizace, kladně hodnotím využití principu ping-pong, slangově zvaný v českém jazyce „houpačka“). Škoda jen, že v odkazech na soubory s implementací na osobní stránku doktorandky v UTIA (disertace\_Raissa\_Lkhonina.zip) jsou pouze SW části, není zde projekt pro část FPGA, detaily implementace tak zůstávají utajeny – k tomu směřuje i jedna z otázek.

Na základě experimentů se implementace akcelerátoru ukazuje jako vhodná a opodstatněná – bylo dosaženo téměř stejné rychlosti výpočtů jako při paralelní implementaci na rychlejším PC.

Ke způsobu uvádění výsledků nemám téměř připomínky (viz výše) - jsou shrnuty v tabulkové a grafické formě, s patřičným komentářem.

Závěrem musím konstatovat, že doktorandka prokázala znalosti a schopnosti ve velké šíři nejen z oblasti matematické statistiky, ale i z programování (paralelní programování, využití funkcí systému Linux na procesorech ARM), speciálních architektur a znalostí z oblasti návrhu digitálních obvodů na platformě XILINX FPGA. Odvedená práce je opravdu rozsáhlá včetně experimentální činnosti a dokazuje, že si studentka osvojila techniky z návrhářské praxe.

Seznam literatury považuji za odpovídající úrovni doktorské disertační práce (109 odkazů), 7 je prací autorky, z toho jedna v impaktovaném časopise NNW, databáze Scopus obsahuje 3 citace článku, kde je doktorandka spoluautorkou. Počet považuji za dostatečný.

Práce je po formální stránce napsaná přehledně a čtivě, na velmi dobré odborné i jazykové úrovni, přehledně působí i seznam prací doktorandky uvedený v závěru každé kapitoly, který se vztahuje k dané problematice.

Ve své doktorské práci prokázala Ing. Raissa Likhonina schopnost samostatné tvůrčí vědecké práce. Předložená práce splňuje požadavky a všechna potřebná ustanovení pro udělení titulu „Ph.D.“ dle § 72 odst. 5 zákona č. 111/1998 Sb. o vysokých školách a doporučuji ji k obhajobě.

K práci mám následující dotazy:

1. Vysvětlete, prosím, význam symbolu  $L$  ve vztahu (1.13) a dva různé zlomky  $\frac{p(H_n) p(\theta_n)}{p(H_m) p(\theta_m)}$  ve vztahu a následném textu.

2. Na obrázku 2.4 je střední hodnota signálu Prediction Error 8, zatímco v horní části obrázku 2.5 je nula, shodně se střední hodnotou výstupu Output y2. Předpokládám, že správně je obrázek 2.5, v obrázku 2.4 a ostatních je to dáno pouze posunem kvůli přehlednému zobrazení a zobrazení jedné stupnice na ose y. Stejnou otázku mám i na střední hodnotu výstupů identifikačních modelů 1 a 2 zobrazených červenou a zelenou barvou.
3. Zamýšlela jste se nad limity paralelizace ve vztahu k Amdahlově zákonu?
4. Má akcelerátor implementovaný na FPGA jedinou hodinovou doménu nebo více? Jaký je vztah domény/domén k hodinovému signálu procesorové části?
5. Obsahuje analogová část na experimentální desce kromě anti-aliasingového filtru ještě nějaké analogové obvody pro předzpracování signálu z mikrofonů?
6. Můžete shrnout výsledky implementace akcelerátoru v FPGA (alokovaný počet CLB, klopných obvodů, využití propojovacích vodičů, max. hodinová frekvence, ...)? V práci jsem našel pouze počet použitých bloků URAM.

doc. Ing. Vít Fábera, Ph.D.

Ústav aplikované informatiky v dopravě

Fakulta dopravní ČVUT v Praze



V Praze dne 11. 10. 2022